



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0007574  
(43) 공개일자 2017년01월19일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/32* (2016.01)  
(52) CPC특허분류  
*G09G 3/3233* (2013.01)  
*G09G 2300/0842* (2013.01)  
(21) 출원번호 10-2015-0097225  
(22) 출원일자 2015년07월08일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김종철  
경기도 파주시 정답길 85-9 601동 204호 (금촌동, 동문아파트)  
권준영  
부산광역시 부산진구 백양관문로 10 303동 1206호  
(당감동, 신개금주공3단지아파트)  
(74) 대리인  
특허법인네이트

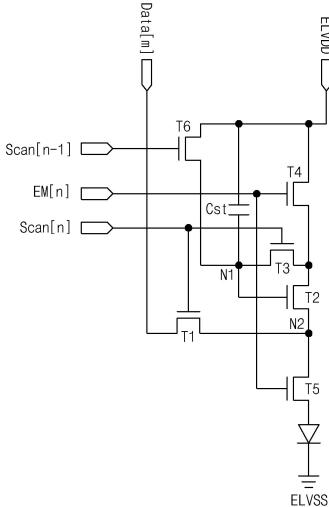
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 OLED 구동전류 보상회로 및 그를 포함하는 유기발광표시장치

### (57) 요 약

본 발명의 OLED 구동전류 보상회로는 발광 기간 동안에 OLED를 흐르는 최종적인 구동전류( $I_{OLED}$ )의 관계식인  $I_{OLED}=k(V_{sg}-V_{th})^2=k(V_{data}+V_{th}-V_{OLED}-V_{th})^2=k(V_{data}-V_{OLED})^2$ 에서 알 수 있듯이 구동전류( $I_{OLED}$ )는 구동 TFT의 소스 전극 전압( $V_s$ )과 게이트 전극 전압( $V_g$ )간의 차이와 문턱 전압( $V_{th}$ ) 간의 차이에 비례하므로 샘플링 기간( $P_s$ )을 통해 최종적인 구동전류( $I_{OLED}$ ) 관계식은  $k(V_{data}-V_{OLED})$ 가 되고 이를 통해 구동전류( $I_{OLED}$ )는  $k$ 와 데이터전압( $V_{data}$ )과 OLED 구동전압( $V_{OLED}$ )간의 차이에 의해서만 영향을 받으며 제1 외부전압(ELVDD)에 의한 영향을 받지 않음을 알 수 있다.

### 대 표 도 - 도5



(52) CPC특허분류  
G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터라인에 연결되며 제n 스캔신호에 의해 스위칭되는 제1 TFT와;  
 상기 제1 TFT와 연결되는 제1 노드와 연결되는 구동 TFT와;  
 상기 구동 TFT와 연결되는 제2 노드에 연결되며 상기 제n 스캔신호에 의해 스위칭되는 제3 TFT와;  
 제1 외부전압과 연결되며 제n 에미션신호에 의해 스위칭되는 제4 TFT와;  
 상기 제1 노드에 연결되며 상기 제n 에미션신호에 의해 스위칭되는 제5 TFT와;  
 상기 제1 외부전압과 상기 제2 노드에 연결되며 제n-1 스캔신호에 의해 스위칭되는 제6 TFT와;  
 상기 제1 외부전압과 상기 제2 노드에 연결되는 스토리지 캐패시터를 포함하는 OLED 구동전류 보상회로.

#### 청구항 2

제 1 항에 있어서,

초기화 기간 동안 상기 제6 TFT는 상기 제n-1 스캔신호에 의해서 상기 제2 노드에 상기 제1 외부전압을 충전하는 OLED 구동전류 보상회로.

#### 청구항 3

제 2 항에 있어서,

샘플링 기간 동안 상기 제1 TFT는 상기 제n 스캔신호에 의해서 상기 제1 노드에 데이터 전압을 충전하는 OLED 구동전류 보상회로.

#### 청구항 4

제 3 항에 있어서,

상기 샘플링 기간 동안 상기 제3 TFT는 상기 제n 스캔신호에 의해서 상기 제2 노드에 상기 데이터 전압에 상기 구동 TFT의 문턱전압을 합한 전압을 충전하는 OLED 구동전류 보상회로.

#### 청구항 5

제 4항에 있어서,

발광 기간 동안 상기 제5 TFT는 상기 제n 에미션 신호에 의해서 상기 제1 노드에 OLED 구동전압을 충전하는 OLED 구동전류 보상회로.

#### 청구항 6

데이터라인에 연결되며 제n 스캔신호에 의해 스위칭되는 제1 TFT와;

상기 제1 TFT와 연결되는 제1 노드와 연결되는 구동 TFT와;

상기 구동 TFT와 연결되는 제2 노드에 연결되며 상기 제n 스캔신호에 의해 스위칭되는 제3 TFT와;  
 제1 외부전압과 연결되며 제n 에미션신호에 의해 스위칭되는 제4 TFT와;  
 상기 제1 노드에 연결되며 상기 제n 에미션신호에 의해 스위칭되는 제5 TFT와;  
 제2 외부전압과 상기 제2 노드에 연결되며 제n-1 스캔신호에 의해 스위칭되는 제6 TFT와;  
 상기 제1 외부전압과 상기 제2 노드에 연결되는 스토리지 캐패시터를 포함하는 OLED 구동전류 보상회로.

## 청구항 7

데이터라인에 연결되며 제n 스캔신호에 의해 스위칭되는 제1 TFT와;  
 상기 제1 TFT와 연결되는 제1 노드와 연결되는 구동 TFT와;  
 상기 구동 TFT와 연결되는 제2 노드에 연결되며 상기 제n 스캔신호에 의해 스위칭되는 제3 TFT와;  
 제1 외부전압과 연결되며 제n 에미션신호에 의해 스위칭되는 제4 TFT와;  
 상기 제1 노드에 연결되며 상기 제n 에미션신호에 의해 스위칭되는 제5 TFT와;  
 초기화 전압과 상기 제2 노드에 연결되며 제n-1 스캔신호에 의해 스위칭되는 제6 TFT와;  
 상기 제1 외부전압과 상기 제2 노드에 연결되는 스토리지 캐패시터를 포함하는 OLED 구동전류 보상회로.

## 청구항 8

초기화 기간 동안 제1 노드에 제1 외부전압(ELVDD)이 충전되고,  
 샘플링 기간 동안 순차적으로 제2 노드에 데이터 전압이 충전되고, 상기 제1 노드에 상기 데이터 전압에 구동 TFT의 문턱전압을 합한 전압이 충전되며,  
 발광 기간 동안 상기 제1 노드에 OLED 구동전압을 충전함으로써 OLED를 흐르는 구동전류가 상기 제1 외부전압(ELVDD)으로부터 영향을 받지 않는 OLED 구동전류 보상회로.

## 청구항 9

제 1항 내지 제 8항 중 어느 하나의 항에 따른 OLED 구동전류 보상회로;  
 상기 OLED 구동전류 보상회로가 구비된 표시패널;  
 상기 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로; 및  
 상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 포함하는 유기발광표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 OLED 구동전류 보상회로 및 그를 포함하는 유기발광표시장치에 관한 것이다.

### 배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.  
 [0003] 자발광 소자인 OLED는 도 1과 같은 구조를 갖는다. OLED는 애노드전극 및 캐소드전극과, 이를 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole InjecPion layer,

HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron InjecPion layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 OLED 구동전류 보상회로들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 OLED 구동전류 보상회로들의 휘도를 조절한다. OLED 구동전류 보상회로들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류( $I_{OLED}$ )를 제어하는 구동 TFT(Thin Film Transistor), 구동 TFT의 게이트-소스 간 전압을 한 프레임 동안 일정하게 유지시키는 커페시터, 및 게이트신호에 응답하여 구동 TFT의 게이트-소스 간 전압을 설정하는 적어도 하나 이상의 스위치 TFT를 포함한다. 구동전류( $I_{OLED}$ )는 관계식( $I_{OLED}=k(V_{sg}-V_{th})^2$ )에서 알 수 있듯이 데이터전압에 따른 구동 TFT의 게이트-소스 간 전압과, 구동 TFT의 문턱전압, 및 구동 TFT의 전자이동도( $k$ 는 TFT의 전자 이동도, 기생 커페시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.)에 의해 결정된다.

[0005] OLED를 구동함에 따라 TFT의 문턱전압의 불균일이 발생하게 되며, 이는 구동전류 관계식에서 알 수 있듯이 구동전류에 변화를 초래한다. 이러한 불균일 특성을 보상하기 위하여 OLED 구동전류 보상회로를 사용하게 되며, 이러한 OLED 구동전류 보상회로는 픽셀 내부에 다수의 TFT를 구비하게 된다.

[0006] 도 2는 종래 기술에 의한 보상회로 구조를 나타내는 도면이고, 도 3은 도 2에 도시된 OLED 구동전류 보상회로에 제공되는 구동신호를 나타내는 도면이다.

[0007] 도2 및 도3을 참조하면, 종래의 OLED 구동전류 보상회로의 동작은 다음과 같다.

[0008] 한 프레임기간은, 노드 A를 초기화하는 초기화 기간(data[m-1]), 구동 TFT(D-TFT)의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간(data[m]), 및 샘플링된 문턱전압을 포함하여 구동 TFT(D-TFT)의 게이트-소스 간 전압을 설정하고, 상기 설정된 게이트-소스 간 전압에 따른 구동전류로 OLED를 발광시키는 발광기간(data[m+1])으로 나뉘어질 수 있다.

[0009] 초기화 기간(data[m-1])에 T4, T6가 ON되어 노드 A를 초기화 전압(Vint)으로 초기화시킨다. 샘플링 기간(data[m])에 T1, T3가 ON되어 A node는 Vdata-Vth로 샘플링된다. 발광 기간(data[m+1])에 T2, T5가 ON되어 결론적으로 OLED에 흐르는 구동전류( $I_{OLED}$ )가 하기와 같은 [수학식 1]을 만족하게 된다.

[0010] [수학식 1]

$$I_{OLED}=k(V_{sg}-V_{th})^2=k(V_s-V_g-V_{th})^2=k(ELVDD-V_{data}+V_{th}-V_{th})^2$$

$$=k(ELVDD-V_{data})^2$$

[0013] 종래의 OLED 구동전류 보상회로 역시 [수학식 1]에서 알 수 있듯이 문턱전압( $V_{th}$ )에 의한 영향은 받지 않으나, 종래의 OLED 구동전류 보상회로는 [수학식 1]에서 알 수 있듯이 OLED에 흐르는 구동전류( $I_{OLED}$ )가 제1 외부전압(ELVDD)에 의한 영향을 받게 되며 이로 인하여 구동전류( $I_{OLED}$ )의 불균일이 발생하고 휘도는 구동전류( $I_{OLED}$ )에 비례하므로 결국 휘도의 불균일이 발생하게 된다. 뿐만 아니라 도 2에서 볼 수 있듯이 7개의 TFT와 1개의 커페시터 그리고 초기화 전압(Vint) 배선이 필요하므로 고집적도 구현이 필요하다.

## 발명의 내용

### 해결하려는 과제

[0014] 따라서, 각 OLED 구동전류 보상회로 내 TFT의 개수를 줄임으로써 고집적도를 구현하고, 발광 기간에 구동전류가 제1 외부전압(ELVDD)에 의한 영향을 받지 않는 OLED 구동전류 보상회로와 그를 포함하는 유기발광 표시장치를 제공하는 데 있다.

[0015]

### 과제의 해결 수단

- [0016] 발광 기간 동안에 OLED를 흐르는 구동전류( $I_{OLED}$ )가 제1 외부전압(V<sub>data</sub>)과 OLED 구동전압(V<sub>OLED</sub>)간의 차이에 의해서만 영향을 받게 되도록 즉, 제1 외부전압(ELVDD)에 의한 영향을 받지 않을 수 있도록 제1 TFT(T1)의 제1 및 제2 전극은 각각 제m 데이터라인(data[m])과 노드 N2에 연결되고 게이트 전극은 제n 스캔라인(Scan[n])에 연결되며, 제2 TFT(T2)의 제1 및 제2 전극은 각각 제3 TFT(T3) 및 노드 N2에 연결되고 게이트전극은 노드 N1에 연결되며, 제3 TFT(T3)의 제1 및 제2 전극은 각각 노드 N1과 제2 TFT(T2)에 연결되고 게이트전극은 제n 스캔라인(Scan[n])에 연결되며, 제4 TFT(T4)의 제1 및 제2 전극은 각각 제1 외부전압(ELVDD) 라인과 제3 TFT(T3)에 연결되고 게이트전극은 제n 에미션라인(EM[n])에 연결되며, 제5 TFT(T5)의 제1 및 제2 전극은 각각 노드 N2와 OLED의 애노드 전극에 연결되고 게이트전극은 제n 에미션라인(EM[n])에 연결되며, 제6 TFT(T6)의 제1 및 제2 전극은 각각 제1 외부전압(ELVDD), 제2 외부전압(ELVSS) 또는 초기화 전압(V<sub>init</sub>) 라인과 노드 N1에 연결되고 게이트전극은 제n-1 스캔라인(Scan[n-1])에 연결되며, 스토리지 커패시터(Cst)는 노드 N1과 제1 외부전압(ELVDD) 라인 사이에 연결되도록 구성한다.
- [0017] 초기화 기간에 제n-1 스캔신호만이 하이레벨 전압으로 입력되고 제6 TFT가 턴-온되어 노드 N1에 제1 외부전압(ELVDD)을 충전하도록 구성한다.
- [0018] 샘플링 기간에 제n 스캔신호만이 하이레벨 전압으로 입력되고 제1 및 제3 TFT가 턴-온되어 노드 N1에 V<sub>data</sub>+V<sub>th</sub>, 노드 N2에 데이터 전압(V<sub>data</sub>)을 각각 충전하도록 구성한다.
- [0019] 발광 기간에 제n 에미션신호만이 하이레벨 전압으로 입력되고 제4 및 제5 TFT가 턴-온되어 노드 N1은 V<sub>data</sub>+V<sub>th</sub>로 유지되고, 노드 N2에 OLED 구동전압(V<sub>OLED</sub>)을 충전하도록 구성한다.

### 발명의 효과

- [0020] 본 발명은 6개의 트랜지스터와 1개의 캐퍼시터로 구성되는 보상회로를 가지므로 고집적도 구현이 용이하다. 또한, 제1 외부전압(ELVDD)에 의한 영향을 받지 않는 OLED 구동전류 보상회로를 구성함으로써 구동전류( $I_{OLED}$ )의 불균일을 보상할 수 있고 결국 휙도의 불균일을 보상할 수 있다.

[0021]

### 도면의 간단한 설명

- [0022] 도 1은 OLED와 그 발광원리를 보여주는 도면.  
 도 2는 종래 발명의 일 보상회로 구조를 보여주는 등가 회로도.  
 도 3은 도 2의 보상회로에 인가되는 구동신호를 보여주는 과정도.  
 도 4는 본 발명의 실시 예에 따른 유기발광 표시장치.  
 도 5는 본 발명의 일 보상회로 구조를 보여주는 등가 회로도.  
 도 6은 도 5의 보상회로에 인가되는 구동신호를 보여주는 과정도.  
 도 7, 8 및 도9는 각각 도 6의 구동신호에 따른 보상회로의 등가 회로도.  
 도 10은 보상회로들의 동작 기간에 대응하는 각 노드의 전위를 나타내는 도면.  
 도 11 및 도 12는 도 5에 도시된 보상회로 구조의 일 변형 예들을 보여주는 등가 회로도.

### 발명을 실시하기 위한 구체적인 내용

- [0023] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 본 발명의 실시예에서는 보상회로를 구성하는 트랜지스터들이 모두 N 타입으로 구현되는 것만

을 개시하고 있으나, 본 발명의 기술적 사상은 이에 한정되지 않고 P 타입으로 구현되는 경우에도 적용될 수 있다.

[0024] 이하, 도 4 내지 도 12를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0025] 도 4는 본 발명의 실시 예에 따른 유기발광 표시장치를 보여준다.

도 4를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 보상회로들(PXL)이 형성된 표시패널(10)과, 데이터라인들(14)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(15)을 구동시키기 위한 게이트 구동회로(13)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(11)를 구비한다.

[0027] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 보상회로(PXL)들이 매트릭스 형태로 배치된다. 동일 수평라인 상에 배치된 보상회로(PXL)들은 하나의 보상회로행을 이룬다. 일 보상회로행에 배치된 보상회로(PXL)들은 일 게이트라인(15)에 접속되며, 일 게이트라인(15)은 적어도 하나 이상의 스캔라인과 적어도 하나 이상의 에미션라인을 포함할 수 있다. 즉, 각 보상회로(PXL)는 1개의 데이터라인(14)과, 적어도 하나 이상의 스캔라인 및 에미션라인에 접속될 수 있다. 보상회로(PXL)들은 도시하지 않은 전원발생부로부터 고전위 및 제2 외부전압(ELVDD, ELVSS)과 초기화 전압(Vinit)을 공통으로 공급받을 수 있다. 초기화 기간 및 샘플링 기간에서 OLED의 불필요한 발광이 방지되도록 초기화 전압(Vinit)은 OLED의 동작 전압보다 충분히 낮은 전압 범위 내에서 선택됨이 바람직하며, 제2 외부전압(ELVSS)과 같거나 그보다 낮게 설정될 수 있다.

[0028] 보상회로(PXL)를 구성하는 TFT들은 산화물 반도체층을 포함한 산화물 TFT로 구현될 수 있다. 산화물 TFT는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 TFT의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.

[0029] 각 보상회로(PXL)는 구동 TFT의 문턱전압 변화를 보상하기 위해 다수의 TFT들과 스토리지 커페시터를 포함하는데, 본 발명은 접적도를 높이고 제1 외부전압의 IR 드롭을 용이하게 보상할 수 있는 보상회로 구조를 제안한다. 이에 대해서는 도 4 내지 도 12를 통해 상세히 후술한다.

[0030] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.

[0031] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.

[0032] 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 에미션신호를 생성할 수 있다. 게이트 구동회로(13)는 스캔 구동부와 에미션 구동부를 포함할 수 있다. 스캔 구동부는 각 보상회로행마다 연결된 적어도 하나 이상의 스캔라인을 구동하기 위해 행 순차 방식으로 스캔신호를 생성하여 스캔라인들에 공급할 수 있다. 에미션 구동부는 각 보상회로행마다 연결된 적어도 하나 이상의 에미션라인을 구동하기 위해 행 순차 방식으로 에미션신호를 생성하여 에미션라인들에 공급할 수 있다.

[0033] 이러한 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있다.

[0034] 도 5는 본 발명의 일 보상회로 구조를 보여주는 등가 회로도이다. 그리고, 도 6은 도 5의 보상회로에 인가되는 신호를 보여주는 과정도이다.

[0035] 도 5를 참조하면, n(n은 자연수)번째 보상회로 행에 배치된 각 보상회로(PXL)는 OLED, 제1 TFT(T1), 제2 TFT(T2), 제3 TFT(T3), 제4 TFT(T4), 제5 TFT(T5), 제6 TFT(T6), 스토리지 커페시터(Cst)를 포함한다.

[0036] 도 1과 같이 OLED의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole InjecPion layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron InjecPion layer, EIL)을 포함한다. OLED의 애노드전극은 제5 TFT(T5)에 연결되고, 그의 캐소드전극은 제2 외부전압(ELVSS)의 입력단에

연결된다.

[0037] 제1 TFT(T1)의 제1 및 제2 전극은 각각 제m 데이터라인(data[m])과 노드 N2에 연결되고, 게이트 전극은 제n 스캔라인(Scan[n])에 연결된다. 즉, 제1 TFT(T1)는 제n 스캔신호에 응답하여 제m 데이터라인(data[m])과 노드 N2를 연결한다.

[0038] 제2 TFT(T2)의 제1 및 제2 전극은 각각 제3 TFT(T3) 및 노드 N2에 연결되고, 게이트전극은 노드 N1에 연결된다.

[0039] 제3 TFT(T3)의 제1 및 제2 전극은 각각 노드 N1과 제2 TFT(T2)에 연결되며, 게이트전극은 제n 스캔라인(Scan[n])에 연결된다. 즉, 제3 TFT(T3)는 제n 스캔신호에 응답하여 노드 N1과 제2 TFT(T2)의 제1 전극을 연결한다.

[0040] 제4 TFT(T4)의 제1 및 제2 전극은 각각 제1 외부전압(ELVDD) 라인과 제3 TFT(T3)에 연결되며, 게이트전극은 제n 에미션라인(EM[n])에 연결된다. 즉, 제4 TFT(T4)는 제n 에미션신호에 응답하여 제1 외부전압(ELVDD)을 제3 TFT(T3)의 제2 전극에 제공한다.

[0041] 제5 TFT(T5)의 제1 및 제2 전극은 각각 노드 N2와 OLED의 애노드 전극에 연결되며, 게이트전극은 제n 에미션라인(EM[n])에 연결된다. 즉, 제5 TFT(T5)는 제n 에미션신호에 응답하여 OLED에 전류를 제공한다.

[0042] 제6 TFT(T6)의 제1 및 제2 전극은 각각 제1 외부전압(ELVDD) 라인과 노드 N1에 연결되며, 게이트전극은 제n-1 스캔라인(Scan[n-1])에 연결된다. 즉, 제6 TFT(T6)는 제n-1 스캔신호에 응답하여 제1 외부전압(ELVDD)을 노드 N1에 제공한다.

[0043] 스토리지 커패시터(Cst)는 노드 N1과 제1 외부전압(ELVDD) 라인 사이에 연결된다. 스토리지 커패시터(Cst)는 소스팔로워(source-follower) 방식에 따라 제2 TFT(T2)의 문턱전압을 샘플링하는 데 이용된다.

[0044] 제1 실시 예에서, n번째 보상회로행에 배치되는 보상회로의 동작을 도 6과 도 7 내지 도 9, 그리고 도 10을 참조하여 설명하면 다음과 같다. 도 7 내지 도 9는 각각 구동신호에 따른 보상회로의 등가회로도이고, 도 10은 보상회로들의 동작 기간에 대응하는 각 노드의 전위를 나타내는 도면이다.

[0045] 제1 실시 예의 제1 TFT(T1) 내지 제6 TFT(T6)는 N형 TFT로 구현되기 때문에, 각 구동신호의 하이레벨 전압은 TFT들의 턴-온 신호를 의미하고, 각 구동신호의 로우레벨 전압은 TFT들의 턴-오프 전압을 의미한다.

[0046] 한 프레임기간은, 노드 N1을 초기화하는 초기화 기간(Pi), 구동 TFT(T2)의 문턱전압을 샘플링하여 노드 N1에 저장하는 샘플링 기간(Ps), 및 샘플링된 문턱전압을 포함하여 구동 TFT(T2)의 게이트-소스 간 전압을 설정하고, 상기 설정된 게이트-소스 간 전압에 따른 구동전류로 OLED를 발광시키는 발광기간 (Pe)으로 나뉘어질 수 있다.

[0047] n 보상회로행에 배열된 보상회로들의 초기화 기간(Pi)은 (n-1) 번째 보상회로행에 데이터전압을 공급하는 (n-1)번째 수평 기간(1H) 동안에 수행된다.

[0048] 초기화 기간(Pi) 동안에, 제n-1 스캔신호는 하이레벨 전압으로 입력되고, 제n 스캔신호및 제n 에미션신호는 로우레벨 전압으로 입력된다. 이에 따라서, 제6 TFT(T6)는 제n-1 스캔신호에 의해서 턴-온 되어서 제1 외부전압(ELVDD)을 노드 N1에 충전한다.

[0049] 샘플링 기간(Ps)은 n번째 보상회로행에 배열되는 보상회로들에 데이터전압을 입력하는 n번째 수평 기간(1H) 동안에 수행된다.

[0050] 샘플링 기간(Ps) 동안에, 제n-1 스캔신호는 로우레벨 전압으로 반전되고, 제n 스캔신호는 하이레벨 전압으로 반전되고, 제n 에미션신호는 로우레벨 전압으로 유지된다.

[0051] 제n-1 스캔신호가 로우레벨로 반전됨에 따라서 제6 TFT(T6)는 턴-오프되고, 제1 외부전압(ELVDD) 라인과 노드 N1 간의 전류 경로는 차단된다.

[0052] 샘플링 기간(Ps) 동안에, 제1 TFT(T1)는 제n 스캔신호에 의해서 턴-온되고 제m 데이터 라인(data[m])과 노드 N2는 연결된다. 이에 따라서 데이터 전압(Vdata)이 노드 N2에 충전된다.

[0053] 샘플링 기간(Ps)동안에, 제3 TFT(T3)는 제n 스캔신호에 의해서 턴-온되고 노드 N2의 데이터 전압(Vdata)과 구동 TFT(T2)의 문턱전압(Vth)의 합에 해당하는 Vdata+Vth레벨의 전압이 노드 N1에 충전된다.

[0054] 발광 기간(Pe)은 샘플링 기간(Ps) 이후부터 그 다음 프레임의 초기화 기간(Pi)까지 연속된다.

[0055] 발광 기간(Pe) 동안, 제n-1 스캔신호는 로우레벨 전압으로 유지되고, 제n 스캔신호 및 제n 에미션신호는 각각 로우레벨 전압과 하이레벨 전압으로 반전된다.

[0056] 제4 TFT(T4), 제5 TFT(T5)는 제n 에미션신호에 의해서 턴-온되어 OLED 구동전압( $V_{OLED}$ )을 노드 N2에 충전한다. 따라서, 샘플링 기간(Ps) 동안에 데이터전압( $V_{data}$ )이 충전된 노드 N2는 발광기간(Pe)에서 OLED 구동전압( $V_{OLED}$ )으로 변한다. 반면에 노드 N1은 발광기간(Pe)에서 여전히  $V_{data}+V_{th}$ 로 유지된다.

[0057] 결국, 발광기간(Pe) 동안에 OLED에 흐르는 구동전류( $I_{OLED}$ )에 대한 관계식은 아래의 [수학식 2] 과 같이 된다.

[0058] [수학식 2]

$$I_{OLED} = k(V_{sg}-V_{th})^2 = k(V_{data}+V_{th}-V_{OLED})^2 = k(V_{data}-V_{OLED})^2$$

[0060] [수학식 2]에서, k는 구동 TFT(T2)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0061] OLED는 이러한 구동전류 관계식에 의해 발광함으로써 원하는 계조를 표시할 수 있다. 즉, OLED의 구동전류 ( $I_{OLED}$ ) 관계식인  $k(V_{sg}-V_{th})^2$ 를 참조하면 OLED의 구동전류는 구동 TFT의 소스 전극 전압(Vs)과 게이트 전압(Vg)간의 차이와 문턱 전압(Vth) 간의 차이에 비례함을 알 수 있으며 샘플링 기간(Ps)을 통해 최종적인 구동 전류( $I_{OLED}$ ) 관계식은  $k(V_{data}-V_{OLED})$ 가 되고 이를 통해 구동전류( $I_{OLED}$ )는 k와 데이터전압( $V_{data}$ )과 OLED 구동전압 ( $V_{OLED}$ )간의 차이에 의해서만 영향을 받게되며 제1 외부전압(ELVDD)에 의한 영향을 받지 않게 되었음을 알 수 있다.

[0062] 도 11은 제2 실시예에 의한 보상회로 구조를 나타내는 도면이다.

[0063] 도 11을 참조하여, n번째 보상회로 행에서 m번째 보상회로 열에 배치된 보상회로( $PXL[n,m]$ )에 대해서 살펴보면 다음과 같다. 이하, 제2 실시 예에서 전술한 실시 예와 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.

[0064] 도 11을 참조하여, n번째 보상회로 행에서 m번째 보상회로 열에 배치된 보상회로( $PXL[n,m]$ )에 대해서 살펴보면 다음과 같다.

[0065] 보상회로( $PXL[n,m]$ )는 OLED, 제1 TFT(T1) 내지 제6 TFT(T6) 및 스토리지 커패시터(Cst)를 포함한다. 본 발명의 실시 예에서는 각 트랜지스터들이 N 타입으로 구현되는 것을 개시하고 있으나, 각 트랜지스터들의 반도체 타입은 이에 한정되지 않는다. 만약 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6)가 P 타입으로 구현되는 경우에는 도 6에 도시되는 구동신호들은 반전되어야 한다.

[0066] 제2 실시예의 제1 실시예 대비 차이점은 제6 TFT(T6)이 제1 외부전압(ELVDD) 대신에 제2 외부전압(ELVSS)과 연결된다는 것이다.

[0067] 도 6을 참조하여 초기화 기간(Pi), 샘플링 기간(Ps) 및 발광 기간(Pe)에 따른 동작을 설명하면 다음과 같다.

[0068] 초기화 기간(Pi) 동안에, 제n-1 스캔신호는 하이레벨 전압으로 입력되고, 제n 스캔신호 및 제n 에미션신호는 로우레벨 전압으로 입력된다. 이에 따라서, 제6 TFT(T6)는 제n-1 스캔신호에 의해서 턴-온 되어서 제2 외부전압 (ELVSS)을 노드 N1에 충전한다.

[0069] 샘플링 기간(Ps) 동안에, 제n-1 스캔신호는 로우레벨 전압으로 반전되고, 제n 스캔신호는 하이레벨 전압으로 반전되고, 제n 에미션신호는 로우레벨 전압으로 유지된다.

[0070] 제n-1 스캔신호가 로우레벨로 반전됨에 따라서 제6 TFT(T6)는 턴-오프되고, 제2 외부전압(ELVSS) 라인과 노드 N1 간의 전류 경로는 차단된다.

[0071] 이하의 샘플링 기간(Ps)과 발광 기간(Pe)의 동작은 제1 실시예에서의 동작과 동일하며 결론적으로 발광기간 (Te) 동안에 OLED에 흐르는 구동전류( $I_{oled}$ ) 역시 동일한 관계식을 얻게 된다.

[0072] 도 12는 제 3실시예에 의한 보상회로구조를 나타내는 도면이다.

[0073] 도 12를 참조하여, n번째 보상회로 행에서 m번째 보상회로 열에 배치된 보상회로(PXL[n,m])에 대해서 살펴보면 다음과 같다. 이하, 제1 및 제2 실시 예에서 전술한 실시 예와 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.

[0074] 보상회로(PXL[n,m])는 OLED, 제1 TFT(T1) 내지 제6 TFT(T6) 및 스토리지 커패시터(Cst)를 포함한다. 본 발명의 실시 예에서는 각 트랜지스터들이 N 타입으로 구현되는 것을 개시하고 있으나, 각 트랜지스터들의 반도체 타입은 이에 한정되지 않는다. 만약 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6)가 P 타입으로 구현되는 경우에는 도 6에 도시되는 구동신호들은 반전되어야 한다.

[0075] 제3 실시예의 제1 및 제2 실시예 대비 차이점은 제6 TFT(T6)이 초기화 구동전압(Vinit)과 연결된다는 것이다.

[0076] 도 6을 참조하여 초기화 기간(Pi), 샘플링 기간( Ps) 및 발광 기간( Pe)에 따른 동작을 설명하면 다음과 같다.

[0077] 초기화 기간(Pi) 동안에, 제n-1 스캔신호는 하이레벨 전압으로 입력되고, 제n 스캔신호 및 제n 에미션신호는 로우레벨 전압으로 입력된다. 이에 따라서, 제6 TFT(T6)는 제n-1 스캔신호에 의해서 턴-온 되어서 초기화 전압(Vinit)을 노드 N1에 충전한다.

[0078] 샘플링 기간( Ps) 동안에, 제n-1 스캔신호는 로우레벨 전압으로 반전되고, 제n 스캔신호는 하이레벨 전압으로 반전되고, 제n 에미션신호는 로우레벨 전압으로 유지된다.

[0079] 제n-1 스캔신호가 로우레벨로 반전됨에 따라서 제6 TFT(T6)는 턴-오프되고, 초기화 전압(Vinit) 라인과 노드 N1 간의 전류 경로는 차단된다.

[0080] 이하의 샘플링 기간( Ps)과 발광 기간( Pe)의 동작은 제1 실시예에서의 동작과 동일하며 결론적으로 발광기간( Pe) 동안에 OLED에 흐르는 구동전류(Ioled) 역시 동일한 관계식을 얻게 된다.

[0081] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

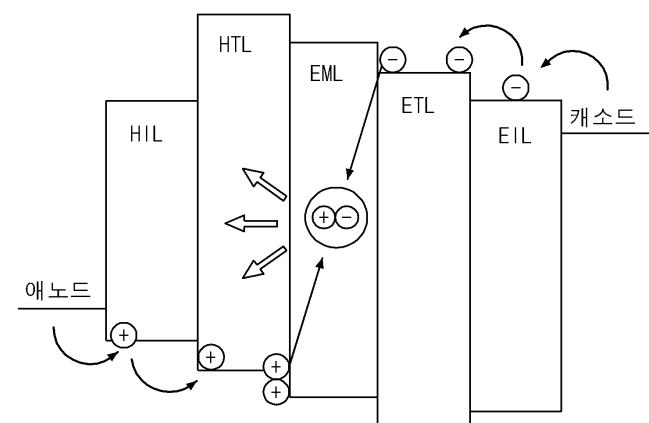
[0082] 10 : 표시패널 11 : 타이밍 콘트롤러

12 : 데이터 구동회로 13 : 게이트 구동회로

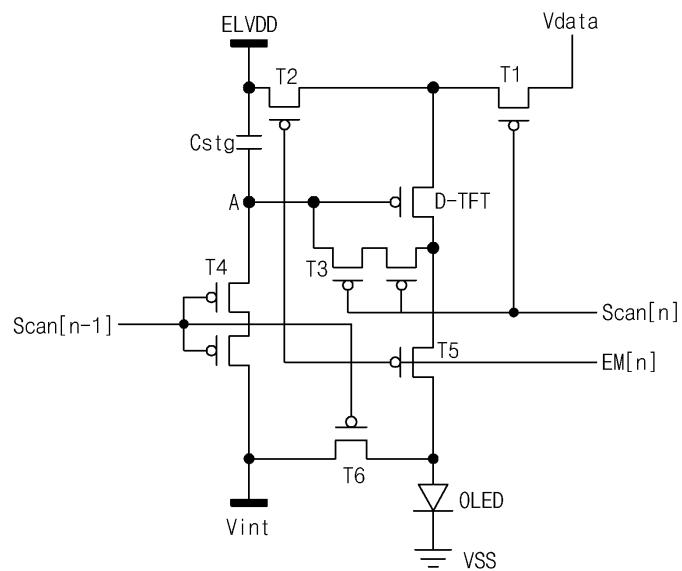
14 : 데이터라인 15 : 게이트라인

## 도면

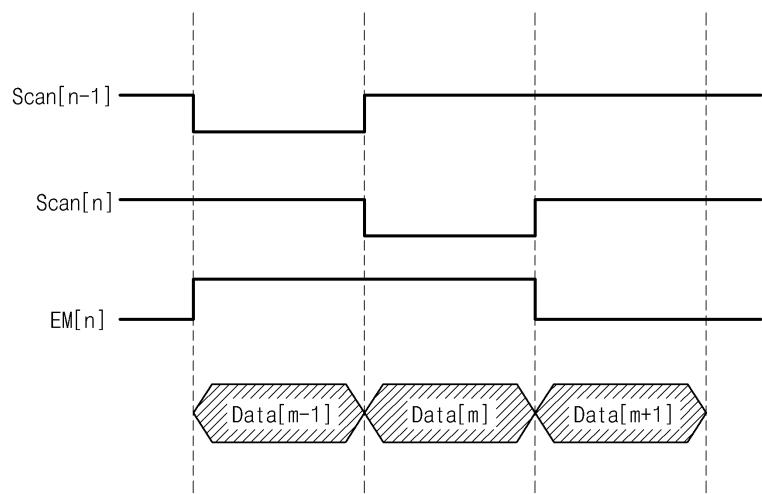
### 도면1



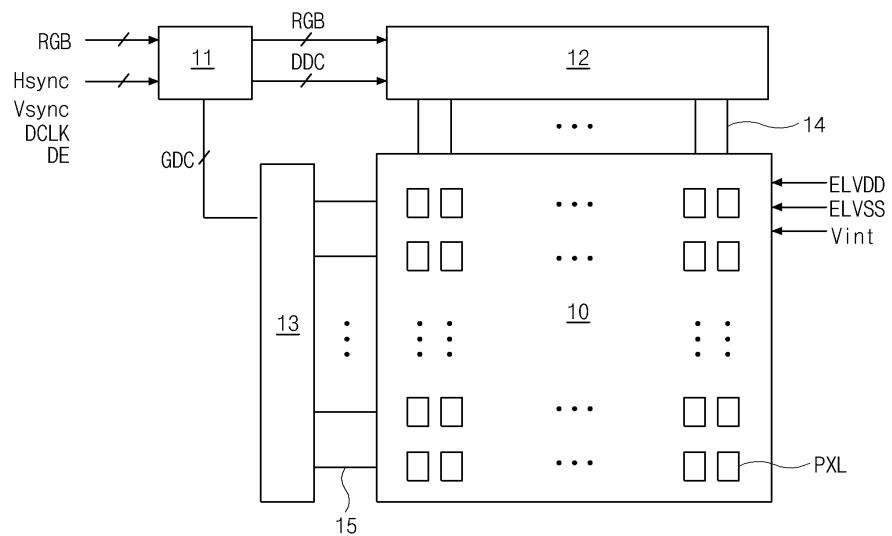
## 도면2



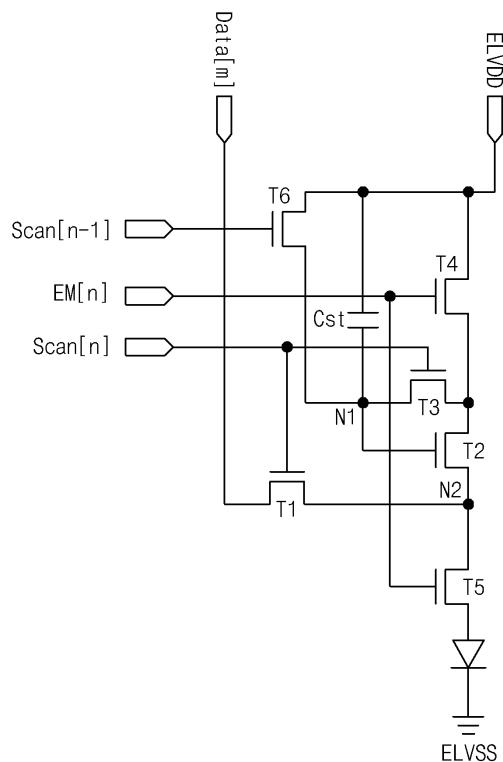
## 도면3



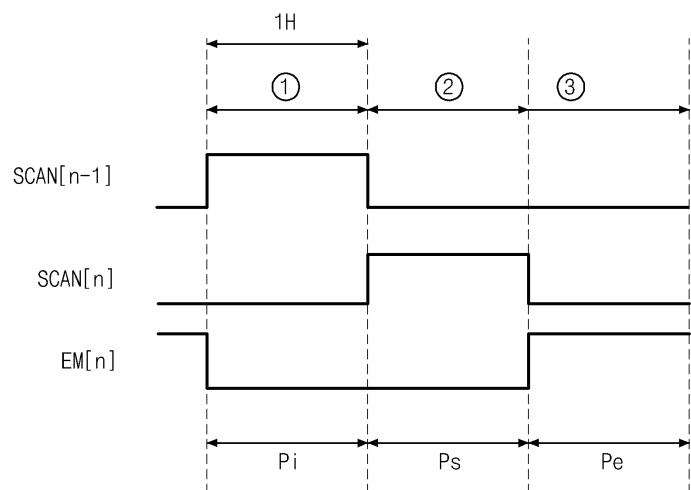
## 도면4



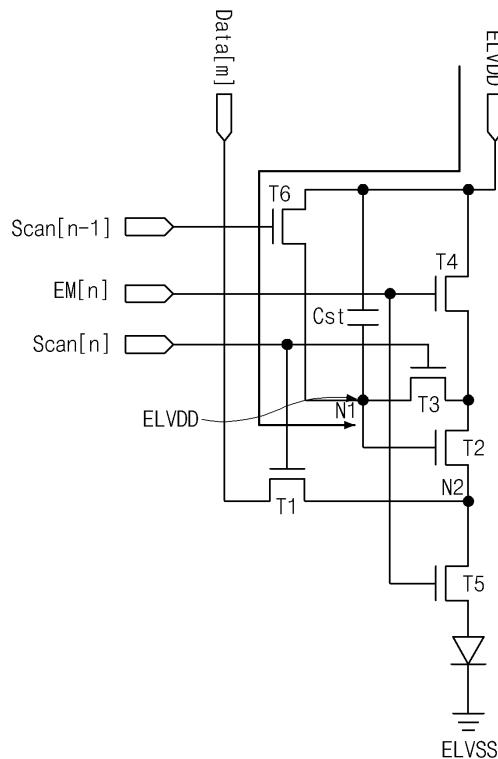
## 도면5



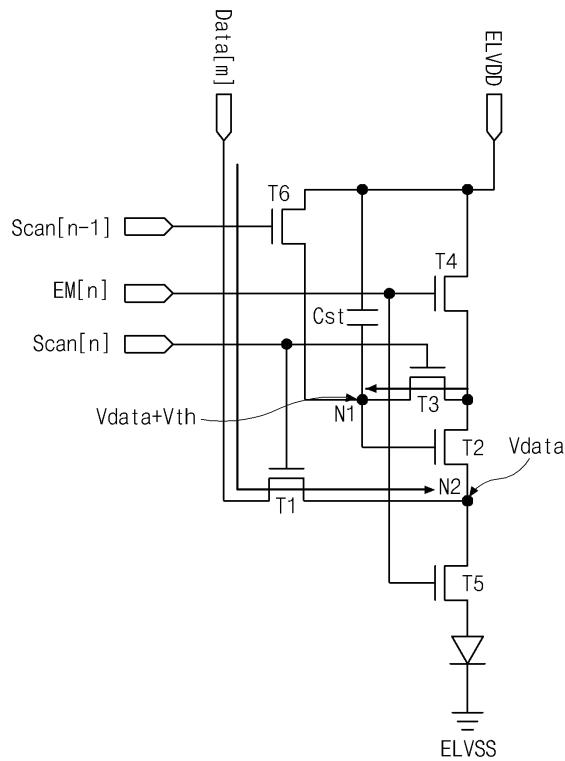
## 도면6



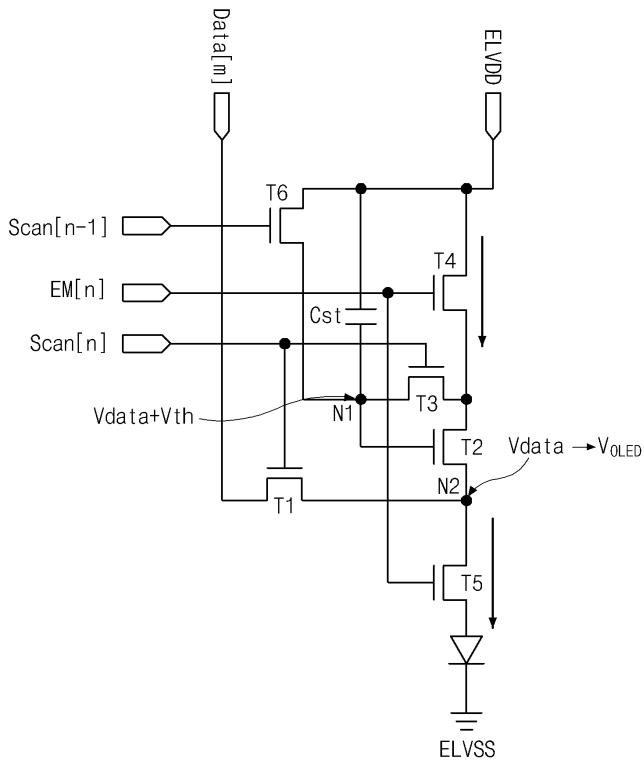
## 도면7



## 도면8



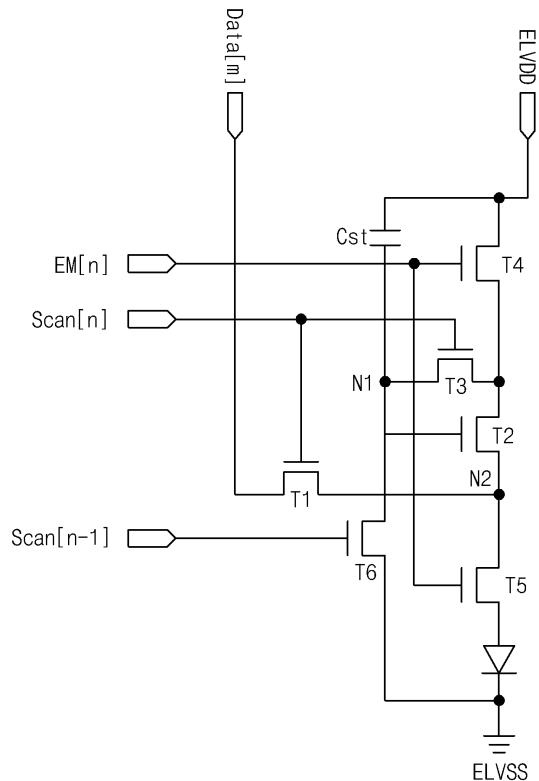
## 도면9



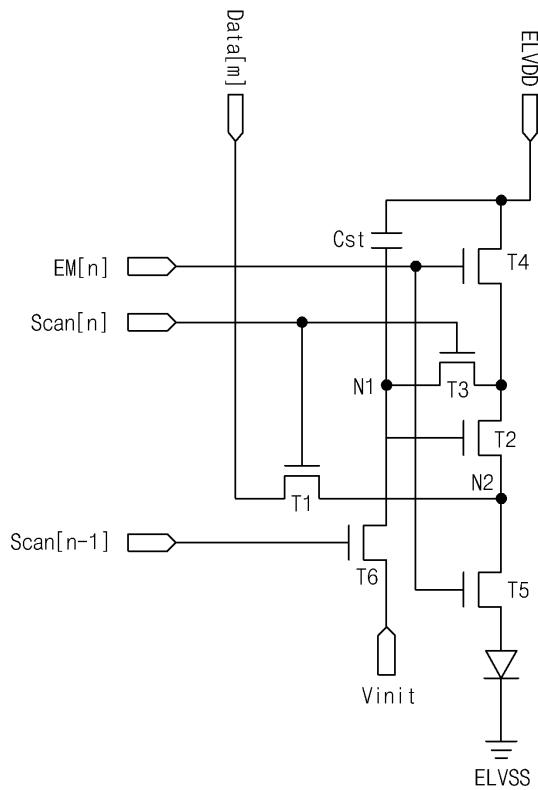
## 도면10

	Pi	Ps	Pe
N1	ELVDD	$V_{data} + V_{th}$	$V_{data} + V_{th}$
N2	$V_{OLED}$	$V_{data}$	$V_{OLED}$

## 도면11



도면12



专利名称(译)	OLED驱动电流补偿电路和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020170007574A</a>	公开(公告)日	2017-01-19
申请号	KR1020150097225	申请日	2015-07-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JUNG CHUL 김종철 KWON JUN YOUNG 권준영		
发明人	김종철 권준영		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2320/0233		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

由于驱动电流 ( $I_{(sub)}$ ) OLED ( $/ sub$ ) 与驱动TFT的源电极电压 ( $V_s$ ) 之差与栅电极电压 ( $V_g$ ) 和阈值电压 ( $V_{th}$ ) 之间的差值成比例  $k$  ( $V_{data}-V_{(sub)}$ ) OLED ( $/ sub$ ) 可以是并且如在I中看到的那样  $OLED = k ( V_{sg}-V_{th} ) 2 = k ( V_{data} + V_{th}-V_{(sub)}$ ) OLED ( $/ sub$ ) -  $V_{th} ) 2 = k ( V_{data}-V_{(sub)}$ ) OLED ( $/ sub$ )  $) 2$ ，其为本发明的OLED 驱动电流补偿电路为OLED的驱动电流 ( $I_{(sub)}$ ) OLED ( $/ sub$ ) ) 的相对公式对于发光时段的流动最终，通过此，驱动电流 ( $I_{(sub)}$ ) OLED ( $/ sub$ ) ) 相对公式，即最终通过采样时间 ( $P_s$ ) 可以知道驱动电流 ( $I_{(sub)}$ ) OLED ( $/ sub$ ) ) 受  $k$  和数据电压 ( $V_{data}$ ) 和OLED驱动电压 ( $V_{(sub)}$ ) OLED ( $/ sub$ ) ) 之间的差异的影响，不受第一外部电压 ( $ELVDD$ ) 的影响。

