



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0136517
(43) 공개일자 2016년11월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3241 (2013.01)
H01L 51/5243 (2013.01)
(21) 출원번호 10-2015-0069790
(22) 출원일자 2015년05월19일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
장주녕
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

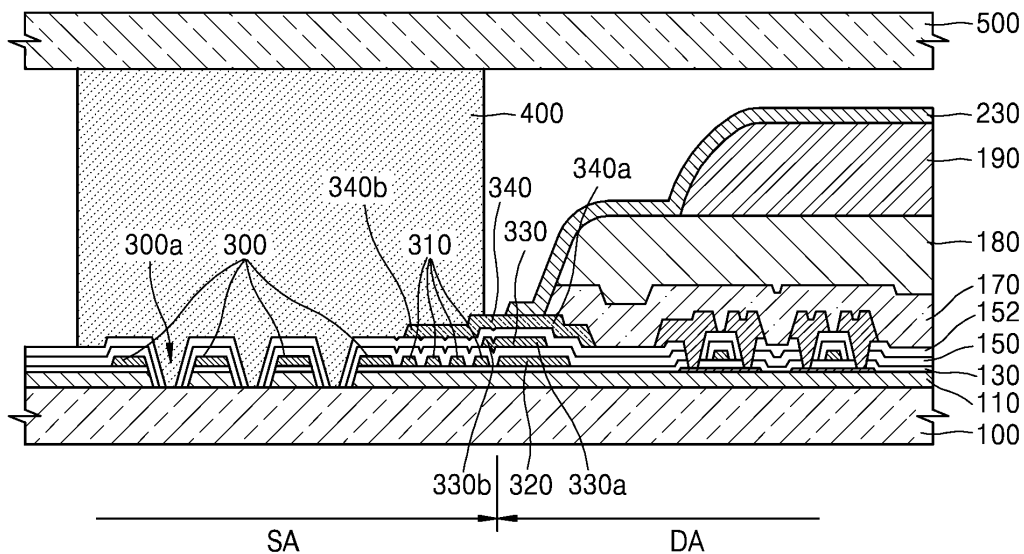
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기발광 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은 디스플레이부 외곽 회로부에서 기구 강도를 향상시킴과 동시에 외부로부터 회로부 측으로 유입되는 정 전기를 방지할 수 있는 유기발광 디스플레이 장치 및 그 제조방법을 위하여, 표시 영역과 표시 영역 외곽의 실링 영역을 갖는, 하부 기판, 상기 하부 기판에 대향하는 상부 기판, 상기 하부 기판의 표시 영역 상에 배치되는 디스플레이부, 상기 하부 기판의 실링 영역 상에 배치되어 상기 하부 기판과 상기 상부 기판을 접합하는 실링 부재, 상기 하부 기판과 상기 실링 부재 사이에 개재되며, 복수개의 관통부가 패터닝된, 금속 패턴층, 상기 금속 패턴층과 소정 간격 이격되어 상기 디스플레이부의 가장자리를 따라 배치되는, 제1 금속층 및 상기 금속 패턴층과 상기 제1 금속층 사이 이격 영역 상에 아일랜드 형태로 배치되는 복수개의 금속 패턴들을 구비하는, 유기발광 디스플레이 장치를 제공한다.

대표도 - 도3



(52) CPC특허분류

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

명세서

청구범위

청구항 1

표시 영역과 표시 영역 외곽의 실링 영역을 갖는, 하부 기관;
 상기 하부 기관에 대향하는 상부 기관;
 상기 하부 기관의 표시 영역 상에 배치되는 디스플레이부;
 상기 하부 기관의 실링 영역 상에 배치되어 상기 하부 기관과 상기 상부 기관을 접합하는 실링 부재;
 상기 하부 기관과 상기 실링 부재 사이에 개재되며, 복수개의 관통부가 패터닝된, 금속 패턴층;
 상기 금속 패턴층과 소정 간격 이격되어 상기 디스플레이부의 가장자리를 따라 배치되는, 제1 금속층; 및
 상기 금속 패턴층과 상기 제1 금속층 사이 이격 영역 상에 아일랜드 형태로 배치되는 복수개의 금속 패턴들;
 을 구비하는, 유기발광 디스플레이 장치.

청구항 2

제1항에 있어서,
 상기 금속 패턴층은 상기 제1 금속층과 동일 층에 배치되는, 유기발광 디스플레이 장치.

청구항 3

제1항에 있어서,
 상기 금속 패턴들은 상기 제1 금속층과 동일 층에 배치되는, 유기발광 디스플레이 장치.

청구항 4

제1항에 있어서,
 상기 디스플레이부는,
 박막 트랜지스터;
 상기 박막 트랜지스터에 전기적으로 연결된 화소전극; 및
 상기 화소전극에 대향하며 상기 디스플레이부 전면(全面)에 걸쳐 배치된 대향전극;을 포함하고,
 상기 금속 패턴들 및 상기 제1 금속층과 중첩되도록 상기 제1 금속층 상에 배치되고, 상기 대향전극에 면접촉하여 상기 대향전극에 전원을 공급하는, 전극전원공급라인을 더 포함하는, 유기발광 디스플레이 장치.

청구항 5

제4항에 있어서,
 상기 전극전원공급라인은 상기 금속 패턴층과 중첩되지 않도록 배치되는, 유기발광 디스플레이 장치.

청구항 6

제4항에 있어서,
 상기 제1 금속층 및 상기 금속 패턴들 중 적어도 일부와 중첩되도록 상기 제1 금속층과 상기 전극전원공급라인 사이에 개재되는 제2 금속층을 더 포함하는, 유기발광 디스플레이 장치.

청구항 7

제6항에 있어서,

상기 금속 패턴층은 상기 제2 금속층과 동일 층에 배치되는, 유기발광 디스플레이 장치.

청구항 8

제6항에 있어서,

상기 금속 패턴들 중 상기 제2 금속층과 중첩된 부분을 제외한 나머지 금속 패턴들은 상기 제2 금속층과 동일 층에 배치되는, 유기발광 디스플레이 장치.

청구항 9

제6항에 있어서,

상기 금속 패턴층과 상기 제1 금속층은 제1 간격으로 이격되어 배치되고, 상기 금속 패턴층과 상기 제2 금속층은 상기 제1 간격보다 좁은 제2 간격으로 이격되어 배치되며, 상기 금속 패턴층과 상기 전극전원공급라인은 상기 제2 간격보다 좁은 제3 간격으로 이격되어 배치되는, 유기발광 디스플레이 장치.

청구항 10

표시 영역과 표시 영역 외곽의 실링 영역을 갖는, 하부 기판을 준비하는 단계;

상기 하부 기판의 표시 영역 상에 디스플레이부를 형성하는 단계;

상기 하부 기판의 실링 영역을 따라 복수개의 관통부가 패터닝된 금속 패턴층을 형성하는 단계;

상기 금속 패턴층과 소정 간격 이격되도록 상기 디스플레이부의 가장자리 영역에 제1 금속층을 형성하는 단계;

상기 금속 패턴층과 상기 제1 금속층 사이의 이격 영역 상에 아일랜드 형상을 갖는 복수개의 금속 패턴들을 형성하는 단계;

상기 하부 기판의 실링 영역 상에 실링 부재를 형성하는 단계; 및

상기 하부 기판 상부에, 상기 하부 기판에 대향하는 상부 기판을 위치한 후, 상기 실링 부재를 통해 상기 하부 기판과 상기 상부 기판을 접합시키는 단계;

를 포함하는, 유기발광 디스플레이 장치의 제조방법.

청구항 11

제10항에 있어서,

상기 금속 패턴층을 형성하는 단계는 상기 제1 금속층을 형성하는 단계와 동시에 수행되는, 유기발광 디스플레이 장치의 제조방법

청구항 12

제10항에 있어서,

상기 금속 패턴들을 형성하는 단계는 상기 제1 금속층을 형성하는 단계와 동시에 수행되는, 유기발광 디스플레이 장치의 제조방법.

청구항 13

제10항에 있어서,

상기 디스플레이부를 형성하는 단계는,

박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터에 전기적으로 연결된 화소전극을 형성하는 단계; 및

상기 화소전극에 대향하며 상기 디스플레이부 전면(全面)에 걸쳐 대향전극을 형성하는 단계;를 포함하고,

상기 금속 패턴들 및 상기 제1 금속층과 중첩되도록 상기 제1 금속층 상에, 상기 대향전극에 면접촉하여 상기

대향전극에 전원을 공급하는, 전극전원공급라인을 형성하는 단계를 더 포함하는, 유기발광 디스플레이 장치의 제조방법.

청구항 14

제13항에 있어서,

상기 전극전원공급라인은 상기 금속 패턴층과 중첩되지 않도록 형성되는, 유기발광 디스플레이 장치의 제조방법.

청구항 15

제13항에 있어서,

상기 제1 금속층 및 상기 금속 패턴들 중 적어도 일부와 중첩되도록, 상기 제1 금속층을 형성하는 단계와 상기 전극전원공급라인을 형성하는 단계 사이에 제2 금속층을 형성하는 단계를 더 포함하는, 유기발광 디스플레이 장치의 제조방법.

청구항 16

제15항에 있어서,

상기 금속 패턴층을 형성하는 단계는 상기 제2 금속층을 형성하는 단계와 동시에 수행되는, 유기발광 디스플레이 장치의 제조방법.

청구항 17

제15항에 있어서,

상기 금속 패턴들 중 상기 제2 금속층과 중첩된 부분을 제외한 나머지 금속 패턴들은 상기 제2 금속층과 동일층에 형성되는, 유기발광 디스플레이 장치의 제조방법.

청구항 18

제15항에 있어서,

상기 금속 패턴층과 상기 제1 금속층은 제1 간격으로 이격되어 형성되고, 상기 금속 패턴층과 상기 제2 금속층은 상기 제1 간격보다 좁은 제2 간격으로 이격되어 형성되며, 상기 금속 패턴층과 상기 전극전원공급라인은 상기 제2 간격보다 좁은 제3 간격으로 이격되어 형성되는, 유기발광 디스플레이 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 디스플레이부 외곽 회로부에서 기구 강도를 향상시키고 동시에 외부로부터 회로부 측으로 유입되는 정전기를 방지할 수 있는 유기발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 디스플레이 장치들 중, 유기발광 디스플레이 장치는 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가지고 있어 차세대 디스플레이 장치로서 주목을 받고 있다.

[0003] 일반적으로 유기발광 디스플레이 장치는 기판 상에 박막 트랜지스터 및 유기발광소자들을 형성하고, 유기발광소자들이 스스로 빛을 발광하여 작동한다. 이러한 유기발광 디스플레이 장치는 휴대폰 등과 같은 소형 제품의 표시부로 사용되기도 하고, 텔레비전 등과 같은 대형 제품의 표시부로 사용되기도 한다.

[0004] 유기발광 디스플레이 장치는 디스플레이부로서 화소전극과 대향전극 사이에 발광층을 포함하는 중간층이 개재된 유기발광소자를 각 (부)화소로 갖는다. 이러한 디스플레이부 외곽에는 실링부재가 배치되어 디스플레이부를 밀봉한다.

발명의 내용

해결하려는 과제

- [0005] 그러나 이러한 종래의 유기발광 디스플레이 장치에는, 디스플레이부 외곽의 기구 강도를 개선하기 위해 적용되는 구조에 의해 실링부재와 디스플레이부 사이에 집중된 정전기가 배선을 타고 회로부 또는 화소에 불량을 일으키는 등 고품질의 이미지를 디스플레이 하기 어려운 문제점이 존재하였다.
- [0006] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 디스플레이부 외곽 회로부에서 기구 강도를 향상시킴과 동시에 외부로부터 회로부 측으로 유입되는 정전기를 방지할 수 있는 유기발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

- [0007] 본 발명의 일 관점에 따르면, 표시 영역과 표시 영역 외곽의 실링 영역을 갖는, 하부 기판, 상기 하부 기판에 대향하는 상부 기판, 상기 하부 기판의 표시 영역 상에 배치되는 디스플레이부, 상기 하부 기판의 실링 영역 상에 배치되어 상기 하부 기판과 상기 상부 기판을 접합하는 실링 부재, 상기 하부 기판과 상기 실링 부재 사이에 개재되며, 복수개의 관통부가 패터닝된, 금속 패턴층, 상기 금속 패턴층과 소정 간격 이격되어 상기 디스플레이부의 가장자리를 따라 배치되는, 제1 금속층 및 상기 금속 패턴층과 상기 제1 금속층 사이 이격 영역 상에 아일랜드 형태로 배치되는 복수개의 금속 패턴들을 구비하는, 유기발광 디스플레이 장치가 제공된다.
- [0008] 본 실시예에 있어서, 상기 금속 패턴층은 상기 제1 금속층과 동일 층에 배치될 수 있다.
- [0009] 본 실시예에 있어서, 상기 금속 패턴들은 상기 제1 금속층과 동일 층에 배치될 수 있다.
- [0010] 본 실시예에 있어서, 상기 디스플레이부는, 박막 트랜지스터, 상기 박막 트랜지스터에 전기적으로 연결된 화소전극 및 상기 화소전극에 대향하며 상기 디스플레이부 전면(全面)에 걸쳐 배치된 대향전극을 포함하고, 상기 금속 패턴들 및 상기 제1 금속층과 중첩되도록 상기 제1 금속층 상에 배치되고, 상기 대향전극에 면접촉하여 상기 대향전극에 전원을 공급하는, 전극전원공급라인을 더 포함할 수 있다.
- [0011] 본 실시예에 있어서, 상기 전극전원공급라인은 상기 금속 패턴층과 중첩되지 않도록 배치될 수 있다.
- [0012] 본 실시예에 있어서, 상기 제1 금속층 및 상기 금속 패턴들 중 적어도 일부와 중첩되도록 상기 제1 금속층과 상기 전극전원공급라인 사이에 개재되는 제2 금속층을 더 포함할 수 있다.
- [0013] 본 실시예에 있어서, 상기 금속 패턴층은 상기 제2 금속층과 동일 층에 배치될 수 있다.
- [0014] 본 실시예에 있어서, 상기 금속 패턴들 중 상기 제2 금속층과 중첩된 부분을 제외한 나머지 금속 패턴들은 상기 제2 금속층과 동일 층에 배치될 수 있다.
- [0015] 본 실시예에 있어서, 상기 금속 패턴층과 상기 제1 금속층은 제1 간격으로 이격되어 배치되고, 상기 금속 패턴층과 상기 제2 금속층은 상기 제1 간격보다 좁은 제2 간격으로 이격되어 배치되며, 상기 금속 패턴층과 상기 전극전원공급라인은 상기 제2 간격보다 좁은 제3 간격으로 이격되어 배치될 수 있다.
- [0016] 본 발명의 다른 관점에 따르면, 표시 영역과 표시 영역 외곽의 실링 영역을 갖는, 하부 기판을 준비하는 단계, 상기 하부 기판의 표시 영역 상에 디스플레이부를 형성하는 단계, 상기 하부 기판의 실링 영역을 따라 복수개의 관통부가 패터닝된 금속 패턴층을 형성하는 단계, 상기 금속 패턴층과 소정 간격 이격되도록 상기 디스플레이부의 가장자리 영역에 제1 금속층을 형성하는 단계, 상기 금속 패턴층과 상기 제1 금속층 사이의 이격 영역 상에 아일랜드 형상을 갖는 복수개의 금속 패턴들을 형성하는 단계, 상기 하부 기판의 실링 영역 상에 실링 부재를 형성하는 단계 및 상기 하부 기판 상부에, 상기 하부 기판에 대향하는 상부 기판을 위치한 후, 상기 실링 부재를 통해 상기 하부 기판과 상기 상부 기판을 접합시키는 단계를 포함하는, 유기발광 디스플레이 장치의 제조방법이 제공된다.
- [0017] 본 실시예에 있어서, 상기 금속 패턴층을 형성하는 단계는 상기 제1 금속층을 형성하는 단계와 동시에 수행될 수 있다.
- [0018] 본 실시예에 있어서, 상기 금속 패턴들을 형성하는 단계는 상기 제1 금속층을 형성하는 단계와 동시에 수행될 수 있다.

- [0019] 본 실시예에 있어서, 상기 디스플레이부를 형성하는 단계는, 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터에 전기적으로 연결된 화소전극을 형성하는 단계 및 상기 화소전극에 대향하며 상기 디스플레이부 전면(全面)에 걸쳐 대향전극을 형성하는 단계를 포함하고, 상기 금속 패턴들 및 상기 제1 금속층과 중첩되도록 상기 제1 금속층 상에, 상기 대향전극에 면접촉하여 상기 대향전극에 전원을 공급하는, 전극전원공급라인을 형성하는 단계를 더 포함할 수 있다.
- [0020] 본 실시예에 있어서, 상기 전극전원공급라인은 상기 금속 패턴층과 중첩되지 않도록 형성될 수 있다.
- [0021] 상기 제1 금속층 및 상기 금속 패턴들 중 적어도 일부와 중첩되도록, 상기 제1 금속층을 형성하는 단계와 상기 전극전원공급라인을 형성하는 단계 사이에 제2 금속층을 형성하는 단계를 더 포함할 수 있다.
- [0022] 본 실시예에 있어서, 상기 금속 패턴층을 형성하는 단계는 상기 제2 금속층을 형성하는 단계와 동시에 수행될 수 있다.
- [0023] 본 실시예에 있어서, 상기 금속 패턴들 중 상기 제2 금속층과 중첩된 부분을 제외한 나머지 금속 패턴들은 상기 제2 금속층과 동일 층에 형성될 수 있다.
- [0024] 본 실시예에 있어서, 상기 금속 패턴층과 상기 제1 금속층은 제1 간격으로 이격되어 형성되고, 상기 금속 패턴층과 상기 제2 금속층은 상기 제1 간격보다 좁은 제2 간격으로 이격되어 형성되며, 상기 금속 패턴층과 상기 전극전원공급라인은 상기 제2 간격보다 좁은 제3 간격으로 이격되어 형성될 수 있다.
- [0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.
- [0026] 이러한 일반적이고 구체적인 측면이 시스템, 방법, 컴퓨터 프로그램, 또는 어떠한 시스템, 방법, 컴퓨터 프로그램의 조합을 사용하여 실시될 수 있다.

발명의 효과

- [0027] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 디스플레이부 외곽 회로부에서 기구 강도를 향상시킴과 동시에 외부로부터 회로부 측으로 유입되는 정전기를 방지할 수 있는 유기발광 디스플레이 장치 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.
- 도 2는 도 1의 유기발광 디스플레이 장치를 II-II 선을 따라 취한 단면을 개략적으로 도시하는 단면도이다.
- 도 3은 도 1의 유기발광 디스플레이 장치를 III-III 선을 따라 취한 단면을 개략적으로 도시하는 단면도이다.
- 도 4는 도 3의 일부 구조를 개략적으로 도시하는 평면도들이다.
- 도 5는 본 발명의 다른 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0031] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0032] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일

하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

- [0033] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0034] 한편, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 "바로 위에" 또는 "바로 상에" 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0035] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0036] x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.
- [0037] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0038] 도 1은 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 평면도이고, 도 2는 도 1의 유기발광 디스플레이 장치를 II-II 선을 따라 취한 단면을 개략적으로 도시하는 단면도이며, 도 3은 도 1의 유기발광 디스플레이 장치를 III-III 선을 따라 취한 단면을 개략적으로 도시하는 단면도이다.
- [0039] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치는 하부 기판(100), 하부 기판(100) 상에 배치되는 디스플레이부(200), 금속 패터층(300), 금속 패터층(300)의 일 측 방향에 배치되는 금속 패터들(310), 금속 패터층(300) 상에 배치되는 실링 부재(400), 실링 부재(400)를 통해 하부 기판(100)과 접합되는 상부 기판(500)을 구비한다.
- [0040] 하부 기판(100)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등, 다양한 재료로 형성된 것일 수 있다. 이러한 하부 기판(100)은 복수개의 화소들을 포함하는 디스플레이부(200)가 배치되는 표시 영역(DA)과, 이 표시 영역(DA)을 감싸는 실링 영역(SA)을 가질 수 있다. 상부 기판(500)은 하부 기판(100)과 마찬가지로, 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등, 다양한 재료로 형성된 것일 수 있다. 하부 기판(100)과 상부 기판(500)은 동일한 재료로 형성된 것일 수도 있고, 서로 상이한 재료로 형성된 것일 수도 있다.
- [0041] 하부 기판(100)과 상부 기판(500) 사이에는 실링 부재(400)가 배치될 수 있다. 이러한 실링 부재(400)는 하부 기판(100)의 실링 영역(SA) 상에는 배치될 수 있으며, 실링 부재(400)를 통해 상부 기판(500)을 하부 기판(100)에 접합하여 밀봉시킬 수 있다. 예컨대 실링 부재(400)는 프릿(frit) 또는 에폭시 등으로 형성할 수 있는데, 물론 본 발명이 이에 한정되는 것은 아니다.
- [0042] 디스플레이부(200)는 하부 기판(100)의 표시 영역(DA) 상에 배치되며 복수개의 화소(PX)들을 포함할 수 있다. 예컨대 디스플레이부(200)는 복수개의 박막 트랜지스터들과 이에 연결된 화소전극들을 포함하는 유기발광 디스플레이부일 수도 있고, 액정 디스플레이부일 수도 있다. 본 실시예에서는 디스플레이부(200)가 유기발광 디스플레이부인 경우에 대하여 설명한다. 이러한 디스플레이부(200)의 구체적인 구조에 관하여는 도 2에서 상세하게 도시되어 있다.
- [0043] 도 2를 참조하면, 디스플레이부(200)는 박막 트랜지스터(TFT), 커패시터(미도시) 및 박막 트랜지스터(TFT)와 전기적으로 연결된 유기발광소자(240)를 포함할 수 있다. 박막 트랜지스터(TFT)는 비정질실리콘, 다결정실리콘 또는 유기반도체물질을 포함하는 반도체층(120), 게이트 전극(140), 소스 전극(162) 및 드레인 전극(160)을 포함할 수 있다. 이하 박막 트랜지스터(TFT)의 일반적인 구성을 자세히 설명한다.
- [0044] 먼저 하부 기판(100) 상에는 하부 기판(100)의 면을 평탄화하기 위해 또는 박막 트랜지스터(TFT)의 반도체층(120)으로 불순물 등이 침투하는 것을 방지하기 위해, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성된

버퍼층(110)이 배치되고, 이 버퍼층(110) 상에 반도체층(120)이 위치하도록 할 수 있다.

- [0045] 반도체층(120)의 상부에는 게이트 전극(140)이 배치되는데, 이 게이트 전극(140)에 인가되는 신호에 따라 소스 전극(162) 및 드레인 전극(160)이 전기적으로 소통된다. 게이트 전극(140)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0046] 이때 반도체층(120)과 게이트 전극(140)과의 절연성을 확보하기 위하여, 실리콘옥사이드 및/또는 실리콘나이트라이드 등으로 형성되는 게이트 절연막(130)이 반도체층(120)과 게이트 전극(140) 사이에 개재될 수 있다.
- [0047] 게이트 전극(140)의 상부에는 층간 절연막(150, 152)들이 배치될 수 있는데, 이는 실리콘옥사이드 또는 실리콘나이트라이드 등의 물질로 단층으로 형성되거나 또는 도시된 것과 같이 다층으로 형성될 수 있다. 이와 같이 층간 절연막(150, 152)이 다층 구조로 형성된 경우에는, 층간 절연막(150, 152)은 하부 층간 절연막(150)과 상부 층간 절연막(152)을 포함할 수 있다.
- [0048] 도면에는 도시되지 않았으나, 상술한 것과 같이 층간 절연막(150, 152)이 다층 구조로 형성되는 경우에는, 다른 실시예로서 박막 트랜지스터(TFT)를 포함하는 백 플레인층의 구조에 따라 게이트 전극(140) 상부에 게이트 전극(140)과 일부 중첩되는 도전층(미도시)을 더 구비할 수 있다. 이러한 도전층은 하부 층간 절연막(150)과 상부 층간 절연막(152) 사이에 형성될 수 있고, 이 경우 하부 층간 절연막(150)은 게이트 전극(140)과 상기 도전층을 절연하는 절연막으로서의 기능을 할 수 있다. 게이트 전극(140) 상부에 형성된 도전층 중 게이트 전극(140)과 중첩되는 부분은 커패시터로서의 기능을 가질 수 있다. 즉, 하부에 배치된 게이트 전극(140)이 커패시터의 하부 전극이 되고, 상부에 배치된 도전층이 커패시터의 상부 전극이 되는 것으로 이해될 수 있다. 이 경우에는 하부 층간 절연막(150)은 유전막의 기능을 할 수 있다.
- [0049] 상술한 것과 같이 별도의 도전층이 형성되지 않는 경우에는, 하부 층간 절연막(150)과 상부 층간 절연막(152) 사이에는 후술할 제2 금속층(330)이 배치될 수 있다.
- [0050] 층간 절연막(150, 152)의 상부에는 소스 전극(162) 및 드레인 전극(160)이 배치된다. 소스 전극(162) 및 드레인 전극(160)은 층간 절연막(150, 152)과 게이트 절연막(130)에 형성되는 컨택홀을 통하여 반도체층(120)에 각각 전기적으로 연결된다. 소스 전극(162) 및 드레인 전극(160)은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0051] 이러한 구조의 박막 트랜지스터(TFT)의 보호를 위해 박막 트랜지스터(TFT)를 덮는 제1 절연막(170)이 배치될 수 있다. 제1 절연막(170)은 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드 등과 같은 무기물로 형성될 수 있다.
- [0052] 한편, 하부 기관(100)의 상에 제2 절연막(180)이 배치될 수 있다. 이 경우 제2 절연막(180)은 평탄화막일 수 있다. 이러한 제2 절연막(180)은 박막 트랜지스터(TFT) 상부에 유기발광소자가 배치되는 경우 박막 트랜지스터(TFT)의 상면을 대체로 평탄화하게 하고, 박막 트랜지스터(TFT) 및 각종 소자들을 보호하는 역할을 한다. 이러한 제2 절연막(180)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등으로 형성될 수 있다. 이때 도 2에 도시된 것과 같이, 버퍼층(110), 게이트 절연막(130), 층간 절연막(150, 152), 제1 절연막(170) 및 제2 절연막(180)은 하부 기관(100)의 전면(全面)에 형성될 수 있다.
- [0053] 한편, 박막 트랜지스터(TFT) 상부에는 제3 절연막(190)이 배치될 수 있다. 이 경우 제3 절연막(190)은 화소정의막일 수 있다. 제3 절연막(190)은 상술한 제2 절연막(180) 상에 위치할 수 있으며, 화소전극(210)의 중앙부를 노출시키는 개구를 가질 수 있다. 이러한 제3 절연막(190)은 화소영역을 정의하는 역할을 한다.
- [0054] 이러한 제3 절연막(190)은 예컨대 유기 절연막으로 구비될 수 있다. 그러한 유기 절연막으로는 폴리메틸메타크릴레이트(PMMA)와 같은 아크릴계 고분자, 폴리스티렌(PS), phenol그룹을 갖는 고분자 유도체, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 혼합물 등을 포함할 수 있다.
- [0055] 한편, 제2 절연막(180) 상에는 유기발광소자(240)가 배치될 수 있다. 유기발광소자(240)는 화소전극(210), 발광층(EML: Emission Layer)을 포함하는 중간층(220) 및 대향전극(230)을 포함할 수 있다.

- [0056] 화소전극(210)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대 ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성될 수 있다. 반사형 전극으로 형성될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성된 층을 가질 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재질로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다.
- [0057] 제3 절연막(190)에 의해 정의된 화소영역에는 중간층(220)이 각각 배치될 수 있다. 이러한 중간층(220)은 전기적 신호에 의해 빛을 발광하는 발광층(EML: Emission Layer)을 포함하며, 발광층(EML)을 이외에도 발광층(EML)과 화소전극(210) 사이에 배치되는 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer) 및 발광층(EML)과 대향전극(230) 사이에 배치되는 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 물론 중간층(220)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다.
- [0058] 발광층(EML)을 포함하는 중간층(220)을 덮으며 화소전극(210)에 대향하는 대향전극(230)이 하부 기판(100) 전면(全面)에 걸쳐서 배치될 수 있다. 대향전극(230)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다.
- [0059] 대향전극(230)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In₂O₃ 등의 (반)투명 도전층을 가질 수 있다. 대향전극(230)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 대향전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다.
- [0060] 한편 도 3에서는, 도 2의 표시 영역(DA)에서 연장되어 형성된 디스플레이부(200)의 가장자리부(200a)와 실링 영역(SA)을 함께 도시하고 있다. 도 3을 참조하면, 하부 기판(100) 상에는 버퍼층이 표시 영역(DA)으로부터 실링 영역(SA)까지 연장되어 배치될 수 있다. 버퍼층 상에는 게이트 절연막이 표시 영역(DA)으로부터 실링 영역(SA)까지 연장되어 배치될 수 있다.
- [0061] 실링 영역(SA) 상에 배치된 게이트 절연막 상에는 금속 패터층(300)이 배치될 수 있다. 금속 패터층(300)은 복수개의 관통부(300a)가 패터닝된 형태로, 복수개의 관통부(300a)는 대략 사각형의 박스 형태로 형성될 수 있다. 이러한 금속 패터층(300)에 형성된 복수개의 관통부(300a)를 통해, 금속 패터층(300) 상에 배치되는 실링 부재(400)가 하부 기판(100)과 접촉하는 면적이 증가하여 이를 통해 실링 부재(400)가 하부 기판(100)과 더욱 견고하게 접합될 수 있다.
- [0062] 도 3에서는 금속 패터층(300)이 각각 이격된 것처럼 도시되어 있으나, 후술할 도 4를 참조하면, 금속 패터층(300)은 복수개의 관통부(300a)를 갖는 하나의 층상 형태로 형성됨을 알 수 있다. 이러한 금속 패터층(300)의 복수개의 관통부(300a)는 도시된 것과 같이 하부 기판(100)을 노출시킬 수 있고, 경우에 따라서는 버퍼층을 노출시킬 수도 있다. 또한 도면에는 도시되어 있지 않으나 관통부(300a) 내에는 절연 물질로 형성된 미세 패터들이 더 형성될 수도 있다.
- [0063] 한편, 하부 기판(100)의 표시 영역(DA) 상에 형성된 디스플레이부(200)의 가장자리에는 다대향전극에 면접촉하여 대향전극에 전원을 공급하는 전극전원공급라인(340)이 배치될 수 있다. 이러한 전극전원공급라인(340)은 디스플레이부(200)의 가장자리부(200a)에 위치할 수 있는데, 전극전원공급라인(340)의 하부에는 제1 금속층(320) 및 제2 금속층(330)이 더 배치될 수 있다. 이와 같이 전극전원공급라인(340) 하부에 배치된 제1 금속층(320) 및 제2 금속층(330)은, 디스플레이 장치의 데드 스페이스(dead space)가 좁아짐에 따라 유효 실폭 확대함과 동시에, 디스플레이부(200)의 에지 부분에서 기구 강도 향상시키는 역할을 수행한다.
- [0064] 먼저 제1 금속층(320)은 상술한 금속 패터층(300) 및 금속 패터들(310)과 동일층에 배치될 수 있다. 즉 제1 금속층(320)은 게이트 절연막 상에 배치될 수 있는데, 이는 금속 패터층(300), 금속 패터들(310) 및 제1 금속층(320)이 박막 트랜지스터(TFT)의 게이트 전극(140)과 동일층에 배치되며, 동일 마스크로 형성될 수 있는 것으로 이해될 수 있다. 이러한 제1 금속층(320)은 동일층에 배치되는 금속 패터층(300)과 소정 간격으로 이격되어 형성될 수 있다.
- [0065] 한편, 하부 기판(100)의 실링 영역(SA) 상에는 복수개의 금속 패터들(310)이 배치될 수 있으며, 이러한 금속 패터들(310)은 금속 패터층(300)과 제1 금속층(320) 사이 이격 영역 상에 배치될 수 있다. 금속 패터들(310)은 금속 패터층(300)과 같이 게이트 절연막 상에 배치될 수 있고, 금속 패터층(300)의 디스플레이부(200)가 위치한 방향에 에 위치할 수 있다. 즉 금속 패터들(310)은 디스플레이부(200)가 위치한 측에 배치될 수 있으며, 어떠한

소자 및 배선과도 연결되지 않는 아일랜드 형태로 형성될 수 있다. 이러한 금속 패턴들(310)은 후술할 제1 금속층(320)과 금속 패턴층(300) 사이의 이격 영역 상에 형성될 수 있는데, 금속 패턴들(310)에 의해 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.

[0066] 한편, 디스플레이부(200)로 유입되는 정전기를 감소시키기 위해서는, 실링 영역(SA) 상에 배치되는 금속 패턴층(300) 전체를 아일랜드 형태로 형성하는 것도 고려할 수 있는데, 이와 같이 형성할 경우 디스플레이부(200)로 유입되는 정전기는 감소시킬 수 있으나, 실링 부재(400)의 레이저 실링 시 발생하는 실링 부재(400) 내 온도 불균일이 증가하므로, 금속 패턴층(300)을 전체로 아일랜드 형상으로 형성하는 것은 바람직하지 않다. 따라서, 전극전원공급라인(340) 하부에 배치된 제1 금속층(320)의 폭은 좁히고, 제1 금속층(320)의 폭을 좁힘으로써 발생하는 금속패턴층과 제1 금속층(320) 사이의 이격 영역 상에 금속 패턴들(310)을 배치할 수 있다. 이를 통해 이격 영역 상에 배치된 금속 패턴들(310)을 통해 제1 금속층(320)의 유효 실폭은 유지하여 기구 강도를 확보함과 동시에, 제1 금속층(320)의 폭 축소로 인해 정전기 발생을 감소시켜 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.

[0067] 상술한 것과 같이 금속 패턴층(300), 금속 패턴들(310) 및 제1 금속층(320)이 동일층에 배치되는 경우, 이들 상에 하부 층간 절연막(150)이 배치될 수 있다. 하부 층간 절연막(150) 역시 표시 영역(DA)에서 실링 영역(SA)까지 연장되도록 형성될 수 있다.

[0068] 제1 금속층(320) 상부에는 제2 금속층(330)이 배치될 수 있는데, 제2 금속층(330)은 제1 금속층(320)과 전극전원공급라인(340) 사이에 개재될 수 있다. 즉, 제2 금속층(330)은 하부 층간 절연막(150) 상에 배치되며, 제2 금속층(330)은 제1 금속층(320)의 적어도 일부 및 상기 금속 패턴들(310) 중 적어도 일부와 중첩되도록 배치될 수 있다. 즉, 제2 금속층(330)은 제1 금속층(320)의 일부와 중첩되고, 제2 금속층(330)에서 제1 금속층(320)과 중첩되지 않은 부분은 제1 금속층(320)에 인접하게 배치된 금속 패턴들(310) 중 적어도 일부와 중첩되도록 배치될 수 있다.

[0069] 한편 전술한 것과 같이 다른 실시예로서 박막 트랜지스터(TFT)를 포함하는 백 플레인층의 구조에 따라 게이트 전극(140) 상부에 게이트 전극(140)과 일부 중첩되는 도전층(미도시)을 더 구비할 수 있다. 이러한 도전층은 하부 층간 절연막(150)과 상부 층간 절연막(152) 사이에 형성될 수 있는데, 상기 제2 금속층(330)이 하부 층간 절연막(150) 상에 형성됨에 따라, 도전층과 제2 금속층(330)은 동일층에 동일 물질로 형성될 수 있다. 다만 도전층을 형성하지 않고, 별도의 마스크를 이용하여 제2 금속층(330) 만을 따로 형성하는 것도 가능하다.

[0070] 제2 금속층(330) 상에는 상부 층간 절연막(152)이 배치될 수 있다. 이 역시 표시 영역(DA)에서 실링 영역(SA)까지 연장되어 형성될 수 있다. 이러한 상부 층간 절연막(152) 상에는 전술한 것과 같이 전극전원공급라인(340)이 배치될 수 있다. 전극전원공급라인(340)은 표시 영역(DA) 상에 배치된 박막 트랜지스터(TFT)의 소스 전극(162) 또는 드레인 전극(160)과 동일층에 형성되며, 따라서 이와 동일한 물질을 포함할 수 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다. 전극전원공급라인(340)의 일 측(340a)은 제1 절연막에 의해 덮혀 있고, 전극전원공급라인(340)의 타 측(340b)은 실링 부재(400)에 의해 덮혀 있을 수 있다.

[0071] 전극전원공급라인(340)은 도 3에 도시된 것과 같이, 제1 금속막과 복수개의 금속 패턴들(310)과 중첩되도록 배치될 수 있으며, 단 이 경우 실링 부재(400) 하부에 형성된 금속 패턴층(300)과는 소정 간격 이격되어 배치될 수 있다. 즉, 전극전원공급라인(340)은 금속 패턴층(300)과는 중첩되지 않도록 배치될 수 있다.

[0072] 도 4는 도 3의 일부 구조를 개략적으로 도시하는 평면도들이다. 즉 도 4는 실링 부재(400)를 형성하기 전에 하부 기판(100) 상에 형성된 구조를 도시하고 있으며, 전술한 도 3은 도 4를 A-A 선을 따라 취한 단면인 것으로 이해될 수 있다.

[0073] 전술한 것과 같이, 하부 기판(100)의 실링 영역(SA) 상에는 금속 패턴층(300)이 배치될 수 있다. 금속 패턴층(300)은 복수개의 관통부(300a)가 패터닝된 형태로, 복수개의 관통부(300a)는 대략 사각형의 박스 형태로 형성될 수 있다. 이러한 금속 패턴층(300)에 형성된 복수개의 관통부(300a)를 통해, 금속 패턴층(300) 상에 배치되는 실링 부재(400)가 하부 기판(100)과 접촉하는 면적이 증가하여 이를 통해 실링 부재(400)가 하부 기판(100)과 더욱 견고하게 접합될 수 있다. 또한 도면에는 도시되어 있지 않으나 관통부(300a) 내에는 절연 물질로 형성된 미세 패턴들이 더 형성될 수도 있다. 도 4에서는 금속 패턴층(300)에 형성된 복수개의 관통부(300a)들이 하부 기판(100)을 노출하는 것으로 도시되어 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다.

[0074] 제1 금속층(320)은 금속 패턴층(300)의 디스플레이부(200)가 위치한 방향에 배치될 수 있으며, 금속 패턴층(300)과 제1 간격(d1)만큼 이격되어 형성될 수 있다. 제1 금속층(320)은 제1 폭(w1)을 갖도록 형성될 수

있으며, 기존에 비해 상대적으로 좁아진 제1 폭(w1)에 대하여 유효 실폭을 보상하기 위해 후술할 금속 패턴들(310)을 형성할 수 있다. 이러한 제1 금속층(320)은 디스플레이부(200)의 가장자리부(200a)에 위치할 수 있으며, 후술한 제2 금속층(330)과 함께 디스플레이 장치의 데드 스페이스(dead space)가 좁아짐에 따라 유효 실폭 확대함과 동시에, 디스플레이부(200)의 에지 부분에서 기구 강도 향상시키는 역할을 수행한다.

[0075] 금속 패턴층(300)과 제1 금속층(320) 사이 이격 영역에는 복수개의 금속 패턴들(310)이 배치될 수 있으며 즉, 금속 패턴들(310)은 금속 패턴층(300)의 디스플레이부(200)가 위치한 방향에 위치할 수 있다. 금속 패턴들(310)은 어떠한 소자 및 배선과도 연결되지 않는 아일랜드 형태로 형성될 수 있다. 도 4에서는 금속 패턴들(310)의 형상이 사각 형태에서 모서리가 깎인 팔각 형태로 형성되어 있다. 금속 패턴들(310)은 아일랜드 형상으로 서로 이격되어 배치되어 있으면 어떠한 모양이든 가능하나, 다각형 형상에서 모서리 부분에 정전기가 집중되는 현상을 방지하기 위해 내각의 각도가 큰 다각형 형상으로 형성하는 것이 바람직하다. 금속 패턴들(310)의 형상으로 다각형뿐만 아니라 타원형 또는 원형 역시 가능함은 물론이다. 이러한 금속 패턴들(310)에 의해 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.

[0076] 제1 금속층(320) 상부에는 제2 금속층(330)이 배치될 수 있으며, 금속 패턴층(300)과 제2 간격(d2)만큼 이격되어 형성될 수 있다. 이때 제2 간격(d2)은 제1 간격(d1)보다 좁게 형성될 수 있다. 제2 금속층(330)은 제1 금속층(320)의 적어도 일부 및 상기 금속 패턴들(310) 중 적어도 일부와 중첩되도록 배치될 수 있다. 즉, 제2 금속층(330)은 제1 금속층(320)의 일부와 중첩되고, 제2 금속층(330)에서 제1 금속층(320)과 중첩되지 않은 부분은 제1 금속층(320)에 인접하게 배치된 금속 패턴들(310) 중 적어도 일부와 중첩되도록 배치될 수 있다. 이러한 제2 금속층(330)은 제2 폭(w2)을 갖도록 형성할 수 있으며, 제2 폭(w2)을 갖는 제2 금속층(330)의 일 측(330a)은 제1 금속층(320)의 일부와 중첩되고, 제2 금속층(330)의 타 측(330b)은 금속 패턴들(310)의 일부와 중첩되도록 배치될 수 있다.

[0077] 한편 도 4에 직접적으로 도시되지 않았으나, 전극전원공급라인(340)은 제3 폭(w3)을 갖도록 형성될 수 있다. 이 경우 전극전원공급라인(340)은 금속 패턴층(300)과 중첩되지 않을 정도의 제3 간격(d3)만큼 이격되어 형성될 수 있다. 제3 간격(d3)은 제1 간격(d1)보다 좁게 형성될 수 있다. 전극전원공급라인(340)은 제1 금속층(320), 금속 패턴층 및 제2 금속층(330)과 중첩되도록 제2 금속층(330) 상부에 형성될 수 있다.

[0078] 상술한 구조를 통해 이격 영역 상에 배치된 금속 패턴들(310)을 통해 제1 금속층(320)의 유효 실폭은 유지하여 기구 강도를 확보함과 동시에, 제1 금속층(320)의 폭 축소로 인해 정전기 발생을 감소시켜 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.

[0079] 도 5는 본 발명의 다른 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

[0080] 도 5를 참조하면, 하부 기판(100) 상에는 버퍼층이 표시 영역(DA)으로부터 실링 영역(SA)까지 연장되어 배치될 수 있다. 버퍼층 상에는 게이트 절연막이 표시 영역(DA)으로부터 실링 영역(SA)까지 연장되어 배치될 수 있다.

[0081] 실링 영역(SA) 상에 배치된 게이트 절연막 상에는 제1 금속층(320)이 배치될 수 있다. 제1 금속층(320)은 디스플레이부(200)의 가장자리부(200a)에 배치될 수 있으며, 상부에는 후술할 제2 금속층(330) 및 전극전원공급라인(340)이 위치할 수 있다. 경우에 따라 금속 패턴층(300)의 디스플레이부(200)가 위치한 방향에 금속 패턴(310')들이 배치될 수도 있다. 이러한 금속 패턴(310')들은 제2 금속층(330)에 의해 중첩되는 부분일 수 있다.

[0082] 제1 금속층(320) 상에는 하부 층간 절연막(150)이 배치될 수 있으며, 하부 층간 절연막(150) 역시 표시 영역(DA)에서 실링 영역(SA)까지 연장되도록 형성될 수 있다.

[0083] 제1 금속층(320) 상부에는 제2 금속층(330)이 배치될 수 있는데, 제2 금속층(330)은 제1 금속층(320)과 전극전원공급라인(340) 사이에 개재될 수 있다. 즉, 제2 금속층(330)은 하부 층간 절연막(150) 상에 배치되며, 제2 금속층(330)은 제1 금속층(320)의 적어도 일부 및 상기 금속 패턴들(310) 중 적어도 일부와 중첩되도록 배치될 수 있다. 즉, 제2 금속층(330)은 제1 금속층(320)의 일부와 중첩되고, 제2 금속층(330)에서 제1 금속층(320)과 중첩되지 않은 부분은 제1 금속층(320)에 인접하게 배치된 금속 패턴들(310) 중 적어도 일부와 중첩되도록 배치될 수 있다.

[0084] 한편 전술한 것과 같이 다른 실시예로서 박막 트랜지스터(TFT)를 포함하는 백 플레인층의 구조에 따라 게이트 전극(140) 상부에 게이트 전극(140)과 일부 중첩되는 도전층(미도시)을 더 구비할 수 있다. 이러한 도전층은 하부 층간 절연막(150)과 상부 층간 절연막(152) 사이에 형성될 수 있는데, 상기 제2 금속층(330)이 하부 층간 절연막(150) 상에 형성됨에 따라, 도전층과 제2 금속층(330)은 동일층에 동일 물질로 형성될 수 있다. 다만 도전

층을 형성하지 않고, 별도의 마스크를 이용하여 제2 금속층(330) 만을 따로 형성하는 것도 가능하다.

- [0085] 한편, 하부 기판(100)의 실링 영역(SA) 상에는 제2 금속층(330)과 소정 간격 이격되어 금속 패턴층(300)이 배치될 수 있다. 즉 실링 영역(SA) 상에 배치된 하부 층간 절연막(150) 상에는 금속 패턴층(300)이 배치될 수 있다. 금속 패턴층(300)은 복수개의 관통부(300a)가 패터닝된 형태로, 복수개의 관통부(300a)는 대략 사각형의 박스 형태로 형성될 수 있다. 이러한 금속 패턴층(300)에 형성된 복수개의 관통부(300a)를 통해, 금속 패턴층(300) 상에 배치되는 실링 부재(400)가 하부 기판(100)과 접촉하는 면적이 증가하여 이를 통해 실링 부재(400)가 하부 기판(100)과 더욱 견고하게 접합될 수 있다.
- [0086] 도 5에서는 금속 패턴층(300)이 각각 이격된 것처럼 도시되어 있으나, 전술한 도 4를 참조하면, 금속 패턴층(300)은 복수개의 관통부(300a)를 갖는 하나의 층상 형태로 형성됨을 알 수 있다. 이러한 금속 패턴층(300)의 복수개의 관통부(300a)는 도시된 것과 같이 하부 기판(100)을 노출시킬 수 있고, 경우에 따라서는 버퍼층을 노출시킬 수도 있다. 또한 도면에는 도시되어 있지 않으나 관통부(300a) 내에는 절연 물질로 형성된 미세 패턴들이 더 형성될 수도 있다.
- [0087] 한편, 하부 기판(100)의 실링 영역(SA) 상에는 복수개의 금속 패턴들(310)이 배치될 수 있으며, 이러한 금속 패턴들(310)은 금속 패턴층(300)과 제2 금속층(330) 사이 이격 영역 상에 배치될 수 있다. 금속 패턴들(310)은 금속 패턴층(300)과 같이 하부 층간 절연막(150) 상에 배치될 수 있고, 금속 패턴층(300)의 금속 패턴층(300)의 디스플레이부(200)가 위치한 방향에 에 위치할 수 있다. 즉 금속 패턴들(310)은 디스플레이부(200)가 위치한 측에 배치될 수 있으며, 어떠한 소자 및 배선과도 연결되지 않는 아일랜드 형태로 형성될 수 있다. 이러한 금속 패턴들(310)에 의해 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.
- [0088] 제2 금속층(330) 상에는 상부 층간 절연막(152)이 배치될 수 있다. 이 역시 표시 영역(DA)에서 실링 영역(SA)까지 연장되어 형성될 수 있다. 이러한 상부 층간 절연막(152) 상에는 전술한 것과 같이 전극전원공급라인(340)이 배치될 수 있다. 전극전원공급라인(340)은 표시 영역(DA) 상에 배치된 박막 트랜지스터(TFT)의 소스 전극(162) 또는 드레인 전극(160)과 동일층에 형성되며, 따라서 이와 동일한 물질을 포함할 수 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다. 전극전원공급라인(340)의 일 측(340a)은 제1 절연막에 의해 덮혀 있고, 전극전원공급라인(340)의 타 측(340b)은 실링 부재(400)에 의해 덮혀 있을 수 있다.
- [0089] 전극전원공급라인(340)은 도 5에 도시된 것과 같이, 제1 금속막과 복수개의 금속 패턴들(310)과 중첩되도록 배치될 수 있으며, 단 이 경우 실링 부재(400) 하부에 형성된 금속 패턴층(300)과는 소정 간격 이격되어 배치될 수 있다. 즉, 전극전원공급라인(340)은 금속 패턴층(300)과는 중첩되지 않도록 배치될 수 있다.
- [0090] 한편, 하부 기판(100)의 표시 영역(DA) 상에 형성된 디스플레이부(200)의 가장자리에는 대향전극에 면접촉하여 대향전극에 전원을 공급하는 전극전원공급라인(340)이 배치될 수 있다. 이러한 전극전원공급라인(340)은 디스플레이부(200)의 가장자리부(200a)에 위치할 수 있는데, 전극전원공급라인(340)의 하부에는 상술한 것과 같이 제1 금속층(320) 및 제2 금속층(330)이 더 배치될 수 있다. 이와 같이 전극전원공급라인(340) 하부에 배치된 제1 금속층(320) 및 제2 금속층(330)은, 디스플레이 장치의 데드 스페이스(dead space)가 좁아짐에 따라 유효 실폭 확대함과 동시에, 디스플레이부(200)의 에지 부분에서 기구 강도 향상시키는 역할을 수행한다.
- [0091] 이와 같이 전극전원공급라인(340) 하부에 배치된 제1 금속층(320)의 폭은 좁히고, 제1 금속층(320)의 폭을 좁힘으로써 발생하는 금속패턴층과 제1 금속층(320) 사이의 이격 영역 상에 금속 패턴들(310)을 배치할 수 있다. 이를 통해 이격 영역 상에 배치된 금속 패턴들(310)을 통해 제1 금속층(320)의 유효 실폭은 유지하여 기구 강도를 확보함과 동시에, 제1 금속층(320)의 폭 축소로 인해 정전기 발생을 감소시켜 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.
- [0092] 지금까지는 유기발광 디스플레이 장치에 대해서만 주로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 이러한 유기발광 디스플레이 장치를 제조하기 위한 유기발광 디스플레이 장치 제조방법 역시 본 발명의 범위에 속한다고 할 것이다. 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치의 제조방법에 대해서는, 전술한 도 2 및 도 3을 참조하여 설명하기로 한다.
- [0093] 도 2 및 도 3을 참조하면, 먼저 표시 표시 영역(DA)과 표시 영역(DA) 외곽의 실링 영역(SA)을 갖는 하부 기판(100)을 준비하고, 상기 하부 기판(100)의 표시 영역(DA) 상에 디스플레이부(200)를 형성하는 단계를 거칠 수 있다. 디스플레이부(200)의 상세한 구조에 대하여는 전술한 도 3의 설명에서 제조 순서대로 서술되어 있는 바, 이를 원용한다.
- [0094] 디스플레이부(200)를 형성하는 단계에서, 반도체층(120), 게이트 전극(140), 소스 전극(162) 및 드레인 전극

(160)을 포함하는 박막 트랜지스터(TFT)가 형성될 수 있는데, 박막 트랜지스터(TFT)의 게이트 전극(140)을 형성하는 과정과 동시에, 금속 패터층(300), 금속 패터들(310) 및 제1 금속층(320)을 형성할 수 있다. 도 3을 참조하면, 박막 트랜지스터(TFT)의 게이트 전극(140)과, 금속 패터층(300), 금속 패터들(310) 및 제1 금속층(320)이 모두 동일한 층 상에 형성되는 것으로 도시되어 있으며, 동일한 층 상에 형성된다는 것은 동일 공정에 의해 형성되는 것을 의미한다.

[0095] 하부 기판(100)의 실링 영역(SA)을 따라 복수개의 관통부(300a)가 패터닝된 금속 패터층(300)을 형성할 수 있다. 실링 영역(SA) 상에 배치된 게이트 절연막 상에는 금속 패터층(300)이 배치될 수 있다. 금속 패터층(300)은 복수개의 관통부(300a)가 패터닝된 형태로, 복수개의 관통부(300a)는 대략 사각형의 박스 형태로 형성될 수 있다. 이러한 금속 패터층(300)에 형성된 복수개의 관통부(300a)를 통해, 금속 패터층(300) 상에 배치되는 실링 부재(400)가 하부 기판(100)과 접촉하는 면적이 증가하여 이를 통해 실링 부재(400)가 하부 기판(100)과 더욱 견고하게 접합될 수 있다. 또한 도면에는 도시되어 있지 않으나 관통부(300a) 내에는 절연 물질로 형성된 미세 패터들이 더 형성될 수도 있다.

[0096] 도 3에서는 금속 패터층(300)이 박막 트랜지스터(TFT)의 게이트 전극(140)과 동일 층에 형성된 것으로 도시되어 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다. 다른 실시예로 도 5를 참조하면, 금속 패터층(300)은 제1 금속층(320) 상부에 배치되는 제2 금속층(330)과 동일한 층에 배치될 수도 있다.

[0097] 제1 금속층(320)은 상술한 금속 패터층(300) 및 금속 패터들(310)과 동일층에 형성될 수 있으며, 동일층에 배치되는 금속 패터층(300)과 소정 간격으로 이격되어 형성될 수 있다.

[0098] 한편, 하부 기판(100)의 실링 영역(SA) 상에는 복수개의 금속 패터들(310)이 형성될 수 있으며, 이러한 금속 패터들(310)은 금속 패터층(300)과 제1 금속층(320) 사이 이격 영역 상에 형성될 수 있다. 금속 패터들(310)은 금속 패터층(300)과 같이 게이트 절연막 상에 형성될 수 있고, 금속 패터층(300)의 디스플레이부(200)가 위치한 방향에 위치할 수 있다. 금속 패터들(310)은 어떠한 소자 및 배선과도 연결되지 않는 아일랜드 형태로 형성될 수 있는데, 이러한 금속 패터들(310)에 의해 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.

[0099] 도 3에서는 금속 패터들(310)이 제1 금속층(320)과 동시에 형성되는 것으로 도시되어 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다. 다른 실시예로 도 5를 참조하면, 금속 패터들(310)은 제1 금속층(320) 상부에 배치되는 제2 금속층(330)과 동일한 층에 배치될 수도 있다. 단, 이 경우 금속 패터들(310) 중 제2 금속층(330)과 중첩된 부분을 제외한 나머지 금속 패터들(310)이 제2 금속층(330)과 동일 층에 형성될 수 있다.

[0100] 제1 금속층(320) 상에는 하부 층간절연막을 하부 기판(100) 전면에서 형성한 후, 제1 금속층(320) 상부에 제1 금속층(320)의 일부와 중첩되도록 제2 금속층(330)을 형성하는 단계를 거칠 수 있다. 제2 금속층(330)은 제1 금속층(320)의 일부와 중첩됨과 동시에, 금속 패터들(310) 중 적어도 일부와 중첩하도록 형성될 수 있다. 이러한 제1 금속층(320) 및 제2 금속층(330)은, 디스플레이 장치의 데드 스페이스(dead space)가 좁아짐에 따라 유효 실폭 확대함과 동시에, 디스플레이부(200)의 에지 부분에서 기구 강도 향상시키는 역할을 수행한다.

[0101] 제2 금속층(330) 상에는 상부 층간 절연막(152)을 하부 기판(100) 전면에서 형성한 후, 제2 금속층(330) 상부에 전극전원공급라인(340)을 형성할 수 있다. 전극전원공급라인(340)은 디스플레이부(200) 가장자리부(200a)에 배치될 수 있으며, 대향전극과 면접촉을 통해 대향전극에 전원을 공급하는 기능을 할 수 있다. 이러한 전극전원공급라인(340)은 제1 금속층(320), 제2 금속층(330) 및 금속 패터와 중첩되도록 형성될 수 있으며, 다만 이 경우에도 금속 패터층(300)과는 중첩되지 않도록 형성될 수 있다.

[0102] 상술한 구조를 통해 이격 영역 상에 배치된 금속 패터들(310)을 통해 제1 금속층(320)의 유효 실폭은 유지하여 기구 강도를 확보함과 동시에, 제1 금속층(320)의 폭 축소로 인해 정전기 발생을 감소시켜 외부에서 발생한 정전기가 디스플레이부(200)로 유입되는 것을 방지할 수 있다.

[0103] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

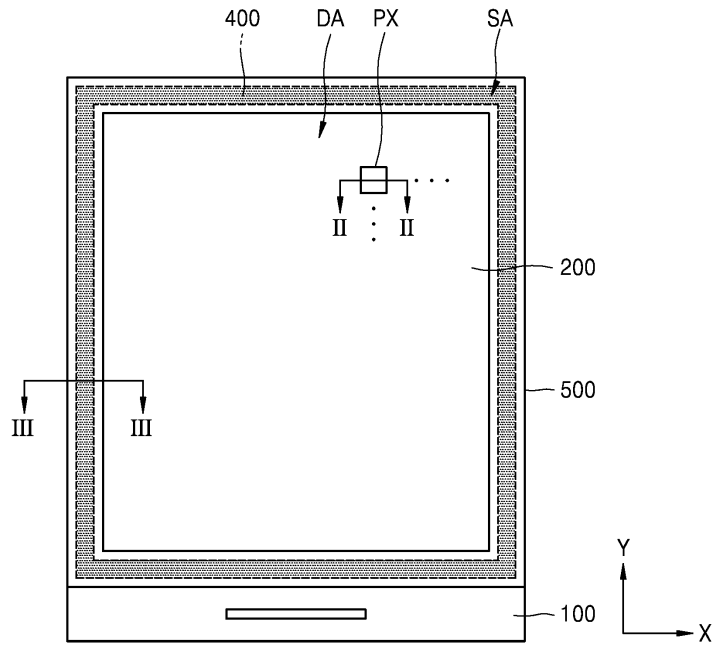
부호의 설명

[0104] 100: 하부 기판 200: 디스플레이부

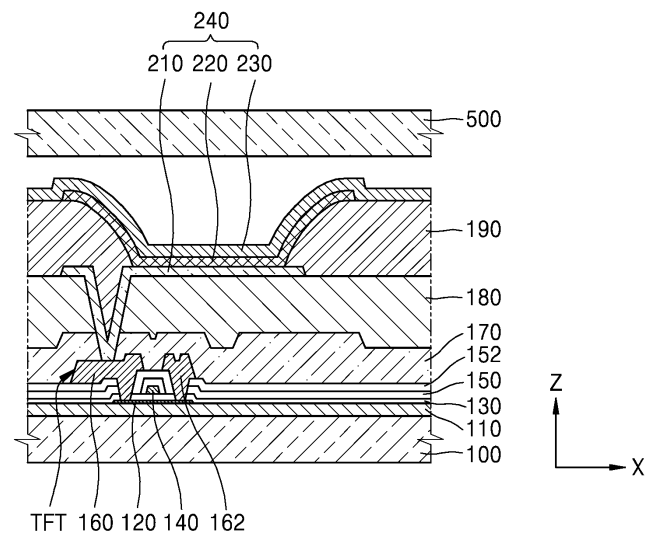
- | | |
|----------------|----------------|
| 240: 유기발광소자 | 300: 금속 패턴층 |
| 150: 제1 층간 절연막 | 152: 제2 층간 절연막 |
| 310: 금속 패턴들 | 320: 제1 금속층 |
| 330: 제2 금속층 | 340: 전극전원공급라인 |
| 400: 실링 부재 | 500: 상부 기판 |

도면

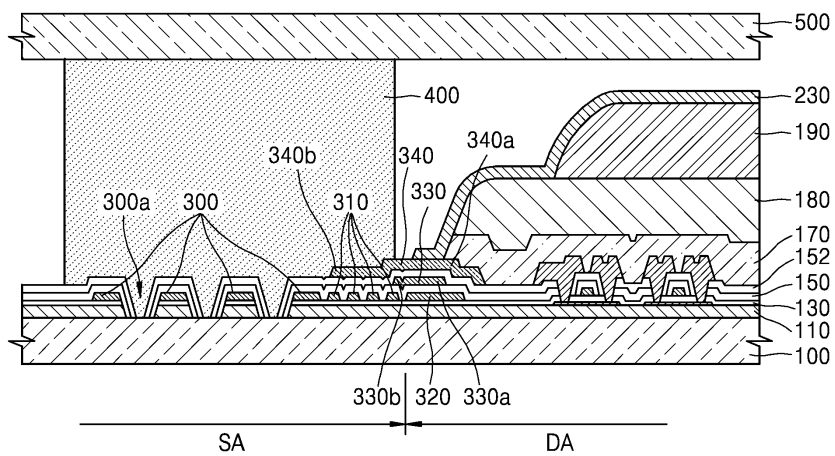
도면1



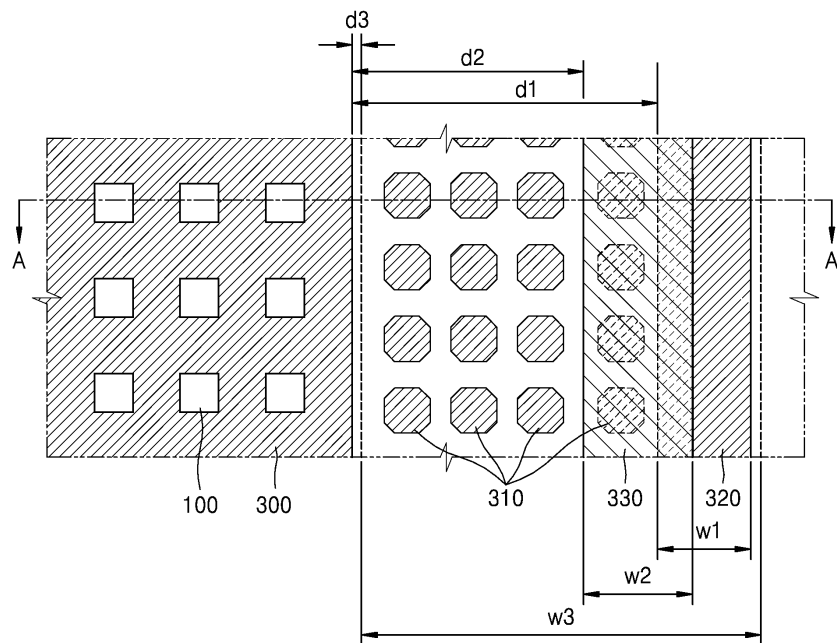
도면2



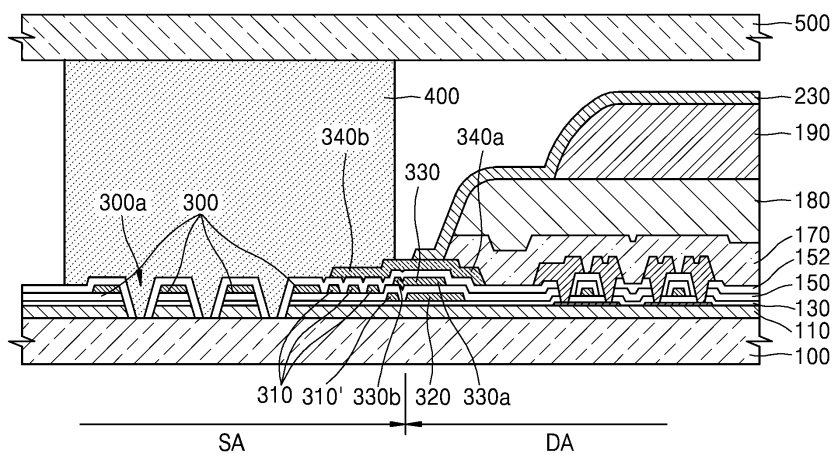
도면3



도면4



도면5



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	KR1020160136517A	公开(公告)日	2016-11-30
申请号	KR1020150069790	申请日	2015-05-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JANG JOO NYUNG 장주녕		
发明人	장주녕		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3241 H01L51/56 H01L51/5243 H01L2227/32 H01L2251/56 H01L27/3276 H01L2227/323 H01L51/5246		
外部链接	Espacenet		

摘要(译)

有机发光显示装置及其制造方法技术领域本发明涉及一种有机发光显示装置及其制造方法，其能够提高显示部分外部电路部分中的器件的强度并防止静电从外部流到电路部分侧，一种显示装置，包括：下基板；上基板，面对下基板；显示部分，设置在下基板的显示区域上；密封构件，设置在下基板的密封区域上，以粘合下基板和上基板；金属图案层插入在基板和密封构件之间并具有多个图案化的贯通部分；第一金属层，与金属图案层隔开预定距离并沿显示部分的边缘设置；多个金属图案以间隔排列成岛状以及有机发光显示装置。

