



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0094457  
(43) 공개일자 2016년08월10일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/32* (2006.01)  
(52) CPC특허분류  
*H01L 27/3262* (2013.01)  
*H01L 27/3246* (2013.01)  
(21) 출원번호 10-2015-0014648  
(22) 출원일자 2015년01월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
박해진  
경상북도 고령군 성산면 기산길 65 (기산리)  
박해민  
경기도 고양시 일산서구 일현로 140 103동 1803  
호 (탄현동, 큰마을대림현대아파트)  
(74) 대리인  
특허법인천문

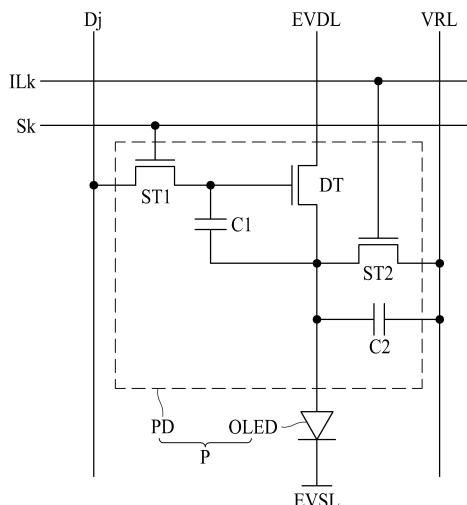
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기발광표시장치

### (57) 요 약

본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광표시장치는 기준전압이 공급되는 기준전압라인들, 및 구동전압이 공급되는 구동전압라인들에 접속된 화소들을 갖는 표시패널을 구비한다. 상기 화소는 캐소드 전극에 상기 구동전압보다 낮은 저전위 구동전압이 공급되는 유기발광다이오드, 게이트 전극과 소스 전극간 전압 차에 따라 상기 구동전압라인으로부터 상기 유기발광다이오드로 흐르는 전류를 제어하는 구동 트랜지스터, 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 포함하는 제1 커패시터, 및 상기 기준전압라인에 접속된 제1 전극과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 전극을 포함하는 제2 커패시터를 포함한다.

### 대 표 도 - 도3



(52) CPC특허분류  
**H01L 27/3248** (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기준전압이 공급되는 기준전압라인들, 및 구동전압이 공급되는 구동전압라인들에 접속된 화소들을 갖는 표시패널을 구비하고,

상기 화소는,

캐소드 전극에 상기 구동전압보다 낮은 저전위 구동전압이 공급되는 유기발광다이오드;

게이트 전극과 소스 전극간 전압 차에 따라 상기 구동전압라인으로부터 상기 유기발광다이오드로 흐르는 전류를 제어하는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트 전극에 접속된 제1 전극과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 전극을 포함하는 제1 커패시터; 및

상기 기준전압라인에 접속된 제1 전극과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 전극을 포함하는 제2 커패시터를 포함하는 유기발광표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 화소들은 데이터전압들이 공급되는 데이터라인들, 스캔신호들이 공급되는 스캔라인들, 및 초기화신호들이 공급되는 초기화라인들에 접속되며,

상기 화소는,

상기 스캔라인의 상기 스캔신호에 의해 턴-온되어 상기 데이터라인의 전압을 상기 구동 트랜지스터의 게이트 전극에 공급하는 제1 트랜지스터; 및

상기 초기화라인의 상기 초기화신호에 의해 턴-온되어 상기 기준전압라인의 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하는 제2 트랜지스터를 더 포함하는 유기발광표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 데이터라인에 제1 및 제2 기간들 동안 보상전압을 공급하고, 제3 및 제4 기간들 동안 턴-오프전압을 공급하며, 제5 기간 동안 상기 데이터전압을 공급하는 데이터 구동부;

상기 스캔라인에 상기 제1 내지 제3 기간들 및 상기 제5 기간 동안 게이트 온 전압을 갖는 스캔신호를 공급하고, 상기 제4 및 제6 기간들 동안 게이트 오프 전압을 갖는 스캔신호를 공급하는 스캔 구동부; 및

상기 초기화라인에 상기 제1 기간 동안 게이트 온 전압을 갖는 초기화신호를 공급하고, 상기 제2 내지 제6 기간들 동안 게이트 오프 전압을 갖는 초기화신호를 공급하는 초기화 구동부를 더 포함하는 유기발광표시장치.

#### 청구항 4

제 1 항에 있어서,

하부기관 상에는 제1 차광층을 포함하는 제1 금속 패턴이 마련되고, 상기 제1 금속 패턴 상에는 베피층이 마련되며, 상기 베피층 상에는 상기 구동 트랜지스터의 채널층, 소스 전극, 및 드레인 전극을 포함하는 액티브층이 마련되고, 상기 액티브층 상에는 게이트 절연막이 마련되며, 상기 게이트 절연막 상에는 상기 구동 트랜지스터의 게이트 전극을 포함하는 제2 금속 패턴이 마련되고, 상기 제2 금속 패턴 상에는 충간 절연막이 마련되며, 상기 충간 절연막 상에는 상기 기준전압라인을 포함하는 제3 금속 패턴이 마련되는 유기발광표시장치.

## 청구항 5

제 4 항에 있어서,

상기 제2 커패시터의 제1 전극은 상기 구동 트랜지스터의 소스 전극과 중첩되는 제1 차광층의 일부이고, 상기 제2 전극은 상기 제1 차광층과 중첩되는 구동 트랜지스터의 소스 전극의 일부인 유기발광표시장치.

## 청구항 6

제 5 항에 있어서,

상기 기준전압라인은 상기 베퍼층과 상기 층간 절연막을 관통하는 제1 콘택홀을 통해 상기 제1 차광층에 전기적으로 접속되는 유기발광표시장치.

## 청구항 7

제 6 항에 있어서,

상기 제1 금속 패턴은 상기 베퍼층, 상기 게이트 절연막, 및 상기 층간 절연막을 관통하는 제2 콘택홀을 통해 상기 구동 트랜지스터의 소스 전극에 전기적으로 접속되는 제2 차광층을 더 포함하는 유기발광표시장치.

## 발명의 설명

### 기술 분야

[0001]

본 발명의 실시예는 유기발광표시장치에 관한 것이다.

### 배경 기술

[0002]

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003]

이들 중에서 유기발광표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터 전압들을 공급하는 데이터 구동부를 포함한다. 화소들 각각은 유기발광다이오드(organic light emitting diode), 게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 스캔 트랜지스터를 포함한다.

[0004]

하지만, 제조 공정의 불균일성으로 인해, 구동 트랜지스터의 문턱전압(threshold voltage)이 화소마다 달라지는 문제가 있다. 이 경우, 화소들 각각에 동일한 데이터 전압을 인가하더라도, 화소들 사이의 구동 트랜지스터의 문턱전압 차이로 인하여, 유기발광다이오드가 발광하는 휘도가 화소마다 달라진다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압을 보상하는 보상 방법이 제안되었다.

### 발명의 내용

#### 해결하려는 과제

[0005]

본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치를 제공한다.

## 과제의 해결 수단

[0006]

본 발명의 실시예에 따른 유기발광표시장치는 기준전압이 공급되는 기준전압라인들, 및 구동전압이 공급되는 구동전압라인들에 접속된 화소들을 갖는 표시패널을 구비한다. 상기 화소는 캐소드 전극에 상기 구동전압보다 낮은 저전위 구동전압이 공급되는 유기발광다이오드, 게이트 전극과 소스 전극간 전압 차에 따라 상기 구동전압라인으로부터 상기 유기발광다이오드로 흐르는 전류를 제어하는 구동 트랜지스터, 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 포함하는 제1 커패시터, 및 상기 기준전압라인에 접속된 제1 전극과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 전극을 포함하는 제2 커패시터를 포함한다.

## 발명의 효과

[0007]

본 발명의 실시예는 소정의 기간 동안 구동 트랜지스터의 소스 전극에 구동 트랜지스터의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 문턱전압이 보상된 구동 트랜지스터의 전류에 따라 유기발광다이오드를 발광할 수 있다.

[0008]

또한, 본 발명의 실시예는 표시패널을 복수의 블록들로 분할하고, 블록들을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터의 문턱전압 센싱을 동시에 실시하고, 화소들에 데이터전압들을 순차적으로 공급할 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간을 충분히 확보할 수 있는 장점이 있다.

[0009]

또한, 본 발명의 실시예는 구동 트랜지스터의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(Vs)을 " $\alpha$ "만큼 상승시킨다. 이때, 소스 전극의 전압의 상승량인 " $\alpha$ "는 구동 트랜지스터의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 구동 트랜지스터의 전자이동도에 따라 게이트 전극과 소스 전극 간의 전압차를 조정할 수 있으므로, 구동 트랜지스터의 전자이동도를 보상할 수 있다.

[0010]

나아가, 본 발명의 실시예는 구동 트랜지스터의 소스 전극에 접속된 제1 전극과 기준전압라인에 접속된 제2 전극을 갖는 제2 커패시터를 포함한다. 그 결과, 본 발명의 실시예는 제2 커패시터에 의해 구동 트랜지스터의 소스 전극의 전압 변동을 줄일 수 있으므로, 구동 트랜지스터가 턴-오프되는 기간 동안 미세 누설 전류로 인한 화소들 간의 구동 트랜지스터의 소스 전압 차이를 최소화할 수 있다.

[0011]

더욱이, 본 발명의 실시예는 제2 커패시터에 의해 구동 트랜지스터의 소스 전극의 전압 변동을 줄일 수 있으므로, 구동 트랜지스터의 게이트-소스간 전압 차를 크게 할 수 있으며, 이로 인해 구동 트랜지스터를 통해 흐르는 전류를 증가시킬 수 있다. 그 결과, 본 발명의 실시예는 유기발광다이오드의 발광 휘도를 높일 수 있다. 또한, 본 발명의 실시예는 구동 트랜지스터의 소스 전압 상승을 억제하므로, 구동 트랜지스터의 소스 전압이 유기발광다이오드의 턴-온 전압에 도달하지 않도록 설정할 수 있다. 따라서, 본 발명의 실시예는 유기발광다이오드의 턴-온 전압에 의한 전자이동도 보상 능력 저하를 방지할 수 있다.

## 도면의 간단한 설명

[0012]

도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도.

도 2는 도 1의 표시패널의 블록들을 보여주는 일 예시도면.

도 3은 도 2의 화소의 일 예를 보여주는 회로도.

도 4는 도 2의 표시패널에 공급되는 스캔신호들과 초기화신호들의 일 예를 보여주는 과정도.

도 5는 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 과정도.

도 6은 제1 내지 제6 기간들 동안 화소의 구동방법을 보여주는 흐름도.

도 7a 내지 도 7f는 제1 내지 제6 기간들 동안 도 3의 화소의 동작을 보여주는 회로도들.

도 8은 제2 커패시터의 유무에 따른 제4 내지 제6 기간들 동안 구동 트랜지스터의 게이트 전압과 소스 전압을

보여주는 평면도.

도 9는 도 3의 화소의 일 예를 보여주는 평면도.

도 10은 도 9의 I-I'의 단면도.

도 11은 도 3의 화소의 또 다른 예를 보여주는 평면도.

도 12는 도 11의 II-II'의 단면도.

### 발명을 실시하기 위한 구체적인 내용

[0013]

이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0014]

도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40), 및 타이밍 제어부(50)를 포함한다.

[0015]

표시패널(10)은 표시영역(AA)과 표시영역(AA)의 주변에 마련된 비표시영역(NDA)을 포함한다. 표시영역(AA)은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 및 초기화라인들(IL1~ILn)이 형성된다. 데이터라인들(D1~Dm)은 스캔라인들(S1~Sn) 및 초기화라인들(IL1~ILn)과 교차되도록 형성될 수 있다. 스캔라인들(S1~Sn)과 초기화라인들(IL1~ILn)은 서로 나란하게 형성될 수 있다. 또한, 표시패널(10)에는 도 3과 같이 구동전압라인(EVDL)들과 기준전압라인(VRL)들이 형성될 수 있다.

[0016]

표시패널(10)의 화소(P)들 각각은 도 1과 같이 데이터라인들(D1~Dm) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 초기화라인들(IL1~ILn) 중 어느 하나에 접속될 수 있다. 또한, 표시패널(10)의 화소(P)들 각각은 도 3과 같이 구동전압라인(VDL)들 중 어느 하나, 기준전압라인(VRL)들 중 어느 하나에 접속될 수 있다. 표시패널(10)의 화소(P)들 각각은 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 의해 제어되는 제1 트랜지스터, 초기화라인의 초기화신호에 의해 제어되는 제2 트랜지스터, 유기발광다이오드(organic light emitting diode), 및 커패시터(capacitor)를 포함할 수 있다. 화소(P)에 대한 자세한 설명은 도 3을 결부하여 후술한다.

[0017]

표시패널(10)은 도 2와 같이 복수의 블록들로 분할될 수 있다. 도 2에서는 설명의 편의를 위해 표시패널(10)의 스캔라인들(S1~S3p), 초기화라인들(IL1~IL3p), 화소(P)들, 스캔 구동부(30), 및 초기화 구동부(40)만을 예시하였다. 또한, 도 2에서는 설명의 편의를 위해 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0018]

도 2를 참조하면, 블록들(BL1, BL2, BL3) 각각은 동일한 개수의 화소(P)들을 포함할 수 있다. 구체적으로, 표시패널(10)이 q(q는 2 이상의 양의 정수) 개의 블록들로 분할되는 경우, q 개의 블록들 각각은 p(p는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소(P)들을 포함할 수 있다. 이때, "p"는 "n"(스캔라인들의 총 개수)을 "q"(블록들의 개수)로 나눈 값일 수 있다.

[0019]

예를 들어, 표시패널(10)이 도 2와 같이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 블록들(BL1, BL2, BL3) 각각은 p 개의 스캔라인들(초기화라인들 또는 구동전압 라인들)에 접속된 화소(P)들을 포함할 수 있다. 도 2와 같이 제1 블록(BL1)은 제1 내지 제p 스캔라인들(S1~Sp)에 접속된 화소(P)들을 포함하고, 제2 블록(BL2)은 제p+1 내지 제2p 스캔라인들(Sp+1~S2p)에 접속된 화소(P)들을 포함하며, 제3 블록(BL3)은 제2p+1 내지 제3p 스캔라인들(S2p+1~S3p)에 접속된 화소(P)들을 포함할 수 있다. 한편, 스캔라인들(S1~Sn)과 초기화라인들(IL1~ILn)은 서로 나란하므로, p 개의 스캔라인들에 접속된 화소(P)들은 p 개의 초기화라인들에 접속된 화소(P)들과 실질적으로 동일한 화소(P)들을 지시한다.

[0020]

데이터 구동부(20)는 적어도 하나의 소스 드라이브 집적회로(integrated circuit 이하 "IC"라 칭함)를 포함한다. 소스 드라이브 IC는 데이터라인들(D1~Dm)에 접속되어 데이터 전압들을 공급한다. 소스 드라이브 IC는 타이밍 제어부(50)로부터 디지털 비디오 데이터(DATA)와 소스 타이밍 제어신호(DCS)를 입력 받는다. 소스

드라이브 IC는 소스 타이밍 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 데이터전압들로 변환하여 데이터라인들(D1~Dm)에 공급한다. 또한, 소스 드라이브 IC는 데이터전압들 이외에 보상전압 및 턴-오프전압을 데이터라인들(D1~Dm)에 공급할 수 있다. 소스 드라이브 IC의 보상전압, 턴-오프전압 및 데이터전압 공급에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0021] 스캔 구동부(30)는 스캔라인들(S1~Sn)에 접속되어 스캔신호들을 공급한다. 스캔 구동부(30)는 타이밍 제어부(50)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다. 스캔 구동부(30)의 스캔신호 공급에 대한 자세한 설명은 도 4 및 도 5를 결부하여 후술한다.

[0022] 초기화 구동부(40)는 초기화라인들(IL1~ILn)에 접속되어 초기화신호들을 공급한다. 구체적으로, 초기화 구동부(40)는 타이밍 제어부(50)로부터 입력되는 초기화 타이밍 제어신호(ICS)에 따라 초기화라인들(IL1~ILn)에 초기화신호들을 공급한다. 초기화 구동부(40)의 초기화신호 공급에 대한 자세한 설명은 도 4 및 도 5를 결부하여 후술한다.

[0023] 타이밍 제어부(50)는 외부로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(50)는 데이터 구동부(20), 스캔 구동부(30), 및 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS, 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 및 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 초기화 타이밍 제어신호(ICS)를 포함한다.

[0024] 타이밍 제어부(50)는 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(50)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)로 출력한다. 타이밍 제어부(50)는 초기화 타이밍 제어신호(ICS)를 초기화 구동부(40)로 출력한다.

[0025] 도 3은 도 1의 화소의 일 예를 보여주는 회로도이다. 도 3에서는 설명의 편의를 위해 제k(k는  $1 \leq k \leq n$ 을 만족하는 양의 정수) 스캔라인(Sk), 제k 초기화라인(SENk), 제j(j는  $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인(Dj), 구동전압라인(VDL), 및 기준전압라인(VRL)에 접속된 화소(P)를 예시하였다. 도 3을 참조하면, 화소(P)는 유기발광다이오드(OLED)와 유기발광다이오드(OLED)에 구동전류를 공급하기 위한 화소 구동부(PD)를 포함한다. 화소 구동부(PD)는 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 제1 및 제2 커패시터들(C1, C2)을 포함할 수 있다.

[0026] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 흐르는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 구동전압보다 낮은 저전위 구동전압이 공급되는 저전위 구동전압라인(EVSL)에 접속될 수 있다.

[0027] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0028] 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 구동전압이 공급되는 구동전압라인(VDL)에 접속된다. 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차에 따라 제k 구동전압라인(VDLk)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 제어한다.

[0029] 제1 트랜지스터(T1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속된다. 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)에 게이트 온 전압의 제k 스캔신호가 공급되는 경우 턴-온되어 제j 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다.

[0030] 제2 트랜지스터(ST2)의 게이트 전극은 제k 초기화라인(SENk)에 접속되고, 제1 전극은 기준전압라인(VRL)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속된다. 제2 트랜지스터(ST2)는 제k 초기화라인(SENk)에 게이트 온 전압의 제k 초기화신호가 공급되는 경우 턴-온되어 기준전압라인(VRL)의 기준전압을 구동 트랜지스터(DT)의 소스 전극에 공급한다.

- [0031] 도 3에서 제1 및 제2 트랜지스터들(ST1, ST2)의 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.
- [0032] 제1 커패시터(C1)는 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 포함한다. 제1 커패시터(C1)에는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차가 저장된다.
- [0033] 제2 커패시터(C2)는 기준전압라인(VRL)에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 포함한다. 제2 커패시터(C2)에는 구동 트랜지스터(DT)의 소스 전극과 기준전압라인(VRL)의 전압 차가 저장되므로, 제2 커패시터(C2)에 의해 구동 트랜지스터(DT)의 소스 전극의 전압 변동은 줄어들 수 있다.
- [0034] 도 3에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 4 및 도 5의 과정도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.
- [0035] 이상에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 화소(P)는 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 트랜지스터(ST1)와, 기준전압라인(VRL)과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 트랜지스터(ST2)를 포함한다. 그 결과, 본 발명의 실시예는 제1 및 제2 트랜지스터들(ST1, ST2)의 턴-온과 제j 데이터라인(Dj)에 공급되는 전압을 조정함으로써, 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 도 3에 도시된 화소(P)의 구동 트랜지스터(DT)의 문턱전압 보상에 대한 자세한 설명은 도 5, 도 6 및 도 7a 내지 도 7f를 결부하여 후술한다.
- [0036] 또한, 본 발명의 일 실시예에 따른 화소(P)는 기준전압라인(VRL)에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 갖는 제2 커패시터(C2)를 포함한다. 그 결과, 본 발명의 실시예는 제2 커패시터(C2)에 의해 구동 트랜지스터(DT)의 소스 전극의 전압 변동을 줄일 수 있으며, 이로 인해 구동 트랜지스터(DT)의 전류를 증가시킬 수 있으므로, 유기발광다이오드(OLED)의 발광 휘도를 높일 수 있다. 이에 대한 자세한 설명은 도 8을 결부하여 후술한다.
- [0037] 도 4는 도 2의 표시패널에 공급되는 스캔신호들과 초기화신호들의 일 예를 보여주는 과정도이다. 도 4에는 도 2의 제1 내지 제3p 스캔라인들(S1~S3p)에 공급되는 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p), 및 제1 내지 제3p 초기화라인들(S1~S3p)에 공급되는 제1 내지 제3p 초기화신호들(SENS1~SENS3p)이 나타나 있다.
- [0038] 도 4를 참조하면, 1 프레임 기간은 q 개의 서브 프레임 기간들을 포함한다. 예를 들어, 도 2와 같이 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 1 프레임 기간은 3 개의 서브 프레임 기간들(SF1, SF2, SF3)을 포함할 수 있다.
- [0039] q 개의 서브 프레임 기간들 각각은 도 4와 같이 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)을 포함한다. 문턱전압 센싱기간(ST)은 블록 내 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 데이터전압 공급기간(DP)은 블록의 화소(P)들에 데이터전압들을 공급하는 기간이다. 문턱전압 센싱기간(ST)은 도 5의 제1 내지 제3 기간들(t1~t3)을 포함하고, 데이터전압 공급기간(DP)은 도 5의 제4 내지 제6 기간들(t4~t6)을 포함할 수 있다. 제1 내지 제6 기간들(t1~t6)에 대한 자세한 설명은 도 5를 결부하여 후술한다.
- [0040] 스캔 구동부(30)와 초기화 구동부(40)는 제1 블록(BL1)의 화소(P)들에 접속된 스캔라인들(S1~Sp)과 초기화라인들(SEN1~SENp)에 제1 서브 프레임 기간(SF1)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN1~SCANp)과 게이트 온 전압(Von)의 초기화신호들(SENS1~SENSp)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN1~SCANp)을 순차적으로 공급한다. 이로 인해, 제1 서브 프레임 기간(SF1)의 문턱전압 센싱기간(ST) 동안 제1 블록(BL1)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제1 블록(BL1)의 화소(P)들 각각에 데이터전압이 공급되므로 제1 블록(BL1)의 화소(P)들은 발광한다.
- [0041] 스캔 구동부(30)와 초기화 구동부(40)는 제2 블록(BL2)의 화소(P)들에 접속된 스캔라인들(Sp+1~S2p)과 초기화라인들(SENp+1~SEN2p)에 제2 서브 프레임 기간(SF2)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)과 게이트 온 전압(Von)의 초기화신호들(SENSp+1~SENS2p)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)을 순차적으로 공급한다. 이로 인해, 제

2 서브 프레임 기간(SF2)의 문턱전압 센싱기간(ST) 동안 제2 블록(BL2)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제2 블록(BL2)의 화소(P)들 각각에 데이터전압이 공급되므로 제2 블록(BL2)의 화소(P)들은 발광한다.

[0042] 스캔 구동부(30)와 초기화 구동부(40)는 제3 블록(BL3)의 화소(P)들에 접속된 스캔라인들(S2p+1~S3p)과 초기화 라인들(SEN2p+1~SEN3p)에 제3 서브 프레임 기간(SF3)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN2p+1~SCAN3p)과 게이트 온 전압(Von)의 초기화신호들(SENS2p+1~SENS3p)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN2p+1~SCAN3p)을 순차적으로 공급한다. 이로 인해, 제3 서브 프레임 기간(SF3)의 문턱전압 센싱기간(ST) 동안 제3 블록(BL3)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제3 블록(BL3)의 화소(P)들 각각에 데이터전압이 공급되므로 제3 블록(BL3)의 화소(P)들은 발광한다.

[0043] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 표시패널(10)을 복수의 블록들(BL1, BL2, BL3)로 분할하고, 블록들(BL1, BL2, BL3)을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터(DT)의 문턱전압 센싱을 동시에 실시하고, 화소(P)들에 데이터전압들을 순차적으로 공급할 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간(DP)을 충분히 확보할 수 있는 장점이 있다.

[0044] 도 5는 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 과정도이다. 도 5에는 도 3의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANK), 제k 초기화라인(SENk)에 공급되는 제k 초기화신호(SENSk), 제j 데이터라인(Dj)에 공급되는 전압(DVj), 구동 트랜지스터(DT)의 게이트 전압(Vg)과 소스 전압(Vs)이 나타나 있다.

[0045] 도 5를 참조하면, 1 서브 프레임 기간은 제1 내지 제6 기간들(t1~t6)로 구분될 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 게이트 전극을 보상전압(Vcomp)으로 초기화하는 기간이다. 제2 기간(t2)은 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 제3 기간(t3)은 구동 트랜지스터(DT)의 게이트 전극에 턴-오프 전압(Vt)을 공급하는 기간이다. 제4 기간(t4)은 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)을 유지하는 기간이다. 제5 기간(t5)은 구동 트랜지스터(DT)의 게이트 전극에 데이터 전압(Vdata)을 공급하는 기간이다. 제6 기간(t6)은 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광하는 기간이다.

[0046] 제2 기간(t2)은 제1, 제3 및 제5 기간들(t1, t3, t5) 각각보다 길게 구현되는 것이 바람직하다. 도 4와 같이 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들은 스캔라인들에 순차적으로 공급되기 때문에, 제4 기간(t4)의 길이는 제1 스캔라인(S1)으로부터 제p 스캔라인(Sp)으로 갈수록, 제p+1 스캔라인(Sp+1)으로부터 제2p 스캔라인(S2p)으로 갈수록, 제2p+1 스캔라인(S2p+1)으로부터 제3p 스캔라인(S3p)으로 갈수록 길어진다.

[0047] 데이터 구동부(20)는 제1 및 제2 기간들(t1, t2) 동안 제j 데이터라인(Dj)에 보상전압(Vcomp)을 공급한다. 보상전압(Vcomp)은 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 보상전압(Vcomp)은 도 5와 같이 기준전압(Vref)보다 높은 전압일 수 있다.

[0048] 데이터 구동부(20)는 제3 및 제4 기간들(t3, t4) 동안 제j 데이터라인(Dj)에 턴-오프전압(Vt)을 공급한다. 턴-오프전압(Vt)은 구동 트랜지스터(DT)를 턴-오프시킬 수 있는 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 턴-오프전압(Vt)은 도 5와 같이 보상전압(Vcomp)보다 낮은 전압일 수 있으며, 턴-오프 전압(Vt)은 기준전압(Vref)과 동일한 전압으로 설정될 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 구체적으로, 구동 트랜지스터(DT)를 턴-오프시키기 위해서, 턴-오프전압(Vt)과 제3 기간(t3) 동안 구동 트랜지스터(DT)의 소스 전압(Vcomp-Vth- $\beta$ ) 간의 전압 차는 구동 트랜지스터(DT)의 문턱전압보다 낮게 설정되는 것이 바람직하다.

[0049] 데이터 구동부(20)는 제5 기간(t5) 동안 제j 데이터라인(Dj)에 데이터전압(Vdata)을 공급한다. 데이터전압(Vdata)은 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 공급되는 전압이다. 예를 들어, 데이터 구동부(20)에 공급되는 디지털 비디오 데이터(DATA)가 8 비트인 경우, 데이터전압(Vdata)은 256 개의 전압들 중 어느 하나로 공급될 수 있다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 데이터전압(Vdata)은 도 5와 같이 보상전압(Vcomp)보다 높은 전압일 수 있다.

- [0050] 스캔 구동부(30)는 도 5와 같이 제1 내지 제3 및 제5 기간들(t1~t3, t5) 동안 제k 스캔라인(Sk)에 게이트 온 전압(Von)의 제k 스캔신호(SCANk)를 공급한다. 스캔 구동부(30)는 제4 및 제6 기간들(t4, t6) 동안 제k 스캔라인(Sk)에 게이트 오프 전압(Voff)의 제k 스캔신호(SCANk)를 공급한다.
- [0051] 초기화 구동부(40)는 도 5와 같이 제1 기간(t1) 동안 제k 초기화라인(SENk)에 게이트 온 전압(Von)의 제k 초기화신호(SENSk)를 공급한다. 초기화 구동부(40)는 제2 내지 제6 기간들(t2~t6) 동안 제k 초기화라인(SENk)에 게이트 오프 전압(Voff)의 제k 초기화신호(SENSk)를 공급한다.
- [0052] 도 6은 제1 내지 제6 기간들 동안 화소의 구동방법을 보여주는 흐름도이다. 도 7a 내지 도 7f는 제1 내지 제6 기간들 동안 도 3의 화소의 동작을 보여주는 회로도들이다.
- [0053] 화소(P)의 구동 트랜지스터(DT)의 문턱전압을 보상하는 보상방법은 크게 내부 보상방법과 외부 보상방법으로 구분된다. 내부 보상방법은 화소(P)의 내부에서 구동 트랜지스터(DT)의 문턱전압을 센싱하여 보상하는 방법이다. 외부 보상방법은 화소(P)에 미리 설정된 전압을 공급하고, 상기 미리 설정된 전압에 따라 상기 화소(P)의 구동 트랜지스터(DT)의 소스 전극의 전압을 소정의 센싱라인을 통해 센싱하며, 센싱된 전압을 이용하여 상기 화소(P)에 공급될 디지털 비디오 데이터를 보상하는 방법이다. 본 발명의 실시예는 내부 보상방법에 의해 구동 트랜지스터(DT)의 문턱전압을 보상한다.
- [0054] 이하에서는 도 5, 도 6 및 도 7a 내지 도 7f를 결부하여 본 발명의 일 실시예에 따른 화소(P)의 구동방법을 상세히 살펴본다. 도 7a 내지 도 7f에서 설명의 편의를 위해 턴-오프되는 트랜지스터는 점선으로 도시하였다.
- [0055] 첫 번째로, 제1 기간(t1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 게이트 전극을 보상전압(Vcomp)으로 초기화한다.
- [0056] 제1 기간(t1) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제1 기간(t1) 동안 제k 초기화라인(SENk)에는 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제1 기간(t1) 동안 제j 데이터라인(Dj)에는 보상전압(Vcomp)이 공급된다.
- [0057] 제1 기간(t1) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7a와 같이 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(Dj)의 보상전압(Vcomp)이 공급된다. 제1 기간(t1) 동안 제2 트랜지스터(ST2)는 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENk)에 의해 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 도 5 및 도 7a와 같이 구동 트랜지스터(DT)의 소스 전극에는 기준전압(Vref)의 기준전압(Vref)이 공급된다. (도 6의 S101)
- [0058] 두 번째로, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 문턱전압을 센싱한다.
- [0059] 제2 기간(t2) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제2 기간(t2) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제2 기간(t2) 동안 제j 데이터라인(Dj)에는 보상전압(Vcomp)이 공급된다.
- [0060] 제2 기간(t2) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7b와 같이 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(Dj)의 보상전압(Vcomp)이 공급된다. 제2 기간(t2) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.
- [0061] 제2 기간(t2) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차( $V_{gs} = V_{comp} - V_{ref}$ )가 구동 트랜지스터(DT)의 문턱전압(threshold voltage,  $V_{th}$ )보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차( $V_{gs}$ )가 문턱전압( $V_{th}$ )에 도달할 때까지 전류를 흘리게 된다. 이로 인해, 구동 트랜지스터(DT)의 소스 전압( $V_s$ )은 도 5 및 도 7b와 같이 " $V_{comp} - V_{th}$ "까지 상승한다. 따라서, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압이 센싱된다. (도 6의 S102)
- [0062] 세 번째로, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 게이트 전극에 턴-오프전압( $V_t$ )을 공급한다.
- [0063] 제3 기간(t3) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제3 기간(t3) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제3 기간(t3) 동안 제j 데이터라인(Dj)에는 턴-오프전압( $V_t$ )이 공급된다.

[0064] 제3 기간(t3) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCAN<sub>k</sub>)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7c와 같이 구동 트랜지스터(DT)의 게이트 전극에는 턴-오프 전압(V<sub>t</sub>)이 공급된다. 제3 기간(t3) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 초기화신호(SEN<sub>k</sub>)에 의해 턴-오프된다.

[0065] 한편, 제3 기간(t3) 동안 도 5 및 도 7c와 같이 구동 트랜지스터(DT)의 게이트 전압(V<sub>g</sub>)은 턴-오프전압(V<sub>t</sub>)이고, 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극의 전압 변화량이 반영되므로 소스 전압(V<sub>s</sub>)은 "V<sub>comp</sub>-V<sub>th</sub>- $\beta$ "로 하강한다. 이때,  $\beta$ 는 수학식 1과 같이 정의될 수 있다.

## 수학식 1

$$\beta = (V_{comp} - V_t) \times \frac{CC1}{CC1 + CC2}$$

[0066]

[0067] 수학식 1에서, "V<sub>comp</sub>"는 보상전압, "V<sub>t</sub>"는 턴-오프전압, "CC1"는 제1 커패시터(C1)의 용량, "CC2"는 제2 커패시터(C2)의 용량을 의미한다. (도 6의 S103)

[0068]

네 번째로, 제4 기간(t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압(V<sub>s</sub>)을 유지한다.

[0069]

제4 기간(t4) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 스캔신호(SCAN<sub>k</sub>)가 공급된다. 제4 기간(t4) 동안 제k 초기화라인(SEN<sub>k</sub>)에는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 초기화신호(SEN<sub>Sk</sub>)가 공급된다. 제4 기간(t4) 동안 제j 데이터라인(Dj)에는 턴-오프전압(V<sub>t</sub>)이 공급된다.

[0070]

제4 기간(t4) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 스캔신호(SCAN<sub>k</sub>)에 의해 턴-오프된다. 제4 기간(t4) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 초기화신호(SEN<sub>k</sub>)에 의해 턴-오프된다.

[0071]

제4 기간(t4) 동안 구동 트랜지스터(DT)의 게이트 전극의 전압(V<sub>g</sub>)은 도 5 및 도 7d와 같이 제3 기간(t3) 동안 공급된 턴-오프 전압(V<sub>t</sub>)을 유지한다. 따라서, 제4 기간(t4) 동안 구동 트랜지스터(DT)는 제3 기간(t3)에 이어서 턴-오프된 상태를 유지한다.

[0072]

결국, 제3 및 제4 기간들(t3, t4) 동안 도 5와 같이 구동 트랜지스터(DT)의 게이트-소스간 전압(V<sub>gs</sub>)이 구동 트랜지스터(DT)의 문턱전압보다 작기 때문에, 구동 트랜지스터(DT)는 턴-오프된다. 하지만, 구동 트랜지스터(DT)가 턴-오프되더라도 미세하게 누설 전류가 흐를 수 있다. 이로 인해, 구동 트랜지스터(DT)의 소스 전압(V<sub>s</sub>)이 미세하게 상승할 수 있다. 특히, 도 4와 같이 화소(P)가 어느 스캔라인에 접속되는지에 따라 제4 기간(t4)의 길이가 달라질 수 있으므로, 구동 트랜지스터(DT)의 소스 전압(V<sub>s</sub>)은 구동 트랜지스터(DT)의 미세 누설 전류로 인해 화소(P)가 어느 스캔라인에 접속되는지에 따라 달라질 수 있다.

[0073]

하지만, 본 발명의 실시예는 기준전압라인(VRL)에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 갖는 제2 커패시터(C2)를 포함한다. 그 결과, 본 발명의 실시예는 제2 커패시터(C2)에 의해 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압 변동을 줄일 수 있으므로, 구동 트랜지스터(DT)의 미세 누설 전류로 인한 화소(P)들 간의 구동 트랜지스터(DT)의 소스 전압(V<sub>s</sub>) 차이를 최소화할 수 있다. (도 6의 S104)

[0074]

다섯 번째로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압이 공급된다.

[0075]

제5 기간(t5) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(V<sub>on</sub>)을 갖는 제k 스캔신호(SCAN<sub>k</sub>)가 공급된다. 제5 기간(t5) 동안 제k 초기화라인(SEN<sub>k</sub>)에는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 초기화신호(SEN<sub>Sk</sub>)가 공급된다. 제5 기간(t5) 동안 제j 데이터라인(Dj)에는 데이터전압(V<sub>data</sub>)이 공급된다.

[0076]

제5 기간(t5) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(V<sub>on</sub>)을 갖는 제k 스캔신호(SCAN<sub>k</sub>)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 데이터전압(V<sub>data</sub>)이 공급된다. 제5 기간(t5) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V<sub>off</sub>)을 갖는 제k 초기화신호(SEN<sub>k</sub>)에 의해 턴-오프된다.

[0077]

한편, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자 이동도(mobility,  $\mu$ )를 보상할 수

있다. 제5 기간(t5) 동안 구동 트랜지스터(DT)는 게이트 전극과 소스 전극간의 전압 차( $V_{gs}=V_{data}-(V_{comp}-V_{th}-\beta)$ )가 문턱전압( $V_{th}$ )보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차가 문턱 전압에 도달할 때까지 전류를 흘리게 된다. 하지만, 제5 기간(t5)은 제2 기간(t2)보다 짧으며, 이로 인해 구동 트랜지스터(DT)의 소스 전압( $V_s$ )이 " $V_{data}-V_{th}$ "에 도달하기 전에 제5 기간(t5)이 끝나게 된다.

[0078] 구동 트랜지스터(DT)의 전류는 수학식 2와 같이 구동 트랜지스터(DT)의 전자이동도( $K$ )에 비례하므로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압( $V_s$ )의 상승률은 구동 트랜지스터(DT)의 전자이동도( $K$ )에 비례한다. 즉, 구동 트랜지스터(DT)의 전자이동도가 클수록 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압( $V_s$ )의 상승률은 더욱 커진다.

[0079] 결국, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도( $K$ )에 따라 소스 전압( $V_s$ )의 상승률이 달라지며, 이로 인해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차( $V_{gs}$ )가 달라진다. 즉, 본 발명의 실시 예에는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도( $K$ )에 따라 게이트 전극과 소스 전극 간의 전압 차( $V_{gs}$ )를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도( $K$ )를 보상할 수 있다. 예를 들어, 제5 기간(t5) 동안 도 5 및 도 7e와 같이 구동 트랜지스터의 게이트 전압( $V_g$ )은 " $V_{data}$ "이고, 소스 전압( $V_s$ )은 " $V_{comp}-V_{th}-\beta+\alpha$ "까지 상승한다. 이때, " $\alpha$ "는 제5 기간(t5) 동안 소스 전압( $V_s$ )의 상승률으로 정의될 수 있다. 그러므로, 제5 기간(t5) 동안 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차( $V_{gs}$ )인 " $V_{data}-(V_{comp}-V_{th}-\beta+\alpha)$ "를 저장한다.

[0080] 한편, 화소(P)가 제2 커패시터(C2)를 포함하지 않는다면, 특히 구동 트랜지스터(DT)의 게이트 전극에 고계조의 데이터전압( $V_{data}$ )이 공급되는 경우, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압( $V_s$ )은 가파르게 상승할 수 있다. 이 경우, 구동 트랜지스터(DT)의 게이트-소스간 전압 차( $V_{gs}$ )가 작아지므로, 구동 트랜지스터(DT)를 통해 흐르는 전류가 작아질 수 있다. 따라서, 유기발광다이오드(OLED)의 발광 휘도가 낮은 문제가 발생할 수 있다.

[0081] 하지만, 본 발명의 일 실시예에 따른 화소(P)는 기준전압라인(VRL)에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 갖는 제2 커패시터(C2)를 포함한다. 그 결과, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압( $V_s$ ) 변동을 줄일 수 있으므로, 도 8과 같이 화소(P)가 제2 커패시터(C2)를 포함하는 경우 구동 트랜지스터(DT)의 게이트-소스간 전압 차( $V_{gs}$ )를 화소(P)가 제2 커패시터(C2)를 포함하지 않는 경우 구동 트랜지스터(DT)의 게이트-소스간 전압 차( $V_{gs}$ )보다 크게 할 수 있다. 따라서, 본 발명의 실시예는 화소(P)가 제2 커패시터(C2)를 포함하지 않는 경우보다 구동 트랜지스터(DT)를 통해 흐르는 전류를 증가시킬 수 있으므로, 유기발광다이오드(OLED)의 발광 휘도를 높일 수 있다. 또한, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압( $V_s$ ) 상승을 억제하므로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압( $V_s$ )이 유기발광다이오드(OLED)의 턴-온 전압에 도달하지 않도록 설정할 수 있다. 따라서, 본 발명의 실시예는 제5 기간(t5) 동안 유기발광다이오드(OLED)의 턴-온 전압에 의한 전자이동도 보상 능력 저하를 방지할 수 있다.

[0082] 한편, 제2 커패시터(C2)의 크기가 클수록 유기발광다이오드(OLED)의 발광 휘도를 높일 수 있으나, 구동 트랜지스터(DT)의 전자 이동도( $K$ ) 보상 능력이 낮아질 수 있으므로, 제2 커패시터(C2)의 크기는 이를 고려하여 적절하게 설정되는 것이 바람직하다. (도 6의 S105)

[0083] 여섯 번째로, 제6 기간(t6) 동안 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광한다.

[0084] 제6 기간(t6) 동안 제k 스캔라인( $Sk$ )에는 게이트 오프 전압( $V_{off}$ )을 갖는 제k 스캔신호( $SCAN_k$ )가 공급된다. 제6 기간(t6) 동안 제k 초기화라인( $SEN_k$ )에는 게이트 오프 전압( $V_{off}$ )을 갖는 제k 초기화신호( $SEN_k$ )가 공급된다.

[0085] 제6 기간(t6) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압( $V_{off}$ )을 갖는 제k 스캔신호( $SCAN_k$ )에 의해 턴-오프된다. 제6 기간(t6) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압( $V_{off}$ )을 갖는 제k 초기화신호( $SEN_k$ )에 의해 턴-오프된다.

[0086] 제6 기간(t6) 동안 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차( $V_{gs}=V_{data}-(V_{comp}-V_{th}-\beta+\alpha)$ )는 일정하게 유지될 수 있다. 그 결과, 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류( $Ids$ )는 수학식 2와 같이 정의될 수 있다.

## 수학식 2

$$[0087] \quad \mathbf{Ids} = \frac{\mathbf{K} \times \mathbf{Cox} \times \mathbf{W/L}}{2} \times (\mathbf{Vdata} - (\mathbf{Vcomp} - \mathbf{Vth} - \beta + \alpha) - \mathbf{Vth})^2$$

[0088] 수학식 2를 정리하면, 수학식 3이 도출된다.

## 수학식 3

$$[0089] \quad \mathbf{Ids} = \frac{\mathbf{K} \times \mathbf{Cox} \times \mathbf{W/L}}{2} \times (\mathbf{Vdata} - \mathbf{Vcomp} + \beta - \alpha)^2$$

[0090] 결국, 수학식 3과 같이 구동 트랜지스터(DT)의 전류(Ids)는 구동 트랜지스터(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(Vth)은 보상된다. 결국, 유기발광다이오드(OLED)는 도 7f와 같이 구동 트랜지스터(DT)의 문턱전압(Vth)이 보상된 구동 트랜지스터(DT)의 전류(Ids)에 따라 발광한다. (도 6의 S106)

[0091] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 기간(t1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 수학식 3과 같이 문턱전압이 보상된 구동 트랜지스터의 전류(Ids)에 따라 유기발광다이오드(OLED)를 발광할 수 있다.

[0092] 또한, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(Vs)을 "a"만큼 상승시킨다. 이때, 소스 전극의 전압(Vs)의 상승량인 "a"는 구동 트랜지스터(DT)의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(Vgs)를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도(K)를 보상할 수 있다.

[0093] 나아가, 본 발명의 실시예는 기준전압라인(VRL)에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 갖는 제2 커패시터(C2)를 포함한다. 그 결과, 본 발명의 실시예는 제2 커패시터(C2)에 의해 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압 변동을 줄일 수 있으므로, 구동 트랜지스터(DT)의 미세 누설 전류로 인한 화소(P)들 간의 구동 트랜지스터(DT)의 소스 전압(Vs) 차이를 최소화할 수 있다.

[0094] 더욱이, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압(Vs) 변동을 줄일 수 있다. 그러므로, 본 발명의 실시예는 구동 트랜지스터(DT)의 게이트-소스간 전압 차(Vgs)를 크게 할 수 있으며, 이로 인해 구동 트랜지스터(DT)를 통해 흐르는 전류를 증가시킬 수 있다. 그 결과, 본 발명의 실시예는 유기발광다이오드(OLED)의 발광 휘도를 높일 수 있다. 또한, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압(Vs) 상승을 억제하므로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압(Vs)이 유기발광다이오드(OLED)의 턴-온 전압에 도달하지 않도록 설정할 수 있다. 따라서, 본 발명의 실시예는 제5 기간(t5) 동안 유기발광다이오드(OLED)의 턴-온 전압에 의한 전자이동도 보상 능력 저하를 방지할 수 있다.

[0095] 도 9는 도 3의 화소의 일 예를 보여주는 평면도이다. 도 10은 도 9의 I-I'의 단면도이다. 도 9 및 도 10에서 설명의 편의를 위해 도 3의 구동 트랜지스터(DT), 제1 및 제2 커패시터들(C1, C2), 및 기준전압라인(VRL)만을 도시하였다. 이하에서는 도 9 및 도 10을 결부하여 본 발명의 일 실시예에 따른 제2 커패시터(C2)의 접속 구조에 대해 상세히 설명한다.

[0096] 도 9 및 도 10을 참조하면, 하부 기판(100)상에 제1 및 제2 차광층들(light shield layers, 111, 112)을 포함하는 제1 금속 패턴이 마련된다. 제1 금속 패턴은 구동 트랜지스터(DT)의 액티브층(130)에 빛이 입사되는 것을 방지하기 위한 차광 금속 패턴이다. 이를 위해, 제1 및 제2 차광층들(111, 112)은 구동 트랜지스터(DT)의 반도

체층(131), 소스 전극(132), 및 드레인 전극(133)에 중첩되게 형성되며, 빛이 투과되지 않는 불투명한 금속 물질로 형성될 수 있다. 제1 차광층(111) 중에서 구동 트랜지스터(DT)의 소스 전극(132)과 중첩되는 부분은 제2 커페시터(C2)의 제1 전극(111a)으로 기능한다. 즉, 제1 차광층(111)의 일부는 제2 커페시터(C2)의 제1 전극(111a)으로 기능한다.

[0097] 제1 금속 패턴 상에는 베퍼층(120)이 마련된다. 베퍼층(120) 상에는 구동 트랜지스터(DT)의 채널층(131), 소스 전극(132), 및 드레인 전극(133)을 포함하는 액티브층(130)이 마련된다. 액티브층(130)에는 불순물이 선택적으로 도핑된다. 채널층(131)의 일측이 소스 전극(132)에 접속되는 경우, 타측은 드레인 전극(133)에 접속될 수 있다. 구동 트랜지스터(DT)의 채널층(131), 소스 전극(132), 및 드레인 전극(133)은 제1 및 제2 차광층들(111, 112)에 중첩되도록 배치되며, 이로 인해 빛으로부터 보호될 수 있다. 액티브층(130)은 제1 및 제2 트랜지스터들(ST1, ST2)의 채널층들, 소스 전극들, 드레인 전극들과 동일한 금속으로 형성되는 반도체 금속 패턴이다.

[0098] 액티브층(130) 상에는 게이트 절연막(140)이 마련된다. 게이트 절연막(140)은 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiNx)의 단일막으로 형성되거나 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)의 복합막으로 형성될 수 있다.

[0099] 게이트 절연막(140) 상에는 구동 트랜지스터(DT)의 게이트 전극(151)과 구동전압라인(152)을 포함하는 제2 금속 패턴이 마련된다. 구동 트랜지스터(DT)의 게이트 전극(151)은 구동 트랜지스터(DT)의 채널층(131)에 중첩된다. 구동 트랜지스터(DT)의 게이트 전극(151)은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다. 제2 금속 패턴은 스캔라인들 및 초기화라인들과 동일한 금속으로 형성되는 게이트 금속 패턴이다.

[0100] 액티브층(130)과 제2 금속 패턴 상에는 충간 절연막(160)이 마련된다. 베퍼층(120)과 충간 절연막(160)을 관통하여 제1 차광층(111)을 노출시키는 제1 콘택홀(CNT1)과 제2 차광층(112)을 노출시키는 제2 콘택홀(CNT2)이 형성될 수 있다. 또한, 충간 절연막(160)을 관통하여 구동 트랜지스터(DT)의 소스 전극(132)을 노출시키는 제3 콘택홀(CNT3)과 드레인 전극(133)을 노출시키는 제4 콘택홀(CNT4)이 형성될 수 있다. 나아가, 충간 절연막(160)을 관통하여 구동 트랜지스터(DT)의 게이트 전극을 노출시키는 제5 콘택홀(CNT5)과 구동전압라인(152)을 노출시키는 제6 콘택홀(CNT6)이 형성될 수 있다.

[0101] 충간 절연막(160) 상에는 제1 연결전극(171), 제2 연결전극(172), 제1 커페시터(C1)의 제1 전극(173) 및 기준전압라인(174)을 포함하는 제3 금속 패턴이 마련된다. 은 데이터라인들과 동일한 금속으로 형성되는 데이터 금속 패턴이다.

[0102] 제1 연결전극(171)은 제4 콘택홀(CNT4)을 통해 구동 트랜지스터(DT)의 드레인 전극(133)에 접속되고, 제6 콘택홀(CNT6)을 통해 구동전압라인(152)에 접속된다. 따라서, 구동 트랜지스터(DT)의 드레인 전극에는 구동전압라인(152)의 구동전압이 공급된다.

[0103] 제2 연결전극(172)은 제2 콘택홀(CNT2)을 통해 제2 차광층(112)과 접속되고, 제3 콘택홀(CNT3)을 통해 구동 트랜지스터(DT)의 소스 전극에 접속된다. 따라서, 제2 차광층(112)에는 구동 트랜지스터(DT)의 소스 전압이 공급된다.

[0104] 제1 커페시터(C1)의 제1 전극(173)은 제5 콘택홀(CNT5)을 통해 구동 트랜지스터(DT)의 게이트 전극(151)에 접속된다. 구동 트랜지스터(DT)의 소스 전극(132) 중에서 제1 커페시터(C1)의 제1 전극(173)과 중첩되는 부분은 제1 커페시터(C1)의 제2 전극(132a)으로 기능한다. 즉, 구동 트랜지스터(DT)의 소스 전극(132)의 일부는 제1 커페시터(C1)의 제2 전극(132a)으로 기능한다. 결국, 제1 커페시터(C1)의 제1 전극(173)은 구동 트랜지스터(DT)의 게이트 전극에 접속되고 제2 전극은 구동 트랜지스터(DT)의 소스 전극(132)에 접속되므로, 제1 커페시터(C1)에는 구동 트랜지스터(DT)의 게이트 전극(151)과 소스 전극(132) 간의 전압 차가 저장된다.

[0105] 기준전압라인(174)은 제1 콘택홀(CNT1)을 통해 제1 차광층(111)에 접속된다. 제1 차광층(111)은 제2 커페시터(C2)의 제1 전극(111a)에 접속되므로, 제2 커페시터(C2)의 제1 전극(111a)에는 기준전압라인(174)의 기준전압이 공급된다. 구동 트랜지스터(DT)의 소스 전극(132) 중에서 제1 차광층(111)과 중첩되는 부분은 제2 커페시터(C2)의 제2 전극(132a, 132b)으로 기능한다. 즉, 구동 트랜지스터(DT)의 소스 전극(132)의 일부는 제2 커페시터(C2)의 제2 전극(132a, 132b)으로 기능한다. 결국, 제2 커페시터(C2)의 제1 전극은 제1 차광층(111)을 통해 기준전압라인(174)에 접속되고, 제2 전극은 구동 트랜지스터(DT)의 소스 전극(132)에 접속되므로, 제2 커페시터(C2)에는 구동 트랜지스터(DT)의 소스 전극(132)과 기준전압라인(174) 간의 전압 차가 저장된다.

- [0106] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제2 커패시터(C2)의 제1 전극으로 기능하는 제1 차광층(111)을 노출시키는 제1 콘택홀(CNT1)을 통해 기준전압라인(174)과 제1 차광층(111)을 접속한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터(DT)의 소스 전극(132) 중에서 제1 차광층(111)과 중첩되는 부분이 제2 커패시터(C2)의 제2 전극(132b)으로 기능하므로, 제2 커패시터(C2)에는 구동 트랜지스터(DT)의 소스 전극과 기준전압라인(174) 간의 전압 차가 저장된다. 따라서, 본 발명의 실시예는 구동 트랜지스터(DT)의 소스 전극의 전압 변동을 줄일 수 있다.
- [0107] 한편, 도 9 및 도 10에서는 설명의 편의를 위해 제3 금속 패턴 상에 마련되는 보호막, 유기발광다이오드(OLED)의 애노드 전극을 포함하는 제4 금속 패턴, 뱅크층, 유기발광다이오드(OLED)의 캐소드 전극을 포함하는 제5 금속 패턴, 유무기 복합층을 도시하지 않았음에 주의하여야 한다.
- [0108] 도 11은 도 3의 화소의 또 다른 예를 보여주는 평면도이다. 도 12는 도 11의 II-II'의 단면도이다. 도 11 및 도 12에서는 설명의 편의를 위해 도 3의 구동 트랜지스터(DT), 제1 및 제2 커패시터들(C1, C2), 및 기준전압라인(VRL)만을 도시하였다. 이하에서는 도 11 및 도 12를 결부하여 본 발명의 또 다른 실시예에 따른 제2 커패시터(C2)의 접속 구조에 대해 상세히 설명한다.
- [0109] 도 11 및 도 12를 참조하면, 하부 기판(100)상에 제1 차광층(light shield layer, 111)을 포함하는 제1 금속 패턴이 마련된다. 제1 금속 패턴은 구동 트랜지스터(DT)의 액티브층(130)에 빛이 입사되는 것을 방지하기 위한 차광 금속 패턴이다. 이를 위해, 제1 차광층(111)은 구동 트랜지스터(DT)의 반도체층(131), 소스 전극(132), 및 드레인 전극(133)에 중첩되며, 구동 트랜지스터(DT)의 반도체층(131), 소스 전극(132), 및 드레인 전극(133)보다 넓은 면적으로 형성될 수 있다. 제1 차광층(111)은 빛이 투과되지 않는 불투명한 금속 물질로 형성될 수 있다. 제1 차광층(111) 중에서 구동 트랜지스터(DT)의 소스 전극(132)과 중첩되는 부분은 제2 커패시터(C2)의 제1 전극(111a)으로 기능한다. 즉, 제1 차광층(111)의 일부는 제2 커패시터(C2)의 제1 전극(111a)으로 기능한다.
- [0110] 제1 금속 패턴 상에는 베퍼층(120)이 마련된다. 베퍼층(120) 상에는 구동 트랜지스터(DT)의 채널층(131), 소스 전극(132), 및 드레인 전극(133)을 포함하는 액티브층(130)이 마련된다. 액티브층(130)은 도 9 및 도 10을 결부하여 설명한 바와 실질적으로 동일하므로, 액티브층(130)에 대한 자세한 설명은 생략한다.
- [0111] 액티브층(130) 상에는 게이트 절연막(140)이 마련된다. 게이트 절연막(140)은 도 9 및 도 10을 결부하여 설명한 바와 실질적으로 동일하므로, 게이트 절연막(140)에 대한 자세한 설명은 생략한다.
- [0112] 게이트 절연막(140) 상에는 구동 트랜지스터(DT)의 게이트 전극(151)과 구동전압라인(152)을 포함하는 제2 금속 패턴이 마련된다. 제2 금속 패턴은 도 9 및 도 10을 결부하여 설명한 바와 실질적으로 동일하므로, 제2 금속 패턴에 대한 자세한 설명은 생략한다.
- [0113] 액티브층(130)과 제2 금속 패턴 상에는 충간 절연막(160)이 마련된다. 베퍼층(120)과 충간 절연막(160)을 관통하여 제1 차광층(111)을 노출시키는 제1 콘택홀(CNT1')들이 형성될 수 있다. 또한, 충간 절연막(160)을 관통하여 구동 트랜지스터(DT)의 드레인 전극(133)을 노출시키는 제2 콘택홀(CNT2')이 형성될 수 있다. 나아가, 충간 절연막(160)을 관통하여 구동 트랜지스터(DT)의 게이트 전극을 노출시키는 제3 콘택홀(CNT3')과 구동전압라인(152)을 노출시키는 제4 콘택홀(CNT4')이 형성될 수 있다.
- [0114] 충간 절연막(160) 상에는 제1 연결전극(171), 제1 커패시터(C1)의 제1 전극(173) 및 기준전압라인(174)을 포함하는 제3 금속 패턴이 마련된다. 제3 금속 패턴은 데이터라인들과 동일한 금속으로 형성되는 데이터 금속 패턴이다.
- [0115] 제1 연결전극(171)은 제2 콘택홀(CNT2')을 통해 구동 트랜지스터(DT)의 드레인 전극(133)에 접속되고, 제4 콘택홀(CNT4')을 통해 구동전압라인(152)에 접속된다. 따라서, 구동 트랜지스터(DT)의 드레인 전극에는 구동전압라인(152)의 구동전압이 공급된다.
- [0116] 제1 커패시터(C1)의 제1 전극(173)은 제3 콘택홀(CNT3')을 통해 구동 트랜지스터(DT)의 게이트 전극(151)에 접속된다. 구동 트랜지스터(DT)의 소스 전극(132) 중에서 제1 커패시터(C1)의 제1 전극(173)과 중첩되는 부분은 제1 커패시터(C1)의 제2 전극(132a)으로 기능한다. 즉, 구동 트랜지스터(DT)의 소스 전극(132)의 일부는 제1 커패시터(C1)의 제2 전극(132a)으로 기능한다. 결국, 제1 커패시터(C1)의 제1 전극(173)은 구동 트랜지스터(DT)의 게이트 전극에 접속되고 제2 전극은 구동 트랜지스터(DT)의 소스 전극(132)에 접속되므로, 제1 커패시터

(C1)에는 구동 트랜지스터(DT)의 게이트 전극(151)과 소스 전극(152) 간의 전압 차가 저장된다.

[0117] 기준전압라인(174)은 제1 콘택홀(CNT1')들을 통해 제1 차광층(111)에 접속된다. 제1 차광층(111)은 제2 커패시터(C2)의 제1 전극(111a)에 접속되므로, 제2 커패시터(C2)의 제1 전극(111a)에는 기준전압라인(174)의 기준전압이 공급된다. 구동 트랜지스터(DT)의 소스 전극(132) 중에서 제1 차광층(111)과 중첩되는 부분은 제2 커패시터(C2)의 제2 전극(132a, 132b)으로 기능한다. 즉, 구동 트랜지스터(DT)의 소스 전극(132)의 일부는 제2 커패시터(C2)의 제2 전극(132a, 132b)으로 기능한다. 결국, 제2 커패시터(C2)의 제1 전극은 제1 차광층(111)을 통해 기준전압라인(174)에 접속되고, 제2 전극은 구동 트랜지스터(DT)의 소스 전극(132)에 접속되므로, 제2 커패시터(C2)에는 구동 트랜지스터(DT)의 소스 전극과 기준전압라인(174) 간의 전압 차가 저장된다.

[0118] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제2 커패시터(C2)의 제1 전극으로 기능하는 제1 차광층(111)을 노출시키는 제1 콘택홀(CNT1)을 통해 기준전압라인(174)과 제1 차광층(111)을 접속한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터(DT)의 소스 전극(132) 중에서 제1 차광층(111)과 중첩되는 부분이 제2 커패시터(C2)의 제2 전극(132b)으로 기능하므로, 제2 커패시터(C2)에는 구동 트랜지스터(DT)의 소스 전극과 기준전압라인(174) 간의 전압 차가 저장된다. 따라서, 본 발명의 실시예는 구동 트랜지스터(DT)의 소스 전극의 전압 변동을 줄일 수 있다.

[0119] 한편, 도 11 및 도 12에서는 설명의 편의를 위해 제3 금속 패턴 상에 마련되는 보호막, 유기발광다이오드(OLED)의 애노드 전극을 포함하는 제4 금속 패턴, 뱅크층, 유기발광다이오드(OLED)의 캐소드 전극을 포함하는 제5 금속 패턴, 유무기 복합층을 도시하지 않았음에 주의하여야 한다.

[0120] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

10: 표시패널 20: 데이터 구동부

30: 스캔 구동부 40: 초기화 구동부

50: 타이밍 제어부 P: 화소

DT: 구동 트랜지스터 ST1: 제1 트랜지스터

ST2: 제2 트랜지스터 ST3: 제3 트랜지스터

OLED: 유기발광다이오드 C1: 제1 커패시터

C2: 제2 커패시터 EVSL: 저전위 구동전압라인

VRL, 174: 기준전압 라인 EVDL: 구동전압라인

Sk: 제k 스캔라인 SENk: 제k 초기화라인

Dj: 제j 데이터라인 SCANk: 제k 스캔신호

SENSk: 제k 초기화신호 Vg: 게이트전압

Vs: 소스전압 Vref: 기준전압

Vcomp: 보상전압 Vt: 턴-오프전압

Vdata: 데이터전압 Von: 게이트 온 전압

Voff: 게이트 오프 전압 100: 하부기판

111: 제1 차광층 111a: 제2 커패시터의 제1 전극

112: 제2 차광층 120: 버퍼층

131: 채널층 132: 소스 전극

132a: 제1 커패시터의 제2 전극 132b: 제2 커패시터의 제2 전극

133: 드레인 전극 140: 게이트 절연막

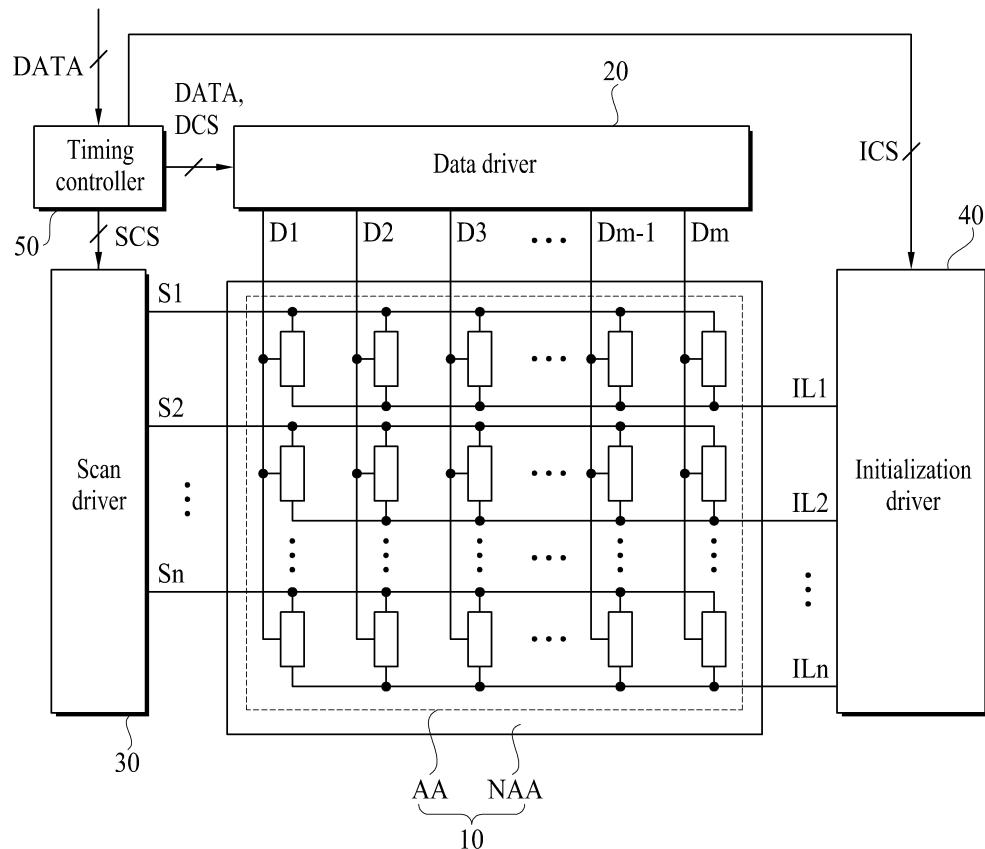
151: 게이트 전극 152: 구동전압라인

160: 충간 절연막 171: 제1 연결전극

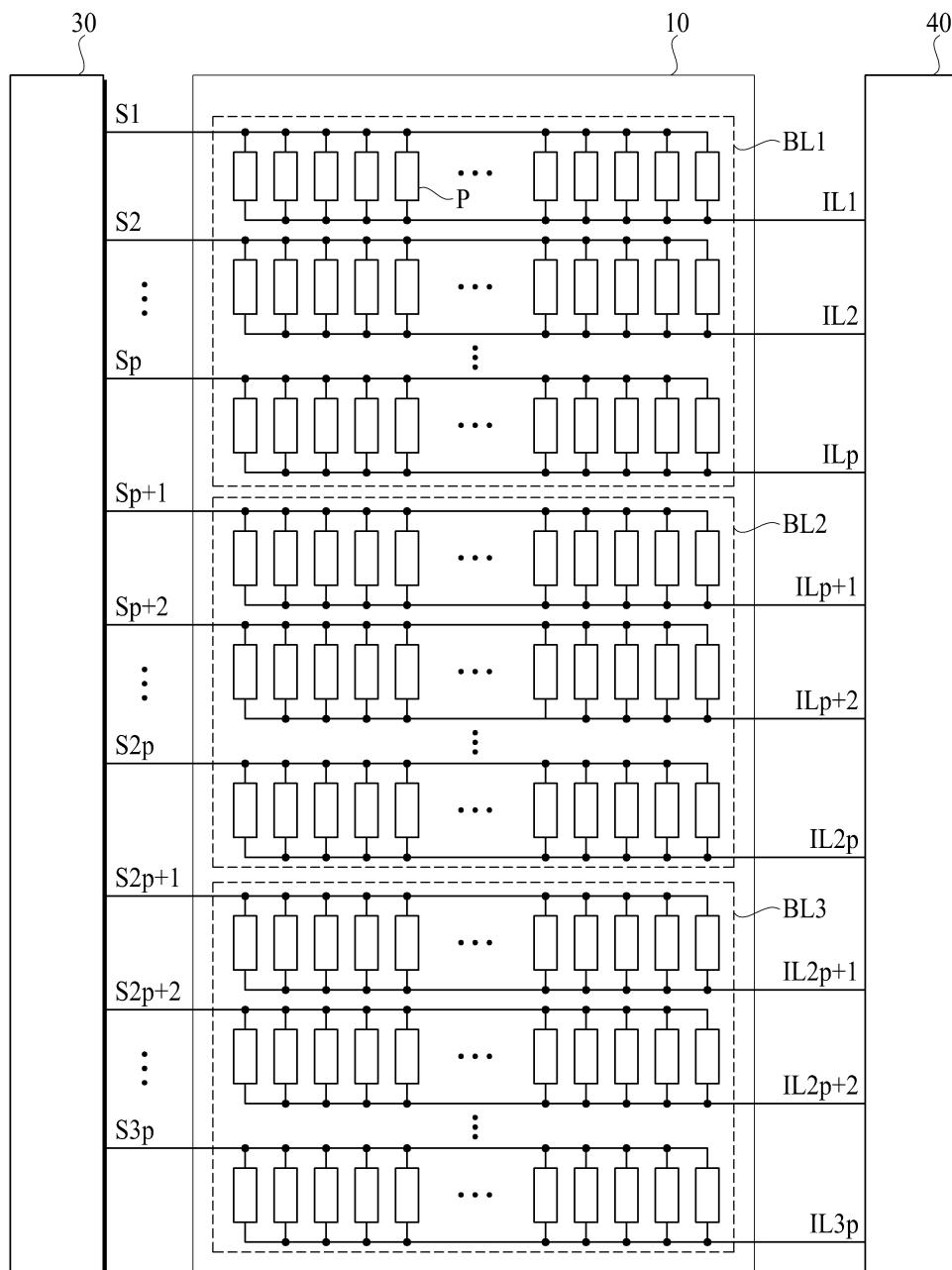
172: 제2 연결전극 173: 제1 커패시터의 제1 전극

## 도면

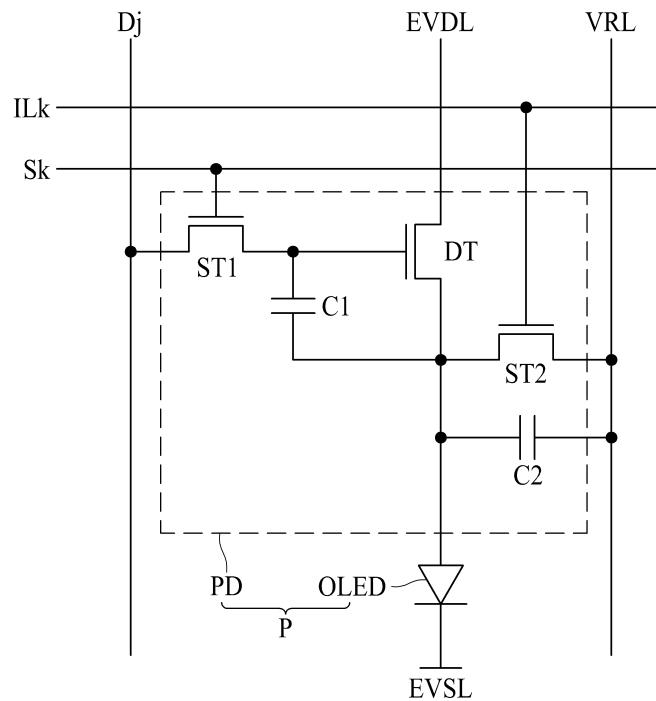
### 도면1



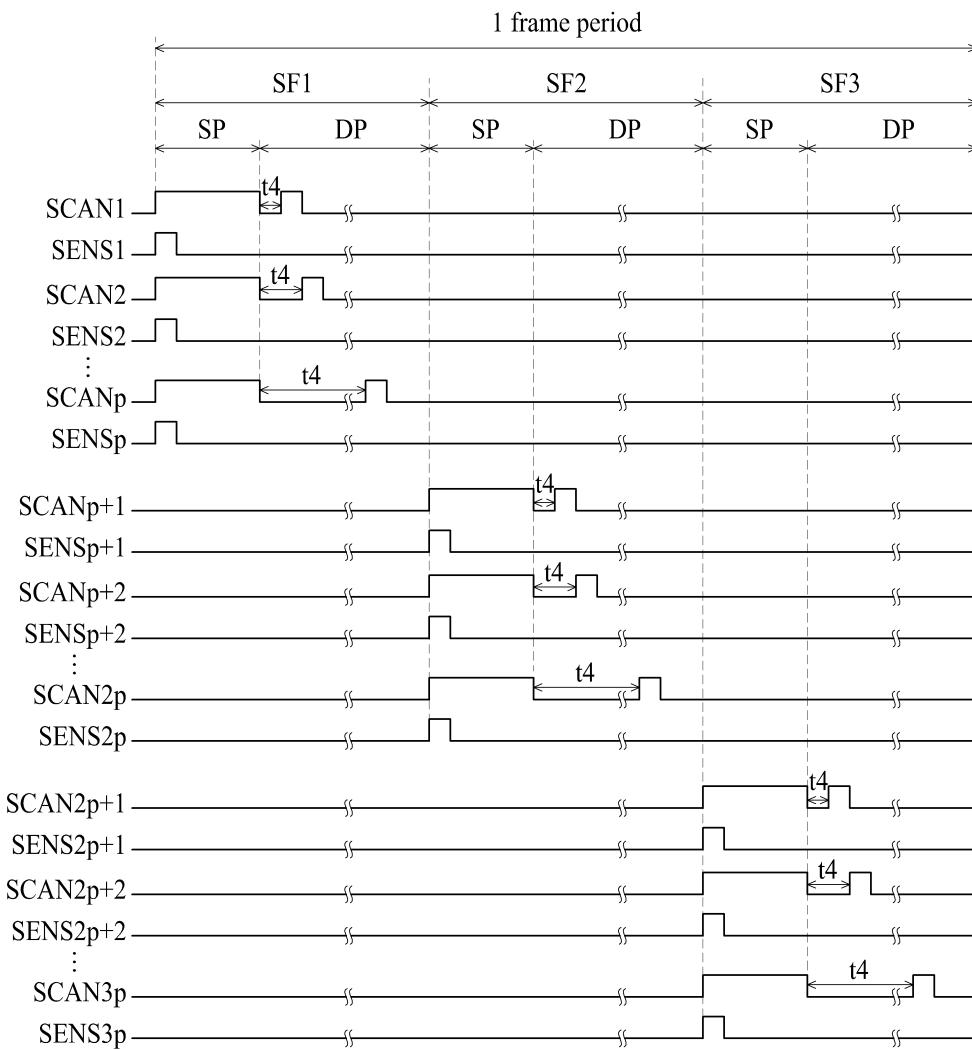
## 도면2



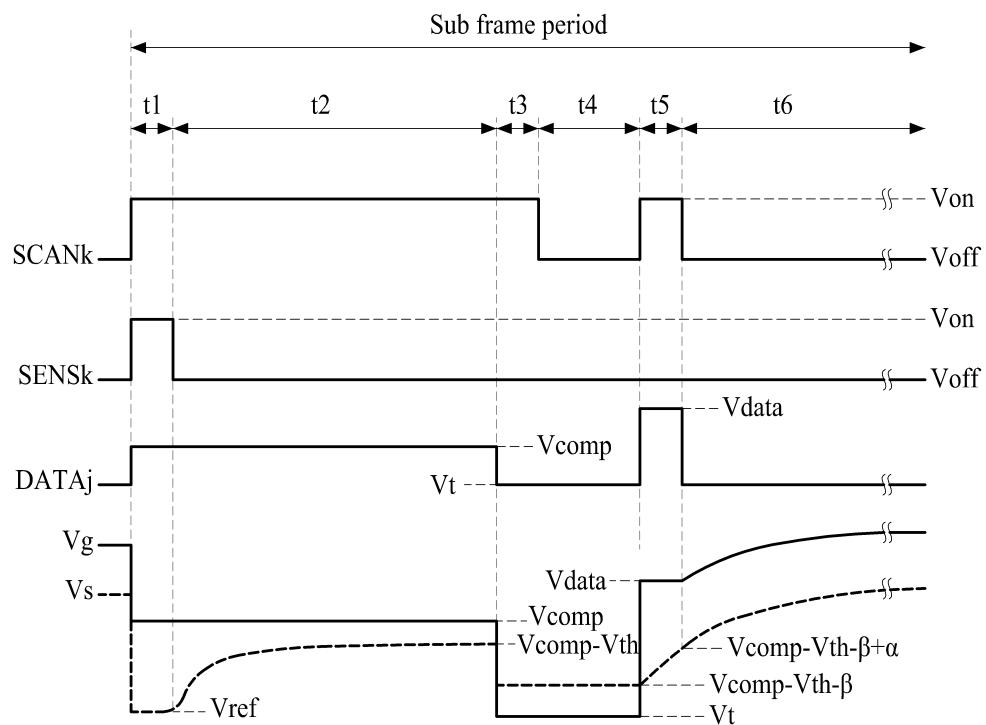
### 도면3



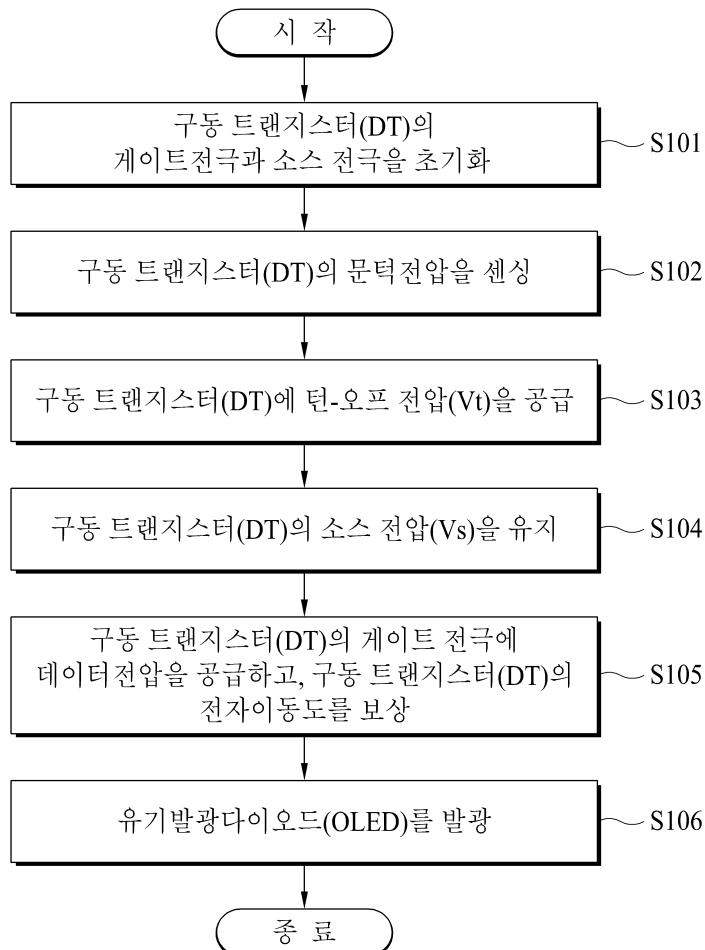
## 도면4



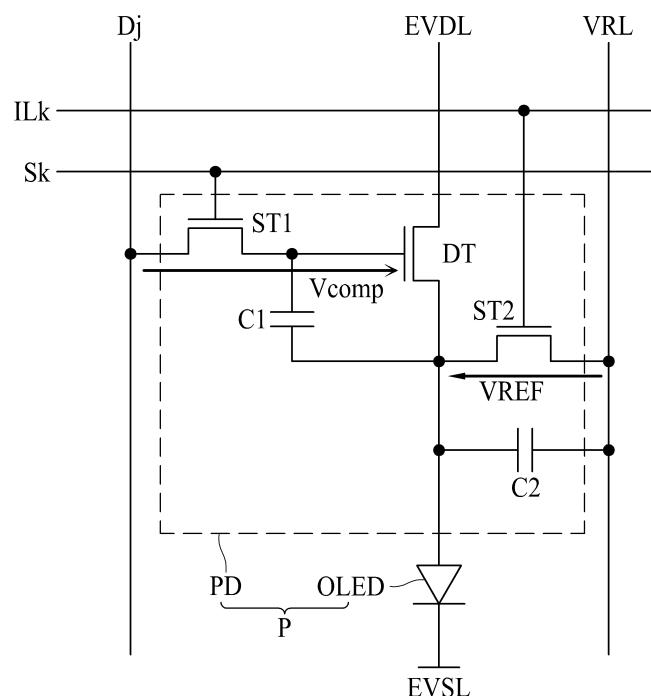
## 도면5



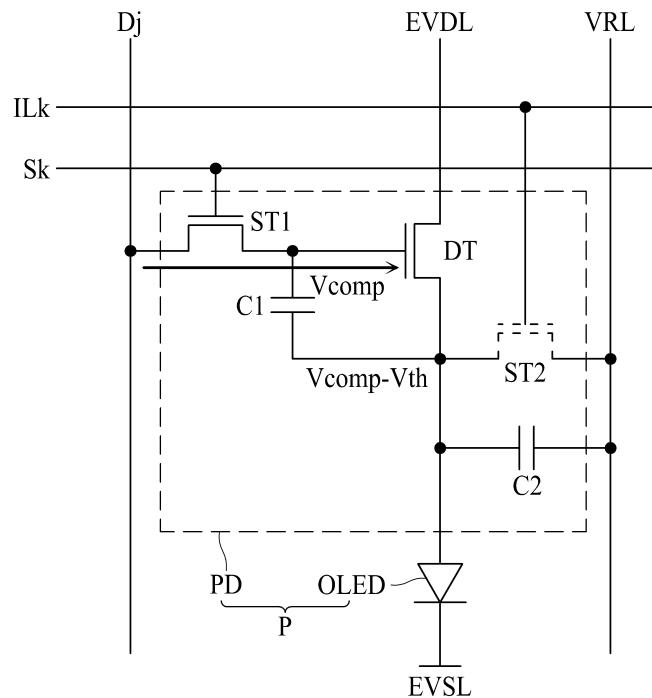
## 도면6



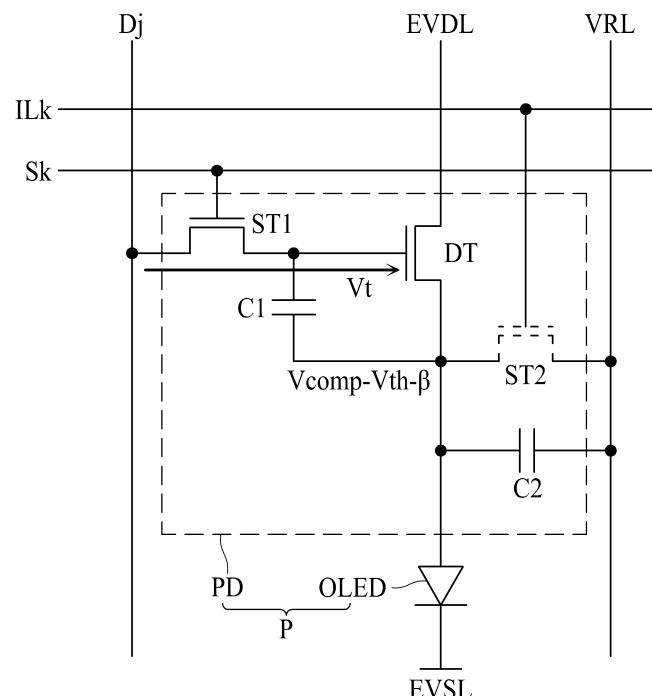
## 도면7a



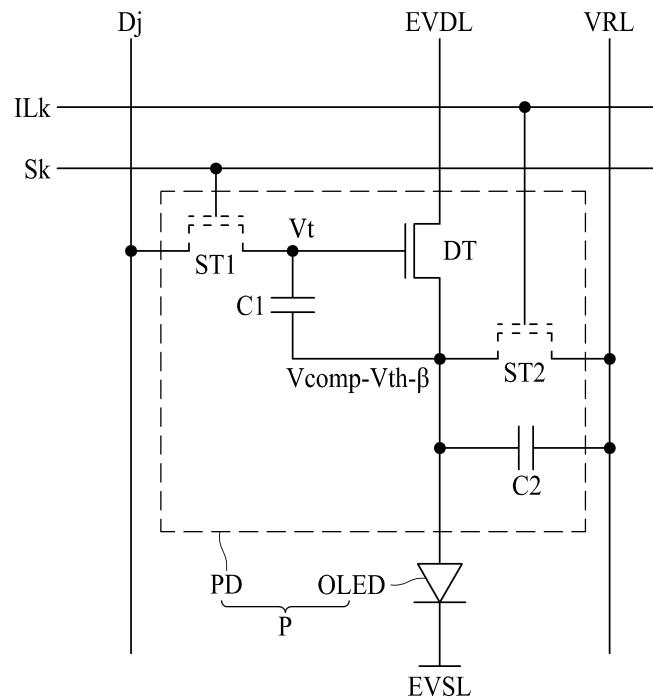
도면7b



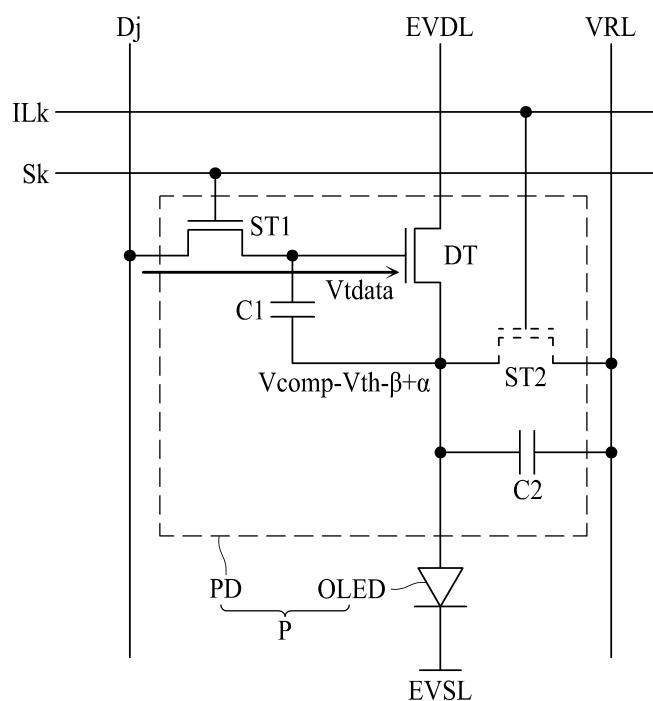
도면7c



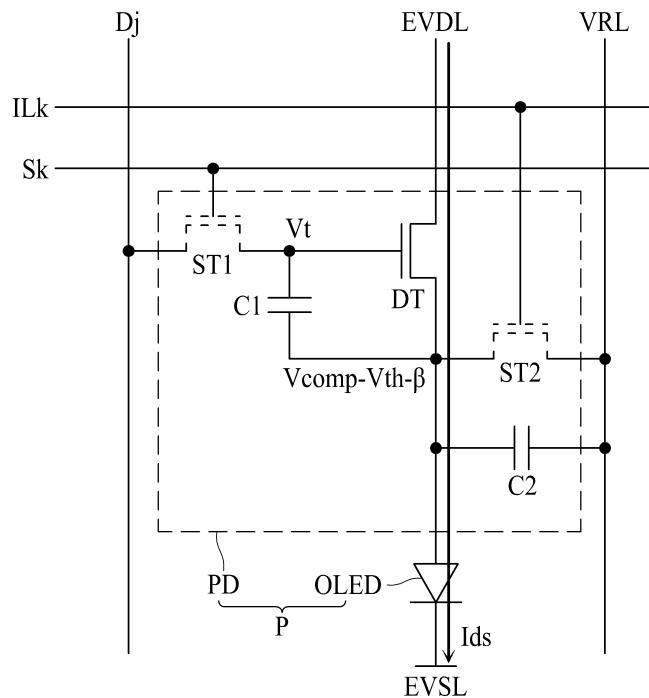
## 도면7d



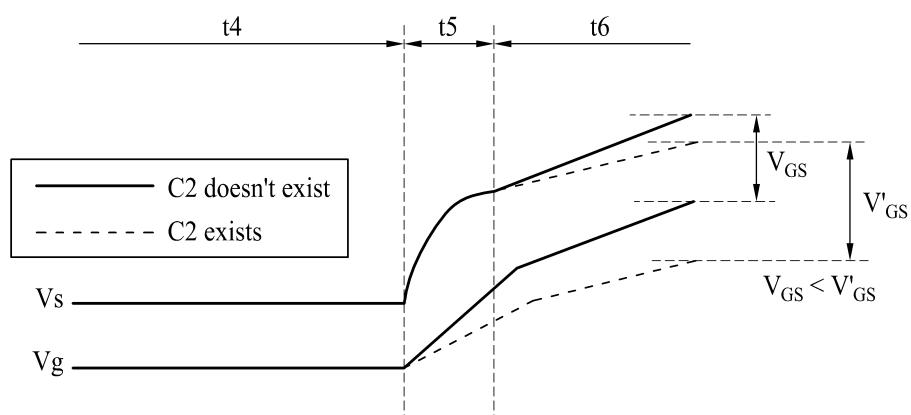
## 도면7e



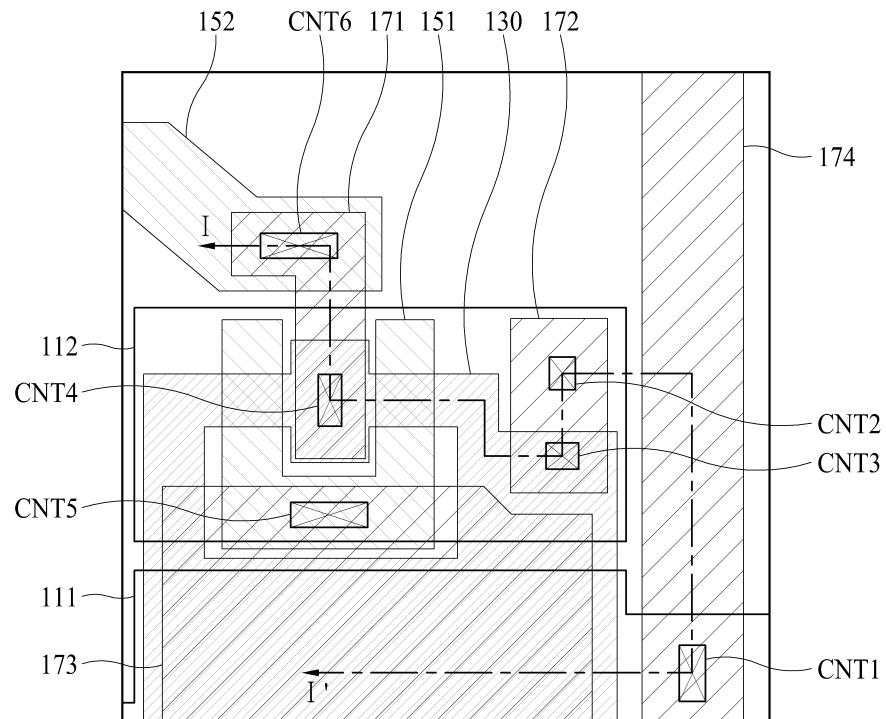
## 도면7f



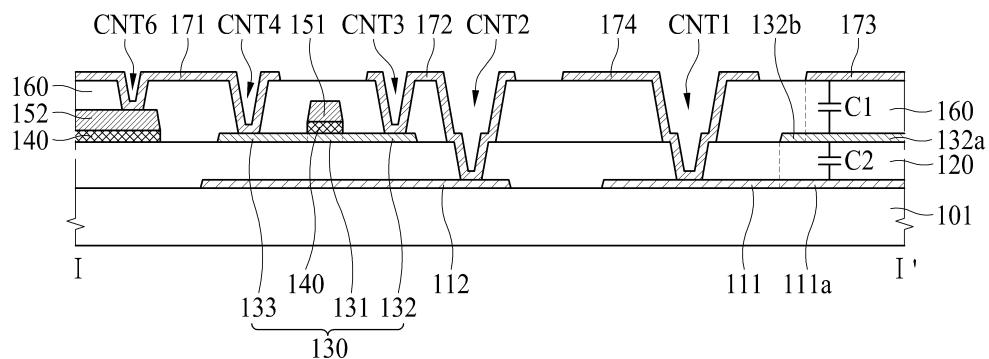
## 도면8



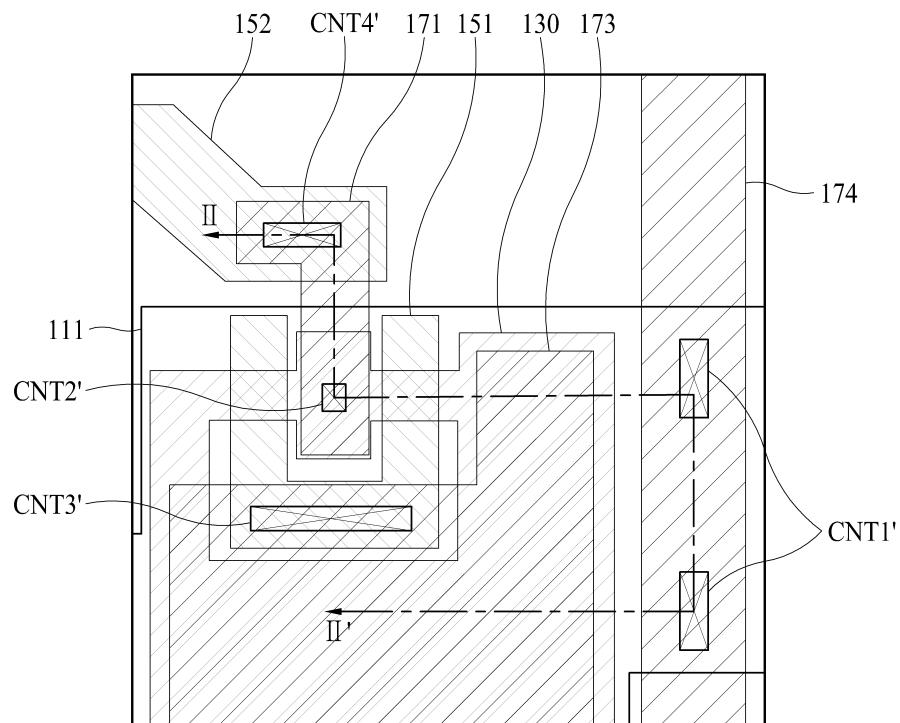
## 도면9



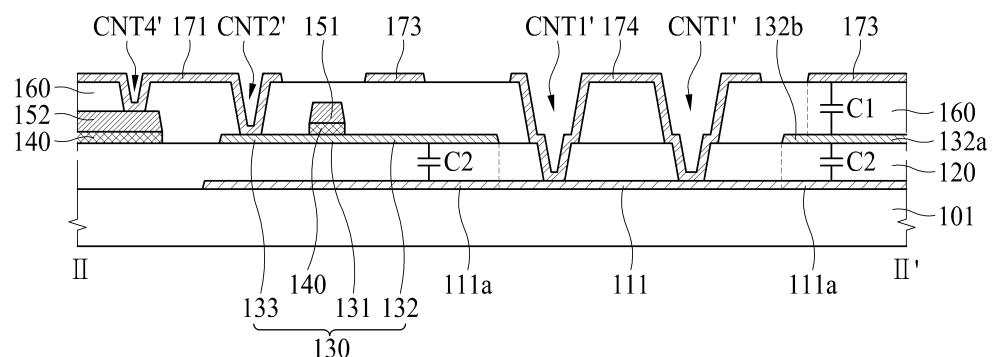
## 도면10



도면11



도면12



专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR1020160094457A</a>	公开(公告)日	2016-08-10
申请号	KR1020150014648	申请日	2015-01-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAEJIN PARK 박해진 HYEMIN PARK 박혜민		
发明人	박해진 박혜민		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3246 H01L27/3248		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明的实施例涉及一种有机发光显示器，其能够通过补偿驱动晶体管的阈值电压来均匀化像素的亮度。根据本发明的一个示例性实施例的有机发光显示器包括：具有连接到其参考电压线即基准电压被供给驱动电压线的像素的显示面板，和驱动电压被供给。所述像素包括用于控制根据有机发光二极管流向从驱动电压线的有机发光二极管的电流，栅电极和源极电极的电位差之间的驱动晶体管是低级低电位驱动电压比所述驱动电压施加到阴极电极施加的第一电容器，以及所述驱动晶体管和连接到包括连接到所述第一电极的源电极的第二电极的参考电压线的第一电极和驱动晶体管(DT)，其连接到驱动晶体管的栅电极并且第二电极连接到源电极。

