



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0024191
(43) 공개일자 2016년03월04일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2014-0110702

(22) 출원일자 2014년08월25일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

이승규

충청남도 아산시 탕정면 탕정면로 37, 201동 170 1호

현채한

경기도 수원시 장안구 서부로2198번길 44-19, 스 마일빌 101호

(74) 대리인

박영우

전체 청구항 수 : 총 20 항

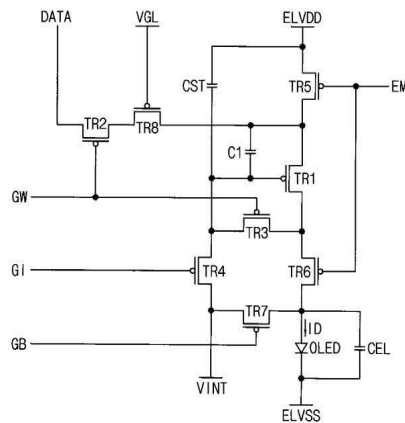
(54) 발명의 명칭 화소 및 이를 포함하는 유기 발광 표시 장치용 기판

(57) 요약

화소는 유기 발광 다이오드, 제1 트랜지스터, 및 커패시터 전용(轉用) 트랜지스터를 포함한다. 유기 발광 다이오드는 구동 전류에 기초하여 광을 출력하고, 제1 단자 및 제2 단자를 포함한다. 제1 트랜지스터는 구동 전류를 생성하고, 게이트 단자, 제1 단자, 및 제2 단자를 포함한다. 커패시터 전용 트랜지스터는 게이트 턴온 전압을 공급 받는 게이트 단자, 제1 단자, 및 제1 트랜지스터의 제1 단자에 연결된 제2 단자를 포함한다. 게이트 턴온 전압은 커패시터 전용 트랜지스터의 제1 단자와 커패시터 전용 트랜지스터의 제2 단자 사이의 채널을 활성화시키는 전압 레벨을 갖는다.

대표도 - 도2

20



명세서

청구범위

청구항 1

구동 전류에 기초하여 광을 출력하고, 제1 단자 및 제2 단자를 포함하는 유기 발광 다이오드;

상기 구동 전류를 생성하고, 게이트 단자, 제1 단자, 및 제2 단자를 포함하는 제1 트랜지스터; 및

게이트 턴 온 전압을 공급받는 게이트 단자, 제1 단자, 및 상기 제1 트랜지스터의 상기 제1 단자에 연결된 제2 단자를 포함하는 커패시터 전용(轉用) 트랜지스터를 포함하고,

상기 게이트 턴 온 전압은 상기 커패시터 전용 트랜지스터의 상기 제1 단자와 상기 커패시터 전용 트랜지스터의 상기 제2 단자 사이의 채널을 활성화시키는 전압 레벨을 가진 것을 특징으로 하는 화소.

청구항 2

제 1 항에 있어서, 상기 커패시터 전용 트랜지스터는 상기 활성화된 채널을 일 단자로 하고, 상기 커패시터 전용 트랜지스터의 상기 게이트 단자를 다른 단자로 하는 커패시터로 동작하는 것을 특징으로 하는 화소.

청구항 3

제 1 항에 있어서,

스캔 신호를 공급받는 게이트 단자, 데이터 신호를 공급받는 제1 단자, 및 상기 커패시터 전용 트랜지스터의 상기 제1 단자에 연결된 제2 단자를 포함하는 제2 트랜지스터;

상기 스캔 신호를 공급받는 게이트 단자, 상기 제1 트랜지스터의 상기 제2 단자에 연결된 제1 단자, 및 상기 제1 트랜지스터의 상기 게이트 단자에 연결된 제2 단자를 포함하는 제3 트랜지스터;

제1 전원 전압과 상기 제1 트랜지스터의 상기 게이트 단자 사이에 연결된 스토리지 커패시터;

데이터 초기화 신호를 공급받는 게이트 단자, 초기화 전압을 공급받는 제1 단자, 및 상기 제1 트랜지스터의 상기 게이트 단자에 연결된 제2 단자를 포함하는 제4 트랜지스터;

발광 신호를 공급받는 게이트 단자, 상기 제1 전원 전압을 공급받는 제1 단자, 및 상기 제1 트랜지스터의 상기 제1 단자에 연결된 제2 단자를 포함하는 제5 트랜지스터;

상기 발광 신호를 공급받는 게이트 단자, 상기 제1 트랜지스터의 상기 제2 단자에 연결된 제1 단자, 및 상기 유기 발광 다이오드의 상기 제1 단자에 연결된 제2 단자를 포함하는 제6 트랜지스터; 및

다이오드 초기화 신호를 공급받는 게이트 단자, 상기 초기화 전압을 공급받는 제1 단자, 및 상기 유기 발광 다이오드의 상기 제1 단자에 연결된 제2 단자를 포함하는 제7 트랜지스터를 더 포함하고,

상기 유기 발광 다이오드의 상기 제2 단자는 제2 전원 전압을 공급받는 것을 특징으로 하는 화소.

청구항 4

제 3 항에 있어서,

상기 제2 트랜지스터는 상기 스캔 신호의 활성화 구간 동안 상기 데이터 신호를 상기 커패시터 전용트랜지스터의 상기 제1 단자로 공급하고,

상기 제3 트랜지스터는 상기 스캔 신호의 상기 활성화 구간 동안 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제1 트랜지스터의 상기 제2 단자를 연결하며,

상기 스토리지 커패시터는 상기 스캔 신호의 비활성화 구간 동안 상기 제1 트랜지스터의 상기 게이트 단자의 전압 레벨을 유지하고,

상기 제4 트랜지스터는 상기 데이터 초기화 신호의 활성화 구간 동안 상기 초기화 전압을 상기 제1 트랜지스터

의 상기 게이트 단자에 공급하며,

상기 제5 트랜지스터는 상기 발광 신호의 활성화 구간 동안 상기 제1 전원 전압을 상기 제1 트랜지스터의 상기 제1 단자로 공급하고,

상기 제6 트랜지스터는 상기 발광 신호의 상기 활성화 구간 동안 상기 제1 트랜지스터가 생성한 상기 구동 전류를 상기 유기 발광 다이오드에 공급하고,

상기 제7 트랜지스터는 상기 다이오드 초기화 신호의 활성화 구간 동안 상기 초기화 전압을 상기 유기 발광 다이오드의 상기 제1 단자에 공급하며,

상기 유기 발광 다이오드는 상기 발광 신호의 상기 활성화 구간 동안 광을 출력하는 것을 특징으로 하는 화소.

청구항 5

제 1 항에 있어서,

상기 제1 트랜지스터의 상기 게이트 단자와 상기 제1 트랜지스터의 상기 제1 단자 사이에 연결된 반응 속도 향상 커패시터를 더 포함하는 것을 특징으로 하는 화소.

청구항 6

제 1 항에 있어서,

상기 유기 발광 다이오드의 상기 제1 단자와 상기 유기 발광 다이오드의 상기 제2 단자 사이에 연결된 다이오드 병렬 커패시터를 더 포함하는 것을 특징으로 하는 화소.

청구항 7

제 1 항에 있어서, 상기 데이터 초기화 신호와 상기 다이오드 초기화 신호는 동일한 신호인 것을 특징으로 하는 화소.

청구항 8

제 7 항에 있어서, 상기 데이터 초기화 신호는 일 수평 시간 전의 상기 스캔 신호와 동일한 신호인 것을 특징으로 하는 화소.

청구항 9

기관;

상기 기관 상에 배치되고, 제1 영역, 제2 영역, 제1 커패시터 전용 영역, 및 제2 커패시터 전용 영역을 포함하는 액티브 패턴;

상기 액티브 패턴을 덮으며, 상기 기관 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 상기 제1 영역, 및 상기 제2 영역과 함께 제1 트랜지스터를 구성하는 제1 게이트 전극; 및

게이트 턴온 전압을 공급받고, 상기 게이트 절연층 상에 배치되며, 상기 제1 커패시터 전용 영역, 및 상기 제2 커패시터 전용 영역과 함께 커패시터 전용 트랜지스터를 구성하는 제2 게이트 전극을 포함하고,

상기 제1 트랜지스터는 유기 발광 다이오드에 공급되는 구동 전류를 생성하고, 상기 제2 커패시터 전용 영역은 상기 제1 영역에 연결되며, 상기 게이트 턴온 전압은 상기 액티브 패턴 중 상기 제2 게이트 전극 하부에 위치하는 영역의 채널을 활성화시키는 것을 특징으로 하는 유기 발광 표시 장치용 기관.

청구항 10

제 9 항에 있어서, 상기 커패시터 전용 트랜지스터는 상기 활성화된 채널을 일 단자로 하고, 상기 제2 게이트 전극을 다른 단자로 하는 커패시터로 동작하는 것을 특징으로 하는 유기 발광 표시 장치용 기관.

청구항 11

제 9 항에 있어서, 상기 액티브 패턴은 제3 내지 제14 영역들을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 12

제 11 항에 있어서,

상기 게이트 절연층 상에 배치되며, 상기 제3 영역, 및 상기 제4 영역과 함께 제2 트랜지스터를 구성하고, 상기 제5 영역, 및 상기 제6 영역과 함께 제3 트랜지스터를 구성하는 제3 게이트 전극;

상기 게이트 절연층 상에 배치되며, 상기 제7 영역, 및 상기 제8 영역과 함께 제4 트랜지스터를 구성하는 제4 게이트 전극;

상기 게이트 절연층 상에 배치되며, 상기 제9 영역, 및 상기 제10 영역과 함께 제5 트랜지스터를 구성하고, 상기 제11 영역, 및 상기 제12 영역과 함께 제6 트랜지스터를 구성하는 제5 게이트 전극; 및

상기 게이트 절연층 상에 배치되며, 상기 제13 영역, 및 상기 제14 영역과 함께 제7 트랜지스터를 구성하는 제6 게이트 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 13

제 12 항에 있어서,

상기 제4 영역은 상기 제1 커패시터 전용 영역에 연결되고, 상기 제5 영역은 상기 제2 영역에 연결되며, 상기 제8 영역은 상기 제6 영역과 연결되고, 상기 제10 영역은 상기 제1 영역과 연결되며, 상기 제11 영역은 상기 제2 영역과 연결되고, 상기 제14 영역은 상기 제12 영역과 연결되는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 14

제 13 항에 있어서,

상기 제3 게이트 전극은 스캔 신호를 공급받고,

상기 제4 게이트 전극은 데이터 초기화 신호를 공급받으며,

상기 제5 게이트 전극은 발광 신호를 공급받고,

상기 제6 게이트 전극은 다이오드 초기화 신호를 공급받으며,

상기 제7 영역 및 상기 제13 영역은 초기화 전압을 공급받는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 15

제 13 항에 있어서,

상기 제1 내지 제6 게이트 전극들을 덮으며, 상기 게이트 절연층 상에 배치되는 제1 층간 절연막;

상기 제1 층간 절연막 상에 배치되며, 상기 제3 영역에 접촉되는 데이터 패턴;

상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성하고, 상기 제9 영역에 접촉되는 전원 패턴;

상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 및 상기 제8 영역에 접촉되는 제1 연결 패턴; 및

상기 제1 층간 절연막 상에 배치되며, 상기 제12 영역에 접촉되는 제2 연결 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 16

제 15 항에 있어서,

상기 데이터 패턴은 데이터 신호를 공급받고,

상기 전원 패턴은 제1 전원 전압을 공급받는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 17

제 15 항에 있어서,

상기 데이터 패턴, 상기 전원 패턴, 및 상기 제1 연결 패턴 및 상기 제2 연결 패턴을 덮으며, 상기 제1 층간 절연막 상에 배치되는 제2 층간 절연막; 및

상기 제2 층간 절연막 상에 배치되며, 상기 제 2 연결 패턴에 접촉되는 제1 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 18

제 17 항에 있어서,

상기 제2 층간 절연막 상에 배치되는 화소 정의막;

상기 제1 전극 상에 배치되는 유기 발광층; 및

상기 화소 정의막 및 상기 유기 발광층 상에 배치되는 제2 전극을 포함하는 유기 발광 표시 장치용 기판.

청구항 19

제 18 항에 있어서, 상기 제2 전극은 제2 전원 전압을 공급받는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

청구항 20

제 18 항에 있어서, 상기 제1 전극은 상기 유기 발광층 및 상기 제2 전극과 함께 상기 유기 발광 다이오드를 구성하는 것을 특징으로 하는 유기 발광 표시 장치용 기판.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 화소 및 이를 포함하는 유기 발광 표시 장치용 기판에 관한 것이다.

배경 기술

[0002] 표시 장치는 화소가 출력하는 광에 기초하여 영상을 표시할 수 있고, 유기 발광 표시 장치는 유기 발광 다이오드를 갖는 화소를 포함할 수 있다. 유기 발광 다이오드는 유기 발광 다이오드가 포함하는 유기 물질에 상응하는 파장을 갖는 광을 출력할 수 있다. 예를 들어, 유기 발광 다이오드는 적색광, 녹색광, 및 청색광에 상응하는 유기 물질을 포함할 수 있고, 유기 발광 표시 장치는 상기 유기 물질에 의해 출력되는 광을 조합하여 영상을 표시할 수 있다.

[0003] 유기 발광 다이오드는 구동 전류에 기초하여 광을 출력할 수 있다. 일반적으로, 구동 전류는 트랜지스터에 의해 생성될 수 있다. 그러나, 트랜지스터가 목표하는 구동 전류에 도달하기 위해 소정의 시간이 필요할 수 있다. 즉, 트랜지스터가 구동 전류를 생성하기 위한 딜레이(delay)가 발생할 수 있다. 그 결과, 유기 발광 다이오드가 목표하는 휘도의 광을 출력하는 시간이 지연될 수 있다. 즉, 유기 발광 다이오드의 반응속도가 낮아질 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 유기 발광 다이오드의 반응 속도를 향상시킬 수 있는 화소를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 유기 발광 다이오드의 반응 속도를 향상시킬 수 있는 유기 발광 표시 장치용 기판을 제공하는 것이다.

[0006] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는

범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소는 구동 전류에 기초하여 광을 출력하고, 제1 단자 및 제2 단자를 포함하는 유기 발광다이오드, 상기 구동 전류를 생성하고, 게이트 단자, 제1 단자, 및 제2 단자를 포함하는 제1 트랜지스터, 및 게이트 턴온 전압을 공급받는 게이트 단자, 제1 단자, 및 상기 제1 트랜지스터의 상기 제1 단자에 연결된 제2 단자를 포함하는 커패시터 전용(轉用) 트랜지스터를 포함하고, 상기 게이트 턴온 전압은 상기 커패시터 전용 트랜지스터의 상기 제1 단자와 상기 커패시터 전용 트랜지스터의 상기 제2 단자 사이의 채널을 활성화시키는 전압 레벨을 가진다.
- [0008] 일 실시예에 의하면, 상기 커패시터 전용 트랜지스터는 상기 활성화된 채널을 일 단자로 하고, 상기 커패시터 전용 트랜지스터의 상기게이트 단자를 다른 단자로 하는 커패시터로 동작할 수 있다.
- [0009] 일 실시예에 의하면, 상기 화소는 스캔 신호를 공급받는 게이트 단자, 데이터 신호를 공급받는 제1 단자, 및 상기 커패시터 전용 트랜지스터의 상기 제1 단자에 연결된 제2 단자를 포함하는 제2 트랜지스터, 상기 스캔 신호를 공급받는 게이트 단자, 상기 제1 트랜지스터의 상기 제2 단자에 연결된 제1 단자, 및 상기 제1 트랜지스터의 상기 게이트 단자에 연결된 제2 단자를 포함하는 제3 트랜지스터, 제1 전원 전압과 상기 제1 트랜지스터의 상기 게이트 단자 사이에 연결된 스토리지 커패시터, 데이터 초기화 신호를 공급받는 게이트 단자, 초기화 전압을 공급받는 제1 단자, 및 상기 제1 트랜지스터의 상기 게이트 단자에 연결된 제2 단자를 포함하는 제4 트랜지스터, 발광 신호를 공급받는 게이트 단자, 상기 제1 전원 전압을 공급받는 제1 단자, 및 상기 제1 트랜지스터의 상기 제1 단자에 연결된 제2 단자를 포함하는 제5 트랜지스터, 상기 발광 신호를 공급받는 게이트 단자, 상기 제1 트랜지스터의 상기 제2 단자에 연결된 제1 단자, 및 상기 유기 발광 다이오드의 상기 제1 단자에 연결된 제2 단자를 포함하는 제6 트랜지스터, 및 다이오드 초기화 신호를 공급받는 게이트 단자, 상기 초기화 전압을 공급받는 제1 단자, 및 상기 유기 발광 다이오드의 상기 제1 단자에 연결된 제2 단자를 포함하는 제7 트랜지스터를 더 포함할 수 있고, 상기 유기 발광 다이오드의 상기 제2 단자는 제2 전원 전압을 공급받을 수 있다.
- [0010] 일 실시예에 의하면, 상기 제2 트랜지스터는 상기 스캔 신호의 활성화 구간 동안 상기 데이터 신호를 상기 커패시터 전용 트랜지스터의 상기 제1 단자로 공급할 수 있고, 상기 제3 트랜지스터는 상기 스캔 신호의 상기 활성화 구간 동안 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제1 트랜지스터의 상기 제2 단자를 연결할 수 있으며, 상기 스토리지 커패시터는 상기 스캔 신호의 비활성화 구간 동안 상기 제1 트랜지스터의 상기 게이트 단자의 전압 레벨을 유지할 수 있고, 상기 제4 트랜지스터는 상기 데이터 초기화 신호의 활성화 구간 동안 상기 초기화 전압을 상기 제1 트랜지스터의 상기 게이트 단자에 공급할 수 있으며, 상기 제5 트랜지스터는 상기 발광 신호의 활성화 구간 동안 상기 제1 전원 전압을 상기 제1 트랜지스터의 상기 제1 단자로 공급하고, 상기 제6 트랜지스터는 상기 발광 신호의 상기 활성화 구간 동안 상기 제1 트랜지스터가 생성한 상기 구동 전류를 상기 유기 발광 다이오드에 공급할 수 있으며, 상기 제7 트랜지스터는 상기 다이오드 초기화 신호의 활성화 구간 동안 상기 초기화 전압을 상기 유기 발광 다이오드의 상기 제1 단자에 공급할 수 있고, 상기 유기 발광 다이오드는 상기 발광 신호의 상기 활성화 구간 동안 광을 출력할 수 있다.
- [0011] 일 실시예에 의하면, 상기 화소는 상기 제1 트랜지스터의 상기 게이트 단자와 상기 제1 트랜지스터의 상기 제1 단자 사이에 연결된 반응 속도 향상 커패시터를 더 포함할 수 있다.
- [0012] 일 실시예에 의하면, 상기 화소는 상기 유기 발광 다이오드의 상기 제1 단자와 상기 유기 발광 다이오드의 상기 제2 단자 사이에 연결된 다이오드 병렬 커패시터를 더 포함할 수 있다.
- [0013] 일 실시예에 의하면, 상기 데이터 초기화 신호와 상기 다이오드 초기화 신호는 동일한 신호일 수 있다.
- [0014] 일 실시예에 의하면, 상기 데이터 초기화 신호는 일 수평 시간 전의 상기 스캔 신호와 동일한 신호일 수 있다.
- [0015] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치용 기판은 기판, 상기 기판 상에 배치되고, 제1 영역, 제2 영역, 제1 커패시터 전용 영역, 및 제2 커패시터 전용 영역을 포함하는 액티브 패턴, 상기 액티브 패턴을 덮으며, 상기 기판 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 상기 제1 영역, 및 상기 제2 영역과 함께 제1 트랜지스터를 구성하는 제1 게이트 전극, 및 게이트 턴온 전압을 공급받고, 상기 게이트 절연층 상에 배치되며, 상기 제1 커패시터 전용 영역, 및 상기 제2 커패시터 전용 영역과 함께 커패시터 전용 트랜지스터를 구성하는 제2 게이트 전극을 포함하고, 상기 제1 트랜지스터는 유기 발광 다이오드에 공급되는 구동 전류를 생성하고, 상기 제2 커패시터 전용 영역은 상기 제1 영역에

연결되며, 상기 게이트 턴온 전압은 상기 액티브 패턴 중 상기 제2 게이트 전극 하부에 위치하는 영역의 채널을 활성화시킨다.

[0016] 일 실시예에 의하면, 상기 커패시터 전용 트랜지스터는 상기 활성화된 채널을 일 단자로 하고, 상기 제2 게이트 전극을 다른 단자로 하는 커패시터로 동작할 수 있다.

[0017] 일 실시예에 의하면, 상기 액티브 패턴은 제3 내지 제14 영역들을 더 포함할 수 있다.

[0018] 일 실시예에 의하면, 상기 유기 발광 표시 장치용 기관은 상기 게이트 절연층 상에 배치되며, 상기 제3 영역, 및 상기 제4 영역과 함께 제2 트랜지스터를 구성하고, 상기 제5 영역, 및 상기 제6 영역과 함께 제3 트랜지스터를 구성하는 제3 게이트 전극, 상기 게이트 절연층 상에 배치되며, 상기 제7 영역, 및 상기 제8 영역과 함께 제4 트랜지스터를 구성하는 제4 게이트 전극, 상기 게이트 절연층 상에 배치되며, 상기 제9 영역, 및 상기 제10 영역과 함께 제5 트랜지스터를 구성하고, 상기 제11 영역, 및 상기 제12 영역과 함께 제6 트랜지스터를 구성하는 제5 게이트 전극, 및 상기 게이트 절연층 상에 배치되며, 상기 제13 영역, 및 상기 제14 영역과 함께 제7 트랜지스터를 구성하는 제6 게이트 전극을 더 포함할 수 있다.

[0019] 일 실시예에 의하면, 상기 제4 영역은 상기 제1 커패시터 전용 영역에 연결되고, 상기 제5 영역은 상기 제2 영역에 연결되며, 상기 제8 영역은 상기 제6 영역과 연결되고, 상기 제10 영역은 상기 제1 영역과 연결되며, 상기 제11 영역은 상기 제2 영역과 연결되고, 상기 제14 영역은 상기 제12 영역과 연결될 수 있다.

[0020] 일 실시예에 의하면, 상기 제3 게이트 전극은 스캔 신호를 공급받을 수 있고, 상기 제4 게이트 전극은 데이터 초기화 신호를 공급받을 수 있으며, 상기 제5 게이트 전극은 발광 신호를 공급받을 수 있고, 상기 제6 게이트 전극은 다이오드 초기화 신호를 공급받을 수 있으며, 상기 제7 영역 및 상기 제13 영역은 초기화 전압을 공급받을 수 있다.

[0021] 일 실시예에 의하면, 상기 유기 발광 표시 장치용 기관은 상기 제1 내지 제6 게이트 전극들을 덮으며, 상기 게이트 절연층 상에 배치되는 제1 층간 절연막, 상기 제1 층간 절연막 상에 배치되며, 상기 제3 영역에 접촉되는 데이터 패턴, 상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성하고, 상기 제9 영역에 접촉되는 전원 패턴, 상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 및 상기 제8 영역에 접촉되는 제1 연결 패턴, 및 상기 제1 층간 절연막 상에 배치되며, 상기 제12 영역에 접촉되는 제2 연결 패턴을 더 포함할 수 있다.

[0022] 일 실시예에 의하면, 상기 데이터 패턴은 데이터 신호를 공급받을 수 있고, 상기 전원 패턴은 제1 전원 전압을 공급받을 수 있다.

[0023] 일 실시예에 의하면, 상기 유기 발광 표시 장치용 기관은 상기 데이터 패턴, 상기 전원 패턴, 및 상기 제1 연결 패턴 및 상기 제2 연결 패턴을 덮으며, 상기 제1 층간 절연막 상에 배치되는 제2 층간 절연막, 및 상기 제2 층간 절연막 상에 배치되며, 상기 제2 연결 패턴에 접촉되는 제1 전극을 더 포함할 수 있다.

[0024] 일 실시예에 의하면, 상기 유기 발광 표시 장치용 기관은 상기 제2 층간 절연막 상에 배치되는 화소 정의막, 상기 제1 전극 상에 배치되는 유기 발광층, 및 상기 화소 정의막 및 상기 유기 발광층 상에 배치되는 제2 전극을 포함할 수 있다.

[0025] 일 실시예에 의하면, 상기 제2 전극은 제2 전원 전압을 공급받을 수 있다.

[0026] 일 실시예에 의하면, 상기 제1 전극은 상기 유기 발광층 및 상기 제2 전극과 함께 상기 유기 발광 다이오드를 구성할 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 화소는 구동 전류를 생성하는 제1 트랜지스터의 소스 단자에 커패시터로 동작하는 커패시터 전용 트랜지스터를 연결시켜 유기발광 다이오드의 반응 속도를 향상시킬 수 있다.

[0028] 본 발명의 실시예들에 따른 유기 발광 표시 장치용 기관은 별도의 추가적인 공정 없이도 상기 화소를 포함하여 공정의 경제성을 향상시킬 수 있다.

[0029] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0030] 도 1은 유기 발광 다이오드의 반응 속도를 향상시키는 화소의 일 예를 나타내는 회로도이다.
- 도 2는 본 발명의 실시예들에 따른 화소를 나타내는 회로도이다.
- 도 3은 도 1의 화소가 포함하는 커패시터 전용 트랜지스터의 동작을 나타내는 회로도이다.
- 도 4 내지 도 6은 유기 발광 다이오드의 반응 속도를 향상시키는 화소를 포함하는 유기 발광 표시 장치용 기관의 일 예를 나타내는 레이아웃 도면이다.
- 도 7 및 도 8은 본 발명의 실시예들에 따른 유기 발광 표시 장치용 기관을 나타내는 레이아웃 도면이다.
- 도 9은 도 8의 유기 발광 표시 장치용 기관이 포함하는 제7 트랜지스터의 단면도이다.
- 도 10는 도 8의 유기 발광 표시 장치용 기관이 포함하는 제3 트랜지스터 및 제6 트랜지스터의 단면도이다.
- 도 11은 도 8의 유기 발광 표시 장치용 기관이 포함하는 제1 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0032] 도 1은 유기 발광 다이오드의 반응 속도를 향상시키는 화소의 일 예를 나타내는 회로도이다.
- [0033] 도 1을 참조하면, 화소(10)는 유기 발광 다이오드(OLED), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 제3 트랜지스터(TR3), 스토리지 커패시터(CST), 제4 트랜지스터(TR4), 제5 트랜지스터(TR5), 제6 트랜지스터(TR6), 및 제7 트랜지스터(TR7)를 포함할 수 있다. 실시예에 따라, 화소(10)는 반응 속도 향상 커패시터(C1), 소스 연결 캐패시터(C2), 및 다이오드 병렬 커패시터(CEL)를 더 포함할 수 있다. 한편, 반응 속도 향상 커패시터(C1) 및 다이오드 병렬 커패시터(CEL)는 기생 커패시턴스(capacitance)에 의해 형성된 것일 수 있다.
- [0034] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 실시예에 따라, 유기 발광 다이오드(OLED)의 제2 단자는 제2 전원 전압(ELVSS)을 공급받을 수 있다. 일 실시예에서, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 제2 단자는 캐소드 단자일 수 있다. 다른 실시예에서, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 제2 단자는 애노드 단자일 수 있다.
- [0035] 제1 트랜지스터(TR1)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0036] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 일 실시예에서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 다른 실시예에서, 제1 트랜지스터는 선형 영역에서 동작할 수 있다. 이 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.
- [0037] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0038] 제2 트랜지스터(TR2)는 스캔 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.
- [0039] 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

- [0040] 제3 트랜지스터(TR3)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이 경우, 제3 트랜지스터(TR3)는 선행 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.
- [0041] 스토리지 커패시터(CST)는 제1 전원 전압(ELVDD)과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.
- [0042] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 게이트 단자는 데이터 초기화 신호(GI)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0043] 제4 트랜지스터(TR4)는 데이터 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이 경우, 제4 트랜지스터(TR4)는 선행 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 일 실시예에서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 실시예에서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.
- [0044] 실시예에 따라, 데이터 초기화 신호(GI)는 일 수평 시간 전의 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들어, 표시 패널이 포함하는 복수의 화소들 중 제n(단, n은 2이상의 정수)행의 화소에 공급되는 데이터 초기화 신호(GI)는 상기 화소들 중 (n-1)행의 화소에 공급되는 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 화소들 중 (n-1)행의 화소에 활성화된 스캔 신호(GW)를 공급함으로써, 화소들 중 n행의 화소에 활성화된 데이터 초기화 신호(GI)를 공급할 수 있다. 그 결과, 화소들 중 (n-1)행의 화소에 데이터 신호(DATA)를 공급함과 동시에 화소들 중 n행의 화소가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0045] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 전원 전압(ELVDD)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0046] 제5 트랜지스터(TR5)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이 경우, 제5 트랜지스터(TR5)는 선행 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.
- [0047] 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공

급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0048] 제6 트랜지스터(TR6)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이 경우, 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0049] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 다이오드 초기화 신호(GB)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0050] 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이 경우, 제7 트랜지스터(TR7)는 선형 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 그 결과, 다이오드 병렬 커패시터(CEL)의 초기 충전 전하량은 아래 [수학식 1]에 의해 결정될 수 있다.

[0051] [수학식 1]

[0052]
$$Q_i = CEL \times (VINT - ELVSS)$$

[0053] (여기서, Q_i 는 초기 충전 전하량이고, CEL은 다이오드 병렬 커패시터의 커패시턴스이며, VINT는 초기화 전압의 전압 레벨이고, ELVSS는 제2 전원전압의 전압 레벨임.)

[0054] 실시예에 따라, 데이터 초기화 신호(GI)와 다이오드 초기화 신호(GB)는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 그러므로, 다이오드 초기화 신호(GB)를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.

[0055] 유기 발광 다이오드(OLED)가 비발광 상태에 있는 때, 유기 발광 다이오드(OLED)의 양단의 전압차는 유기 발광 다이오드(OLED)의 문턱전압보다 작을 수 있다. 유기 발광 다이오드(OLED)의 양단의 전압차가 상기 문턱 전압을 넘어설 때 유기 발광 다이오드(OLED)가 발광할 수 있으므로, 다이오드 병렬 커패시터(CEL)에 소정의 임계 전하량이 충전될 때 유기 발광 다이오드(OLED)의 양단의 전압차가 문턱 전압에 도달할 수 있다. 그 결과, 유기 발광 다이오드(OLED)가 발광할 수 있다. 여기서, 임계 전하량은 아래 [수학식 2]에 의해 결정될 수 있다.

[0056] [수학식 2]

[0057]
$$Q_c = CEL \times V_{th}$$

[0058] (여기서, Q_c 는 임계 전하량이고, CEL은 다이오드 병렬 커패시터의 커패시턴스이며, V_{th} 는 유기 발광 다이오드의 문턱 전압임.)

[0059] 일 프레임에서 유기 발광 다이오드(OLED)가 블랙(즉, 계조값이 0)을 표현하는 경우, 제1 트랜지스터(TR1)가 생성하는 구동 전류(ID)의 크기는 '0'이어야 하지만, 실제로 제1 트랜지스터(TR1)로부터 미량의 누설 전류가 발생할 수 있다. 그러나, 유기 발광 다이오드(OLED)의 양단의 전압차가 유기 발광 다이오드(OLED)의 문턱 전압에 도달할 때까지, 상기 누설 전류는 유기 발광 다이오드(OLED)가 아닌 다이오드 병렬 커패시터(CEL)로 우회하여 흐를 수 있고, 상기 누설 전류에 의해 다이오드 병렬 커패시터(CEL)가 초기 충전 전하량으로부터 임계 전하량까지 전하량을 충전하는 동안 유기 발광 다이오드(OLED)는 발광하지 않을 수 있다. 따라서, 상기 일 프레임에서 유기 발광 다이오드(OLED)의 발광을 억제해야 하는 시간이 결정되면, 초기 충전 전하량의 크기, 다이오드 병렬 커패시터(CEL)의 크기 등을 조절함으로써, 상기 일 프레임에서 유기 발광 다이오드(OLED)가 발광하지 않을 수 있다.

예를 들어, 누설 전류가 일정하다고 가정할 때, 초기화 전압(VINT)은 아래 [수학식 3]에 의해 결정될 수 있다.

[0060] [수학식 3]

$$VINT \leq ELVSS + V_{th} - \frac{I_{leak} \times t}{CEL}$$

[0062] (여기서, VINT는 초기화 전압의 전압 레벨이고, ELVSS는 제2 전원 전압의 전압 레벨이며, Vth는 유기 발광 다이오드의 문턱 전압이고, I_{leak}는 누설 전류량이며, t는 일 프레임에서 발광을 억제해야 하는 시간이고, CEL은 다이오드 병렬 커패시터의 커패시턴스임.)

[0063] 반응 속도 향상 커패시터(C1)는 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이에 연결될 수 있다. 반응 속도 향상 커패시터(C1)가 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이에 연결되므로, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 소스 단자(즉, 제1 단자) 사이의 전압차를 증가시킴으로써, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 구동 전류(ID)를 생성하기 위한 딜레이는 감소될 수 있다. 그 결과, 유기 발광 다이오드(OLED)의 반응 속도가 향상될 수 있다. 다시 말하면, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이의 전압차를 높일수록 유기 발광 다이오드(OLED)의 반응 속도가 향상될 수 있다. 일 실시예에서, 데이터 초기화 신호(GI)의 활성화 구간 동안 PMOS 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨은 초기화 전압(VINT)의 전압 레벨과 실질적으로 동일할 수 있으므로, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨이 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨보다 높을수록 유기 발광 다이오드(OLED)의 반응 속도가 향상될 수 있다. 다른 실시예에서, 데이터 초기화 신호의 활성화 구간 동안 NMOS 트랜지스터인 제1 트랜지스터의 제1 단자의 전압 레벨이 제1 트랜지스터의 게이트 단자의 전압 레벨보다 낮을수록 유기 발광 다이오드의 반응 속도가 향상될 수 있다.

[0064] 소스 연결 커패시터(C2)는 제1 전원 전압(ELVDD)와 제1 트랜지스터(TR1)의 제1 단자 사이에 연결될 수 있다. 소스 연결 커패시터(C2)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨을 유지할 수 있다.

[0065] 스캔 신호(GW)의 비활성화 구간이 데이터 초기화 신호(GI)의 활성화 구간을 포함하므로, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨은 유동적(floating)일 수 있다. 즉, 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨은 주변 단자들의 전압 레벨 변화에 의해 영향을 받을 수 있다. 소스 연결 커패시터(C2)는 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨이 주변 단자들의 전압 레벨 변화에 의해 변화될 때, 그 변화량을 감소시킬 수 있다. 따라서, 제1 트랜지스터(TR1)의 게이트 단자에 초기화 전압(VINT)이 공급되어도 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨은 변화되지 않을 수 있다. 그 결과, 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이의 전압차가 증가될 수 있다.

[0066] 결과적으로, 소스 연결 커패시터(C2)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이의 전압차를 증가시키므로, 유기 발광 다이오드(OLED)의 반응 속도를 향상시킬 수 있다. 다만, 소스 연결 커패시터(C2)를 제조하기 위해 마스크 공정과 같은 별도의 공정이 필요할 수 있다는 문제점이 있다. 소스 연결 커패시터(C2)를 제조하기 위해 추가되는 공정의 일 예는 아래 도 4 내지 도 6을 참조하여 보다 상세하게 설명한다.

[0067] 도 2는 본 발명의 실시예들에 따른 화소를 나타내는 회로도이고, 도 3은 도 1의 화소가 포함하는 커패시터 전용 트랜지스터의 동작을 나타내는 회로도이다.

[0068] 도 2를 참조하면, 화소(20)는 유기 발광 다이오드(OLED), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 제3 트랜지스터(TR3), 스토리지 커패시터(CST), 제4 트랜지스터(TR4), 제5 트랜지스터(TR5), 제6 트랜지스터(TR6), 제7 트랜지스터(TR7), 및 커패시터 전용 트랜지스터(TR8)를 포함할 수 있다. 실시예에 따라, 화소(20)는 반응 속도 향상 커패시터(C1), 및 다이오드 병렬 커패시터(CEL)를 더 포함할 수 있다. 한편, 반응 속도 향상 커패시터(C1) 및 다이오드 병렬 커패시터(CEL)는 기생 커패시턴스(capacitance)에 의해 형성된 것일 수 있다.

[0069] 도 3을 참조하면, 도2의 커패시터 전용 트랜지스터(TR8)는 제1 트랜지스터(TR1)의 제1 단자를 일 단자로 하고, 게이트 턴온 전압(VGL)을 공급받는 단자를 다른 단자로 하는 커패시터(C3)로 동작할 수 있다.

- [0070] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 실시예에 따라, 유기 발광 다이오드(OLED)의 제2 단자는 제2 전원 전압(ELVSS)을 공급받을 수 있다. 일 실시예에서, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 제2 단자는 캐소드 단자일 수 있다. 다른 실시예에서, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 제2 단자는 애노드 단자일 수 있다.
- [0071] 제1 트랜지스터(TR1)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0072] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 일 실시예에서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 다른 실시예에서, 제1 트랜지스터는 선형 영역에서 동작할 수 있다. 이 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.
- [0073] 커패시터 전용 트랜지스터(TR8)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 게이트 단자는 게이트 턴온 전압(VGL)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0074] 게이트 턴온 전압(VGL)은 커패시터 전용 트랜지스터(TR8)의 제1 단자와 커패시터 전용 트랜지스터(TR8)의 제2 단자 사이의 채널을 활성화시킬 수 있다. 일 실시예에서, 게이트 턴온 전압(VGL)은 충분히 낮은 전압 레벨을 가짐으로써 PMOS 트랜지스터인 커패시터 전용 트랜지스터(TR8)의 채널을 활성화시킬 수 있다. 다른 실시예에서, 게이트 턴온 전압은 충분히 높은 전압 레벨을 가짐으로써 NMOS 트랜지스터인 커패시터 전용 트랜지스터의 채널을 활성화시킬 수 있다.
- [0075] 커패시터 전용 트랜지스터(TR8)는 제1 단자와 제2 단자 사이의 활성화된 채널을 일 단자로 하고, 게이트 단자를 다른 단자로 하는 커패시터(C3)로 동작할 수 있다. 상기 커패시터(C3)로 동작하는 커패시터 전용 트랜지스터(TR8)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨을 유지할 수 있다.
- [0076] 스캔 신호(GW)의 비활성화 구간이 데이터 초기화 신호(GI)의 활성화 구간을 포함하므로, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨은 유동적일 수 있다. 즉, 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨은 주변 단자들의 전압 레벨 변화에 의해 영향을 받을 수 있다. 커패시터 전용 트랜지스터(TR8)는 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨이 주변 단자들의 전압 레벨 변화에 의해 변화될 때, 그 변화량을 감소시킬 수 있다. 따라서, 제1 트랜지스터(TR1)의 게이트 단자에 초기화 전압(VINT)이 공급되어도 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨은 변화되지 않을 수 있다. 그 결과, 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이의 전압차가 증가될 수 있다.
- [0077] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 단자는 커패시터 전용 트랜지스터(TR8)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0078] 제2 트랜지스터(TR2)는 스캔 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 커패시터 전용 트랜지스터(TR8)의 제1 단자로 공급할 수 있다. 이 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다. 나아가, 커패시터 전용 트랜지스터(TR8)의 채널이 게이트 턴온 전압(VGL)에 의해 활성화되므로, 커패시터 전용 트랜지스터(TR8)의 제1 단자로 공급된 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 제1 단자로 공급될 수 있다.
- [0079] 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0080] 제3 트랜지스터(TR3)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스

터(TR1)의 제2 단자를 연결할 수 있다. 이 경우, 제3 트랜지스터(TR3)는 선행 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상될 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0081] 스토리지 커패시터(CST)는 제1 전원 전압(ELVDD)과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.

[0082] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 게이트 단자는 데이터 초기화 신호(GI)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0083] 제4 트랜지스터(TR4)는 데이터 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이 경우, 제4 트랜지스터(TR4)는 선행 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 일 실시예에서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 실시예에서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.

[0084] 실시예에 따라, 데이터 초기화 신호(GI)는 일 수평 시간 전의 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들어, 표시 패널이 포함하는 복수의 화소들 중 제 n (단, n 은 2이상의 정수)행의 화소에 공급되는 데이터 초기화 신호(GI)는 상기 화소들 중 $(n-1)$ 행의 화소에 공급되는 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 화소들 중 $(n-1)$ 행의 화소에 활성화된 스캔 신호(GW)를 공급함으로써, 화소들 중 n 행의 화소에 활성화된 데이터 초기화 신호(GI)를 공급할 수 있다. 그 결과, 화소들 중 $(n-1)$ 행의 화소에 데이터 신호(DATA)를 공급함과 동시에 화소들 중 n 행의 화소가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화시킬 수 있다.

[0085] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 전원 전압(ELVDD)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0086] 제5 트랜지스터(TR5)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단할 수 있다. 이 경우, 제5 트랜지스터(TR5)는 선행 영역에서 동작할 수 있다. 즉, 제5 트랜지스터(TR5)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0087] 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오

드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0088] 제6 트랜지스터(TR6)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이 경우, 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0089] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 다이오드 초기화 신호(GB)를 포함할 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0090] 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이 경우, 제7 트랜지스터(TR7)는 선형 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 그 결과, 다이오드 병렬 커패시터(CEL)의 초기 충전 전하량은 상기 [수학식 1]에 의해 결정될 수 있다.

[0091] 실시예에 따라, 데이터 초기화 신호(GI)와 다이오드 초기화 신호(GB)는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 그러므로, 다이오드 초기화 신호(GB)를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.

[0092] 유기 발광 다이오드(OLED)가 비발광 상태에 있는 때, 유기 발광 다이오드(OLED)의 양단의 전압차는 유기 발광 다이오드(OLED)의 문턱 전압보다 작을 수 있다. 유기 발광 다이오드(OLED)의 양단의 전압차가 상기 문턱 전압을 넘어설 때 유기 발광 다이오드(OLED)가 발광할 수 있으므로, 다이오드 병렬 커패시터(CEL)에 소정의 임계 전하량이 충전될 때 유기 발광 다이오드(OLED)의 양단의 전압차가 문턱 전압에 도달할 수 있다. 그 결과, 유기 발광 다이오드(OLED)가 발광할 수 있다. 여기서, 임계 전하량은 상기 [수학식 2]에 의해 결정될 수 있다.

[0093] 일 프레임에서 유기 발광 다이오드(OLED)가 블랙(즉, 계조값이 0)을 표현하는 경우, 제1 트랜지스터(TR1)가 생성하는 구동 전류(ID)의 크기는 '0'이어야 하지만, 실제로 제1 트랜지스터(TR1)로부터 미량의 누설 전류가 발생할 수 있다. 그러나, 유기 발광 다이오드(OLED)의 양단의 전압차가 유기 발광 다이오드(OLED)의 문턱 전압에 도달할 때까지, 상기 누설 전류는 유기 발광 다이오드(OLED)가 아닌 다이오드 병렬 커패시터(CEL)로 우회하여 흐를 수 있고, 상기 누설 전류에 의해 다이오드 병렬 커패시터(CEL)가 초기 충전 전하량으로부터 임계 전하량까지 전하량을 충전하는 동안 유기 발광 다이오드(OLED)는 발광하지 않을 수 있다. 따라서, 상기 일 프레임에서 유기 발광 다이오드(OLED)의 발광을 억제해야 하는 시간이 결정되면, 초기 충전 전하량의 크기, 다이오드 병렬 커패시터(CEL)의 크기 등을 조절함으로써, 상기 일 프레임에서 유기 발광 다이오드(OLED)가 발광하지 않을 수 있다. 예를 들어, 누설 전류가 일정하다고 가정할 때, 초기화 전압(VINT)은 상기 [수학식 3]에 의해 결정될 수 있다.

[0094] 반응 속도 향상 커패시터(C1)는 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이에 연결될 수 있다. 반응 속도 향상 커패시터(C1)가 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이에 연결되므로, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 소스 단자(즉, 제1 단자) 사이의 전압차를 증가시킴으로써, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 구동전류(ID)를 생성하기 위한 딜레이는 감소될 수 있다. 그 결과, 유기 발광 다이오드(OLED)의 반응속도가 향상될 수 있다. 다시 말하면, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이의 전압차를 높일수록 유기 발광 다이오드(OLED)의 반응 속도가 향상될 수 있다. 일 실시예에서, 데이터 초기화 신호(GI)의 활성화 구간 동안 PMOS 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨은 초기화 전압(VINT)의 전압 레벨과 실질적으로 동일할 수 있으므로, 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자의 전압 레벨이 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨보다 높을수록 유기 발광 다이오드(OLED)의 반응 속도가 향상될

수 있다. 다른 실시예에서, 데이터 초기화 신호의 활성화 구간 동안 NMOS 트랜지스터인 제1 트랜지스터의 제1 단자의 전압 레벨이 제1 트랜지스터의 게이트 단자의 전압 레벨보다 낮을수록 유기 발광 다이오드의 반응 속도가 향상될 수 있다.

[0095] 결과적으로, 커패시터 전용 트랜지스터(TR8)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제1 단자 사이의 전압차를 증가시키므로, 유기 발광다이오드(OLED)의 반응 속도를 향상시킬 수 있다. 나아가, 도 1과 같이 소스 연결 커패시터(C2)를 제조하기 위한 별도의 공정이 필요하지 않을 수 있다. 별도의 공정 추가 없이 커패시터 전용 트랜지스터(TR8)를 제조하는 공정의 일 예는 아래 도 7 및 도 8을 참조하여 보다 상세하게 설명한다.

[0096] 도 4 내지 도 6은 유기 발광 다이오드의 반응 속도를 향상시키는 화소를 포함하는 유기 발광 표시 장치용 기판의 일 예를 나타내는 레이아웃 도면이다.

[0097] 도 4를 참조하면, 유기 발광 표시 장치용 기판은 기판(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)을 포함할 수 있다.

[0098] 기판은 절연 물질로 구성될 수 있다. 예를 들면, 기판은 유리 기판, 투명 플라스틱 기판, 투명 금속 산화물 기판 등을 포함할 수 있다. 예시하지는 않았지만, 기판 상에는 적어도 하나의 버퍼층이 제공될 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 포함할 수 있다.

[0099] 액티브 패턴(100)은 기판 상에 배치될 수 있다. 액티브 패턴(100)은 실리콘으로 구성될 수 있다. 다른 실시예에 따라, 액티브 패턴(100)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, 하프늄(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy), 사성분계 화합물(ABxCyDz) 등을 포함하는 반도체 산화물로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0100] 액티브 패턴(100)은 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n)을 포함할 수 있다. 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n)에는 불순물이 도핑될 수 있으며, 이에 따라 액티브 패턴(100)의 나머지 영역들보다 높은 전기 전도도를 가질 수 있다. 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n)은 제1 내지 제7 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6, TR7)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것으로, 영역 간 경계가 명확하게 구분되지 않을 수 있고, 서로 전기적으로 연결되어 있을 수 있다. 예를 들어, 도 4와 같이 제2 영역(b)은 제5 영역(e) 및 제11 영역(k)과 명확한 경계를 갖지 않고 서로 전기적으로 연결될 수 있다.

[0101] 게이트 절연층은 액티브 패턴(100)을 덮으며 기판 상에 배치될 수 있다. 실시예에 따라, 게이트 절연층은 액티브 패턴(100)을 충분히 덮을 수 있으며, 액티브 패턴(100)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 게이트 절연층은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예를 들어, 게이트 절연층은 실리콘 산화물막 및 실리콘 질화물막을 포함하는 다층 구조를 가질 수 있다.

[0102] 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)은 게이트 절연층 상에 배치될 수 있다. 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및/또는 제6 게이트 전극(130)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및/또는 제6 게이트 전극(130)은 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlNx), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WNx), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 크롬(Cr), 몰리브데늄(Mo), 몰리브데늄을 함유하는 합금, 티타늄(Ti), 티타늄 질화물(TiNx), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 탄탈륨 질화물(TaNx), 스트론튬 루테튬 산화물(SrRuxOy), 아연 산화물(ZnOx), 인듐 주석 산화물(ITO), 주석 산화물(SnOx), 인듐 산화물(InOx), 갈륨 산화물(GaOx), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0103] 제1 게이트 전극(105)은 제1 영역(a) 및 제2 영역(b)과 함께 제1 트랜지스터(TR1)를 구성할 수 있다. 일 실시예에서, 제1 영역(a)은 소스 영역이고, 제2 영역(b)은 드레인 영역일 수 있다. 다른 실시예에서, 제1 영역(a)은 드레인 영역이고, 제2 영역(b)은 소스 영역일 수 있다. 제1 영역(a) 및 제2 영역(b)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역은 불순물이 도핑되지 않

을 수 있다. 그 결과, 제1 영역(a) 및 제2 영역(b)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역은 제1 트랜지스터(TR1)의 채널로 동작할 수 있다. 그 결과, 제1 트랜지스터(TR1)는 유기 발광 다이오드에 공급되는 도 1의 구동 전류(ID)를 생성할 수 있고, 유기 발광 다이오드는 구동 전류(ID)에 기초하여 광을 출력할 수 있다.

[0104]

제3 게이트 전극(115)은 제3 영역(c) 및 제4 영역(d)과 함께 제2 트랜지스터(TR2)를 구성할 수 있다. 일 실시예에서, 제3 영역(c)은 소스 영역이고, 제4 영역(d)은 드레인 영역일 수 있다. 다른 실시예에서, 제3 영역(c)은 드레인 영역이고, 제4 영역(d)은 소스 영역일 수 있다. 또한, 제3 게이트 전극(115)은 제5 영역(e) 및 제6 영역(f)과 함께 제3 트랜지스터(TR3)를 구성할 수 있다. 일 실시예에서, 제5 영역(e)은 소스 영역이고, 제6 영역(f)은 드레인 영역일 수 있다. 다른 실시예에서, 제5 영역(e)은 드레인 영역이고, 제6 영역(f)은 소스 영역일 수 있다. 이 때, 제4 영역(d)은 제1 영역(a)과 전기적으로 연결될 수 있고, 제5 영역(e)은 제2 영역(b)과 전기적으로 연결될 수 있다. 제3 영역(c), 제4 영역(d), 제5 영역(e), 및 제6 영역(f)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제3 게이트 전극(115) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제3 영역(c), 제4 영역(d), 제5 영역(e), 및 제6 영역(f)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제3 게이트 전극(115) 하부에 위치하는 영역들은 각각 제2 트랜지스터(TR2)의 채널 및 제3 트랜지스터(TR3)의 채널로 동작할 수 있다. 실시예에 따라, 제3 게이트 전극(115)은 도 1의 스캔 신호(GW)를 공급받을 수 있다.

[0105]

제4 게이트 전극(120)은 제7 영역(g) 및 제8 영역(h)과 함께 제4 트랜지스터(TR4)를 구성할 수 있다. 일 실시예에서, 제7 영역(g)은 소스 영역이고, 제8 영역(h)은 드레인 영역일 수 있다. 다른 실시예에서, 제7 영역(g)은 드레인 영역이고, 제8 영역(h)은 소스 영역일 수 있다. 이 때, 제8 영역(h)은 제6 영역(f)과 전기적으로 연결될 수 있다. 제7 영역(g), 및 제8 영역(h)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제4 게이트 전극(120) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제7 영역(g), 및 제8 영역(h)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제4 게이트 전극(120) 하부에 위치하는 영역은 제4 트랜지스터(TR4)의 채널로 동작할 수 있다. 실시예에 따라, 제4 게이트 전극(120)은 도 1의 데이터 초기화 신호(GI)를 공급받을 수 있다.

[0106]

제5 게이트 전극(125)은 제9 영역(i) 및 제10 영역(j)과 함께 제5 트랜지스터(TR5)를 구성할 수 있다. 일 실시예에서, 제9 영역(i)은 소스 영역이고, 제10 영역(j)은 드레인 영역일 수 있다. 다른 실시예에서, 제9 영역(i)은 드레인 영역이고, 제10 영역(j)은 소스 영역일 수 있다. 또한, 제5 게이트 전극(125)은 제11 영역(k) 및 제12 영역(l)과 함께 제6 트랜지스터(TR6)를 구성할 수 있다. 일 실시예에서, 제11 영역(k)은 소스 영역이고, 제12 영역(l)은 드레인 영역일 수 있다. 다른 실시예에서, 제11 영역(k)은 드레인 영역이고, 제12 영역(l)은 소스 영역일 수 있다. 이 때, 제10 영역(j)은 제1 영역(a)과 전기적으로 연결될 수 있고, 제11 영역(k)은 제2 영역(b)과 전기적으로 연결될 수 있다. 제9 영역(i), 제10 영역(j), 제11 영역(k), 및 제12 영역(l)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제5 게이트 전극(125) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제9 영역(i), 제10 영역(j), 제11 영역(k), 및 제12 영역(l)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제5 게이트 전극(125) 하부에 위치하는 영역들은 각각 제5 트랜지스터(TR5)의 채널 및 제6 트랜지스터(TR6)의 채널로 동작할 수 있다. 실시예에 따라, 제5 게이트 전극(125)은 도 1의 발광 신호(EM)를 공급받을 수 있다.

[0107]

제6 게이트 전극(130)은 제13 영역(m) 및 제14 영역(n)과 함께 제7 트랜지스터(TR7)를 구성할 수 있다. 일 실시예에서, 제13 영역(m)은 소스 영역이고, 제14 영역(n)은 드레인 영역일 수 있다. 다른 실시예에서, 제13 영역(m)은 드레인 영역이고, 제14 영역(n)은 소스 영역일 수 있다. 이 때, 제14 영역(n)은 제12 영역(l)과 전기적으로 연결될 수 있다. 제13 영역(m), 및 제14 영역(n)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제6 게이트 전극(130) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제13 영역(m), 및 제14 영역(n)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제6 게이트 전극(130) 하부에 위치하는 영역은 제7 트랜지스터(TR7)의 채널로 동작할 수 있다. 실시예에 따라, 제6 게이트 전극(130)은 도 1의 다이오드 초기화 신호(GB)를 공급받을 수 있다. 실시예에 따라, 제7 영역(g) 및 제13 영역(m)은 도 1의 초기화 전압(VINT)을 공급받을 수 있다.

[0108]

도 5를 참조하면, 유기 발광 표시 장치용 기판은 도 4와 같이 기판(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)을 포함할 수 있다. 나아가, 유기 발광 표시 장치용 기판은 추가 층간 절연막

(도시되지 않음), 및 추가 커패시터 패턴(132)을 더 포함할 수 있다.

- [0109] 추가 층간 절연막은 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)을 덮으며, 게이트 절연층 상에 배치될 수 있다. 실시예에 따라, 추가 층간 절연막은 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)을 충분히 덮을 수 있으며, 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 추가 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 추가 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0110] 추가 커패시터 패턴(132)은 추가 층간 절연막 상에 배치될 수 있으며, 제1 게이트 전극(105)가 중첩될 수 있다. 추가 커패시터 패턴(132)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0111] 추가 커패시터 패턴(132)은 제1 게이트 전극(105)과 함께 도 1의 스토리지 커패시터(CST)를 구성할 수 있다. 액티브 패턴(100) 중 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 및 제6 게이트 전극(130)의 하부에 위치하는 영역을 제외한 영역은 불순물로 도핑될 수 있다. 또한, 추가 커패시터 패턴(132)은 상기 도핑 공정 후 형성될 수 있다. 따라서, 액티브 패턴(100) 중 추가 커패시터 패턴(132)의 하부에 위치하는 영역은 도체로 동작할 수 있다. 그 결과, 추가 커패시터 패턴(132)은 액티브 패턴(100) 중 추가 커패시터 패턴(132)의 하부에 위치하는 영역과 함께 도 1의 소스 연결 커패시터(C2)를 구성할 수 있다.
- [0112] 도 6을 참조하면, 유기 발광 표시 장치용 기판은 도 5와 같이 기판(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 제6 게이트 전극(130), 추가 층간 절연막(도시되지 않음), 및 추가 커패시터 패턴(132)을 포함할 수 있다. 나아가, 유기 발광 표시 장치용 기판은 제1 층간 절연막(도시되지 않음), 데이터 패턴(135), 전원 패턴(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 더 포함할 수 있다. 실시예에 따라, 유기 발광 표시 장치용 기판은 제3 연결 패턴(152), 및 제4 연결 패턴(153)을 더 포함할 수 있다.
- [0113] 제1 층간 절연막은 추가 커패시터 패턴(132)을 덮으며, 추가 층간 절연막 상에 배치될 수 있다. 실시예에 따라, 제1 층간 절연막은 추가 커패시터 패턴(132)을 충분히 덮을 수 있으며, 추가 커패시터 패턴(132)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제1 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제1 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0114] 데이터 패턴(135), 전원 패턴(140), 제1 연결 패턴(145), 제2 연결 패턴(150), 제3 연결 패턴(152) 및 제4 연결 패턴(153)은 제1 층간 절연막 상에 배치될 수 있다. 데이터 패턴(135), 전원 패턴(140), 제1 연결 패턴(145), 제2 연결 패턴(150), 제3 연결 패턴(152) 및 제4 연결 패턴(153)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0115] 데이터 패턴(135)은 제3 영역(c)에 접촉될 수 있다. 예를 들어, 데이터 패턴(135)은 제1 콘택 홀(165)을 통해 제3 영역(c)에 접촉될 수 있다. 실시예에 따라, 데이터 패턴(135)은 도 1의 데이터 신호(DATA)를 공급받을 수 있다. 그 결과, 데이터 패턴(135)은 제1 콘택 홀(165)을 통해 제3 영역(c)에 데이터 신호(DATA)를 공급할 수 있다.
- [0116] 전원 패턴(140)은 제9 영역(i), 및 추가 커패시터 패턴(132)에 접촉될 수 있다. 예를 들어, 전원 패턴(140)은 제2 콘택 홀(170)을 통해 제9 영역(i)에 접촉될 수 있고, 전원 패턴(140)은 추가 콘택 홀(190)을 통해 추가 커패시터 패턴(132)에 접촉될 수 있다. 실시예에 따라, 전원 패턴(140)은 도 1의 제1 전원 전압(ELVDD)을 공급받을 수 있다. 그 결과, 전원 패턴(140)은 제2 콘택 홀(170)을 통해 제9 영역(i)에 제1 전원 전압(ELVDD)을 공급할 수 있고, 전원 패턴(140)은 추가 콘택 홀(190)을 통해 추가 커패시터 패턴(132)에 제1 전원 전압(ELVDD)을 공급할 수 있다.
- [0117] 제1 연결 패턴(145)은 제1 게이트 전극(105), 및 제8 영역(h)에 접촉될 수 있다. 예를 들어, 제1 연결 패턴(145)은 제3 콘택 홀(175)을 통해 제1 게이트 전극(105)에 접촉될 수 있고, 제1 연결 패턴(145)은 제4 콘택 홀(180)을 통해 제8 영역(h)에 접촉될 수 있다. 그 결과, 제1 연결 패턴(145)은 제3 콘택 홀(175) 및 제4 콘택 홀

(180)을 통해 제1 게이트 전극(105)과 제8 영역(h)을 전기적으로 서로 연결시킬 수 있다.

[0118] 제2 연결 패턴(150)은 제12 영역(1)에 접촉될 수 있다. 예를 들어, 제2 연결 패턴(150)은 제5 콘택 홀(185)을 통해 제12 영역(1)에 접촉될 수 있다. 그 결과, 제1 트랜지스터(TR1)가 생성한 도 1의 구동전류(ID)를 상부에 배치되는 유기 발광 다이오드에 공급할 수 있다.

[0119] 제3 연결 패턴(152)은 제13 영역(m)에 접촉될 수 있다. 예를 들어, 제3 연결 패턴(152)은 제6 콘택 홀(160)을 통해 제13 영역(m)에 접촉될 수 있다. 실시예에 따라, 제3 연결 패턴(152)은 도 1의 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제3 연결 패턴(152)은 제6 콘택 홀(160)을 통해 제13 영역(m)에 초기화 전압(VINT)을 공급할 수 있다.

[0120] 제4 연결 패턴(153)은 제7 영역(g)에 접촉될 수 있다. 예를 들어, 제4 연결 패턴(153)은 제7 콘택 홀(155)을 통해 제7 영역(g)에 접촉될 수 있다. 실시예에 따라, 제4 연결 패턴(153)은 도 1의 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제4 연결 패턴(153)은 제7 콘택 홀(155)을 통해 제7 영역(g)에 초기화 전압(VINT)을 공급할 수 있다.

[0121] 실시예에 따라, 유기 발광 표시 장치용 기판은 제2 층간 절연막(도시되지 않음), 제1 전극(도시되지 않음), 화소 정의막(도시되지 않음), 유기 발광층(도시되지 않음), 및 제2 전극(도시되지 않음)을 더 포함할 수 있다.

[0122] 제2 층간 절연막은 데이터 패턴(135), 전원 패턴(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 덮으며, 제1 층간 절연막 상에 배치될 수 있다. 실시예에 따라, 제2 층간 절연막은 데이터 패턴(135), 전원 패턴(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 충분히 덮을 수 있으며, 데이터 패턴(135), 전원 패턴(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제2 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제2 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0123] 제1 전극은 제2 층간 절연막 상에 배치될 수 있다. 구체적으로, 제1 전극은 제2 층간 절연막의 일부 상에 배치될 수 있다. 제1 전극은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0124] 제1 전극은 제2 연결 패턴(150)에 접촉될 수 있다. 예를 들어, 제1 전극은 제7 콘택 홀(도시되지 않음)을 통해 제2 연결 패턴(150)에 접촉될 수 있다. 그 결과, 제1 전극은 제7 콘택 홀을 통해 도 1의 구동전류(ID)를 공급받을 수 있다. 일 실시예에서, 제1 전극은 애노드 단자일 수 있다. 다른 실시예에서, 제1 전극은 캐소드 단자일 수 있다.

[0125] 화소 정의막은 제2 층간 절연막 상에 배치될 수 있다. 구체적으로, 화소 정의막은 제2 층간 절연막, 및 제1 전극의 일부 상에 배치될 수 있다. 실시예에 따라, 화소 정의막은 제2 층간 절연막, 및 제1 전극을 충분히 덮을 수 있으며, 제1 전극의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 화소 정의막은 제2 층간 절연막 상에 배치된 제1 전극의 일부에 개구를 형성할 수 있고, 상기 개구에는 유기 발광층이 배치될 수 있다. 화소 정의막은 유기 물질 또는 무기 물질로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0126] 유기 발광층은 제1 전극 상에 배치될 수 있다. 구체적으로, 유기 발광층은 화소 정의막의 상기 개구를 통해 노출되는 제1 전극 상에 배치될 수 있다. 유기 발광층은 광을 출력할 수 있는 발광 물질을 포함할 수 있다. 발광 물질은 유기 물질을 포함할 수 있다. 실시예에 따라, 발광 물질은 적색광, 녹색광, 및/또는 청색광의 파장들에 상응하는 유기 물질들을 포함할 수 있다.

[0127] 제2 전극은 화소 정의막 및 유기 발광층 상에 배치될 수 있다. 실시예에 따라, 제2 전극은 투명 도전성 물질로 구성될 수 있다. 예를 들어, 제2 전극은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다. 일 실시예에서, 제2 전극은 캐소드 단자일 수 있다. 즉, 제2 전극은 상응하는 유기 발광층, 및 상응하는 제1 전극과 함께 도 1의 유기 발광 다이오드(OLED)를 구성할 수 있다. 다른 실시예에서, 제2 전극은 애노드 단자일 수 있다. 실시예에 따라, 제2 전극은 제2 전원 전압을 공급받을 수 있다. 예를 들어, 제2 전극은 도 1의 제2 전원 전압(ELVSS)을 공급받을 수 있다.

[0128] 결과적으로, 도 4 내지 도 6의 유기 발광 표시 장치용 기판은 유기 발광 다이오드의 반응 속도를 향상시킬 수 있는 도 1의 화소(10)를 포함할 수 있다. 다만, 스토리지 커패시터(CST) 및 소스 연결 커패시터(C2)를 제조하기

위해 추가 층간 절연막, 추가 커패시터 패턴(132), 및 추가 콘택 홀(190)을 형성하는 공정이 필요할 수 있다는 문제점이 있다. 예를 들어, 도 4 내지 도 6의 유기 발광 표시 장치용 기관은 총 8개의 마스크 공정이 필요할 수 있다.

- [0129] 도 7 및 도 8은 본 발명의 실시예들에 따른 유기 발광 표시 장치용 기관을 나타내는 레이아웃 도면이다.
- [0130] 도 7을 참조하면, 유기 발광 표시 장치용 기관은 기관(도시되지 않음), 액티브 패턴(200), 게이트 절연층(도시되지 않음), 제1 게이트 전극(205), 제2 게이트 전극(210), 제3 게이트 전극(215), 제4 게이트 전극(220), 제5 게이트 전극(225), 및 제6 게이트 전극(230)을 포함할 수 있다.
- [0131] 기관은 절연 물질로 구성될 수 있다. 예를 들면, 기관은 유리 기관, 투명 플라스틱 기관, 투명 금속 산화물 기관 등을 포함할 수 있다. 예시하지는 않았지만, 기관 상에는 적어도 하나의 버퍼층이 제공될 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0132] 액티브 패턴(200)은 기관 상에 배치될 수 있다. 액티브 패턴(200)은 실리콘으로 구성될 수 있다. 다른 실시예에 따라, 액티브 패턴(200)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, 하프늄(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB_x), 삼성분계 화합물(AB_xCy), 사성분계 화합물(AB_xCyDz) 등을 포함하는 반도체 산화물로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0133] 액티브 패턴(200)은 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n), 제1 커패시터 전용 영역(A), 및 제2 커패시터 전용 영역(B)을 포함할 수 있다. 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n), 제1 커패시터 전용 영역(A), 및 제2 커패시터 전용 영역(B)은 제1 내지 제7 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6, TR7), 및 커패시터 전용 트랜지스터(TR8)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것으로, 영역 간 경계가 명확하게 구분되지 않을 수 있고, 서로 전기적으로 연결되어 있을 수 있다. 예를 들어, 도 7과 같이 제2 영역(b)은 제5 영역(e) 및 제11 영역(k)과 명확한 경계를 갖지 않고 서로 전기적으로 연결될 수 있다.
- [0134] 게이트 절연층은 액티브 패턴(200)을 덮으며 기관 상에 배치될 수 있다. 실시예에 따라, 게이트 절연층은 액티브 패턴(200)을 충분히 덮을 수 있으며, 액티브 패턴(200)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 게이트 절연층은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예를 들어, 게이트 절연층은 실리콘 산화물막 및 실리콘 질화물막을 포함하는 다층 구조를 가질 수 있다.
- [0135] 제1 내지 제6 게이트 전극들(205, 210, 215, 220, 225, 230)은 게이트 절연층 상에 배치될 수 있다. 제1 게이트 전극(205), 제2 게이트 전극(210), 제3 게이트 전극(215), 제4 게이트 전극(220), 제5 게이트 전극(225), 및/또는 제6 게이트 전극(230)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(205), 제2 게이트 전극(210), 제3 게이트 전극(215), 제4 게이트 전극(220), 제5 게이트 전극(225), 및/또는 제6 게이트 전극(230)은 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 몰리브덴을 함유하는 합금, 티타늄(Ti), 티타늄 질화물(TiN_x), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 탄탈륨 질화물(TaN_x), 스트론튬 루테튬 산화물($SrRu_xO_y$), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0136] 제1 게이트 전극(205)은 제1 영역(a) 및 제2 영역(b)과 함께 제1 트랜지스터(TR1)를 구성할 수 있다. 일 실시예에서, 제1 영역(a)은 소스 영역이고, 제2 영역(b)은 드레인 영역일 수 있다. 다른 실시예에서, 제1 영역(a)은 드레인 영역이고, 제2 영역(b)은 소스 영역일 수 있다. 제1 영역(a) 및 제2 영역(b)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(200) 중 제1 게이트 전극(205) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 영역(a) 및 제2 영역(b)은 도체로 동작할 수 있고, 액티브 패턴(200) 중 제1 게이트 전극(205) 하부에 위치하는 영역은 제1 트랜지스터(TR1)의 채널로 동작할 수 있다. 그 결과, 제1 트랜지스터(TR1)는 유기 발광 다이오드에 공급되는 도 2의 구동 전류(ID)를 생성할 수 있고, 유기 발광 다이오드는 구동 전류(ID)에 기초하여 광을 출력할 수 있다.
- [0137] 제2 게이트 전극(210)은 제1 커패시터 전용 영역(A), 및 제2 커패시터 전용 영역(B)과 함께 커패시터 전용 트랜지스터를 구성할 수 있다. 일 실시예에서, 제1 커패시터 전용 영역(A)은 소스 영역이고, 제2 커패시터 전용 영역

역(B)은 드레인 영역일 수 있다. 다른 실시예에서, 제1 커패시터 전용 영역(A)은 드레인 영역이고, 제2 커패시터 전용 영역(B)은 소스 영역일 수 있다. 이 때, 제2 커패시터 전용 영역(B)은 제1 영역(a)과 전기적으로 연결될 수 있다. 제1 커패시터 전용 영역(A) 및 제2 커패시터 전용 영역(B)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(200) 중 제2 게이트 전극(210) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 커패시터 전용 영역(A) 및 제2 커패시터 전용 영역(B)은 도체로 동작할 수 있고, 액티브 패턴(200) 중 제2 게이트 전극(210) 하부에 위치하는 영역은 커패시터 전용 트랜지스터(TR8)의 채널로 동작할 수 있다.

[0138]

제2 게이트 전극(210)은 게이트 턴온 전압을 공급받을 수 있다. 게이트 턴온 전압은 액티브 패턴(200) 중 제2 게이트 전극(210) 하부에 위치하는 영역의 채널을 활성화시킬 수 있다. 그 결과, 커패시터 전용 트랜지스터(TR8)는 상기 활성화된 채널을 일 단자로 하고, 제2 게이트 전극(210)을 다른 단자로 하는 커패시터로 동작할 수 있다. 일 실시예에서, 게이트 턴온 전압은 충분히 낮은 전압 레벨을 가짐으로써 PMOS 트랜지스터인 커패시터 전용 트랜지스터(TR8)의 채널을 활성화시킬 수 있다. 다른 실시예에서, 게이트 턴온 전압은 충분히 높은 전압 레벨을 가짐으로써 NMOS 트랜지스터인 커패시터 전용 트랜지스터(TR8)의 채널을 활성화시킬 수 있다.

[0139]

제3 게이트 전극(215)은 제3 영역(c) 및 제4 영역(d)과 함께 제2 트랜지스터(TR2)를 구성할 수 있다. 일 실시예에서, 제3 영역(c)은 소스 영역이고, 제4 영역(d)은 드레인 영역일 수 있다. 다른 실시예에서, 제3 영역(c)은 드레인 영역이고, 제4 영역(d)은 소스 영역일 수 있다. 또한, 제3 게이트 전극(215)은 제5 영역(e) 및 제6 영역(f)과 함께 제3 트랜지스터(TR3)를 구성할 수 있다. 일 실시예에서, 제5 영역(e)은 소스 영역이고, 제6 영역(f)은 드레인 영역일 수 있다. 다른 실시예에서, 제5 영역(e)은 드레인 영역이고, 제6 영역(f)은 소스 영역일 수 있다. 이 때, 제4 영역(d)은 제1 커패시터 전용 영역(A)과 전기적으로 연결될 수 있고, 제5 영역(e)은 제2 영역(b)과 전기적으로 연결될 수 있다. 제3 영역(c), 제4 영역(d), 제5 영역(e), 및 제6 영역(f)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(200) 중 제3 게이트 전극(215) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제3 영역(c), 제4 영역(d), 제5 영역(e), 및 제6 영역(f)은 도체로 동작할 수 있고, 액티브 패턴(200) 중 제3 게이트 전극(215) 하부에 위치하는 영역들은 각각 제2 트랜지스터(TR2)의 채널 및 제3 트랜지스터(TR3)의 채널로 동작할 수 있다. 실시예에 따라, 제3 게이트 전극(215)은 도 2의 스캔 신호(GW)를 공급받을 수 있다.

[0140]

제4 게이트 전극(220)은 제7 영역(g) 및 제8 영역(h)과 함께 제4 트랜지스터(TR4)를 구성할 수 있다. 일 실시예에서, 제7 영역(g)은 소스 영역이고, 제8 영역(h)은 드레인 영역일 수 있다. 다른 실시예에서, 제7 영역(g)은 드레인 영역이고, 제8 영역(h)은 소스 영역일 수 있다. 이 때, 제8 영역(h)은 제6 영역(f)과 전기적으로 연결될 수 있다. 제7 영역(g), 및 제8 영역(h)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(200) 중 제4 게이트 전극(220) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제7 영역(g), 및 제8 영역(h)은 도체로 동작할 수 있고, 액티브 패턴(200) 중 제4 게이트 전극(220) 하부에 위치하는 영역은 제4 트랜지스터(TR4)의 채널로 동작할 수 있다. 실시예에 따라, 제4 게이트 전극(220)은 도 2의 데이터 초기화 신호(GI)를 공급받을 수 있다.

[0141]

제5 게이트 전극(225)은 제9 영역(i) 및 제10 영역(j)과 함께 제5 트랜지스터(TR5)를 구성할 수 있다. 일 실시예에서, 제9 영역(i)은 소스 영역이고, 제10 영역(j)은 드레인 영역일 수 있다. 다른 실시예에서, 제9 영역(i)은 드레인 영역이고, 제10 영역(j)은 소스 영역일 수 있다. 또한, 제5 게이트 전극(225)은 제11 영역(k) 및 제12 영역(l)과 함께 제6 트랜지스터(TR6)를 구성할 수 있다. 일 실시예에서, 제11 영역(k)은 소스 영역이고, 제12 영역(l)은 드레인 영역일 수 있다. 다른 실시예에서, 제11 영역(k)은 드레인 영역이고, 제12 영역(l)은 소스 영역일 수 있다. 이 때, 제10 영역(j)은 제1 영역(a)과 전기적으로 연결될 수 있고, 제11 영역(k)은 제2 영역(b)과 전기적으로 연결될 수 있다. 제9 영역(i), 제10 영역(j), 제11 영역(k), 및 제12 영역(l)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(200) 중 제5 게이트 전극(225) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제9 영역(i), 제10 영역(j), 제11 영역(k), 및 제12 영역(l)은 도체로 동작할 수 있고, 액티브 패턴(200) 중 제5 게이트 전극(225) 하부에 위치하는 영역들은 각각 제5 트랜지스터(TR5)의 채널 및 제6 트랜지스터(TR6)의 채널로 동작할 수 있다. 실시예에 따라, 제5 게이트 전극(225)은 도 2의 발광 신호(EM)를 공급받을 수 있다.

[0142]

제6 게이트 전극(230)은 제13 영역(m) 및 제14 영역(n)과 함께 제7 트랜지스터(TR7)를 구성할 수 있다. 일 실시예에서, 제13 영역(m)은 소스 영역이고, 제14 영역(n)은 드레인 영역일 수 있다. 다른 실시예에서, 제13 영역(m)은 드레인 영역이고, 제14 영역(n)은 소스 영역일 수 있다. 이 때, 제14 영역(n)은 제12 영역(l)과 전기적으로 연결될 수 있다. 제13 영역(m), 및 제14 영역(n)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴

(200) 중 제6 게이트 전극(230) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제13 영역(m), 및 제14 영역(n)은 도체로 동작할 수 있고, 액티브 패턴(200) 중 제6 게이트 전극(230) 하부에 위치하는 영역은 제7 트랜지스터(TR7)의 채널로 동작할 수 있다. 실시예에 따라, 제6 게이트 전극(230)은 도 2의 다이오드 초기화 신호(GB)를 공급받을 수 있다. 실시예에 따라, 제7 영역(g) 및 제13 영역(m)은 도 2의 초기화 전압(VINT)을 공급받을 수 있다.

[0143] 도 8을 참조하면, 유기 발광 표시 장치용 기관은 도 7와 같이 기관(도시되지 않음), 액티브 패턴(200), 게이트 절연층(도시되지 않음), 제1 게이트 전극(205), 제2 게이트 전극(210), 제3 게이트 전극(215), 제4 게이트 전극(220), 제5 게이트 전극(225), 및 제6 게이트 전극(230)을 포함할 수 있다. 나아가, 유기 발광 표시 장치용 기관은 제1 층간 절연막(도시되지 않음), 데이터 패턴(235), 전원 패턴(240), 제1 연결 패턴(245), 및 제2 연결 패턴(250)을 더 포함할 수 있다. 실시예에 따라, 유기 발광 표시 장치용 기관은 제3 연결 패턴(252), 및 제4 연결 패턴(253)을 더 포함할 수 있다.

[0144] 제1 층간 절연막은 제1 내지 제6 게이트 전극들(205, 210, 215, 220, 225, 230)을 덮으며, 게이트 절연층 상에 배치될 수 있다. 실시예에 따라, 제1 층간 절연막은 제1 내지 제6 게이트 전극들(205, 210, 215, 220, 225, 230)을 충분히 덮을 수 있으며, 제1 내지 제6 게이트 전극들(205, 210, 215, 220, 225, 230)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제1 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제1 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0145] 데이터 패턴(235), 전원 패턴(240), 제1 연결 패턴(245), 및 제2 연결 패턴(250)은 제1 층간 절연막 상에 배치될 수 있다. 데이터 패턴(235), 전원 패턴(240), 제1 연결 패턴(245), 및 제2 연결 패턴(250)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0146] 데이터 패턴(235)은 제3 영역(c)에 접촉될 수 있다. 예를 들어, 데이터 패턴(235)은 제1 콘택 홀(265)을 통해 제3 영역(c)에 접촉될 수 있다. 실시예에 따라, 데이터 패턴(235)은 도 2의 데이터 신호(DATA)를 공급받을 수 있다. 그 결과, 데이터 패턴(235)은 제1 콘택 홀(265)을 통해 제3 영역(c)에 데이터 신호(DATA)를 공급할 수 있다.

[0147] 전원 패턴(240)은 제1 게이트 전극(205)과 함께 스토리지 커패시터를 구성할 수 있다. 예를 들어, 제1 게이트 전극(205)을 일 단자로 하고, 전원 패턴(240)을 다른 단자로 하는 도 2의 스토리지 커패시터(CST)가 구성될 수 있다. 또한, 전원 패턴(240)은 제9 영역(i)에 접촉될 수 있다. 예를 들어, 전원 패턴(240)은 제2 콘택 홀(270)을 통해 제9 영역(i)에 접촉될 수 있다. 실시예에 따라, 전원 패턴(240)은 도 2의 제1 전원 전압(ELVDD)을 공급받을 수 있다. 그 결과, 전원 패턴(240)은 제2 콘택 홀(270)을 통해 제9 영역(i)에 제1 전원 전압(ELVDD)을 공급할 수 있다.

[0148] 제1 연결 패턴(245)은 제1 게이트 전극(205), 및 제8 영역(h)에 접촉될 수 있다. 예를 들어, 제1 연결 패턴(245)은 제3 콘택 홀(275)을 통해 제1 게이트 전극(205)에 접촉될 수 있고, 제1 연결 패턴(245)은 제4 콘택 홀(280)을 통해 제8 영역(h)에 접촉될 수 있다. 그 결과, 제1 연결 패턴(245)은 제3 콘택 홀(275) 및 제4 콘택 홀(280)을 통해 제1 게이트 전극(205)과 제8 영역(h)을 전기적으로 서로 연결시킬 수 있다.

[0149] 제2 연결 패턴(250)은 제12 영역(1)에 접촉될 수 있다. 예를 들어, 제2 연결 패턴(250)은 제5 콘택 홀(285)을 통해 제12 영역(1)에 접촉될 수 있다. 그 결과, 제1 트랜지스터(TR1)가 생성한 도 2의 구동 전류(ID)를 상부에 배치되는 유기발광 다이오드에 공급할 수 있다.

[0150] 제3 연결 패턴(252)은 제13 영역(m)에 접촉될 수 있다. 예를 들어, 제3 연결 패턴(252)은 제6 콘택 홀(260)을 통해 제13 영역(m)에 접촉될 수 있다. 실시예에 따라, 제3 연결 패턴(252)은 도 2의 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제3 연결 패턴(252)은 제6 콘택 홀(260)을 통해 제13 영역(m)에 초기화 전압(VINT)을 공급할 수 있다.

[0151] 제4 연결 패턴(253)은 제7 영역(g)에 접촉될 수 있다. 예를 들어, 제4 연결 패턴(253)은 제7 콘택 홀(255)을 통해 제7 영역(g)에 접촉될 수 있다. 실시예에 따라, 제4 연결 패턴(253)은 도 2의 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제4 연결 패턴(253)은 제7 콘택 홀(255)을 통해 제7 영역(g)에 초기화 전압(VINT)을 공급할 수 있다.

[0152] 실시예에 따라, 유기 발광 표시 장치용 기관은 제2 층간 절연막(도시되지 않음), 제1 전극(도시되지 않음), 화

소 정의막(도시되지 않음), 유기 발광층(도시되지 않음), 및 제2 전극(도시되지 않음)을 더 포함할 수 있다.

- [0153] 제2 층간 절연막은 데이터 패턴(235), 전원 패턴(240), 제1 연결 패턴(245), 및 제2 연결 패턴(250)을 덮으며, 제1 층간 절연막 상에 배치될 수 있다. 실시예에 따라, 제2 층간 절연막은 데이터 패턴(235), 전원 패턴(240), 제1 연결 패턴(245), 및 제2 연결 패턴(250)을 충분히 덮을 수 있으며, 데이터 패턴(235), 전원 패턴(240), 제1 연결 패턴(245), 및 제2 연결 패턴(250)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제2 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제2 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0154] 제1 전극은 제2 층간 절연막 상에 배치될 수 있다. 구체적으로, 제1 전극은 제2 층간 절연막의 일부 상에 배치될 수 있다. 제1 전극은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0155] 제1 전극은 제2 연결 패턴(250)에 접촉될 수 있다. 예를 들어, 제1 전극은 제7 콘택 홀(도시되지 않음)을 통해 제2 연결 패턴(250)에 접촉될 수 있다. 그 결과, 제1 전극은 제7 콘택 홀을 통해 도 2의 구동 전류(ID)를 공급받을 수 있다. 일 실시예에서, 제1 전극은 애노드 단자일 수 있다. 다른 실시예에서, 제1 전극은 캐소드 단자일 수 있다.
- [0156] 화소 정의막은 제2 층간 절연막 상에 배치될 수 있다. 구체적으로, 화소 정의막은 제2 층간 절연막, 및 제1 전극의 일부 상에 배치될 수 있다. 실시예에 따라, 화소 정의막은 제2 층간 절연막, 및 제1 전극을 충분히 덮을 수 있으며, 제1 전극의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 화소 정의막은 제2 층간 절연막 상에 배치된 제1 전극의 일부에 개구를 형성할 수 있고, 상기 개구에는 유기 발광층이 배치될 수 있다. 화소 정의막은 유기 물질 또는 무기 물질로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0157] 유기 발광층은 제1 전극 상에 배치될 수 있다. 구체적으로, 유기 발광층은 화소 정의막의 상기 개구를 통해 노출되는 제1 전극 상에 배치될 수 있다. 유기 발광층은 광을 출력할 수 있는 발광 물질을 포함할 수 있다. 발광 물질은 유기 물질을 포함할 수 있다. 실시예에 따라, 발광 물질은 적색광, 녹색광, 및/또는 청색광의 파장들에 상응하는 유기 물질들을 포함할 수 있다.
- [0158] 제2 전극은 화소 정의막 및 유기 발광층 상에 배치될 수 있다. 실시예에 따라, 제2 전극은 투명 도전성 물질로 구성될 수 있다. 예를 들어, 제2 전극은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다. 일 실시예에서, 제2 전극은 캐소드 단자일 수 있다. 즉, 제2 전극은 상응하는 유기 발광층, 및 상응하는 제1 전극과 함께 도 2의 유기 발광 다이오드(OLED)를 구성할 수 있다. 다른 실시예에서, 제2 전극은 애노드 단자일 수 있다. 실시예에 따라, 제2 전극은 제2 전원 전압을 공급받을 수 있다. 예를 들어, 제2 전극은 도 2의 제2 전원 전압(ELVSS)을 공급받을 수 있다.
- [0159] 도 7 및 도 8에서 도시되지 않은 기관, 게이트 절연층, 제1 층간 절연막, 제2 층간 절연막, 제1 전극, 화소 정의막, 유기 발광층, 및 제2 전극은 도 7 및 도 8에 도시되어 있는 구성들과 함께 도 9에서 상세히 설명한다.
- [0160] 결과적으로, 도 7 및 도 8의 유기 발광 표시 장치용 기관은 유기 발광 다이오드의 반응 속도를 향상시킬 수 있는 도 2의 화소(20)를 포함할 수 있다. 나아가, 도 1의 소스 연결 커패시터(C2)를 제조하기 위해 도 4 내지 도 6의 추가 층간 절연막, 추가 커패시터 패턴(132), 및 추가 콘택 홀(190)을 형성하는 공정이 필요하지 않으므로 공정의 경제성을 향상시킬 수 있다. 예를 들어, 도 7 및 도 8의 유기 발광 표시 장치용 기관은 총 7개의 마스크 공정이 필요할 수 있다.
- [0161] 도 9은 도 8의 유기 발광 표시 장치용 기관이 포함하는 제7 트랜지스터의 단면도이다.
- [0162] 도 9를 참조하면, 유기 발광 표시 장치용 기관(300)은 기관(305), 액티브 패턴(310), 게이트 절연층(330), 제6 게이트 전극(335), 제1 층간 절연막(340), 제2 연결 패턴(345), 제3 연결 패턴(350), 제2 층간 절연막(355), 제1 전극(360), 화소 정의막(365), 유기 발광층(370), 및 제2 전극(375)을 포함할 수 있다.
- [0163] 유리, 투명 플라스틱, 투명 세라믹 등과 같은 투명 절연 물질로 구성될 수 있는 기관(305) 상에 액티브 패턴(310)을 형성할 수 있다. 액티브 패턴(310)은 스퍼터링 공정, 화학 기상 증착 공정, 프린팅 공정, 스프레이 공정, 진공 증착 공정, 원자층 적층 공정, 졸-겔 공정, 플라즈마 증대 화학 기상 증착 공정 등을 이용하여 형성될 수 있다. 액티브 패턴(310)은 제13 영역(315), 제14 영역(320) 및 제6 게이트 전극(335)의 하부에 위치하는 채

널 영역(325)을 포함할 수 있다.

- [0164] 기판(305) 상에는 액티브 패턴(310)을 커버하는 게이트 절연층(330)이 형성될 수 있다. 게이트 절연층(330)은 화학 기상 증착 공정, 열산화 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정 등을 이용하여 형성될 수 있다. 게이트 절연층(330)은 액티브 패턴(310)을 충분히 커버하도록 상대적으로 두꺼운 두께로 기판(305) 상에 형성될 수 있다.
- [0165] 게이트 절연층(330) 상에는 제6 게이트 전극(335)이 형성될 수 있다. 제6 게이트 전극(335)은 스퍼터링(sputtering) 공정, 스프레이(spray) 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정, 진공 증착(vacuum evaporation) 공정, 프린팅(printing) 공정 등을 통해 형성될 수 있다.
- [0166] 제6 게이트 전극(335)이 형성된 후에는 액티브 패턴(310)은 불순물에 의해 도핑될 수 있다. 제13 영역(315), 및 제14 영역(320)은 불순물이 도핑될 수 있으나, 제6 게이트 전극(335)의 하부에 위치하는 채널 영역(325)은 불순물이 도핑되지 않을 수 있다. 그 결과, 제13 영역(315), 및 제14 영역(320)은 도체로 동작할 수 있고, 제6 게이트 전극(335)의 하부에 위치하는 채널 영역(325)은 제7 트랜지스터(TR7)의 채널로 동작할 수 있다.
- [0167] 게이트 절연층(330) 상에는 제6 게이트 전극(335)을 덮는 제1 층간 절연막(340)이 형성될 수 있다. 제1 층간 절연막(340)은 제6 게이트 전극(335)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다. 이 경우, 제1 층간 절연막(340)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제1 층간 절연막(340)의 평탄한 상면을 구현하기 위하여 제1 층간 절연막(340)에 대해 평탄화 공정이 추가적으로 수행될 수 있다.
- [0168] 제1 층간 절연막(340)을 부분적으로 식각하여, 액티브 패턴(310)의 제14 영역(320) 및 제13 영역(315)을 각기 노출시키는 제5 콘택 홀, 및 제6 콘택 홀을 형성할 수 있다. 다음에, 제5 콘택 홀, 및 제6 콘택 홀을 각기 채우면서 제1 층간 절연막(340) 상에 제2 연결 패턴(345), 및 제3 연결 패턴(350)을 형성할 수 있다.
- [0169] 제1 층간 절연막(340) 상에는 제2 연결 패턴(345), 및 제3 연결 패턴(350)을 덮는 제2 층간 절연막(355)이 형성될 수 있다. 제2 층간 절연막(355)은 제2 연결 패턴(345), 및 제3 연결 패턴(350)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다. 이 경우, 제2 층간 절연막(355)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제2 층간 절연막(355)의 평탄한 상면을 구현하기 위하여 제2 층간 절연막(355)에 대해 평탄화 공정이 추가적으로 수행될 수 있다.
- [0170] 제2 층간 절연막(355)을 부분적으로 식각하여, 제2 연결 패턴(345)의 일부를 노출시키는 제7 콘택 홀을 형성할 수 있다. 다음에, 제7 콘택 홀을 채우면서 제2 층간 절연막(355) 상에 제1 전극(360)을 형성할 수 있다. 제1 전극(360)은 제2 층간 절연막(355)의 일부 상에 형성될 수 있다.
- [0171] 제2 층간 절연막(355) 상에는 제1 전극(360)을 덮는 화소 정의막(365)이 형성될 수 있다. 화소 정의막(365)은 제1 전극(360)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다.
- [0172] 화소 정의막(365)은 제1 전극(360)의 일부에 개구를 형성할 수 있고, 상기 개구에는 유기 발광층(370)이 형성될 수 있다. 즉, 유기 발광층(370)은 화소 정의막(365)의 상기 개구를 통해 노출되는 제1 전극(360) 상에 배치될 수 있다.
- [0173] 마지막으로, 화소 정의막(365), 및 유기 발광층(370) 상에는 제2 전극(375)이 형성될 수 있다.
- [0174] 도 10는 도 8의 유기 발광 표시 장치용 기판이 포함하는 제3 트랜지스터 및 제6 트랜지스터의 단면도이다.
- [0175] 도 10을 참조하면, 유기 발광 표시 장치용 기판(400)은 기판(405), 액티브 패턴(410), 게이트 절연층(440), 제3 게이트 전극(445), 제5 게이트 전극(450), 제1 층간 절연막(455), 제1 연결 패턴(460), 제2 연결 패턴(465), 및 제2 층간 절연막(470)을 포함할 수 있다.
- [0176] 기판(405)은 절연 물질로 구성될 수 있다. 액티브 패턴(410)은 기판(405) 상에 배치될 수 있다. 액티브 패턴(410)은 제5 영역 및 제11 영역(415), 제6 영역(420), 제12 영역(425), 제3 게이트 전극(445)의 하부에 위치하는 채널 영역(430), 및 제5 게이트 전극(450)의 하부에 위치하는 채널영역(435)을 포함할 수 있다.
- [0177] 게이트 절연층(440)은 액티브 패턴(410)을 덮으며 기판(405) 상에 배치될 수 있다. 제3 게이트 전극(445) 및 제5 게이트 전극(450)은 게이트 절연층(440) 상에 배치될 수 있다.
- [0178] 제3 게이트 전극(445), 및 제5 게이트 전극(450)이 형성된 후에는 액티브 패턴(410)은 불순물에 의해 도핑될 수 있다. 제5 영역 및 제11 영역(415), 제6 영역(420), 및 제12 영역(425)은 불순물이 도핑될 수 있으나, 제3 게

트 전극(445)의 하부에 위치하는 채널 영역(430), 및 제5 게이트 전극(450)의 하부에 위치하는 채널영역(435)은 불순물이 도핑되지 않을 수 있다. 그 결과, 제5 영역 및 제11 영역(415), 제6 영역(420), 및 제12 영역(425)은 도체로 동작할 수 있고, 제3 게이트 전극(445)의 하부에 위치하는 채널 영역(430)은 제3 트랜지스터(TR3)의 채널로 동작할 수 있고, 제5 게이트 전극(450)의 하부에 위치하는 채널영역(435)은 제6 트랜지스터(TR6)의 채널로 동작할 수 있다.

[0179] 제1 층간 절연막(455)은 제3 게이트 전극(445), 및 제5 게이트 전극(450)을 덮으며 게이트 절연층(440) 상에 배치될 수 있다. 제1 연결 패턴(460), 및 제2 연결 패턴(465)은 제1 층간 절연막(455) 상에 배치될 수 있다. 제1 연결 패턴(460)은 제4 콘택 홀을 통해 제6 영역(420)에 접촉될 수 있다. 제2 연결 패턴(465)은 제5 콘택 홀을 통해 제12 영역(425)에 접촉될 수 있다. 제2 층간 절연막(470)은 제1 연결 패턴(460), 및 제2 연결 패턴(465)을 덮으며 제1 층간 절연막(455) 상에 배치될 수 있다.

[0180] 도 11은 도 8의 유기 발광 표시 장치용 기판이 포함하는 제1 트랜지스터의 단면도이다.

[0181] 도 11을 참조하면, 유기 발광 표시 장치용 기판(500)은 기판(505), 액티브 패턴(510), 게이트 절연층(530), 제1 게이트 전극(535), 제1 층간 절연막(540), 전원 패턴(545), 및 제2 층간 절연막(550)을 포함할 수 있다.

[0182] 기판(505)은 절연 물질로 구성될 수 있다. 액티브 패턴(510)은 기판(505) 상에 배치될 수 있다. 액티브 패턴(510)은 제1 영역(515), 제2 영역(520), 및 제1 게이트 전극(535)의 하부에 위치하는 채널 영역(525)을 포함할 수 있다.

[0183] 게이트 절연층(530)은 액티브 패턴(510)을 덮으며 기판(505) 상에 배치될 수 있다. 제1 게이트 전극(535)은 게이트 절연층(530) 상에 배치될 수 있다.

[0184] 제1 게이트 전극(535)이 형성된 후에는 액티브 패턴(510)은 불순물에 의해 도핑될 수 있다. 제1 영역(515), 및 제2 영역(520)은 불순물이 도핑될 수 있으나, 제1 게이트 전극(535)의 하부에 위치하는 채널영역(525)은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 영역(515), 및 제2 영역(520)은 도체로 동작할 수 있고, 제1 게이트 전극(535)의 하부에 위치하는 채널 영역(525)은 제1 트랜지스터(TR1)의 채널로 동작할 수 있다.

[0185] 제1 층간 절연막(540)은 제1 게이트 전극(535)을 덮으며 게이트 절연층(530) 상에 배치될 수 있다. 전원 패턴(545)은 제1 층간 절연막(540) 상에 배치될 수 있다. 제2 층간 절연막(550)은 전원 패턴(545)을 덮으며 제1 층간 절연막(540) 상에 배치될 수 있다.

[0186] 이상, 본 발명의 실시예들에 따른 화소 및 이를 포함하는 유기 발광 표시 장치용 기판에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 상기에서는 PMOS 트랜지스터를 포함하는 화소를 설명하였으나, 화소의 종류는 이에 한정되는 것이 아니다.

산업상 이용가능성

[0187] 본 발명은 유기 발광 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰, 감시 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템 등에 적용될 수 있다.

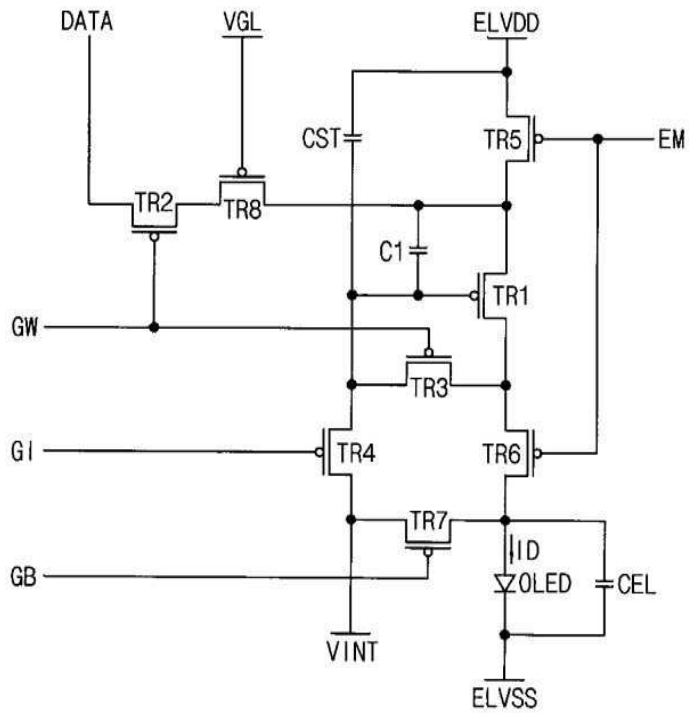
[0188] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

[0189] 10, 20: 화소
305, 405, 505: 기판
100, 200, 310, 410, 510: 액티브 패턴
330, 440, 530: 게이트 절연층
105, 205, 535: 제1 게이트 전극

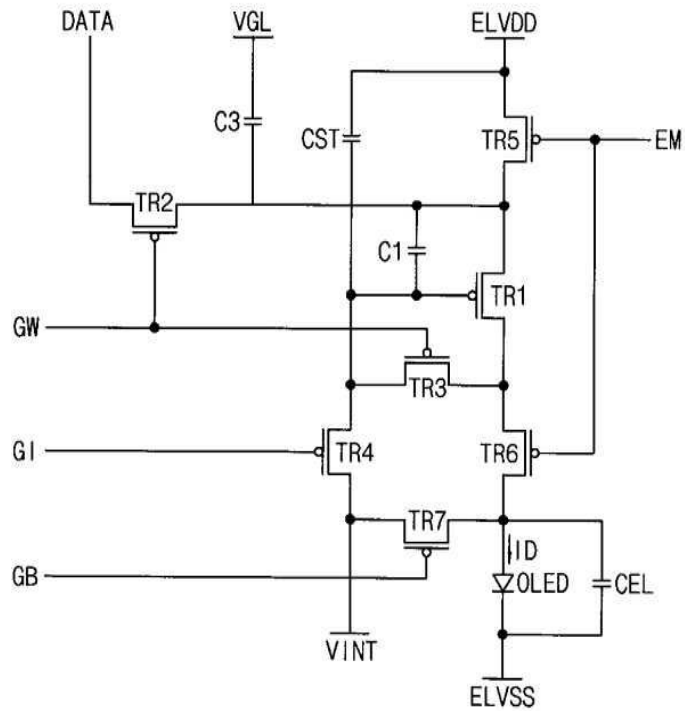
도면2

20

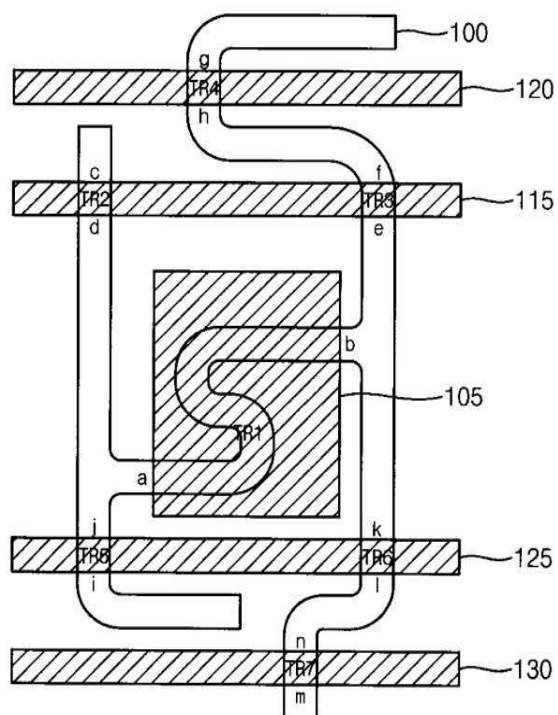


도면3

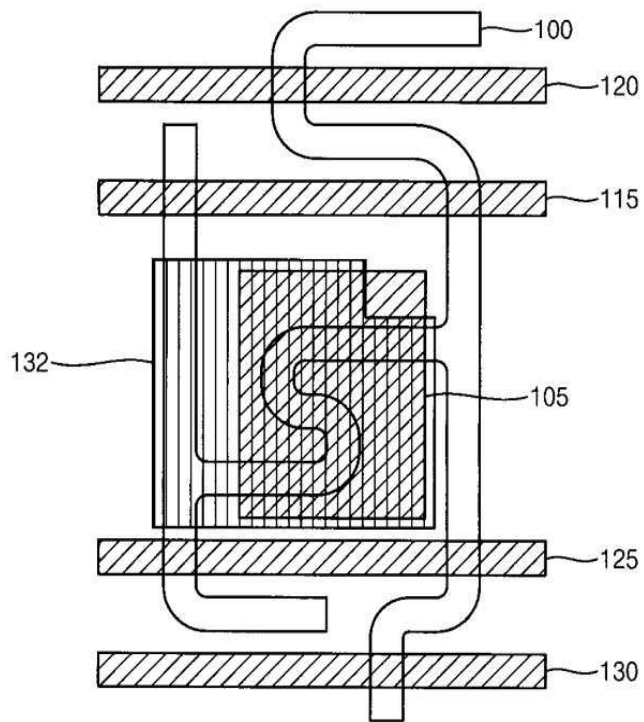
20



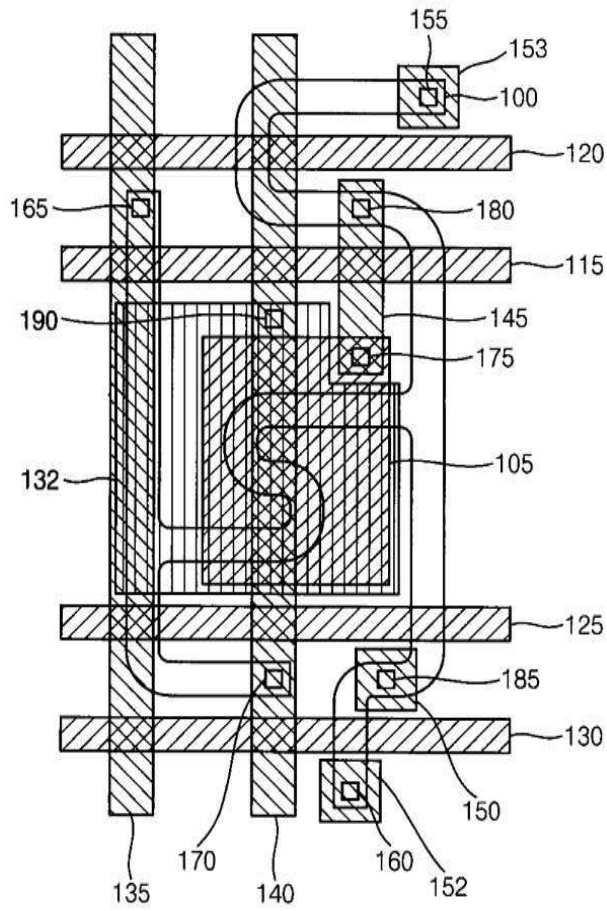
도면4



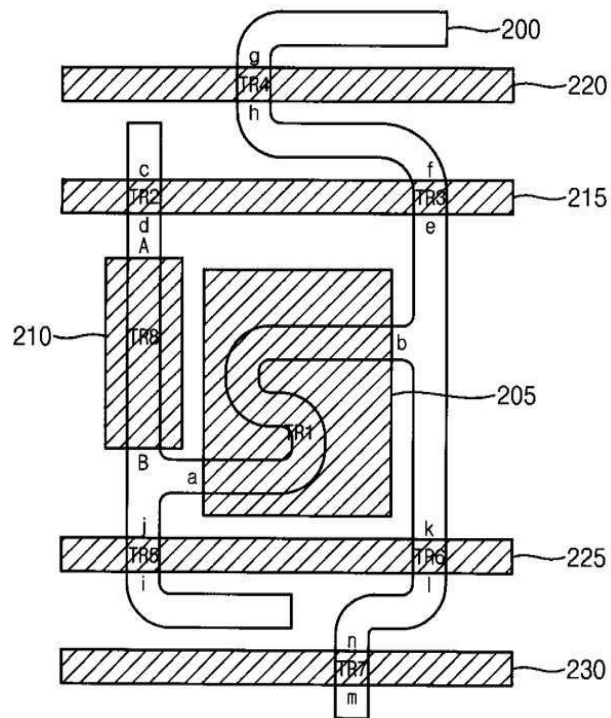
도면5



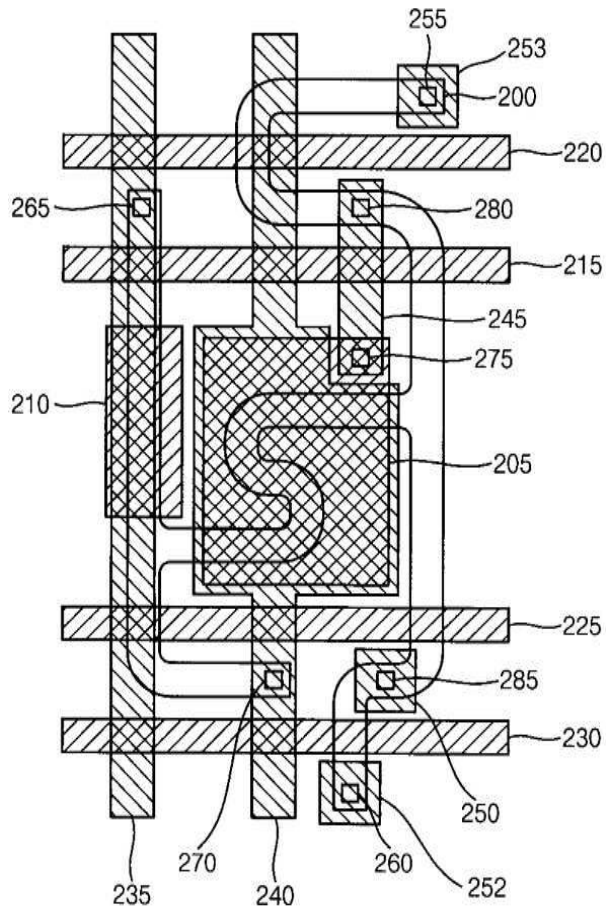
도면6



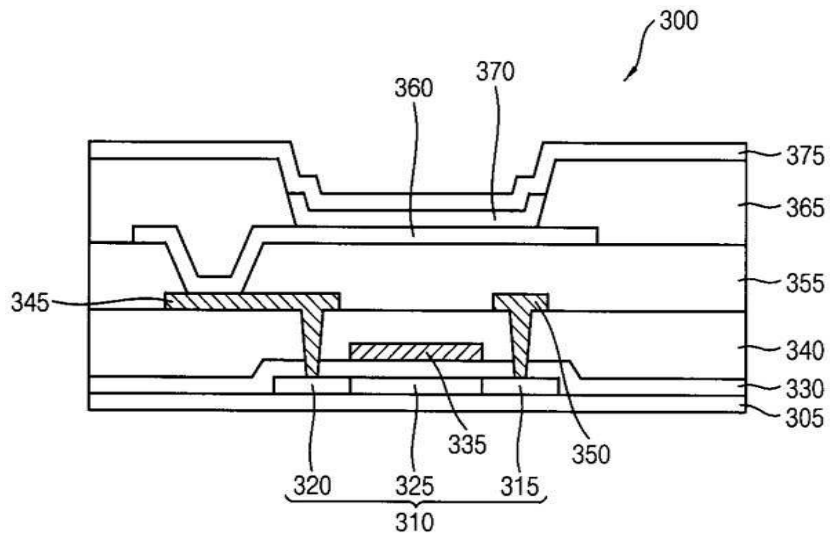
도면7



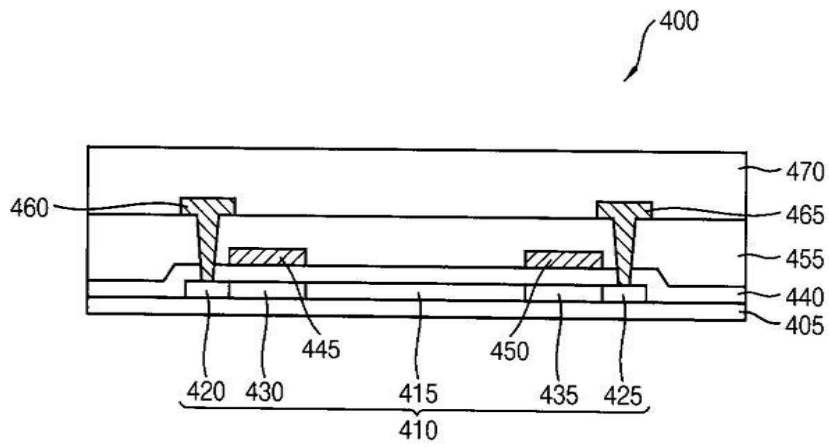
도면8



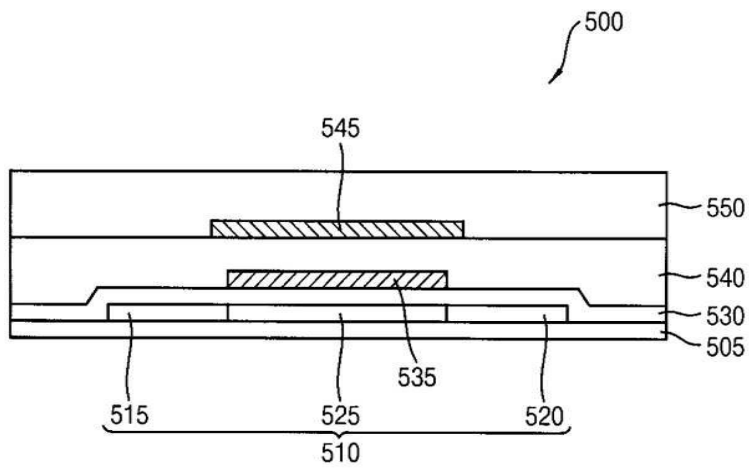
도면9



도면10



도면11



专利名称(译)	标题：用于包含其的有机发光显示器的像素和基板		
公开(公告)号	KR1020160024191A	公开(公告)日	2016-03-04
申请号	KR1020140110702	申请日	2014-08-25
[标]申请(专利权)人(译)	SAMSUNG DISPLAY CO.LTD삼성디스플레이		
申请(专利权)人(译)	三星DISPLAY CO. , LTD. 삼성디스플레이주식회사		
当前申请(专利权)人(译)	三星DISPLAY CO. , LTD. 삼성디스플레이주식회사		
[标]发明人	LEE SEUNG KYU 이승규 HYUN CHAE HAN 현채한		
发明人	LEE SEUNG KYU 이승규 HYUN CHAE HAN 현채한		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/0252 G09G2320/041 G09G2320/045 H01L27/3262 H01L27/3265		
代理人(译)	PARK , YOUNG WOO박영우		
外部链接	Espacenet		

摘要(译)

像素包括有机发光二极管，根据驱动电流，门终端，第一终端，接收门终端，第一终端和第一个电容专用晶体管 它有一个水平。晶体管和电容器导通晶体管。一种有机发光二极管，包括第一端子和第二端子。第一晶体管包括驱动电流和第二端子。电容器专用晶体管包括耦合到第一晶体管的第一端子的第二端子，用于提供栅极导通电压。栅极导通电压是激活端子和电容器第二端子之间的沟道的电压 -

