



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0079248
(43) 공개일자 2015년07월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0169325

(22) 출원일자 2013년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

심재호

대구광역시 수성구 옥수천로 87, 102동 102호 (신매동)

(74) 대리인

박장원

전체 청구항 수 : 총 9 항

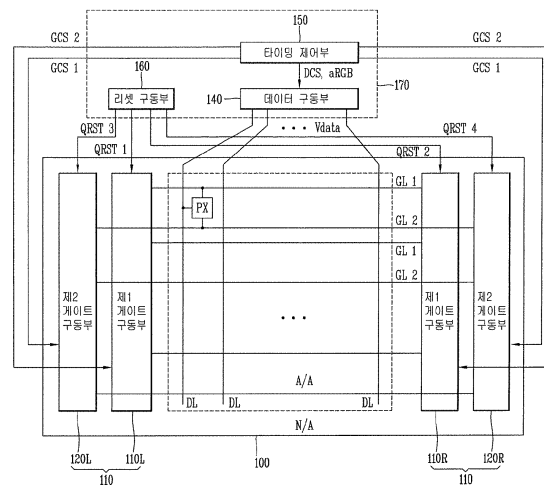
(54) 발명의 명칭 리셋구동부를 포함하는 유기전계 발광표시장치

(57) 요약

본 발명은 유기전계 발광표시장치를 개시한다. 보다 상세하게는, 본 발명은 구동 초기 RC 딜레이에 의해 발생하는 게이트 구동부의 오작동에 기인한 비정상 화면표시문제를 개선한 리셋구동부를 포함하는 유기전계 발광표시장치에 관한 것이다.

본 발명의 실시예에 따르면, 유기전계 발광표시장치에서 초기 구동시 각 게이트 구동부에 리셋신호를 출력하는 리셋 구동부에 각 게이트 구동부마다 별도의 출력단자를 할당하고, 각 출력단자마다 독립적인 리셋신호를 출력하도록 구성함으로써 RC 딜레이에 따른 신호지연을 최소화하여 초기 리셋 구동의 오작동을 방지하는 효과가 있다.

대표도



명세서

청구범위

청구항 1

복수의 게이트 배선 및 데이터 배선이 교차 형성되고, 교차 지점에 화소가 정의되는 표시패널;

상기 게이트 배선에 게이트 구동신호를 출력하는 복수의 게이트 구동부;

상기 데이터 배선에 데이터 신호를 출력하는 데이터 구동부;

상기 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 제어부; 및

전원-온 시, 각각 별도로 연결되는 복수의 출력단자를 통해 독립적으로 생성된 복수의 리셋신호를 상기 복수의 게이트 구동부에 출력하는 리셋 구동부

를 포함하는 유기전계 발광표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 배선은,

상기 화소에 구비되는 제1 및 제2 박막트랜지스터의 게이트에 각각 연결되는 제1 및 제2 게이트 배선을 포함하고,

상기 게이트 구동부는,

상기 제1 게이트 배선의 양단에 각각 연결되는 제1L 및 제1R 게이트 구동부; 및

상기 제2 게이트 배선의 양단에 각각 연결되는 제2L 및 제2R 게이트 구동부

로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 3

제 2 항에 있어서,

상기 리셋신호는,

상기 제1L, 제1R, 제2L 및 제2R 게이트 구동부에 각각 출력되는 제1 내지 제4 리셋신호로 이루어지는 특징으로 하는 유기전계 발광표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 내지 제4 리셋신호는,

1 수평기간과 같거나, 또는 1 수평기간 보다 큰 폭을 갖는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 5

제 3 및 제 4 항 중, 선택되는 어느 하나의 항에 있어서,

상기 제1 내지 제4 리셋신호는,

동일한 타이밍에 동시에 출력되거나, 또는 서로 다른 타이밍에 순차적으로 출력되는 신호인 것을 특징으로 하는 유기전계 발광표시장치.

청구항 6

제 1 항에 있어서,
 상기 복수의 게이트 구동부는, 복수의 스테이지로 구성되며,
 상기 스테이지는,
 개시신호에 대응하여 도통되는 제1 박막트랜지스터;
 클록신호에 대응하여 Q노드를 상기 제1 박막트랜지스터로부터 인가되는 게이트 로우전압으로 방전하는 제2 박막트랜지스터;
 상기 개시신호에 대응하여 QB노드를 게이트 하이전압으로 충전하는 제3 및 제4 박막트랜지스터;
 상기 Q노드가 게이트 로우전압으로 방전되면, 상기 QB노드를 게이트 하이전압으로 충전하는 제5 및 제6 박막트랜지스터;
 클록신호에 대응하여 상기 QB노드를 게이트 로우전압으로 방전하는 제7 및 제8 박막트랜지스터;
 상기 QB노드가 게이트 로우전압으로 방전되면, 상기 Q노드를 게이트 하이전압으로 충전하는 제9 및 제10 박막트랜지스터;
 상기 Q노드가 게이트 로우전압으로 방전되면 출력단에 로우레벨의 클록신호를 출력하는 풀-업 박막트랜지스터;
 상기 QB노드가 게이트 로우전압으로 방전되면, 상기 출력단에 게이트 하이전압을 출력하는 풀-다운 박막트랜지스터;
 상기 Q노드를 게이트 로우전압보다 더 낮은 전압레벨로 부트스트랩핑하는 캐패시터; 및
 상기 리셋신호에 의해 상기 Q노드를 게이트 하이레벨로 충전하는 제1 및 제2 리셋 박막트랜지스터
 를 포함하는 유기전계 발광표시장치.

청구항 7

제 6 항에 있어서,
 상기 캐패시터는, 용량이 200pf 이상인 것을 특징으로 하는 유기전계 발광표시장치.

청구항 8

제 1 항에 있어서,
 상기 게이트 구동부는,
 상기 표시패널상에 형성되는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 9

제 1 항에 있어서,
 상기 데이터 구동부, 타이밍 제어부 및 리셋구동부는,
 하나의 메인구동IC에 실장되는 것을 특징으로 하는 유기전계 발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계 발광표시장치에 관한 것으로, 특히 구동 초기 RC 딜레이에 의해 발생하는 게이트 구동부의 오작동에 기인한 비정상 화면표시문제를 개선한 리셋구동부를 포함하는 유기전계 발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계 발광표시장치는, 표시패널에 구비되는 유기발광 다이오드가 높은 휘도와 낮은 동작 전압 특성을 가지

며 스스로 빛을 내는 자체발광형이기 때문에, 명암대비(contrast ratio)가 크고 초박형 디스플레이의 구현이 가능하다는 장점이 있다. 또한, 응답시간이 수 마이크로초(μ s) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적으로 구동한다는 장점이 있다.

[0003] 도 1은 종래의 유기전계 발광표시장치의 일 화소에 대한 등가 회로도를 나타낸 도면이다.

[0004] 도시된 바와 같이, 종래의 유기전계 발광표시장치는 하나의 화소가 두 개의 박막트랜지스터(SWT, DRT)와, 하나의 캐패시터(C1) 및 유기발광 다이오드(EL)로 이루어질 수 있다.

[0005] 여기서, 스위칭 박막트랜지스터(SWT)는 스캔신호(Vscan)에 대응하여 데이터 전압(Vdata)을 제1 노드(N1)에 인가하게 되며, 구동 박막트랜지스터(DRT)은 소스전극에 구동전압(ELVDD)을 인가받으며, 제1 노드(N1)에 전압이 인가되면 게이트-소스전압(Vgs)에 대응하는 전류를 유기발광 다이오드(Organic Light-Emitting Diode)(ED)에 인가하게 된다. 또한, 캐패시터(C1)는 게이트 전극에 인가되는 전압을 1 프레임동안 유지시키는 역할을 한다.

[0006] 그리고, 유기발광 다이오드(ED)는 구동 박막트랜지스터(DRT)의 드레인전극에 애노드전극이 접속되며, 캐소드전극이 접지(ELVSS)되고, 캐소드전극과 애노드전극사이에 형성되는 유기발광층을 포함한다. 상기 유기발광층은 정공수송층, 발광층 및 전자수송층으로 구성될 수 있다.

[0007] 이러한 유기전계 발광표시장치는 구동 박막트랜지스터(DRT)에 의해 유기 발광다이오드에 흐르는 전류의 양을 조절하여 영상의 계조를 표시하는 것으로, 구동 박막트랜지스터(DRT)의 특성에 의해 화질이 결정된다.

[0008] 그러나, 하나의 표시패널 내에서도 각 화소간 구동 박막트랜지스터간 문턱전압 및 전자이동도의 편차가 존재하며, 각 유기발광 다이오드(ED)들에 흐르는 전류량이 달라져 보상하여 원하는 계조를 구현하지 못하는 문제가 발생하게 된다.

[0009] 이러한 문제를 개선하기 위해, 최근에는 도 2에 도시된 바와 같이 기준전압(Vref)을 인가하는 하나이상의 샘플링 박막트랜지스터(SPT)를 추가하는 구조가 제안되었다. 상기 샘플링 박막트랜지스터(SPT)는 제1 스캔신호(Vscan1)와 유사한 파형을 갖는 제2 스캔신호(Vscna2)를 통해, 구동 박막트랜지스터(DRT)의 문턱전압(Vth) 및 전자이동도(μ)을 센싱하고, 구동 박막트랜지스터(DRT)를 통해 흐르는 전류에 센싱된 문턱전압(Vth) 및 전자이동도(μ)성분을 제거함으로써 문턱전압 편차를 보상하는 방식이다.

[0010] 도 3은 전술한 구조의 화소를 이용하는 유기전계 발광표시장치의 일부를 개략적으로 나타내는 도면으로서, 도 3을 참조하면 종래의 유기전계 발광표시장치는, 표시패널(10)상의 표시영역(A/A)내에 복수의 화소(PX)가 정의되고, 각 화소(PX)는 복수의 게이트 배선(GL1, GL2)과 연결되어 있다. 또한 게이트 배선(GL1, GL2)은 비표시영역(N/A)상에 형성된 제1 및 제2 게이트 구동부(20)와 연결되어 있다.

[0011] 이러한 구조의 유기전계 발광표시장치에서, 초기 전원-온 시 각 게이트 구동부(20)에는 리셋구동부(60)로부터 생성된 리셋신호(QRST)가 인가되어 게이트 구동부(20)를 이루는 스테이지를 일괄적으로 리셋상태로 전환한 뒤, 정상구동을 수행하도록 설정되어 있으며, 리셋 구동부(60)는 하나의 출력단자를 통해 각 게이트 구동부(10L, 10R, 20L, 20R)와 연결되어 리셋신호(QRST)를 공급하게 된다.

[0012] 그러나, 초기 전원-온(power on)시, 각 게이트 구동부(10L, 10R, 20L, 20R)가 정상적으로 리셋상태로 전환되지 않는 경우, 원하지 않은 게이트 구동신호의 출력이 발생할 수 있으며, 이는 화면상에 줄무늬와 같은 노이즈 화상의 원인이 된다. 이러한 화면불량은 주로 게이트 구동부(20)의 스테이지에 포함된 Q노드가 리셋신호(QRST)에 의해 정상적인 타이밍에 안정적으로 리셋상태로 전환되지 않는 데 기인한다.

[0013] 그러나, 대면적 및 고해상도 유기전계 발광표시장치일수록 부하저항이 큰 값을 갖게 되며, 게이트 구동부(20)를 이루는 다수의 모든 스테이지에 하나의 리셋신호(QRST)를 동시에 인가함에 따라, 리셋신호(QRST) 공급배선의 RC 딜레이(RC delay)에 의해 각 스테이지의 Q노드에 대한 충전이 제대로 수행되지 않아 종래의 구성만으로는 게이트 구동부(20)의 오작동 문제를 해결하는 데 한계가 있었다.

[0014] 특히, 상기 Q노드에는 200pf 이상의 고용량 캐패시터가 구비되어 있어서 상기 RC 딜레이 성분이 매우 높게 형성된다는 특징이 있다.

발명의 내용

해결하려는 과제

[0015] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 본 발명의 목적은 대면적 및 고해상도 유기전계 발광표

시장치에서 초기 구동시 RC 딜레이에 따른 리셋과정이 정상적으로 이루어지지 않는 문제를 해결하는 데 있다.

과제의 해결 수단

[0016] 전술한 문제를 해결하기 위해, 본 발명의 바람직한 실시예에 따른 유기전계 발광표시장치는, 복수의 게이트 배선 및 데이터 배선이 교차 형성되고, 교차 지점에 화소가 정의되는 표시패널; 상기 게이트 배선에 게이트 구동 신호를 출력하는 복수의 게이트 구동부; 상기 데이터 배선에 데이터 신호를 출력하는 데이터 구동부; 상기 게이트 구동부 및 데이터 구동부를 제어하는 타이밍 제어부; 및 전원-온 시, 각각 별도로 연결되는 복수의 출력단자를 통해 독립적으로 생성된 복수의 리셋신호를 상기 복수의 게이트 구동부에 출력하는 리셋 구동부를 포함한다.

발명의 효과

[0017] 본 발명의 실시예에 따른 리셋구동부를 포함하는 유기전계 발광표시장치는, 초기 구동시 각 게이트 구동부에 리셋신호를 출력하는 리셋 구동부에 각 게이트 구동부마다 별도의 출력단자를 할당하고, 각 출력단자마다 독립적인 리셋신호를 출력하도록 구성함으로써 RC 딜레이에 따른 신호지연을 최소화하여 초기 리셋 구동의 오작동을 방지하는 효과가 있다.

도면의 간단한 설명

[0018] 도 1 및 도 2는 종래의 유기전계 발광표시장치의 일 화소에 대한 등가 회로도를 나타낸 도면이다.
 도 3은 전술한 구조의 화소를 이용하는 유기전계 발광표시장치의 일부를 개략적으로 나타내는 도면이다.
 도 4는 본 발명의 실시예에 따른 리셋 구동부를 포함하는 유기전계 발광표시장치의 구조를 나타낸 도면이다.
 도 5는 본 발명의 실시예에 따른 게이트 구동부의 연결구조를 나타낸 도면이다.
 도 6은 본 발명의 실시예에 따른 게이트 구동부의 일 스테이지에 대한 등가 회로도를 나타낸 도면이다.
 도 7a 및 도 7b는 본 발명의 실시예에 따른 유기전계 발광표시장치의 구동시 게이트 구동부에 인가되는 리셋신호의 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 리셋 구동부를 포함하는 유기전계 발광표시장치를 설명한다.

[0020] 도 4는 본 발명의 실시예에 따른 리셋 구동부를 포함하는 유기전계 발광표시장치의 구조를 나타낸 도면이다.

[0021] 도 4를 참조하면, 본 발명의 유기전계 발광표시장치는, 복수의 게이트 배선(GL1, GL2) 및 데이터 배선(DL)이 교차 형성되고, 교차 지점에 화소(PX)가 정의되는 표시패널(100)과, 상기 게이트 배선(GL1, GL2)에 게이트 구동 신호(Vg1, Vg2)를 출력하는 복수의 게이트 구동부(110)와, 상기 데이터 배선(DL)에 데이터 신호(Vdata)를 출력하는 데이터 구동부(140)와, 상기 게이트 구동부(110) 및 데이터 구동부(140)를 제어하는 타이밍 제어부(150)과, 전원-온 시, 각각 별도로 연결되는 복수의 출력단자를 통해 독립적으로 생성된 복수의 리셋신호(QRST1 ~ QRST4)를 상기 복수의 게이트 구동부(110)에 출력하는 리셋 구동부(160)를 포함한다.

[0022] 표시패널(100)은 플라스틱 기판 또는 유리기판상에 제1 방향 또는 제2 방향으로 형성되는 복수의 게이트배선(GL1, GL2) 및 데이터 배선(DL)이 형성되고, 게이트배선(GL1, GL2) 및 데이터 배선(DL)이 교차하는 지점에 각각 적(R), 녹(G) 및 청(B)에 해당하는 화소(PX)들이 정의된다.

[0023] 또한, 도시하지는 않았지만 표시패널(100)상에는 화소(PX)의 구동을 위한 복수의 전원전압(ELVDD) 및 접지전압(ELVSS) 공급배선(미도시)이 더 형성되어 있다.

[0024] 표시패널(100)의 게이트 배선(GL1, GL2)은 두 개가 하나의 수평선상에 배치된 화소(PX)들에 연결되며, 제1 게이트 배선(GL1)은 표시패널(100)의 양측에 형성되는 제1L, 제1R 게이트 구동부(110L, 110R)에 연결된다. 또한, 제2 게이트 배선(GL2)은 제2L, 제2R 게이트 구동부(120L, 120R)에 연결된다. 여기서, 각 게이트 구동부(110L, 110R, 120L, 120R)는 박막트랜지스터로 구현되어 표시패널(100)내에 실장되는 게이트 인 패널(Gate In Panel) 방식이다.

[0025] 그리고, 데이터 배선(DL)은 데이터 신호(Vdata)를 인가하는 데이터 구동부(140)와 연결된다.

- [0026] 또한, 도시되어 있지는 않지만, 상기 화소(PX)들은 적어도 하나의 유기발광 다이오드, 캐패시터, 스위칭 박막트랜지스터, 샘플링 박막트랜지스터 및 구동 박막트랜지스터를 포함할 수 있다.
- [0027] 상세하게는, 하나의 화소(PX)는 적어도 유기전계 발광다이오드와, 유기전계 발광다이오드에 전류를 흐르도록 제어하는 구동 박막트랜지스터와, 제1 게이트 구동신호(Vg1)를 인가받아 도통되어 데이터 신호(Vdata)를 상기 구동 박막트랜지스터의 게이트에 인가하는 적어도 하나의 스위칭 박막 트랜지스터와, 제2 게이트 구동신호(Vg2)를 인가받아 상기 구동 박막트랜지스터의 문턱전압(Vth) 및 전자이동도(μ)를 샘플링하는 적어도 하나의 샘플링 트랜지스터와, 샘플링된 문턱전압 및 전자이동도 성분이 제거된 데이터신호에 대응하는 전압이 충전되어 상기 구동박막트랜지스터의 게이트-소스간 전압을 일정시간 유지시키는 캐패시터로 이루어질 수 있다.
- [0028] 여기서, 유기발광 다이오드는 제 1 전극(정공주입 전극)과 유기 화합물층 및 제 2 전극(전자주입 전극)로 이루어질 수 있다.
- [0029] 유기 화합물층은 실제 발광이 이루어지는 발광층 이외에 정공 또는 전자의 캐리어를 발광층까지 효율적으로 전달하기 위한 다양한 유기층들을 더 포함할 수 있다. 이러한 유기층들은 제 1 전극과 발광층 사이에 위치하는 정공주입층 및 정공수송층, 제 2 전극과 발광층 사이에 위치하는 전자주입층 및 전자수송층일 수 있다.
- [0030] 그리고, 구동 박막트랜지스터는 전원공급배선과 캐패시터에 연결되어 게이트-소스간 전압에 대응하는 드레인 전류를 유기발광 다이오드로 공급하고, 유기전계 발광다이오드는 드레인 전류에 의해 발광하게 된다. 여기서, 구동 박막트랜지스터는 게이트전극과 소스전극 및 드레인전극을 포함하며, 유기발광 다이오드의 애노드 전극은 구동 박막트랜지스터의 드레인전극에 연결된다.
- [0031] 게이트 구동부(110)는 총 4 개의 제1, 제2 게이트 구동부(110L, 110R, 120L, 120R)로 구성된다.
- [0032] 제1 게이트 구동부(110L, 110R)는 타이밍 제어부(150)로부터 인가되는 제1 게이트 제어신호(GCS1)에 대응하여 각 화소(PX)에 제1 게이트 구동신호(Vg1)를 상기 구동 박막트랜지스터의 게이트에 인가한다. 이는, 제1 게이트 배선(GL1)의 RC 딜레이에 의한 신호지연을 최소화하기 위한 구조로서, 두 제1 게이트 구동부(110L, 110R)는 동시에 제1 게이트 구동신호(Vg)를 출력하게 된다.
- [0033] 제2 게이트 구동부(120L, 120R)는 타이밍 제어부(150)로부터 인가되는 제2 게이트 제어신호(GCS2)에 대응하여 각 화소(PX)에 제2 게이트 구동신호(Vg2)를 상기 스위칭 박막트랜지스터의 게이트에 인가하여 구동 박막트랜지스터의 문턱전압 및 전자이동도 특성을 샘플링한다.
- [0034] 이러한 게이트 구동부(110)는 각각 다수의 스테이지를 갖는 쉬프트 레지스터로 구현될 수 있다.
- [0035] 데이터 구동부(140)는 타이밍 제어부(150)로부터 인가되는 데이터 제어신호(DCS)에 대응하여, 입력되는 화상데이터를 화소(PX)가 처리할 수 있는 아날로그 전압형태의 데이터 신호(Vdata)로 변환하여 각 데이터 배선(DL)을 통해 화소(PX)에 공급한다.
- [0036] 타이밍 제어부(150)는 외부 시스템(미도시)으로부터 화상데이터 및 하나이상의 타이밍 신호를 입력받아, 화상데이터를 데이터 구동부(140)가 처리할 수 있는 형태로 정렬하여 변환된 화상데이터(aRGB)로 데이터 구동부(140)에 입력하고, 상기의 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 생성 및 출력한다.
- [0037] 리셋 구동부(160)는 유기전계 발광표시장치의 초기 전원-온 여부를 감지하고, 전원-온 직후, 제1 및 제2 게이트 구동부(110L, 110R, 120L, 120R) 각각에 제1 내지 제4 리셋신호(QRST1 ~ QRST4)를 출력한다.
- [0038] 이러한 리셋 구동부(160)는 독립적으로 신호를 출력하는 적어도 4 개의 출력단자가 형성되어 있으며, 각 출력단자는 제1 및 제2 게이트 구동부(110L, 110R, 120L, 120R)와 각각 연결되어 동일파형이나 서로 영향을 받지 않는 4 개의 제1 내지 제4 리셋신호(QRST1 ~ QRST4)를 출력하게 된다.
- [0039] 여기서, 상기 제1 내지 제4 리셋신호(QRST1 ~ QRST4)는 전원공급부(미도시)로부터 인가되는 구동전압을 전압생성회로(미도시)를 통해 별도로 생성한 4개의 신호이며, 따라서 출력단자에 연결된 부하에 따라 서로간의 신호파형에 영향을 받지 않는 신호이다. 이러한 구성에 따라, 리셋 구동부(160)는 종래 대비 연결된 부하가 1/4로 저감되어 RC 딜레이에 의한 신호지연이 최소화된 제1 내지 제4 리셋신호(QRST1 ~ QRST4)를 게이트 구동부(110)에 공급하게 된다.
- [0040] 여기서, 제1 내지 제4 리셋신호(QRST1 ~ QRST4)는 1 수평기간(1H)과 같거나, 또는 1 수평기간(1H) 보다 큰 폭을 갖는 신호일 수 있다. 또한, 제1 내지 제4 리셋신호(QRST1 ~ QRST4)는 동일한 타이밍에 동시에 출력되거나, 또

는 서로 다른 타이밍에 순차적으로 출력되는 신호일 수 있다.

- [0041] 한편, 상기의 실시예에서 게이트 구동부(110)를 제외한 데이터 구동부(140), 타이밍 제어부(150) 및 리셋구동부(160)는, 하나의 메인구동IC(170)에 실장되는 형태로 구현될 수 있다.
- [0042] 전술한 구조에 따라, 본 발명의 유기전계 표시장치는 각 게이트 구동부에 인가되는 리셋신호를 별도의 출력단자를 통해 서로 영향을 받지 않는 형태로 공급함으로써, 게이트 구동부의 신호지연에 따른 영향을 최소화하여 유기전계 발광표시장치의 오작동이 방지된다.
- [0043] 이하, 도면을 참조하여 본 발명의 실시예에 따른 게이트 구동부의 구조를 상세히 설명한다.
- [0044] 도 5는 본 발명의 실시예에 따른 게이트 구동부의 연결구조를 나타낸 도면이다.
- [0045] 도면을 참조하면, 본 발명의 게이트 구동부는, 각각 복수의 스테이지(ST1 ~ STn, n은 자연수)로 이루어지는 제1L, 제1R 게이트 구동부(110L, 110R)와, 제2L, 제2R 게이트 구동부(120L, 120R)로 구분된다.
- [0046] 각 제1L, 제1R, 제2L, 제2R 게이트 구동부(110L, 110R, 120L, 120R)는 액정패널(100)의 양측단 비표시영역(N/A)에 형성되며, 제1 및 제2 게이트 배선(GL)을 통해 표시영역(A/A)상에 형성된 복수의 화소(PX)에 연결된다.
- [0047] 제1L, 제1R 게이트 구동부(110L, 110R)의 스테이지(ST1 ~ STn)들은 제1 게이트 배선(GL1)의 양단에 연결되며, 동일 수평선상의 화소(PX)들에 연결된다. 또한, 제2L, 제2R 게이트 구동부(120L, 120R)의 스테이지(ST1 ~ STn)들은 제2 게이트 배선(GL2)의 양단에 연결되며, 동일 수평선상의 화소(PX)들에 연결된다.
- [0048] 특히, 각 스테이지(ST1 ~ STn)들은 소속된 게이트 구동부에 따라 모든 스테이지 마다 리셋신호를 각각 공급받게 되며, 게이트 구동부별로 별도의 배선을 통해 서로 다른 리셋신호(QRST1 ~ QRST4)를 공급받게 된다. 이에 따라, 각 리셋신호(QRST1 ~ QRST4)들은 직접 연결된 스테이지(ST1 ~ STn)의 RC 딜레이 성분에 따른 신호지연만이 발생하게 되어, 종래보다 그 신호지연정도가 저감된다.
- [0049] 여기서, 각 리셋신호(QRST1 ~ QRST4)의 신호지연에 가장 큰 영향을 미치는 것을 각 스테이지 (ST1 ~ STn)에 포함된 캐패시터로서, 이하 도면을 참조하여 본 발명의 실시예에 따른 게이트 구동부의 스테이지의 구조를 설명한다.
- [0050] 도 6은 본 발명의 실시예에 따른 게이트 구동부의 일 스테이지에 대한 등가 회로도를 나타낸 도면이다.
- [0051] 도 6을 참조하면, 하나의 스테이지(ST1)는 복수의 박막트랜지스터(T1 ~ T10, Tu, Td) 및 적어도 하나의 캐패시터(CB)로 이루어진다.
- [0052] 본 발명의 게이트 구동부를 이루는 스테이지(STn)는, 개시신호(GVST)에 대응하여 도통되는 제1 박막트랜지스터(T1)와, 클럭신호(CLK)에 대응하여 Q노드(Q)를 상기 제1 박막트랜지스터(T1)로부터 인가되는 게이트 로우전압(VGL)으로 방전하는 제2 박막트랜지스터(T2)와, 상기 개시신호(GVST)에 대응하여 QB노드(QB)를 게이트 하이전압(VGH)으로 충전하는 제3 및 제4 박막트랜지스터(T3, T4)와, 상기 Q노드(Q)가 게이트 로우전압(VGL)으로 방전되면, 상기 QB노드(QB)를 게이트 하이전압(VGH)으로 충전하는 제5 및 제6 박막트랜지스터(T5, T6)와, 클럭신호(CLK)에 대응하여 상기 QB노드(QB)를 게이트 로우전압(VGL)으로 방전하는 제7 및 제8 박막트랜지스터(T7, T8)와, 상기 QB노드(QB)가 게이트 로우전압(VGL)으로 방전되면, 상기 Q노드(Q)를 게이트 하이전압(VGH)으로 충전하는 제9 및 제10 박막트랜지스터(T9, T10)과, 상기 Q노드(Q)가 게이트 로우전압으로 방전되면, 출력단(Vout)에 로우레벨의 클럭신호(CLK)를 출력하는 풀-업 박막트랜지스터(Tu)와, 상기 QB노드(QB)가 게이트 로우전압(VGL)으로 방전되면, 상기 출력단(Vout)에 게이트 하이전압(VGH)을 출력하는 풀-다운 박막트랜지스터(Td)와, 상기 Q노드(Q)를 게이트 로우전압(VGL)보다 더 낮은 전압레벨로 부트스트래핑(bootstrapping)하는 캐패시터(CB)와, 상기 리셋신호(QRST)에 의해 상기 Q노드(Q)를 게이트 하이레벨(VGH)로 충전하는 제1 및 제2 리셋 박막트랜지스터(Tr1, Tr2)를 포함한다.
- [0053] 여기서, 캐패시터(CB)는 Q노드(Q)에 방전된 전압을 부트스트래핑을 통해 더 낮은 전압으로 방전시키기 위한 것으로, 이러한 기능을 원활하게 수행하기 위해서는 200pF 이상의 높은 용량을 갖도록 설계되어야 하며, 이를 리셋신호(QRST)에 직접적인 영향을 주는 RC 딜레이 성분으로 작용하게 된다.
- [0054] 또한, 복수의 박막트랜지스터(T1 ~ T10, Tu, Td)는 P타입 모스트랜지스터(P-MOSFET)가 이용되며, P타입 모스트랜지스터의 특성을 보완하기 위해, 제3,4 박막트랜지스터(T3, T4), 제5,6 박막트랜지스터(T5, T6), 제7,8 박막트랜지스터(T7, T8), 제9,10 박막트랜지스터(T9, T10) 및 제1,2 리셋 박막트랜지스터(Tr1, Tr2)는 각각 두 개의 박막트랜지스터가 서로 연결된 형태로 구성되었으나, 각 박막트랜지스터는 N타입 모스트랜지스터(N-MOSFET)로

대체될 수 있으며, 하나의 박막트랜지스터로 구현될 수도 있다.

- [0055] 또한, 본 발명의 게이트 구동부는 4 개의 클록신호를 이용하는 4상 구동 쉬프트 레지스터로서, 도면에서 도시된 클록신호들(CLK)은 각각 다른 타이밍의 제1 내지 제4 클록신호 중 어느 하나일 수 있다. 예를 들면, 도시된 스테이지가 제1 스테이지라고 가정하면, 제2 박막트랜지스터(T2)에 인가되는 클록신호는 제4 클록신호이고, 제7 및 제8 박막트랜지스터(T7, T8)에 인가되는 클록신호는 제3 클록신호이며, 풀-업 박막트랜지스터(Tu)에 인가되는 클록신호는 제1 클록신호일 수 있다.
- [0056] 이러한 구조의 스테이지(STn)는 구동시, 먼저 개시신호(GVST)가 인가되어 제1 박막트랜지스터(T1)가 도통되고, 이에 따라 제3 및 제4 박막트랜지스터(T3, T4)가 턴-온 되어 QB노드(QB)가 게이트 하이전압(VGH)으로 충전된다. 다음으로 로우레벨의 클록신호(CLK)가 제2 박막트랜지스터(T2)에 인가되어, 게이트 로우전압(VGL)으로 Q노드(Q)가 방전되게 된다. 이때 제5 및 제6 박막트랜지스터(T5, T6)는 QB노드(QB)의 현재 전압레벨을 안정적인 하이레벨로 유지하도록 한다.
- [0057] 이어서, 로우레벨의 클록신호가 풀-업 박막트랜지스터(Tu)에 인가되면, 이를 통해 로우레벨의 전압이 출력단(Vout)을 통해 출력되며, 이때 출력단(Vout)에 인가되는 전압에 의해 캐패시터(CB)는 Q노드(Q)의 전압을 부트스트래핑을 통해 더 낮은 레벨의 전압으로 방전시키게 되고, 이에 따라 출력단(Vout)으로 게이트 로우전압(VGL)보다 더 낮은 레벨의 전압이 출력되게 된다.
- [0058] 다음으로, 로우레벨의 클록신호가 제7 및 제8 박막트랜지스터(T7, T8)에 인가됨에 따라, QB노드(QB)가 게이트 로우전압(VGL)으로 방전된다. 이에 따라, 제9 및 제10 박막트랜지스터(T9, T10)는 턴-온되어 Q노드(Q)를 게이트 하이전압(VGH)으로 충전하여 풀-업 박막트랜지스터(Tu)을 턴-오프하며, 동시에 풀-다운 박막트랜지스터(Td)가 턴-온되어 게이트 하이전압(VGH)을 출력단(Vout)을 통해 출력하게 된다.
- [0059] 이러한 스테이지의 구동중에는 제1 및 제2 리셋 박막트랜지스터(Tr1, Tr2)는 턴-오프 상태를 유지하게 되며, 초기 구동시, 즉 전원-온 시 로우레벨의 리셋신호(QRST)가 인가될 때, Q노드(Q)를 게이트 하이전압(VGH)으로 충전함으로써, 각 스테이지는 리셋상태가 되고, 이후 상기와 같은 방식으로 정상 구동되게 된다.
- [0060] 도 7a 및 도 7b는 본 발명의 실시예에 따른 유기전계 발광표시장치의 구동시 게이트 구동부에 인가되는 리셋신호의 파형을 나타내는 도면이다.
- [0061] 도 7a 및 도 7b를 참조하면, 본 발명의 유기전계 발광표시장치의 전원-온시, 게이트 하이전압(VGH)이 하이레벨로 출력되며, 또한 리셋 구동부는 이와 동시에 서로 다른 타이밍에 순차적으로 출력되는 로우레벨의 제1 내지 제4 리셋신호(QRST1 ~ QRST4)를 출력하게 된다. 여기서, 각 제1 내지 제4 리셋신호(QRST1 ~ QRST4)의 출력순서는 도시된 바와 같이 고정된 것이 아닌 그 순서가 서로 바뀔 수 있으며, 동일한 시점에 동시에 출력될 수도 있다.
- [0062] 이에 따라, 본 발명의 유기전계 발광표시장치는 리셋 구동부의 각 출력단자에 대한 부하가 이하의 표 1에 나타난 바와 같이, 종래 대비 1/4로 저감됨을 알 수 있다.

표 1

	시간	총 부하용량	전압	전류
종래	1 μ s	1024 pF (200pf $\times$ 4 $\times$ 1280)	10 V	10.24 mA
본 발명	1 μ s	256 pF (200pf $\times$ 4 $\times$ 1280)	10 V	2.56 mA

- [0064] 상기 표 1을 참조하면, 하나의 스테이지에 구비된 캐패시터의 용량이 200pf 라고 가정하고, HD 급의 해상도를 갖는 유기전계 발광표시장치에서 하나의 게이트 구동부가 1280개의 스테이지를 포함하므로, 본 발명은 종래 대비 캐패시터 성분이 256 pF로 1/4로 저감된다.
- [0065] 따라서, RC 시상수(τ) 또한 종래 102.4 μ s 에서 25.6 μ s로 저감되게 된다.
- [0066] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

[0067]

100 : 표시패널 110 : 게이트 구동부

110L, 110R : 제1 게이트 구동부 120L, 120R : 제2 게이트 구동부

140 : 데이터 구동부 150 : 타이밍 제어부

160 : 리셋 구동부 170 : 메인구동IC

A/A : 표시영역 N/A : 비표시영역

PX : 화소 GL1, GL2 : 게이트 배선

DL : 데이터 배선 Vg1, Vg2 : 게이트 구동신호

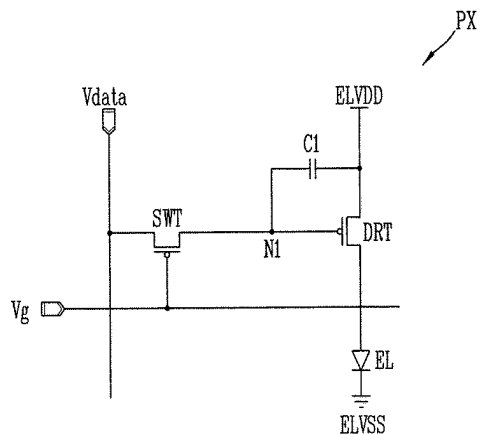
Vdata : 데이터 구동신호 GCS1, GCS2 : 제1, 제2 게이트 제어신호

DCS : 데이터 제어신호 aRGB : 변환된 화상데이터

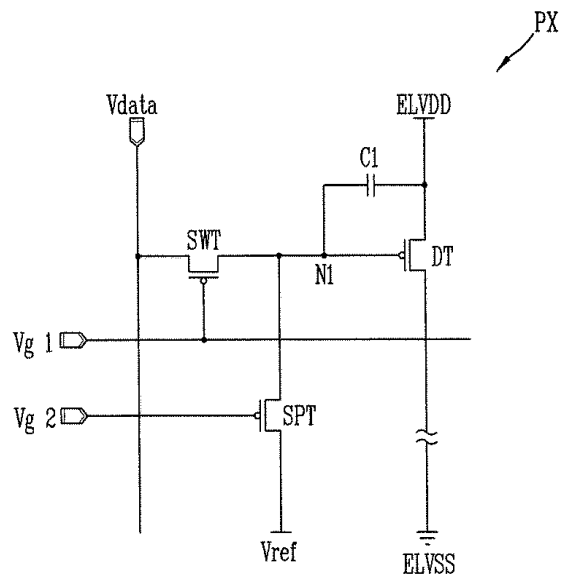
QRST1 ~ QRST4 : 제1 내지 제4 리셋신호

도면

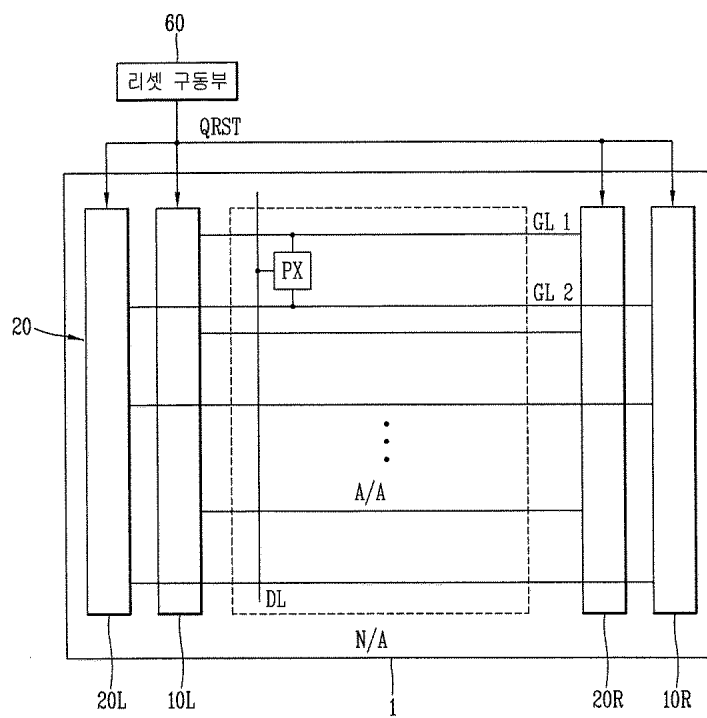
도면1



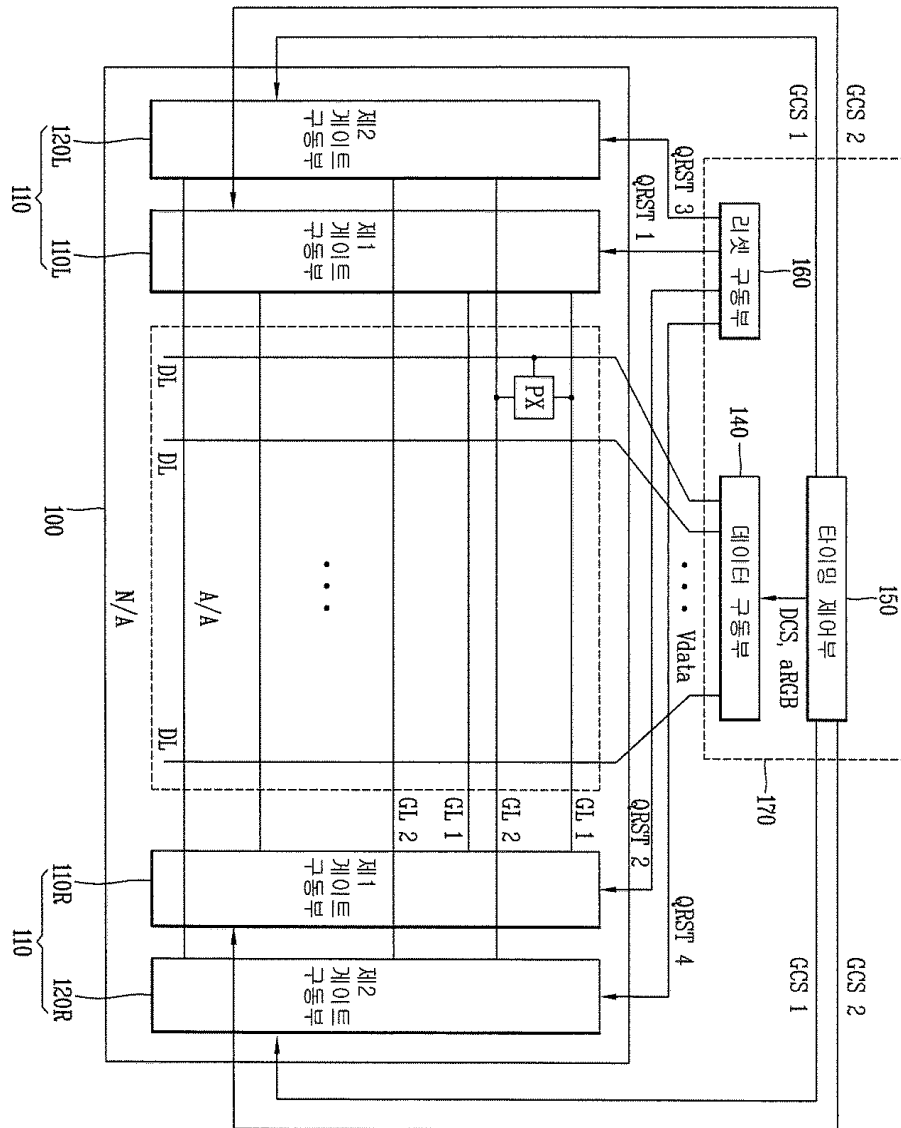
도면2



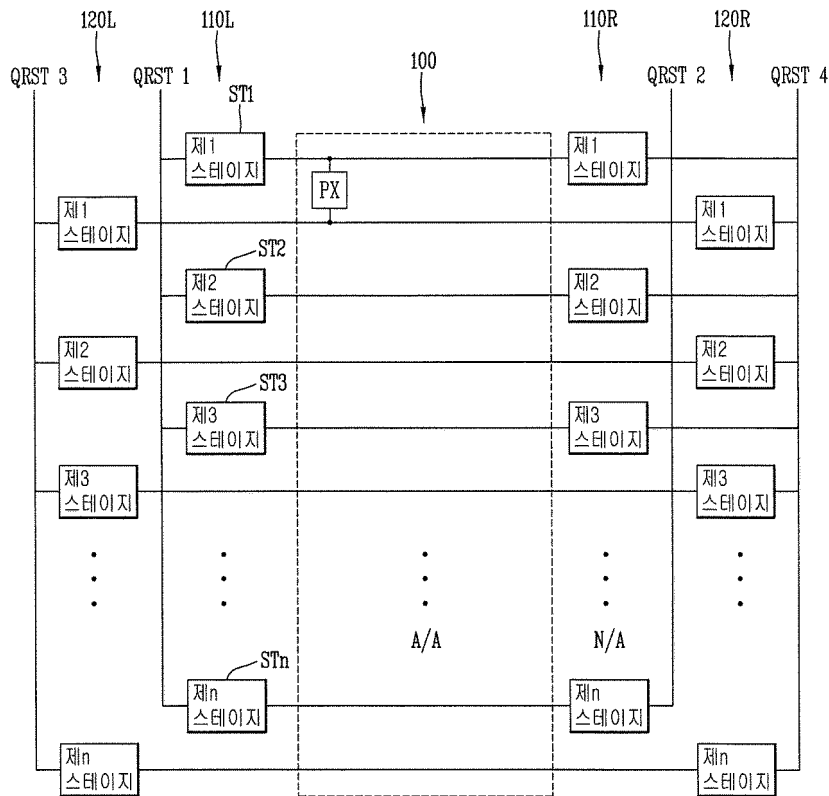
도면3



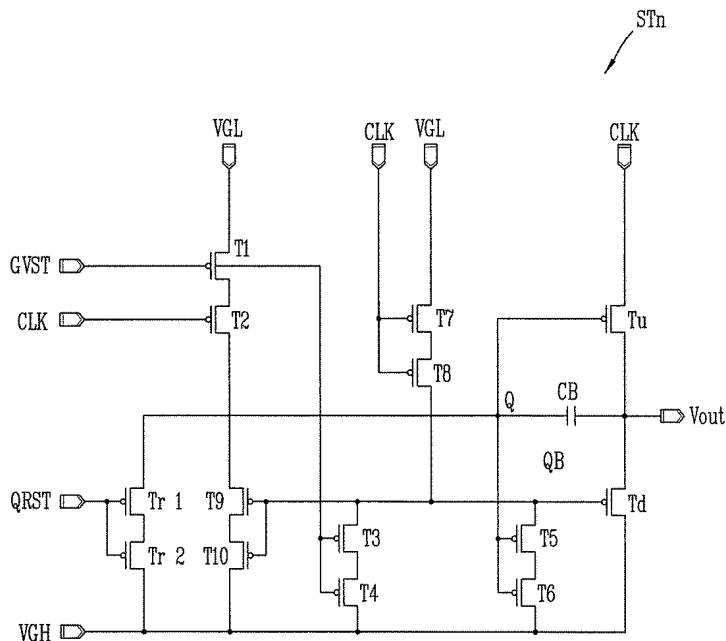
도면4



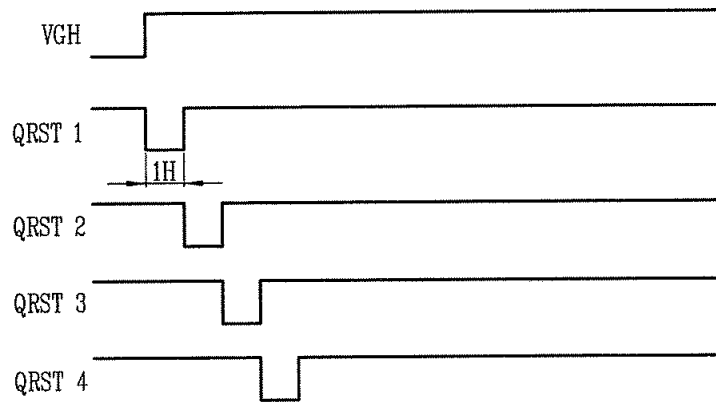
도면5



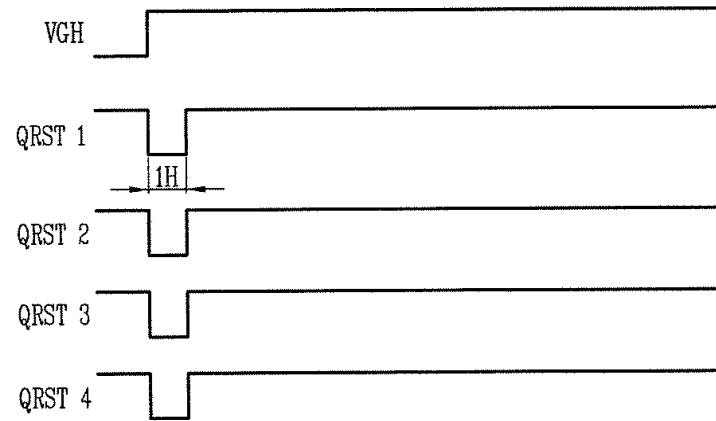
도면6



도면7a



도면7b



专利名称(译)	一种有机发光显示装置，包括复位驱动器		
公开(公告)号	KR1020150079248A	公开(公告)日	2015-07-08
申请号	KR1020130169325	申请日	2013-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SIM JAE HO 심재호		
发明人	심재호		
IPC分类号	G09G3/32		
CPC分类号	G09G3/325 G09G2310/061 G09G2320/0223 G09G2310/08		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

公开了一种有机电致发光显示器。更具体地，本发明涉及一种包括复位驱动单元的有机电致发光显示器，其中解决了由于在驱动初始阶段的RC延迟导致的栅极驱动单元的故障引起的异常图像显示问题。根据本发明的实施例，在复位驱动单元中的每个栅极驱动单元分配单独的输出端子，在有机电致发光显示器中的驱动的初始阶段向每个栅极驱动单元输出复位信号，并且每个输出端子被配置为输出独立的复位信号。因此，可以最小化由RC延迟引起的信号延迟，从而产生防止初始复位驱动时的故障的效果。COPYRIGHT KIPO 2015

