



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0049285
(43) 공개일자 2014년04월25일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0115358
(22) 출원일자 2012년10월17일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
최천기
경기 용인시 기흥구 삼성2로 95, (농서동)
(74) 대리인
팬코리아특허법인

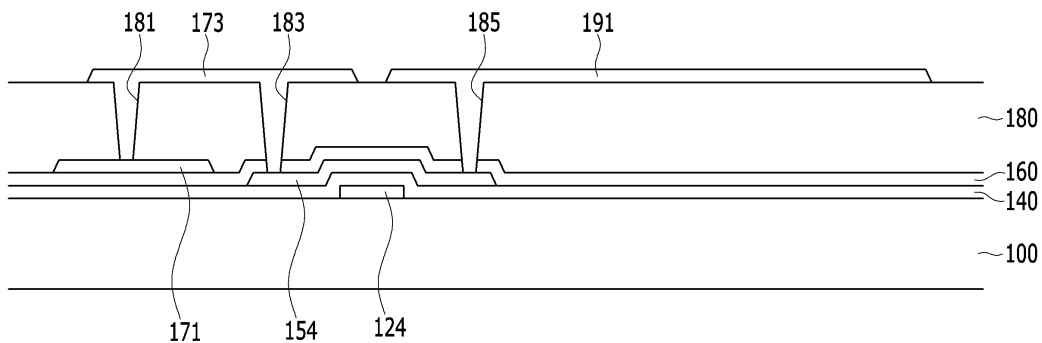
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 박막 트랜지스터 기판 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

본 발명의 한 실시예에 따른 박막 트랜지스터 기판은 기판, 기판 위에 위치하는 게이트 전극, 게이트 전극 위에 위치하는 게이트 절연막, 게이트 절연막 위에 위치하는 산화물 반도체, 산화물 반도체 위에 위치하는 제1 층간 절연막, 제1 층간 절연막 위에 위치하는 데이터선, 데이터선 위에 위치하는 제2 층간 절연막, 제2 층간 절연막 위에 위치하며 상기 제2 층간 절연막의 제1 접촉 구멍을 통해서 상기 반도체 및 상기 데이터선과 연결되어 있는 소스 전극, 제2 층간 절연막 위에 위치하며 상기 제2 층간 절연막의 제2 접촉 구멍을 통해서 상기 반도체와 연결되어 있는 드레인 전극을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관,

상기 기관 위에 위치하는 게이트 전극,

상기 게이트 전극 위에 위치하는 게이트 절연막,

상기 게이트 절연막 위에 위치하는 산화물 반도체,

상기 산화물 반도체 위에 위치하는 제1 층간 절연막,

상기 제1 층간 절연막 위에 위치하는 데이터선,

상기 데이터선 위에 위치하는 제2 층간 절연막,

상기 제2 층간 절연막 위에 위치하며 상기 제2 층간 절연막의 제1 접촉 구멍을 통해서 상기 산화물 반도체 및 상기 데이터선과 연결되어 있는 소스 전극,

상기 제2 층간 절연막 위에 위치하며 상기 제2 층간 절연막의 제2 접촉 구멍을 통해서 상기 반도체와 연결되어 있는 드레인 전극

을 포함하는 박막 트랜지스터 기관.

청구항 2

제1항에서,

상기 제2 층간 절연막 위에 위치하는 화소 전극을 더 포함하고,

상기 화소 전극은 상기 드레인 전극과 일체형으로 이루어지는 박막 트랜지스터 기관.

청구항 3

제2항에서,

상기 소스 전극, 드레인 전극 및 화소 전극은 투명한 도전 물질로 이루어지는 박막 트랜지스터 기관.

청구항 4

제3항에서,

상기 소스 전극, 드레인 전극 및 화소 전극은 ITO 및 IZO 중 적어도 하나로 이루어지는 박막 트랜지스터 기관.

청구항 5

제1항에서,

상기 소스 전극, 드레인 전극 및 화소 전극은 상기 데이터선보다 얇은 두께로 형성되어 있는 박막 트랜지스터 기관.

청구항 6

기관,

상기 기관 위에 위치하는 제1 신호선,

상기 제1 신호선과 교차하는 제2 신호선 및 제3 신호선,

상기 제1 신호선 및 제2 신호선과 연결되어 있는 제1 트랜지스터,

상기 제1 트랜지스터 및 상기 제3 신호선과 연결되어 있는 제2 트랜지스터,

상기 제2 트랜지스터와 연결되어 있는 유기 발광 소자를 포함하고,

상기 제1 트랜지스터 및 제2 트랜지스터의 소스 전극 및 드레인 전극과 상기 제2 트랜지스터와 연결되어 있는 상기 유기 발광 소자의 제1 전극은 동일한 층에 동일한 물질로 형성되어 있는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제1 트랜지스터 및 제2 트랜지스터 중 적어도 하나의 소스 전극 및 드레인 전극과 상기 제2 트랜지스터와 연결되어 있는 상기 유기 발광 소자의 제1 전극은 투명한 도전 물질로 이루어지는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 트랜지스터 및 제2 트랜지스터의 소스 전극 및 드레인 전극은 상기 제2 신호선 및 제3 신호선보다 얇은 두께로 형성되어 있는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 투명한 도전 물질은 ITO 및 IZO 중 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 10

제7항에서,

상기 제2 신호선 및 제3 신호선 위에 위치하는 층간 절연막을 더 포함하고,

상기 제1 트랜지스터 및 제2 트랜지스터 중 적어도 하나의 소스 전극 및 드레인 전극과 상기 제2 트랜지스터와 연결되어 있는 상기 유기 발광 소자의 제1 전극은 상기 층간 절연막 위에 위치하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 제1 트랜지스터의 소스 전극은 상기 층간 절연막의 제1 접촉 구멍을 통해서 상기 제2 신호선과 연결되고,

상기 제2 트랜지스터의 소스 전극은 상기 층간 절연막의 제2 접촉 구멍을 통해서 상기 제3 신호선과 연결되는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 제2 신호선은 데이터 신호가 인가되는 데이터선이고,

상기 제3 신호선은 정전압이 인가되는 공통 전원선인 유기 발광 표시 장치.

청구항 13

제6항에서,

상기 기판 위에 위치하는 축전기용 제1 도전체,

상기 축전기용 제1 도전체 위에 위치하는 게이트 절연막,

상기 게이트 절연막 위에 위치하는 제1 층간 절연막,

상기 제1 층간 절연막 위에 위치하는 축전기용 제2 도전체,

상기 축전기용 제2 도전체 위에 위치하는 제2 층간 절연막,

상기 제2 층간 절연막 위에 위치하는 축전기용 제3 도전체
로 이루어지는 축전기를
더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,
상기 제1 도전체는 상기 제1 신호선과 동일한 물질로 이루어지고,
상기 제2 도전체는 상기 제2 신호선 및 제3 신호선과 동일한 물질로 이루어지고,
상기 제3 도전체는 상기 제1 전극과 동일한 물질로 이루어지는 유기 발광 표시 장치.

청구항 15

제14항에서,
상기 제1 도전체는 상기 게이트 절연막, 상기 제1 층간 절연막 및 상기 제2 층간 절연막에 형성된 제3 접촉 구멍을 통해서 상기 제3 도전체와 전기적으로 연결되는 유기 발광 표시 장치.

명세서

기술 분야

[0001] 본 발명은 박막 트랜지스터 기관 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(thin film transistor; TFT)는 평판 표시 장치 등 다양한 전자 장치에 사용되고 있다. 예를 들어, 박막 트랜지스터는 액정 표시 장치(liquid crystal display; LCD), 유기 발광 표시 장치(organic light emitting diode display; OLED Display), 전기 영동 표시 장치(electrophoretic display) 등의 평판 표시 장치에서 스위칭 소자 또는 구동 소자로서 이용되고 있다.

[0003] 박막 트랜지스터는 주사 신호를 전달하는 게이트선에 연결되어 있는 게이트 전극, 화소 전극에 인가될 신호를 전달하는 데이터선에 연결되어 있는 소스 전극, 소스 전극과 마주하는 드레인 전극, 그리고 소스 전극 및 드레인 전극에 전기적으로 연결되어 있는 반도체를 포함한다.

[0004] 이 중 반도체는 박막 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체로는 규소(Si)가 가장 많이 사용되고 있다. 규소는 결정 형태에 따라 비정질 규소 및 다결정 규소로 나누어지는데, 비정질 규소는 제조 공정이 단순한 반면 전하 이동도가 낮아 고성능 박막 트랜지스터를 제조하는데 한계가 있고 다결정 규소는 전하 이동도가 높은 반면 규소를 결정화하는 단계가 요구되어 제조 비용 및 공정이 복잡하다.

[0005] 이러한 비정질 규소와 다결정 규소를 보완하기 위하여 비정질 실리콘보다 전자 이동도가 높고 ON/OFF 비율이 높으며 다결정 실리콘보다 원가가 저렴하고 균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 박막 트랜지스터에 대한 연구가 진행되고 있다.

[0006] 또한, 낮은 비저항(resistivity)을 갖는 금속을 이용하여 배선을 형성하여, 전류 이동 속도를 높이는 방법에 대한 필요성이 높아지고 있다.

[0007] 그러나, 저저항 배선을 형성하기 위해서 금속 배선의 두께가 두꺼워지고 이로 인해서 습식 식각시 스큐(skew)로 인한 언더컷이 발생한다. 이러한 언더컷은 배선의 구동 전류를 감소시키고, 줄어든 언더컷만큼 배선의 크기를 증가시켜야 하기 때문에 트랜지스터의 크기가 증가하는 문제점이 있다.

[0008] 이처럼, 트랜지스터의 크기가 증가하면 기생 용량이 증가하고 이에 비례하여 회로 내의 축전기 용량을 증가시켜야 하므로, 필요로 하는 축전기의 면적이 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0009] 이처럼 트랜지스터의 크기가 증가하고, 축전기의 면적이 증가할 경우 화소의 개구율이 감소되는 문제점이 있다.
- [0010] 따라서 본 발명이 해결하고자 하는 과제는 산화물 반도체를 포함하는 트랜지스터의 특성을 감소시키지 않으면서도, 트랜지스터의 크기를 줄여 화소의 개구율이 증가된 박막 트랜지스터 기판 및 유기 발광 표시 장치를 제공하는 것이다.
- [0011] 또한, 본 발명이 해결하고자 하는 과제는 축전기의 면적을 증가시키지 않으면서도 축전기의 용량을 증가시킬 수 있는 박막 트랜지스터 기판 및 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0012] 본 발명의 한 실시예에 따른 박막 트랜지스터 기판은 기판, 기판 위에 위치하는 게이트 전극, 게이트 전극 위에 위치하는 게이트 절연막, 게이트 절연막 위에 위치하는 산화물 반도체, 산화물 반도체 위에 위치하는 제1 층간 절연막, 제1 층간 절연막 위에 위치하는 데이터선, 데이터선 위에 위치하는 제2 층간 절연막, 제2 층간 절연막 위에 위치하며 제2 층간 절연막의 제1 접촉 구멍을 통해서 산화물 반도체 및 데이터선과 연결되어 있는 소스 전극, 제2 층간 절연막 위에 위치하며 제2 층간 절연막의 제2 접촉 구멍을 통해서 반도체와 연결되어 있는 드레인 전극을 포함한다.
- [0013] 상기 제2 층간 절연막 위에 위치하는 화소 전극을 더 포함하고, 화소 전극은 드레인 전극과 일체형으로 이루어질 수 있다.
- [0014] 상기 소스 전극, 드레인 전극 및 화소 전극은 투명한 도전 물질로 이루어질 수 있다.
- [0015] 상기 소스 전극, 드레인 전극 및 화소 전극은 ITO 및 IZO 중 적어도 하나로 이루어질 수 있다.
- [0016] 상기 소스 전극, 드레인 전극 및 화소 전극은 데이터선보다 얇은 두께로 형성될 수 있다.
- [0017] 상기한 다른 과제를 달성하기 위한 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판, 기판 위에 위치하는 제1 신호선, 제1 신호선과 교차하는 제2 신호선 및 제3 신호선, 제1 신호선 및 제2 신호선과 연결되어 있는 제1 트랜지스터, 제1 트랜지스터 및 제3 신호선과 연결되어 있는 제2 트랜지스터, 제2 트랜지스터와 연결되어 있는 유기 발광 소자를 포함하고, 제1 트랜지스터 및 제2 트랜지스터의 소스 전극 및 드레인 전극과 제2 트랜지스터와 연결되어 있는 유기 발광 소자의 제1 전극은 동일한 층에 동일한 물질로 형성되어 있다.
- [0018] 상기 제1 트랜지스터 및 제2 트랜지스터 중 적어도 하나의 소스 전극 및 드레인 전극과 제2 트랜지스터와 연결되어 있는 유기 발광 소자의 제1 전극은 투명한 도전 물질로 이루어질 수 있다.
- [0019] 상기 제1 트랜지스터 및 제2 트랜지스터의 소스 전극 및 드레인 전극은 제2 신호선 및 제3 신호선보다 얇은 두께로 형성될 수 있다.
- [0020] 상기 투명한 도전 물질은 ITO 및 IZO 중 적어도 하나를 포함할 수 있다.
- [0021] 상기 제2 신호선 및 제3 신호선 위에 위치하는 층간 절연막을 더 포함하고, 제1 트랜지스터 및 제2 트랜지스터 중 적어도 하나의 소스 전극 및 드레인 전극과 제2 트랜지스터와 연결되어 있는 유기 발광 소자의 제1 전극은 층간 절연막 위에 위치할 수 있다.
- [0022] 상기 제1 트랜지스터의 소스 전극은 층간 절연막의 제1 접촉 구멍을 통해서 제2 신호선과 연결되고, 제2 트랜지스터의 소스 전극은 층간 절연막의 제2 접촉 구멍을 통해서 제3 신호선과 연결될 수 있다.
- [0023] 상기 제2 신호선은 데이터 신호가 인가되는 데이터선이고, 제3 신호선은 정전압이 인가되는 공통 전원선일 수 있다.
- [0024] 상기 기판 위에 위치하는 축전기용 제1 도전체, 축전기용 제1 도전체 위에 위치하는 게이트 절연막, 게이트 절연막 위에 위치하는 제1 층간 절연막, 제1 층간 절연막 위에 위치하는 축전기용 제2 도전체, 축전기용 제2 도전체 위에 위치하는 제2 층간 절연막, 제2 층간 절연막 위에 위치하는 축전기용 제3 도전체로 이루어지는 축전기를 포함할 수 있다.
- [0025] 상기 제1 도전체는 제1 신호선과 동일한 물질로 이루어지고, 제2 도전체는 제2 신호선 및 제3 신호선과 동일한 물질로 이루어지고, 제3 도전체는 제1 전극과 동일한 물질로 이루어질 수 있다.

[0026] 상기 제1 도전체는 게이트 절연막, 제1 층간 절연막 및 제2 층간 절연막에 형성된 제3 접촉 구멍을 통해서 제3 도전체와 전기적으로 연결될 수 있다.

발명의 효과

[0027] 본 발명의 실시예에 따르면 박막 트랜지스터의 전기적 특성을 감소시키지 않으면서도, 트랜지스터의 크기를 줄일 수 있는 박막 트랜지스터 및 박막 트랜지스터 기판을 제공할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 2는 도 1의 II-II선을 따라 잘라 도시한 단면도이다.

도 3은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소를 나타낸 등가 회로도이다.

도 4는 도 3의 유기 발광 표시 장치의 한 화소의 배치도이다.

도 5는 도 4의 V-V선을 따라 잘라 도시한 단면도이다.

도 6은 도 4의 VI-VI선을 따라 잘라 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0031] 먼저, 도 1을 참조하여 본 발명의 한 실시예에 따른 박막 트랜지스터 기판에 대하여 설명한다.

[0032] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1의 II-II선을 따라 잘라 도시한 단면도이다.

[0033] 도 1에 도시한 바와 같이, 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(100) 위에 복수의 게이트선(gate line)(121)이 형성되어 있다.

[0034] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 게이트선(121)으로부터 돌출한 복수의 게이트 전극(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다.

[0035] 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 게이트 전극(124)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.

[0036] 게이트선(121) 위에는 게이트 절연막(140)이 형성되어 있다.

[0037] 게이트 절연막(140)은 산화 규소(SiO_x), 질화 규소(SiN_x), 또는 산질화 실리콘(SiON) 등의 절연 물질을 포함할 수 있다. 게이트 절연막(140)은 스퍼터링 방법 등을 사용하여 형성할 수 있다.

[0038] 게이트 절연막(140) 위에는 산화물 반도체로 이루어진 복수의 반도체(154)가 형성되어 있다.

[0039] 산화물 반도체는 금속 산화물 반도체로서, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속의 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합으로 이루어질 수 있다. 예를 들어, 산화물 반도체는 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도

하나를 포함할 수 있다.

- [0040] 반도체(154) 위에는 제1 층간 절연막(160)이 형성되어 있다. 제1 층간 절연막(160)은 질화 규소 또는 산화 규소로 단층 또는 복수층으로 형성될 수 있다.
- [0041] 제1 층간 절연막(160) 및 반도체(154) 위에는 복수의 데이터선(data line)(171)이 형성되어 있다.
- [0042] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다.
- [0043] 데이터선(171)은 저저항 금속인 구리, 티타늄, 몰리브덴, 알루미늄 따위로 단층 또는 복수층으로 이루어질 수 있다. 이때, 데이터선(171)은 5,000Å 이상의 두께일 수 있다.
- [0044] 데이터선(171) 위에는 제2 층간 절연막(180)이 형성되어 있다.
- [0045] 제2 층간 절연막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물 및 저유전율 절연물은 두껍게 형성되어 기판을 평탄하게 할 수 있다.
- [0046] 제1 층간 절연막(160) 및 제2 층간 절연막(180)에는 반도체(154)를 드러내는 복수의 접촉 구멍(contact hole)(183, 185)이 형성되어 있고, 제2 층간 절연막(180)에는 데이터선(171)을 드러내는 접촉 구멍(181)이 형성되어 있다.
- [0047] 제2 층간 절연막(180) 위에는 소스 전극(173) 및 화소 전극(pixel electrode)(191)이 형성되어 있다.
- [0048] 소스 전극(173)은 접촉 구멍(181, 183)을 통해서 데이터선(171)과 반도체(154)의 소스부를 연결한다.
- [0049] 그리고 화소 전극(191)은 접촉 구멍(185)을 통해서 반도체(154)의 드레인부와 연결되며, 소스 전극(173)과 마주하는 부분을 포함한다. 소스 전극(173)과 마주하는 부분은 트랜지스터의 드레인 전극(175)이 된다.
- [0050] 화소 전극(191) 및 소스 전극(173)은 ITO 및 IZO 중 적어도 하나를 포함하는 투명 도전 물질로 만들어질 수 있으며, 500Å 이하의 두께로 형성될 수 있다.
- [0051] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극은 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173)과 드레인 전극(175)사이의 반도체(154)에 형성된다.
- [0052] 소스 전극(173) 및 드레인 전극(175)과 반도체(154)가 접촉하는 영역에는 옴릭 접촉(ohmic contact)을 위해서 불순물이 도핑된 산화물 반도체가 위치할 수 있다.
- [0053] 본 발명의 한 실시예에서는 소스 전극(173) 및 드레인 전극(175)을 화소 전극(191)과 동일한 층에 동일한 물질로 형성함으로써, 드레인 전극과 화소 전극을 연결하기 위해서 접촉 구멍을 형성하는 공정을 생략할 수 있다.
- [0054] 그리고 본 발명의 한 실시예에서는, 데이터선(171)은 저저항 금속으로 두껍게 형성하나, 소스 전극(173) 및 드레인 전극(175)은 화소 전극(191)과 같이 투명한 도전 물질로 데이터선(171)보다 얇게 형성하므로 습식 식각시 발생하는 스큐로 인한 언더컷 형성을 최소화할 수 있다. 즉, 습식 식각시 두께가 증가할수록 스큐로 인한 언더컷의 크기가 증가할 수 있으나, 본 발명의 실시예에서와 같이 소스 전극 및 드레인 전극을 데이터선보다 얇은 두께로 형성하면 스큐로 인한 언더컷의 크기를 최소화할 수 있다.
- [0055] 따라서 언더컷으로 감소되는 폭만큼 크게 설계하지 않아도 되므로 소스 전극 및 드레인 전극의 크기를 줄일 수 있으므로, 트랜지스터의 크기가 작아지고 이로 인한 개구율 감소를 최소화할 수 있다.
- [0056] 또한, 본 발명의 한 실시예에서는 데이터선은 저저항 배선으로 형성하고, 트랜지스터의 소스 전극 및 드레인 전극은 투명한 도전 물질로 형성하므로 데이터선의 저항으로 인한 신호 지연이 발생하지 않는다.
- [0057] 이상의 박막 트랜지스터 기판은 액정 표시 장치의 하부 기판 및 유기 발광 표시 장치의 기판으로 사용될 수 있다.
- [0058] 이하에서는 도 1 및 도 2의 박막 트랜지스터 기판을 포함하는 유기 발광 표시 장치에 대해서 도 3 내지 도 6을 참조하여 구체적으로 설명한다.
- [0059] 도 3 은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소를 나타낸 등가 회로도이다.

- [0060] 도 3에 도시한 바와 같이, 본 발명에 따른 하나의 화소(PE)는 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT)(Q1, Q2), 그리고 하나의 축전기(capacitor)(80)를 구비하는 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 한 실시예가 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치(1000)는 하나의 화소(PE)에 셋 이상의 박막 트랜지스터와 둘 이상의 축전기를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성할 수도 있다. 이와 같이 추가로 형성되는 박막 트랜지스터 및 축전기는 보상 회로의 구성이 될 수 있다.
- [0061] 보상 회로는 각 화소(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함한다.
- [0062] 유기 발광 소자(70)는 정공 주입 전극인 애노드(anode) 전극과 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다.
- [0063] 본 발명의 한 실시예에서 하나의 화소(PE)는 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)를 포함한다.
- [0064] 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)는 각각 게이트 전극, 반도체, 소스 전극 및 드레인 전극을 포함한다. 그리고 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2) 중 하나 이상의 박막 트랜지스터의 반도체는 산화물 반도체로 이루어진다. 그리고 제1 박막 트랜지스터 및 제2 박막 트랜지스터 중 하나 이상의 소스 전극 및 드레인 전극은 투명한 도전성 물질인 ITO 및 IZO 중 적어도 하나를 포함할 수 있으며, 유기 발광 소자의 애노드 전극과 동일한 물질일 수 있다.
- [0065] 데이터선(171)에는 제1 박막 트랜지스터(Q1)의 소스 전극이 연결되고, 게이트선(121)에는 제1 박막 트랜지스터(Q1)의 게이트 전극이 연결된다. 그리고 제1 박막 트랜지스터(Q1)의 드레인 전극은 축전기(80)와 연결된다. 제1 박막 트랜지스터(Q1)의 드레인 전극과 축전기(80) 사이에 노드가 형성되어 제2 박막 트랜지스터(Q2)의 게이트 전극이 연결된다. 그리고 제2 박막 트랜지스터(Q2)의 소스 전극에는 공통 전원선(172)이 연결되며, 드레인 전극에는 유기 발광 소자(70)의 애노드 전극이 연결된다.
- [0066] 제1 박막 트랜지스터(Q1)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(Q1)가 순간적으로 턴온되며 축전기(80)는 충전되고, 이때 충전되는 전하량은 데이터선(171)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제1 박막 트랜지스터(Q1)가 턴오프된 상태에서 축전기 선(도시하지 않음)에 한 프레임 주기로 전압이 증가하는 신호가 입력되면, 제2 박막 트랜지스터(Q2)의 게이트 전위는 축전기(80)에 충전된 전위를 기준으로 인가되는 전압의 레벨이 축전기 선을 통하여 인가되는 전압을 따라서 상승한다. 그리고 제2 박막 트랜지스터(Q2)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원선(172)에 인가되던 전압이 제2 박막 트랜지스터(Q2)를 통하여 유기 발광 소자(70)에 인가되고, 유기 발광 소자(70)는 발광한다.
- [0067] 이하, 도 4 내지 도 6을 참조하여, 본 발명의 한 실시예에 따른 유기 발광 표시 장치를 구체적으로 설명한다.
- [0068] 도 4는 도 3의 유기 발광 표시 장치의 한 화소의 배치도이고, 도 5는 도 4의 V-V선을 따라 잘라 도시한 단면도이고, 도 6은 도 4의 VI-VI선을 따라 잘라 도시한 단면도이다.
- [0069] 도 4 내지 도 6을 참조하면, 기판(100) 위에는 게이트선(121), 제2 게이트 전극(128) 및 축전기용 제1 도전체(123)가 형성되어 있다.
- [0070] 기판(100)은 유리, 석영, 세라믹 또는 플라스틱 등으로 이루어진 절연성 기판 일 수 있으며, 기판(100)은 스테인리스 강 등으로 이루어진 금속성 기판일 수 있다.
- [0071] 게이트선(121)은 게이트선으로부터 돌출한 제1 게이트 전극(126)을 포함한다. 게이트선(121), 제2 게이트 전극(128) 및 축전기용 제1 도전체(123)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 게이트선(121), 제2 게이트 전극(128) 및 축전기용 제1 도전체(123)는 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0072] 게이트선(121), 제2 게이트 전극(128) 및 축전기용 제1 도전체(123) 위에는 게이트 절연막(140)이 형성되어 있다.
- [0073] 게이트 절연막(140)은 산화 규소(SiO_x), 질화 규소(SiN_x), 또는 산질화 실리콘(SiON) 등의 절연 물질을 포함할

수 있다. 게이트 절연막(140)은 스퍼터링 방법 등을 사용하여 형성할 수 있다.

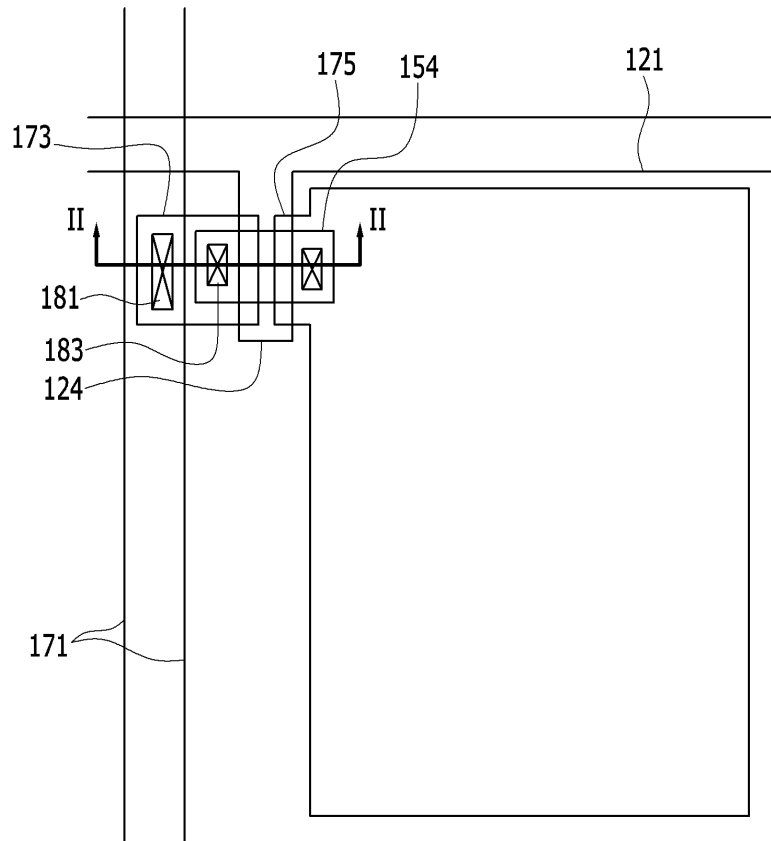
- [0074] 게이트 절연막(140) 위에는 산화물 반도체로 이루어진 복수의 제1 반도체(157) 및 제2 반도체(159)가 형성되어 있다.
- [0075] 산화물 반도체는 금속 산화물 반도체로서, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속의 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합으로 이루어질 수 있다. 예를 들어, 산화물 반도체는 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도 하나를 포함할 수 있다.
- [0076] 반도체(157, 159) 위에는 제1 층간 절연막(160)이 형성되어 있다. 제1 층간 절연막(160)은 질화 규소 또는 산화 규소로 단층 또는 복수층으로 이루어질 수 있다.
- [0077] 제1 층간 절연막(160) 및 반도체(157, 159) 위에는 복수의 데이터선(171) 및 공통 전원선(172)이 형성되어 있다.
- [0078] 데이터선(171)은 데이터 신호를 전달하며 게이트선(121)과 교차하는 방향으로 뻗어 있다.
- [0079] 공통 전원선(172)은 일정 전압을 전달하며 데이터선(171)과 분리되어 같은 방향으로 뻗어 있다.
- [0080] 데이터선(171) 및 공통 전원선(172)은 저저항 금속인 구리, 티타늄, 몰리브덴, 알루미늄 따위로 단층 또는 복수층으로 이루어질 수 있다. 데이터선(171) 및 공통 전원선(172)은 5,000Å 이상의 두께로 형성되어 있다.
- [0081] 데이터선(171) 및 공통 전원선(172) 위에는 제2 층간 절연막(180)이 형성되어 있다.
- [0082] 제2 층간 절연막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물 및 저유전율 절연물은 두껍게 형성되어 기판을 평탄하게 할 수 있다.
- [0083] 제1 층간 절연막(160) 및 제2 층간 절연막(180)에는 반도체(157, 159)를 노출하는 접촉 구멍(183, 185, 163, 165)이 형성되어 있고, 제2 층간 절연막(180)에는 데이터선(171), 공통 전원선(172) 및 축전기용 제2 도전체(95)를 드러내는 복수의 접촉 구멍(181, 167, 187)이 형성되어 있고, 제1 층간 절연막(160) 및 게이트 절연막(140)에는 제2 게이트 전극(128)을 노출하는 접촉 구멍(161)이 형성되어 있다.
- [0084] 제2 층간 절연막(180) 위에는 제1 소스 전극(93), 제1 드레인 전극(95), 축전기용 제3 도전체(97), 제2 소스 전극(99), 제1 드레인 전극(91) 및 제1 전극(710)이 형성되어 있다.
- [0085] 제1 소스 전극(93)은 접촉 구멍(181, 183)을 통해서 데이터선(171) 및 제1 반도체(157)의 소스부와 연결되어 데이터선(171)으로부터 전달되는 데이터 신호를 제1 드레인 전극(95)으로 전달한다.
- [0086] 제1 드레인 전극(95)은 접촉 구멍(185, 187)을 통해서 제1 반도체(157)의 드레인부 및 축전기용 제2 도전체(75)와 연결되어 있고, 축전기용 제2 도전체(75)는 접촉 구멍(187, 161)을 통해서 제1 드레인 전극(95) 및 제2 게이트 전극(128)과 연결되어 있다.
- [0087] 따라서, 제1 드레인 전극(95)으로 전달된 신호는 축전기용 제2 도전체(75)를 통해서 제2 게이트 전극(128)으로 전달된다.
- [0088] 그리고 축전기용 제1 도전체(123)와 제3 도전체(97)는 접촉 구멍(189)을 통해서 전기적으로 연결된다. 따라서, 축전기용 제2 도전체(75)는 게이트 절연막(140) 및 제1 층간 절연막(160)을 유전체로 제1 도전체(123)와 하부 축전기를 이루고, 제2 층간 절연막(180)을 유전체로 제3 도전체(75)와 상부 축전기를 이룬다. 하부 축전기와 상부 축전기는 병렬 연결되어 축전기의 정전 용량을 증가시킨다.
- [0089] 제2 소스 전극(99)은 접촉 구멍(167, 163)을 통해서 공통 전원선(172) 및 제2 반도체(159)의 소스부와 연결되어 있으며, 공통 전원선으로부터 전달되는 신호를 제2 드레인 전극(91)으로 전달한다.
- [0090] 제2 드레인 전극(91)은 접촉 구멍(165)을 통해서 제2 반도체(159)의 드레인부와 연결된다. 제2 드레인 전극(91)은 제1 전극(710)과 일체형으로 형성될 수 있으며, 제2 드레인 전극(91)으로부터 전달되는 신호를 제1 전극(710)에 전달한다. 제1 전극(710)은 유기 발광 소자(70)의 애노드 전극이 된다.
- [0091] 제1 소스 전극(93), 제1 드레인 전극(95), 축전기용 제3 도전체(97), 제2 소스 전극(99), 제2 드레인 전극(91) 및 제1 전극(710)은 ITO 및 IZO 를 적어도 하나 포함하는 투명 도전 물질로 만들어질 수 있으며, 500Å 이하의

두께로 형성될 수 있다.

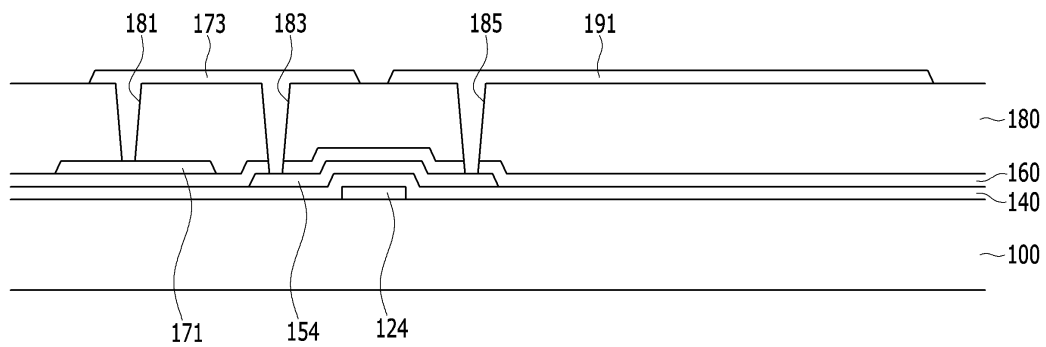
- [0092] 유기 발광 소자(70)의 제1 전극(710) 위에는 화소 정의막(810)이 형성되어 있다.
- [0093] 화소 정의막(810)은 제1 전극(710)을 노출하는 개구부(195)를 가진다. 화소 정의막(810)은 폴리아크릴계(polyacrylates) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함하여 이루어질 수 있다.
- [0094] 화소 정의막(810)의 개구부(195)에는 유기 발광층(720)이 형성되어 있다.
- [0095] 유기 발광층(720)은 발광층, 정공 수송층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 복수층으로 형성된다.
- [0096] 유기 발광층(720)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 제1 전극(710) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0097] 화소 정의막(810) 및 유기 발광층(720) 위에는 제2 전극(730)이 형성된다.
- [0098] 제2 전극(730)은 유기 발광 소자의 캐소드 전극이 된다. 따라서 제1 전극(710), 유기 발광층(720) 및 제2 전극(730)은 유기 발광 소자(70)를 이룬다.
- [0099] 제2 전극(730)은 반사막, 투명막 또는 반투과막으로 형성한다.
- [0100] 반사막 및 반투과막은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr) 및 알루미늄(Al) 중 하나 이상의 금속 또는 이들의 합금을 사용하여 만들어진다. 반사막과 반투과막은 두께로 결정되며, 반투과막은 200nm 이하의 두께로 형성될 수 있다. 두께가 얇아질수록 빛의 투과율이 높아지나, 너무 얇으면 저항이 증가한다.
- [0101] 투명막은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(산화 아연) 등의 물질로 이루어진다.
- [0102] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

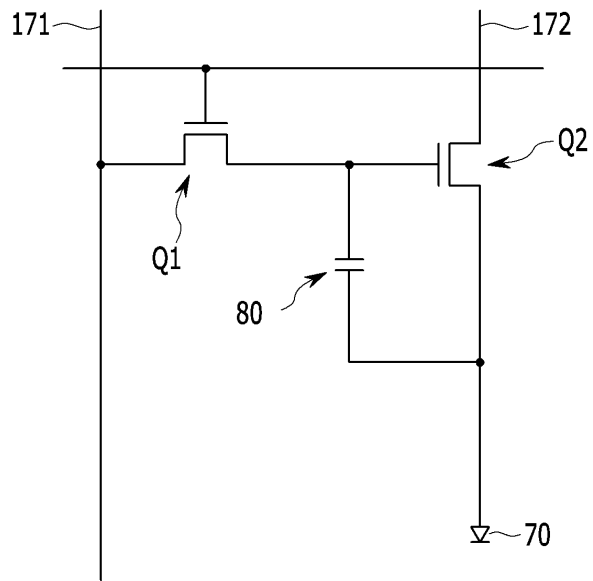
도면1



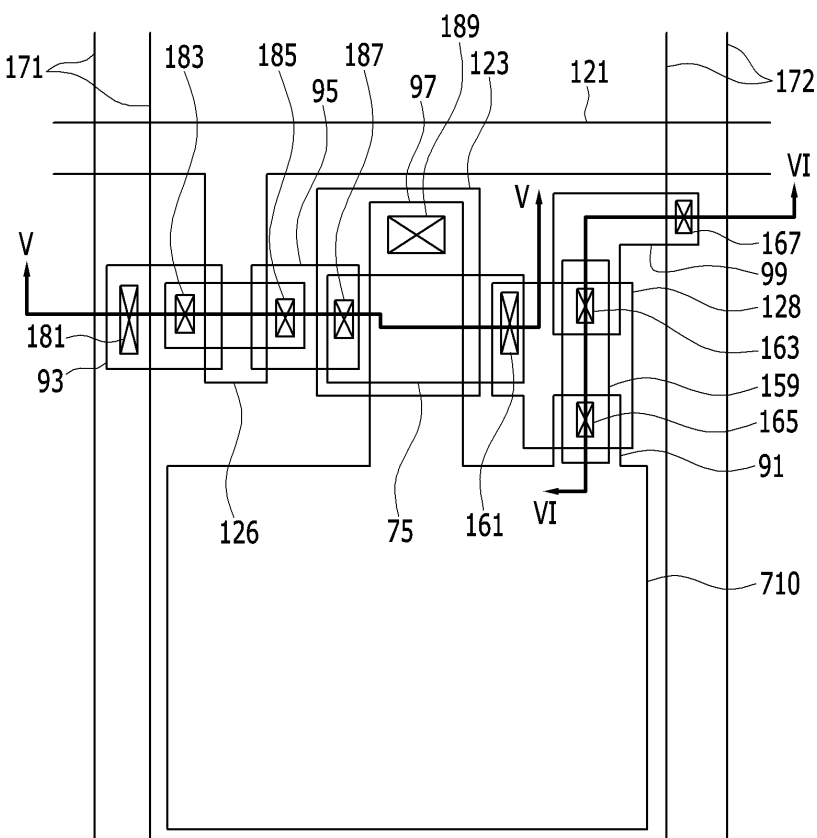
도면2



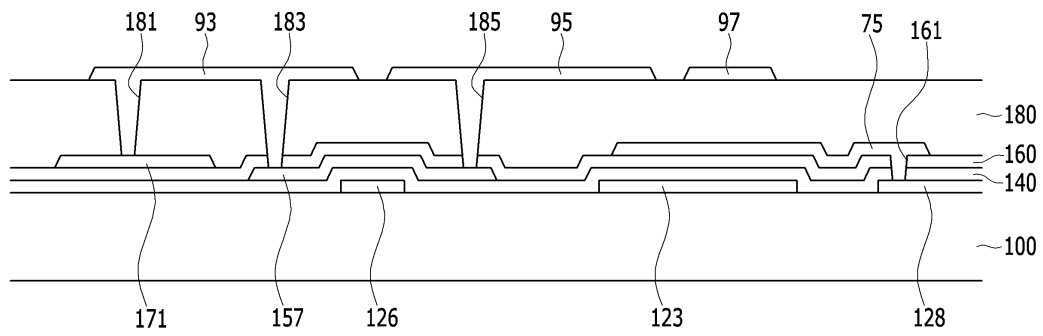
도면3



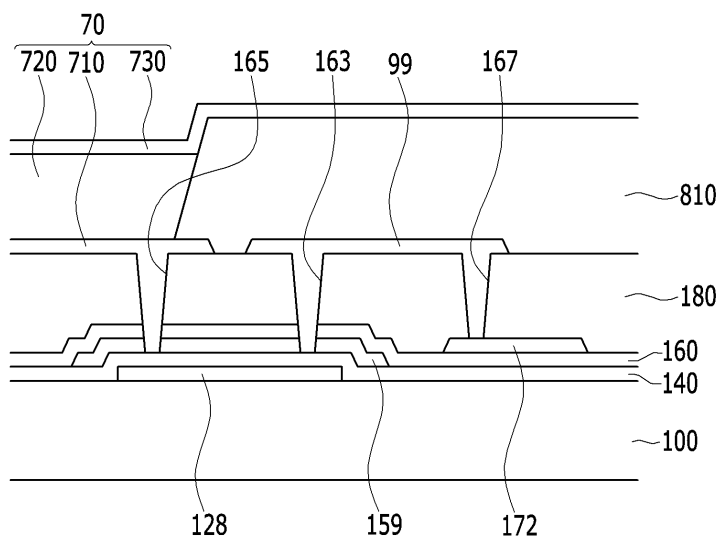
도면4



도면5



도면6



专利名称(译)	薄膜晶体管基板和包括其的有机发光显示装置		
公开(公告)号	KR1020140049285A	公开(公告)日	2014-04-25
申请号	KR1020120115358	申请日	2012-10-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI CHAUN GI 최천기		
发明人	최천기		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L29/78693 H01L27/1225 H01L27/3244 H01L27/1255 H01L27/124 H01L27/3262 H01L27/3276 G02F1/136213 G02F1/13624		
其他公开文献	KR101942489B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的薄膜晶体管基板包括：基板；栅电极位于基板上；栅极绝缘膜位于栅极上；位于栅极绝缘膜上的氧化物半导体；位于氧化物半导体上的第一层间绝缘膜；数据线位于第一层间绝缘膜上；位于数据线上的第二层间绝缘膜；源电极，位于第二层间绝缘膜上，并通过第二层间绝缘膜的第一接触孔连接到半导体和数据线；漏电极位于第二层间绝缘膜上，并通过第二层间绝缘膜的第二接触孔与半导体连接。

