



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월25일
(11) 등록번호 10-1464861
(24) 등록일자 2014년11월18일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/26 (2006.01)
G09F 9/33 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0016807
(22) 출원일자 2013년02월18일
심사청구일자 2013년02월18일
(65) 공개번호 10-2013-0132258
(43) 공개일자 2013년12월04일
(30) 우선권주장
JP-P-2012-118789 2012년05월24일 일본(JP)
(56) 선행기술조사문헌
JP09036369 A*
KR100611650 B1*
KR1020040062190 A*
W02007086163 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1조메 1방 1고
(72) 발명자
사이토 노부요시
일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내
미우라 겐타로
일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 17 항

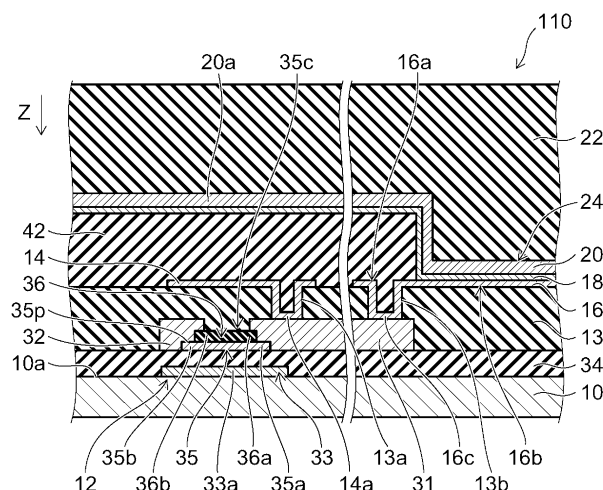
심사관 : 이옥우

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명의 일 실시 형태에 따르면, 표시 장치는 기판, 박막 트랜지스터, 패시베이션막, 수소 배리어막, 화소 전극, 유기 발광층, 대향 전극 및 밀봉 막을 포함한다. 박막 트랜지스터는 기판의 주면 위에 설치된다. 박막 트랜지스터는 게이트 전극, 게이트 절연막, 반도체막, 제1 도전부 및 제2 도전부를 포함한다. 박막 트랜지스터 위에는 패시베이션막이 형성된다. 패시베이션막 위에는 수소 배리어막이 형성된다. 제1 도전부 및 제2 도전부 중 한쪽에는 화소 전극이 전기적으로 접속된다. 화소 전극 위에는 유기 발광층이 형성된다. 유기 발광층 위에는 대향 전극이 설치된다. 수소 배리어막 및 대향 전극 위에는 밀봉 막이 형성된다.

대표도 - 도1



(72) 발명자

나카노 신타로

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

사카노 다츠노리

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

우에다 도모마사

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

야마구치 하지메

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

특허청구의 범위

청구항 1

표시 장치로서,

주면을 갖는, 광 투과성의 기판과,

상기 주면 위에 형성되는 박막 트랜지스터 - 상기 박막 트랜지스터는 상기 주면 위에 형성되는 게이트 전극과, 상기 게이트 전극 위에 형성되는 게이트 절연막과, 상기 게이트 절연막 위에 형성되는 반도체막으로서, 제1 영역, 상기 제1 영역과 이격하는 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이에 제공된 제3 영역을 포함하고, In, Ga 및 Zn 중 적어도 하나를 포함하는 산화물 반도체를 포함하는 반도체막과, 상기 제1 영역에 전기적으로 접속되는 제1 도전부와, 상기 제2 영역에 전기적으로 접속되고 상기 제1 도전부와 이격하여 제공되는 제2 도전부를 포함함 - 와,

상기 박막 트랜지스터 위에 형성되는, 절연성의 패시베이션막과,

상기 패시베이션막 위에 형성되고, 상기 주면과 평행한 평면에 투영했을 때 상기 반도체막과 겹치며, Ti, Ta, TiN 및 TaN 중 하나 및 In, Zn, Ga, Ti 및 Al 중 적어도 하나를 포함하는 산화물을 포함하는 수소 배리어막과,

상기 제1 도전부 및 상기 제2 도전부 중 한쪽에 전기적으로 접속되는, 광 투과성의 화소 전극과,

상기 화소 전극 위에 형성되는 유기 발광층과,

상기 유기 발광층 위에 형성되는 대향 전극과,

상기 수소 배리어막 위 및 상기 대향 전극 위에 형성되는 밀봉 막을 포함하는, 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 수소 배리어막은, 상기 제1 도전부 및 상기 제2 도전부 중 상기 한쪽에 전기적으로 접속되는, 표시 장치.

청구항 5

제1항에 있어서,

상기 반도체막은 n형으로 이루어지며,

상기 수소 배리어막은 상기 화소 전극에 전기적으로 접속되는, 표시 장치.

청구항 6

제1항에 있어서,

상기 반도체막은 p형으로 이루어지며,

상기 수소 배리어막은, 상기 제1 도전부 및 상기 제2 도전부 중 다른 쪽에 전기적으로 접속되는, 표시 장치.

청구항 7

제1항에 있어서,

상기 수소 배리어막은, 상기 화소 전극과 동일한 재료를 포함하는, 표시 장치.

청구항 8

제7항에 있어서,
상기 수소 배리어막은 상기 화소 전극과 연속하는, 표시 장치.

청구항 9

제7항에 있어서,
상기 화소 전극은 ITO, IZO, AZO, IGZO 및 ZnO 중 하나 이상을 포함하는, 표시 장치.

청구항 10

삭제

청구항 11

제1항에 있어서,
상기 밀봉 막은 10^{19} atoms/cm² 이상의 수소를 포함하는, 표시 장치.

청구항 12

제11항에 있어서,
상기 밀봉 막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중 하나 이상을 포함하는, 표시 장치.

청구항 13

제1항에 있어서,
상기 대향 전극은 상기 반도체막 위 및 상기 수소 배리어막 위에 연장되는, 표시 장치.

청구항 14

제1항에 있어서,
상기 기판은 수지 재료를 포함하고 가요성인, 표시 장치.

청구항 15

제1항에 있어서,
상기 게이트 절연막은, 상기 게이트 전극과 상기 제3 영역 사이에 배치되는, 표시 장치.

청구항 16

제15항에 있어서,
상기 박막 트랜지스터는, 적어도 상기 제3 영역 위에 형성되는 채널 보호막을 더 포함하는, 표시 장치.

청구항 17

제1항에 있어서,
상기 대향 전극은 금속 재료를 포함하는, 표시 장치.

청구항 18

제1항에 있어서,
상기 수소 배리어막의 두께는 20nm 이상이며 150nm 이하인, 표시 장치.

청구항 19

표시 장치로서,

주면을 갖는, 광 투과성의 기판과,

상기 주면 위에 형성되는 박막 트랜지스터 - 상기 박막 트랜지스터는 상기 주면 위에 형성되는 게이트 전극과, 상기 게이트 전극 위에 형성되는 게이트 절연막과, 상기 게이트 절연막 위에 형성되는 반도체막으로서, 제1 영역, 상기 제1 영역과 이격하는 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이에 제공된 제3 영역을 포함하는 반도체막과, 상기 제1 영역에 전기적으로 접속되는 제1 도전부와, 상기 제2 영역에 전기적으로 접속되고 상기 제1 도전부와 이격하여 제공되는 제2 도전부를 포함함 - 와,

상기 박막 트랜지스터 위에 형성되는, 절연성의 패시베이션막과,

상기 패시베이션막 위에 형성되고, 상기 주면과 평행한 평면에 투영했을 때 상기 반도체막과 겹치는 수소 배리어막과,

상기 제1 도전부 및 상기 제2 도전부 중 한쪽에 전기적으로 접속되는, 광 투과성의 화소 전극과,

상기 화소 전극과 상기 패시베이션막 사이, 및 상기 수소 배리어막 위에 형성되는 컬러 필터와,

상기 화소 전극 위에 형성되는 유기 발광층과,

상기 유기 발광층 위에 형성되는 대향 전극과,

상기 수소 배리어막 위 및 상기 대향 전극 위에 형성되는 밀봉 막

을 포함하고,

상기 패시베이션막은 상기 화소 전극과 상기 주면 사이에서 연장되는, 표시 장치.

청구항 20

표시 장치로서,

주면을 갖는, 광 투과성의 기판과,

상기 주면 위에 형성되는 박막 트랜지스터 - 상기 박막 트랜지스터는 상기 주면 위에 형성되는 게이트 전극과, 상기 게이트 전극 위에 형성되는 게이트 절연막과, 상기 게이트 절연막 위에 형성되는 반도체막으로서, 제1 영역, 상기 제1 영역과 이격하는 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이에 제공된 제3 영역을 포함하는 반도체막과, 상기 제1 영역에 전기적으로 접속되는 제1 도전부와, 상기 제2 영역에 전기적으로 접속되고 상기 제1 도전부와 이격하여 제공되는 제2 도전부를 포함함 - 와,

상기 박막 트랜지스터 위에 형성되는, 절연성의 패시베이션막과,

상기 패시베이션막 위에 형성되고, 상기 주면과 평행한 평면에 투영했을 때 상기 반도체막과 겹치는 수소 배리어막과,

상기 제1 도전부 및 상기 제2 도전부 중 한쪽에 전기적으로 접속되는, 광 투과성의 화소 전극과,

상기 화소 전극과 상기 패시베이션막 사이에서 배치되고 상기 패시베이션막과 상기 수소 배리어막 사이에서 연장되는 컬러 필터와,

상기 화소 전극 위에 형성되는 유기 발광층과,

상기 유기 발광층 위에 형성되는 대향 전극과,

상기 수소 배리어막 위 및 상기 대향 전극 위에 형성되는 밀봉 막

을 포함하고,

상기 패시베이션막은 상기 화소 전극과 상기 주면 사이에서 연장되는, 표시 장치.

명세서

기술분야

- [0001] [관련 출원의 상호 참조]
- [0002] 본 출원은 2012년 5월 24일에 출원된 일본 특허 출원 제2012-118789호에 기초하고 이를 우선권 주장하며, 그 전체 내용이 본 명세서에 참조로 포함되어 있다.
- [0003] 본 명세서에 설명되는 실시 형태들은 일반적으로 표시 장치에 관한 것이다.

배경 기술

- [0004] 유기 EL(Electro-Luminescent) 소자를 통과하는 전류를, 박막 트랜지스터 등의 스위칭 소자에 의해 제어하는 액티브 매트릭스 방식의 표시 장치가 있다. 이러한 표시 장치에서는 화질의 향상이 요구되고 있다.

발명의 내용

과제의 해결 수단

- [0005] 본 발명의 일 실시 형태에 따르면, 표시 장치는, 주면을 갖는, 광 투과성의 기판과, 상기 주면 위에 형성되는 박막 트랜지스터 - 상기 박막 트랜지스터는 상기 주면 위에 형성되는 게이트 전극과, 상기 게이트 전극 위에 형성되는 게이트 절연막과, 상기 게이트 절연막 위에 형성되는 반도체막으로서, 제1 영역, 상기 제1 영역과 이격하는 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이에 제공된 제3 영역을 포함하고, In, Ga 및 Zn 중 적어도 하나를 포함하는 산화물 반도체를 포함하는 반도체막과, 상기 제1 영역에 전기적으로 접속되는 제1 도전부와, 상기 제2 영역에 전기적으로 접속되고 상기 제1 도전부와 이격하여 제공되는 제2 도전부를 포함함 - 와, 상기 박막 트랜지스터 위에 형성되는, 절연성의 패시베이션막과, 상기 패시베이션막 위에 형성되고, 상기 주면과 평행한 평면에 투영했을 때 상기 반도체막과 겹치며, Ti, Ta, TiN 및 TaN 중 하나 및 In, Zn, Ga, Ti 및 Al 중 적어도 하나를 포함하는 산화물을 포함하는 수소 배리어막과, 상기 제1 도전부 및 상기 제2 도전부 중 한 쪽에 전기적으로 접속되는, 광 투과성의 화소 전극과, 상기 화소 전극 위에 형성되는 유기 발광층과, 상기 유기 발광층 위에 형성되는 대향 전극과, 상기 수소 배리어막 위 및 상기 대향 전극 위에 형성되는 밀봉 막을 포함한다.
- [0006] 이하에서는 여러 실시 형태에 대해 도면들을 참조하여 설명한다.
- [0007] 도면들은 개략적 또는 개념적이라는 것에 주목해야 한다. 부분들의 두께와 폭의 관계, 부분들 간의 크기의 비율 등이 반드시 현실의 것과 동일할 필요는 없다. 또한, 동일한 부분들을 나타내는 경우라도, 도면들에 따라 부분들 간의 치수 및 비율을 다르게 나타낼 경우도 있다.
- [0008] 본원 명세서 및 도면들에 있어서, 앞서의 도면에 관해서 설명하거나 나타낸 것과 마찬가지로의 구성요소에는 동일한 참조 부호를 붙이며 상세한 설명은 적절히 생략한다.

도면의 간단한 설명

- [0009] 도 1은 제1 실시 형태에 따른 표시 장치의 구성을 예시하는 개략적 단면도.
- 도 2는 제1 실시 형태에 따른 표시 장치의 구성을 예시하는 등가 회로도.
- 도 3은 참고예에 따른 표시 장치의 특성을 예시하는 그래프.
- 도 4의 (a) 내지 도 4의 (d)는, 제1 실시 형태에 따른 표시 장치의 제조 방법을 예시하는 개략적 단면도.
- 도 5는 제1 실시 형태에 따른 표시 장치의 제조 방법을 예시하는 순서도.
- 도 6은 제1 실시 형태에 따른 다른 표시 장치의 구성을 예시하는 등가 회로도.
- 도 7은 제1 실시 형태에 따른 또 다른 표시 장치의 구성을 예시하는 개략적 단면도.
- 도 8의 (a) 및 도 8의 (b)는 제2 실시 형태에 따른 표시 장치의 구성을 예시하는 개략도.
- 도 9는 제2 실시 형태에 따른 다른 표시 장치의 구성을 예시하는 개략적 단면도.

발명을 실시하기 위한 구체적인 내용

- [0010] [제1 실시 형태]

- [0011] 도 1은 제1 실시 형태에 따른 표시 장치의 구성을 예시하는 개략적 단면도이다.
- [0012] 도 1에 나타난 바와 같이, 본 실시 형태에 따른 표시 장치(110)는 기판(10), 박막 트랜지스터(12), 패시베이션막(13), 수소 배리어막(14), 화소 전극(16), 유기 발광층(18), 대향 전극(20) 및 밀봉 막(22)을 포함한다.
- [0013] 화소 전극(16), 유기 발광층(18) 및 대향 전극(20)에 의해 유기 EL형의 발광 소자부(24)가 형성된다. 이러한 예에서는, 화소 전극(16)이 애노드로서 역할하며, 대향 전극(20)이 캐소드로서 역할한다. 본 실시형태에서는, 화소 전극(16)이 캐소드로서 역할하여도 좋고, 대향 전극(20)이 애노드로서 역할하여도 좋다. 발광 소자부(24)의 발광이 박막 트랜지스터(12)에 의해 구동된다. 표시 장치(110)에 있어, 박막 트랜지스터(12)들과 발광 소자부(24)들의 조합이 매트릭스 형상으로 배치된다. 박막 트랜지스터(12)들의 구동 및 이러한 구동에 연관되는 발광 소자부(24)들의 발광을 제어함으로써 화상 표시를 행한다. 표시 장치(110)는 유기 EL 소자를 이용한 액티브 매트릭스형의 표시 장치이다.
- [0014] 기판(10)은 주면(10a)을 갖는다. 기판(10)에는, 예를 들어 광 투과성 재료가 이용된다. 기판(10)에는, 예를 들어 글래스 재료나 수지 재료가 이용된다. 기판(10)에는 광 투과성 및 가요성 재료가 이용된다. 기판(10)에는, 예를 들어 폴리이미드 등의 수지 재료가 이용된다.
- [0015] 박막 트랜지스터(12)는 기판(10)의 주면(10a) 위에 설치된다.
- [0016] 박막 트랜지스터(12)는 제1 도전부(31), 제2 도전부(32), 게이트 전극(33), 게이트 절연막(34), 반도체막(35) 및 채널 보호막(36)을 포함한다.
- [0017] 게이트 전극(33)은 기판(10)의 주면(10a) 위에 설치된다. 게이트 전극(33)에는, 예를 들어 몰리브덴 텅스텐(MoW), 몰리브덴 탄탈(MoTa) 및 텅스텐(W) 등의 고용점 금속이 이용된다.
- [0018] 게이트 절연막(34)은 게이트 전극(33) 위에 형성된다. 이러한 예에서 게이트 절연막(34)은, 게이트 전극(33)을 덮도록 주면(10a)의 전체에 형성된다. 게이트 절연막(34)에는, 예를 들어 절연성 및 광 투과성 재료가 이용된다. 게이트 절연막(34)에는, 예를 들어 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중의 하나가 이용된다.
- [0019] 반도체막(35)은 게이트 절연막(34) 위에 형성된다. 게이트 절연막(34)은, 게이트 전극(33)과 반도체막(35) 사이에 형성되고, 반도체막(35)으로부터 게이트 전극(33)을 절연시킨다. 반도체막(35)에는, 예를 들어 In, Ga 및 Zn의 적어도 하나를 포함하는 산화물 반도체가 이용된다. 즉, 반도체막(35)에는, 예를 들어 In-Ga-Zn-O 산화물 반도체, In-Ga-O 산화물 반도체 및 In-Zn-O 산화물 반도체가 이용된다. 반도체막(35)은 n형 또는 p형으로 이루어져 있다. 이하, 이러한 예에서는, 반도체막(35)이 n형으로 이루어져 있을 경우를 설명한다.
- [0020] 제1 도전부(31)는 게이트 절연막(34) 위에 형성된다. 제1 도전부(31)의 일부는, 반도체막(35) 위에 형성되고, 반도체막(35)과 접촉한다. 이에 의해, 제1 도전부(31)는 반도체막(35)에 전기적으로 접속된다. 제2 도전부(32)는 게이트 절연막(34) 위에 형성된다. 제2 도전부(32)는 제1 도전부(31)와 이격되어 배치된다. 제2 도전부(32)의 일부는, 반도체막(35) 위에 형성되고, 반도체막(35)과 접촉한다. 이에 의해, 제2 도전부(32)는 반도체막(35)에 전기적으로 접속된다. 제1 도전부(31) 및 제2 도전부(32)에는, 예를 들어 Ti, Al 및 Mo 등이 이용된다. 제1 도전부(31) 및 제2 도전부(32)는, 예를 들어 Ti, Al 및 Mo의 적어도 하나를 포함하는 적층체일 수 있다. 제1 도전부(31)는 박막 트랜지스터(12)의 소스 전극 및 드레인 전극 중 한쪽이다. 제2 도전부(32)는 박막 트랜지스터(12)의 소스 전극 및 드레인 전극 중 다른 쪽이다. 이하, 이러한 예에서는, 제1 도전부(31)가 소스 전극이며 제2 도전부(32)가 드레인 전극일 경우를 설명한다.
- [0021] 채널 보호막(36)은 반도체막(35) 위에 형성된다. 채널 보호막(36)은 반도체막(35)을 보호한다. 채널 보호막(36)에는, 예를 들어 실리콘 산화막이 이용된다.
- [0022] 제1 도전부(31)는 채널 보호막(36)의 제1 부분(36a)을 덮는다. 제2 도전부(32)는 채널 보호막(36)의 제2 부분(36b)을 덮는다. 제1 도전부(31)는 반도체막(35)의 제1 영역(35a)을 덮는다. 제2 도전부(32)는 반도체막(35)의 제2 영역(35b)을 덮는다. 제2 영역(35b)은, 주면(10a)에 수직한 방향으로 제1 영역과 이격되어 있다. 반도체막(35)은, 제1 영역과 제2 영역 사이에 제공된 제3 영역(35c)을 갖는다. 제3 영역(35c)은 제1 도전부(31) 및 제2 도전부(32)로 덮이지 않는다. 게이트 전극(33)은, 반도체막(35)의 막면(35p)에 대하여 수직한 방향(이하, Z축 방향이라 칭한다)으로 보았을 때에, 제1 도전부(31)와 제2 도전부(32) 사이의 부분(33a)을 갖는다. 즉, 게이트 절연막(34)은, 반도체막(35)의 제3 영역(35c)과 게이트 전극(33) 사이에 배치된다. 채널 보호막(36)은 적어도 제3 영역(35c) 위에 형성된다. 게이트 전극(33)에 전압을 인가하면, 채널이 반도체막(35)에서

생성되고, 제1 도전부(31)과 제2 도전부(32) 사이에서 전류가 통과한다.

- [0023] 패시베이션막(13)은 박막 트랜지스터(12) 위에 형성된다. 이러한 예에서, 패시베이션막(13)은 주면(10a) 전체 위에 형성된다. 패시베이션막(13)은 박막 트랜지스터(12)를 덮는다. 패시베이션막(13)은 절연성이다. 패시베이션막(13)은 또한 광 투과성이다. 패시베이션막(13)에는, 예를 들어 실리콘 산화막, 실리콘 질화 막 및 실리콘 산질화막 중 하나가 이용된다.
- [0024] 수소 배리어막(14)은 패시베이션막(13) 위에 형성된다. 즉, 패시베이션막(13)은 박막 트랜지스터(12)와 수소 배리어막(14) 사이에 형성된다. 수소 배리어막(14)은, 주면(10a)과 평행한 평면에 투영했을 때, 반도체막(35)과 겹쳐진다. 수소 배리어막(14)은 패시베이션막(13)을 통하여 반도체막(35)을 덮는다. 수소 배리어막(14)은 반도체막(35) 중 적어도 제3 영역(35c)을 덮는다. 수소 배리어막(14)에는, 수소의 투과를 억제하는 수소 배리어성을 지닌 도전성 재료가 이용된다. 수소 배리어막(14)에는, 예를 들어 Ti, Ta, TiN 및 TaN 중 하나를 포함하는 금속 재료가 이용된다. 수소 배리어막(14)에는, 예를 들어 In, Zn, Ga, Ti 및 Al 중 적어도 하나를 포함하는 산화물이 이용된다. 수소 배리어막(14)의 산화물로서는, 예를 들어 ITO(In-Ti-O), IZO(In-Zn-O), AZO(Al-Zn-O), IGZO(In-Ga-Zn-O) 및 ZnO 등이 이용된다.
- [0025] 패시베이션막(13)에는, 제1 도전부(31)의 일부를 노출시키는 제1 개구(13a) 및 제2 개구(13b)가 형성된다. 수소 배리어막(14)의 부분(14a)은 제1 개구(13a)에 있어 제1 도전부(31)와 접촉한다. 이에 의해, 수소 배리어막(14)은 제1 도전부(31)에 전기적으로 접속된다.
- [0026] 화소 전극(16)은, 제1 도전부(31) 및 제2 도전부(32) 중 한쪽에 전기적으로 접속된다. 이러한 예에서 화소 전극(16)은, 제1 도전부(31)에 전기적으로 접속된다.
- [0027] 화소 전극(16)은 패시베이션막(13) 위에 설치된다. 화소 전극(16)은, Z축 방향에서 박막 트랜지스터(12)와 대향하는 대향 영역(16a)과, 박막 트랜지스터(12)와 대향하지 않는 비 대향 영역(16b)을 갖는다. 화소 전극(16)에는, 예를 들어 도전성 및 광 투과성 재료가 이용된다. 화소 전극(16)에는, 예를 들어 ITO 등이 이용된다. 화소 전극(16)의 대향 영역(16a)의 일부(16c)는, 제2 개구(13b)에서 제1 도전부(31)와 접촉된다. 이에 의해, 화소 전극(16)은 제1 도전부(31)에 전기적으로 접속된다.
- [0028] 이에 의해, 수소 배리어막(14)은 제1 도전부(31)를 통해서 화소 전극(16)에 전기적으로 접속된다. 상술된 바와 같이, 수소 배리어막(14)은 제1 도전부(31) 및 제2 도전부(32) 중 한쪽에 전기적으로 접속된다.
- [0029] 수소 배리어막(14) 및 화소 전극(16)의 대향 영역(16a) 위에는 평탄화막(42)이 형성된다. 평탄화막(42)에는, 예를 들어 절연성 재료가 이용된다. 평탄화막(42)에는, 예를 들어 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중 하나가 이용된다.
- [0030] 유기 발광층(18)은, 화소 전극(16)의 비 대향 영역(16b) 및 평탄화막(42) 위에 형성된다. 유기 발광층(18)은, 예를 들어 비 대향 영역(16b)에서 화소 전극(16)과 접촉한다. 평탄화막(42)은, 수소 배리어막(14)과 유기 발광층(18)의 접촉과, 대향 영역(16a)과 유기 발광층(18)의 접촉을 방지한다. 유기 발광층(18)에는, 예를 들어 정공 수송층, 발광층 및 전자 수송층을 서로 적층시킨 적층체가 이용된다.
- [0031] 대향 전극(20)은 유기 발광층(18) 위에 설치된다. 대향 전극(20)은, 평탄화막(42) 위에 설치되고, 반도체막(35) 및 수소 배리어막(14) 위에서 연장하는 부분(20a)을 갖는다. 대향 전극(20)에는 도전성 재료가 이용된다. 대향 전극(20)에는, 예를 들어 Al, MgAg 등이 이용된다. 예를 들어, 비 대향 영역(16b)에는 발광 소자부(24)가 형성된다. 발광 소자부(24)에서는, 화소 전극(16)과 대향 전극(20)에 걸쳐 전압을 인가함으로써 유기 발광층(18)으로부터 광이 방출된다. 유기 발광층(18)으로부터 방출된 광은, 패시베이션막(13), 게이트 절연막(34) 및 기판(10)을 투과하여, 외부에 출사된다. 표시 장치(110)는 하면 발광형의 표시 장치이다.
- [0032] 밀봉 막(22)은 대향 전극(20) 위에 형성된다. 밀봉 막(22)은 유기 발광층(18) 및 대향 전극(20)을 덮는다. 밀봉 막(22)은 박막 트랜지스터(12) 및 수소 배리어막(14)을 덮는다. 밀봉 막(22)은 유기 발광층(18) 및 대향 전극(20)을 보호한다. 밀봉 막(22)에는, 예를 들어 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중 하나가 이용된다. 이들 재료를 이용할 경우, 밀봉 막(22)은 10^{19} atoms/cm² 이상의 수소를 포함한다.
- [0033] 수소 배리어막(14)은, 밀봉 막(22)에 포함되는 수소가 반도체막(35)에 도달하여 박막 트랜지스터(12)의 성능에 악영향을 미치는 것을 억제한다.
- [0034] 도 2는, 제1 실시 형태에 따른 표시 장치의 구성을 예시하는 등가 회로도이다.

- [0035] 도 2에 나타난 바와 같이, 표시 장치(110)는 박막 트랜지스터(12), 수소 배리어막(14), 발광 소자부(24), 스위치 트랜지스터(50), 신호선(51), 게이트 선(52) 및 전원선(53)을 포함한다.
- [0036] 박막 트랜지스터(12)의 소스(12S)(제1 도전부(31))는, 발광 소자부(24)의 애노드(24A)(화소 전극(16))에 전기적으로 접속된다. 박막 트랜지스터(12)의 드레인(12D)(제2 도전부(32))은, 전원 전압을 공급하는 전원선(53)에 전기적으로 접속된다. 박막 트랜지스터(12)의 게이트(12G)(게이트 전극(33))는, 스위치 트랜지스터(50)의 소스(50S)에 전기적으로 접속된다.
- [0037] 발광 소자부(24)의 대향 전극(24C)(대향 전극(20))은 공통 전원(25)(예를 들어 그라운드)에 접속된다. 스위치 트랜지스터(50)의 드레인(50D)은 신호선(51)에 전기적으로 접속된다. 스위치 트랜지스터(50)의 게이트(50G)는 게이트 선(52)에 전기적으로 접속된다.
- [0038] 수소 배리어막(14)은, 절연한 바와 같이, 부분(14a)을 통해서 제1 도전부(31)와 접촉하고, 박막 트랜지스터(12)의 소스(12S)에 전기적으로 접속된다. 수소 배리어막(14)은, 소스(12S)를 통해서 발광 소자부(24)의 애노드(24A)에 전기적으로 접속된다.
- [0039] 표시 장치(110)에서는, 게이트 선(52)을 통해서 스위치 트랜지스터(50)의 게이트(50G)에 전압을 인가하여 스위치 트랜지스터(50)를 턴온 상태로 한다. 동시에, 신호선(51)에 전압을 인가하고, 신호선(51) 및 턴온 상태의 스위치 트랜지스터(50)를 통해서 박막 트랜지스터(12)의 게이트(12G)에 전압을 인가한다. 이에 의해, 게이트(12G)의 전압에 따른 전류가 발광 소자부(24)를 통과하고, 게이트(12G)의 전압에 따른 휘도로 발광 소자부(24)로부터 광이 방출된다.
- [0040] 이하, 박막 트랜지스터(12)의 성능의 열화의 예에 대해 설명한다.
- [0041] 도 3은 참고예에 따른 표시 장치의 특성을 예시하는 그래프이다.
- [0042] 도 3의 횡축은, 박막 트랜지스터(12)의 게이트(12G)에 인가되는 게이트 전압 V_g 를 나타낸다. 도 3의 종축은, 박막 트랜지스터(12)의 드레인(12D)과 소스(12S) 사이를 통과하는 전류 I_d 를 나타낸다.
- [0043] 도 3에 나타난 시료 L1은, 기판(10) 위에 박막 트랜지스터(12)를 형성하고, 그 위에 패시베이션막(13)을 형성한 시료이다. 시료 L2는, 시료 L1 위에 밀봉 막(22)으로서 PE-CVD(Plasma-Enhanced Chemical Vapor Deposition)법에 의해 SiN을 더 형성한 시료이다. 시료 L2에서는, 수소 배리어막(14)이 형성되지 않는다. 시료 L3는, 시료 L2에 있어 100℃의 온도에서 1시간 어닐링을 행한 시료이다.
- [0044] 도 3에 나타난 바와 같이, 시료 L1에서는 박막 트랜지스터(12)에서의 적절한 임계치 특성이 얻어진다. 시료 L2에서는, 박막 트랜지스터(12)의 임계치 전압이 마이너스측으로 크게 시프트된다. 시료 L3에서와 같이, 어닐링을 행하면, 임계치 전압이 감소되어 노멀리 온(normally on) 상태로 된다.
- [0045] 시료 1과 시료 L2의 비교로부터, 임계치 전압의 시프트는 밀봉 막(22)에 기인한 것으로 생각되어질 수 있다. 약 100℃의 저온에서의 어닐링 처리에 의해, 반도체막(35)의 저저항화가 더욱 진행하기 때문에, 몇몇 불순물이 확산되는 모드의 이상이 발생한다고 생각되어질 수 있다. 구체적으로는, 밀봉 막(22)에 포함되는 수소가 아래 쪽으로 확산해서 채널의 IGZO막을 환원해 저저항화시켜, 박막 트랜지스터(12)의 임계치 전압이 변동하는 것으로 생각되어질 수 있다.
- [0046] 박막 트랜지스터(12)와 유기 발광층(18)을 조합한 실체의 표시 장치에서는, 금속 재료(예를 들어 Al)를 포함하는 대향 전극(20)이 박막 트랜지스터(12)와 밀봉 막(22) 사이에 설치된다. 밀봉 막(22)에 포함되는 수소는, 대향 전극(20)에 의해 차단되어, 박막 트랜지스터(12)의 반도체막(35)까지 도달하지 않는다고 일반적으로 생각되어 왔다.
- [0047] 그러나, 대향 전극(20)이 반도체막(35)과 밀봉 막(22) 사이에 설치되는 경우에도, 임계치 전압의 시프트의 억제 는 불충분하다. 즉, Al 등의 금속 재료로 이루어진 대향 전극(20)에서는, 밀봉 막(22)의 수소를 차단하는 효과가 충분히 얻어지지 않는다.
- [0048] 이에 비하여, 박막 트랜지스터(12) 위에, Al 등의 대향 전극(20) 이외에, 수소의 투과성이 낮은 수소 배리어막(14)을 형성하는 구성에서는, 밀봉 막(22)의 형성 후에 임계치 전압의 변동이 감소된다.
- [0049] 수소 배리어막(14)을 형성한 본 실시 형태에 따른 표시 장치(110)에서는, 밀봉 막(22)의 형성 후, 어닐링 후에 서의 임계치 전압의 시프트를 억제할 수 있다.

- [0050] 이에 의해, 표시 장치(110)에서는 고화질을 얻을 수 있다.
- [0051] 상술한 바와 같이, 수소의 투과성이 낮은(즉, 수소의 배리어성이 높은) 수소 배리어막(14)을 형성함으로써 임계치 전압의 변동을 억제할 수 있다.
- [0052] Ti, Ta, TiN 및 TaN 등은 수소의 투과성이 낮다. In, Zn, Ga, Ti 및 Al 중 적어도 하나를 포함하는 산화물은 수소의 투과성이 낮다. 이들 재료를 수소 배리어막(14)에 이용함으로써 임계치 전압의 변동이 효과적으로 억제될 수 있다.
- [0053] 수소 배리어막(14)에, Ti, Ta, TiN 및 TaN 중 하나를 포함하는 금속 재료를 이용하는 경우, 박막 트랜지스터(12)를 차광할 수 있다. 이에 의해, 박막 트랜지스터(12)에 입사하는 광에 기인하는 박막 트랜지스터(12)의 특성 변동(광 누설)을 억제할 수 있다.
- [0054] 본 실시 형태에서, 수소 배리어막(14)은 박막 트랜지스터(12)의 소스(12S)에 전기적으로 접속된다. 이에 의해, 예를 들어 박막 트랜지스터(12) 위에 형성된 수소 배리어막(14)이 대전되고, 박막 트랜지스터(12)가 의도하지 않게 턴온 상태로 되는 것을 억제할 수 있다. 발광 소자부(24)의 대향 전극(24C)의 전위로부터의 불필요한 백 게이트 효과에 의한 박막 트랜지스터(12)의 특성의 변화 또한 억제될 수 있다.
- [0055] 도 4의 (a) 내지 도 4의 (d)는, 제1 실시 형태에 따른 표시 장치의 제조 방법을 예시하는 개략적 단면도이다.
- [0056] 도 4의 (a)에 나타난 바와 같이, 표시 장치(110)의 제조에서는, 기판(10)의 주면(10a) 위에 박막 트랜지스터(12)를 형성한다. 박막 트랜지스터(12)의 형성에 있어서는, 주면(10a) 위에 게이트 전극(33)을 형성한다. 주면(10a) 및 게이트 전극(33) 위에 게이트 절연막(34)을 형성한다. 게이트 절연막(34) 위에 반도체막(35)을 형성한다. 반도체막(35) 위에 채널 보호막(36)을 형성한다. 게이트 절연막(34), 반도체막(35), 채널 보호막(36) 위에, 제1 도전부(31) 및 제2 도전부(32)를 형성한다.
- [0057] 도 4의 (b)에 나타난 바와 같이, 박막 트랜지스터(12) 위에 패시베이션막(13)을 형성한다. 예를 들어, 패시베이션막(13)이 되는 SiO₂막을 PE-CVD법에 의해 형성한다. SiO₂막 위에 제1 개구(13a)와 제2 개구(13b)를 형성한다. 패시베이션막(13)의 두께는, 예를 들어 200nm(100nm 이상 300nm 이하)이다. 패시베이션막(13) 위에 수소 배리어막(14)과 화소 전극(16)을 형성한다. 예를 들어, 수소 배리어막(14)이 되는 Ti막을 스퍼터법에 의해 형성하고, 미리 정해진 형상으로 가공해서 수소 배리어막(14)이 얻어진다. 수소 배리어막(14)의 두께는, 예를 들어 50nm(20nm 이상 150nm 이하)이다. 화소 전극(16)이 되는 ITO막을 스퍼터법 등에 의해 형성하고, 미리 정해진 형상으로 가공해서 화소 전극(16)이 얻어진다. 화소 전극(16)의 두께는, 예를 들어 200nm(100nm 이상 200nm 이하)이다. 수소 배리어막(14)의 형성과 화소 전극(16)의 형성의 순서는 임의이다. 화소 전극(16)에 이용되는 재료를 수소 배리어막(14)에 이용할 경우, 이들의 공정은 동시에 실행된다.
- [0058] 도 4의 (c)에 나타난 바와 같이, 수소 배리어막(14)과, 화소 전극(16)의 대향 영역(16a) 위에 평탄화막(42)을 형성한다. 예를 들어, 평탄화막(42)이 되는 유기 수지를 도포하여 패터닝함으로써 평탄화막(42)이 얻어진다. 평탄화막(42)과, 화소 전극(16)의 비 대향 영역(16b) 위에 유기 발광층(18)이 형성된다. 유기 발광층(18)은, 예를 들어 증착법에 의해 형성된다.
- [0059] 도 4의 (d)에 나타난 바와 같이, 유기 발광층(18) 상에 대향 전극(20)을 형성한다. 예를 들어, 대향 전극(20)이 되는 LiF막과 Al막의 적층막이, 증착법에 의해 형성되고, 미리 정해진 형상으로 가공된다. 대향 전극(20) 위에 밀봉 막(22)을 형성한다. 이상에 의해, 표시 장치(110)가 제조된다.
- [0060] 도 5는, 제1 실시 형태에 따른 표시 장치의 제조 방법을 예시하는 순서도이다.
- [0061] 도 5에 나타난 바와 같이, 표시 장치(110)의 제조 방법은, 박막 트랜지스터(12)를 형성하는 스텝 S110과, 패시베이션막(13)을 형성하는 스텝 S115와, 수소 배리어막(14) 및 화소 전극(16)을 형성하는 스텝 S120과, 유기 발광층(18)을 형성하는 스텝 S130과, 대향 전극(20)을 형성하는 스텝 S140과, 밀봉 막(22)을 형성하는 스텝 S150을 포함한다.
- [0062] 스텝 S110에서는, 예를 들어 도 4의 (a)를 참조하여 설명한 처리를 실행한다. 스텝 S115 및 스텝 S120에서는, 예를 들어 도 4의 (b)를 참조하여 설명한 처리를 실행한다. 스텝 S130에서는, 예를 들어 도 4의 (c)를 참조하여 설명한 처리를 실행한다. 스텝 S140 및 스텝 S150에서는, 예를 들어 도 4의 (d)를 참조하여 설명한 처리를 실행한다.

- [0063] 박막 트랜지스터(12)를 형성하는 공정(스텝 S110)은, 반도체막(35)의 상면을 덮는 채널 보호막(36)을 형성하는 단계를 포함할 수 있다.
- [0064] 본 제조 방법에서 수소 배리어막(14)은 Ti, Ta, TiN 및 TaN 중 하나를 포함할 수 있다. 수소 배리어막(14)은 In, Zn, Ga, Ti 및 Al 중 적어도 하나를 포함하는 산화물을 포함할 수 있다.
- [0065] 수소 배리어막(14)과 화소 전극(16)을 형성하는 공정(스텝 S120)은, 수소 배리어막(14)을, 제1 도전부(31) 및 제2 도전부(32) 중 한쪽(예를 들어 소스(12S))에 전기적으로 접속하는 단계를 포함할 수 있다. 반도체막(35)이 n형으로 이루어지는 경우, 수소 배리어막(14)과 화소 전극(16)을 형성하는 공정(스텝 S120)은, 수소 배리어막(14)을 화소 전극(16)에 전기적으로 접속하는 단계를 포함할 수 있다.
- [0066] 본 제조 방법에서 반도체막(35)은 In, Ga 및 Zn 중 적어도 하나를 포함하는 산화물 반도체를 포함할 수 있다. 밀봉 막(22)은 10^{19} atoms/cm² 이상의 수소를 포함한다. 이러한 경우, 수소 배리어막(14)을 형성함으로써 임계치 전압의 변동이 효과적으로 억제된다.
- [0067] 도 6은, 제1 실시 형태에 따른 다른 표시 장치의 구성을 예시하는 등가 회로도이다.
- [0068] 도 6에 나타난 바와 같이, 표시 장치(112)에서 박막 트랜지스터(12)의 반도체막(35)은 p형으로 이루어진다. 화소 전극(16)은, 제1 도전부(31) 및 제2 도전부(32) 중 한쪽에 전기적으로 접속된다. 이러한 예에서 화소 전극(16)은 제1 도전부(31)(드레인(12D))에 전기적으로 접속된다. 수소 배리어막(14)은, 제1 도전부(31) 및 제2 도전부(32) 중 다른 쪽인 제2 도전부(32)(소스(12S))에 접속된다. 수소 배리어막(14)은 소스(12S)를 통해서 전원선(53)에 전기적으로 접속된다.
- [0069] 예를 들어, 이러한 예와 같이, 반도체막(35)이 p형으로 이루어지는 경우, 수소 배리어막(14)과 화소 전극(16)을 형성하는 공정(스텝 S120)은, 수소 배리어막(14)을, 제1 도전부(31) 및 제2 도전부(32) 중 다른 쪽(제2 도전부(32)인 소스(12S))에 전기적으로 접속하는 단계를 포함할 수 있다.
- [0070] 표시 장치(112)에서도, 수소 배리어막(14)을 형성하기 때문에, 박막 트랜지스터(12)의 특성의 변동을 억제할 수 있고, 고화질의 표시 장치를 제공할 수 있다.
- [0071] 도 7은, 제1 실시 형태에 따른 또 다른 표시 장치의 구성을 예시하는 개략적 단면도이다.
- [0072] 도 7에 나타난 바와 같이, 표시 장치(114)는 컬러 필터(44)를 더 포함한다. 컬러 필터(44)는, 수소 배리어막(14)과 평탄화막(42) 사이, 및 화소 전극(16)과 패시베이션막(13) 사이에 설치된다. 컬러 필터(44)는 화소마다 다른 색을 갖는다. 컬러 필터(44)는, 적색, 녹색 및 청색 중 하나의 컬러 수지막(예를 들어, 컬러 레지스트)을 도포하고, 컬러 수지막을 패터닝하여 형성된다. 컬러 필터(44)의 막 두께는, 예를 들어 2 μ m(예를 들어, 1 μ m 이상 3 μ m 이하)이다.
- [0073] 이와 같이, 수소 배리어막(14) 위에 컬러 필터(44)가 설치된 표시 장치(114)에서도, 박막 트랜지스터(12)의 특성의 변화를 억제할 수 있고, 고화질을 얻을 수 있다.
- [0074] 표시 장치(114)는, 예를 들어 이하와 같이 제작될 수 있다.
- [0075] 박막 트랜지스터(12)를 형성한 후, 패시베이션막(13)을 형성한다. 패시베이션막(13)으로서, 예를 들어 PE-CVD 법에 의해, 100nm 이상 300nm 이하의 SiO₂막을 형성한다. 패시베이션막(13)에는 SiN막 또는 SiON_x막을 이용해도 된다. 수소 배리어막(14)이 되는 Ti막(두께 20nm 이상 100nm 이하)을, 예를 들어 스퍼터법에 의해 더 형성한다. 이러한 Ti막을 가공함으로써 수소 배리어막(14)이 얻어진다. 적색, 녹색 및 청색의 컬러 레지스트의 도포 및 가공에 의해 컬러 필터(44)가 형성된다. 컬러 필터(44) 위에 화소 전극(16)을 형성한다. 컬러 필터(44) 및 화소 전극(16) 위에 평탄화막(42)을 형성한다. 화소 전극(16) 위에 유기 발광층(18) 및 대향 전극(20)을 순차적으로 형성하여 밀봉 막(22)을 형성한다. 이상에 의해, 표시 장치(114)가 제조된다.
- [0076] [제2 실시 형태]
- [0077] 도 8의 (a) 및 도 8의 (b)는 제2 실시 형태에 따른 표시 장치의 구성을 예시하는 개략도이다.
- [0078] 도 8의 (a)는 표시 장치(210)를 예시하는 개략적 단면도이다. 도 8의 (b)는 표시 장치(210)를 예시하는 개략적 평면도이다.
- [0079] 도 8의 (a) 및 도 8의 (b)에 나타난 바와 같이, 표시 장치(210)에서 수소 배리어막(14)의 재료에는 화소 전극

(16)이 되는 재료가 이용된다. 즉, 수소 배리어막(14)의 재료는 화소 전극(16)의 재료와 실질적으로 동일하다. 이러한 경우, 수소 배리어막(14) 및 화소 전극(16)에는, 예를 들어 ITO, IZO, AZO, IGZO 및 ZnO 등의 금속 산화물이 이용된다. 수소 배리어막(14)은 화소 전극(16)과 연속한다.

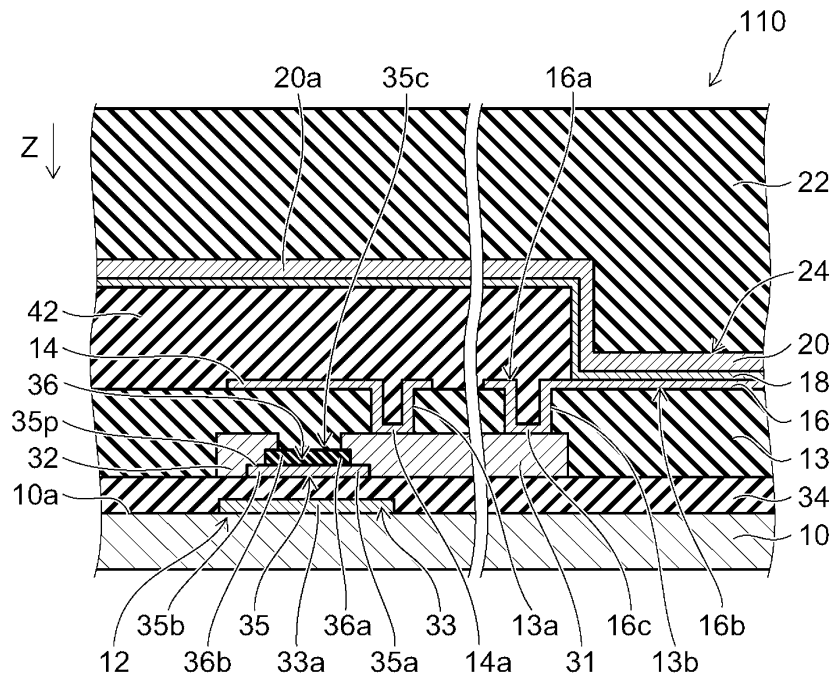
- [0080] 표시 장치(210)에서도 수소 배리어막(14)을 형성함으로써 밀봉 막(22)에 포함되는 수소의 반도체막(35)으로의 이동을 억제하여 화질을 향상시킬 수 있다. 또한, 표시 장치(210)에서는 수소 배리어막(14)과 화소 전극(16)을 동시에 형성할 수 있다. 이에 의해, 추가 프로세스가 불필요하게 되어 생산성이 높다.
- [0081] 이러한 예에서 수소 배리어막(14)은 In, Zn, Ga, Ti 및 Al의 적어도 하나를 포함하는 산화물을 포함할 수 있다. 이들 재료는 화소 전극(16)에 이용되는 재료이다.
- [0082] 수소 배리어막(14)과 화소 전극(16)을 형성하는 공정(스텝 S120)은, 화소 전극(16)이 되는 재료를 이용하여 수소 배리어막(14)을 형성하는 단계를 포함할 수 있다. 수소 배리어막(14)은 화소 전극(16)과 연속한다. 이에 의해, 높은 생산성이 얻어질 수 있다.
- [0083] 도 9는 제2 실시 형태에 따른 다른 표시 장치의 구성을 예시하는 개략적 단면도이다.
- [0084] 도 9에 나타난 바와 같이, 표시 장치(212)에서는 화소 전극(16), 및 화소 전극(16)에 연속하는 수소 배리어막(14)을, 컬러 필터(44) 위에 설치한다. 표시 장치(212)에서도 수소 배리어막(14)에 의해 밀봉 막(22)에 포함되는 수소의 반도체막(35)으로의 이동이 억제되어 화질이 향상된다. 또한, 추가 프로세스도 불필요하므로 생산성도 높다.
- [0085] 본 실시 형태에 따르면, 고화질의 표시 장치가 제공될 수 있다.
- [0086] 본원 명세서에 있어, "수직" 및 "평행"은 엄밀한 수직 및 엄밀한 평행뿐만 아니라, 예를 들어 제조 공정으로 인한 변동 또한 포함되는 것을 가리킨다. 실질적으로 수직 및 실질적으로 평행하면 좋다.
- [0087] 본원 명세서에 있어, "구성요소가 다른 구성요소 위에 설치되는 상태"는 구성요소가 다른 구성요소 위에 직접 설치되는 상태뿐만 아니라, 구성요소와 다른 구성요소 사이에 상이한 구성요소가 삽입되어 구성요소가 다른 구성요소 위에 설치되는 상태도 포함한다. "구성요소가 다른 구성요소 위에 적층되는" 상태는, 구성요소가 다른 구성요소와 서로 접해서 적층되는 상태뿐만 아니라, 구성요소와 다른 구성요소 사이에 상이한 구성요소가 삽입되어 구성요소가 다른 구성요소 위에 적층되는 상태도 포함한다. "구성요소가 다른 구성요소와 대향하는" 상태는, 구성요소가 다른 구성요소와 직접적으로 면하는 상태뿐만 아니라, 구성요소와 다른 구성요소 사이에 상이한 구성요소가 삽입되어 구성요소가 다른 구성요소와 면하는 상태도 포함한다.
- [0088] 상술된 바와 같이, 구체예를 참조하면서 본 발명의 실시 형태들에 대해 설명하였다.
- [0089] 그러나, 본 발명의 실시 형태들은 이들의 구체예에 한정되는 것은 아니다. 예를 들어, 표시 장치에 포함되는 기관, 박막 트랜지스터, 패시베이션막, 수소 배리어막, 화소 전극, 유기 발광층, 대향 전극, 밀봉 막, 게이트 전극, 게이트 절연막, 반도체막, 제1 도전부 및 제2 도전부 등의 구성요소들의 구체적인 구성에 대해서는, 당업자가 공지된 범위로부터 구성요소들을 적절히 선택함으로써 본 발명을 마찬가지로 실시하여, 마찬가지로의 효과를 얻을 수 있는 한, 본 발명의 범위에 포함된다.
- [0090] 또한, 구체예들의 임의의 2개 이상의 구성요소를 기술적으로 가능한 범위 내에서 조합할 수도 있으며, 이들이 본 발명의 요지를 포함하는 한, 본 발명의 범위에 포함된다.
- [0091] 그 외, 본 발명의 실시 형태들로서 상술한 표시 장치를 기초로 하여, 당업자가 적절히 설계 변경하여 실시할 수 있는 모든 표시 장치도, 본 발명의 요지를 포함 하는 한, 본 발명의 범위에 속한다.
- [0092] 당업자라면, 본 발명의 사상의 범주 내에서 다양한 다른 변경예 및 수정예를 상도할 수 있으며, 그들 변경예 및 수정예에 대해서도 본 발명의 범위 내에 속하는 것으로 이해되어야 한다.
- [0093] 본 발명의 특정 실시 형태들을 설명했으나, 이들 실시 형태는 예로서 제시된 것일뿐, 발명의 범위를 한정할 것을 의도하지 않는다. 본 명세서에 설명되는 신규 실시 형태들은, 다양한 다른 형태로 구현될 수 있으며, 발명의 요지를 일탈함 없이 본 명세서에서 설명되는 실시형태들의 형태로 다양한 생략, 치환 및 변경을 행할 수 있다. 첨부된 청구항 및 이의 균등물은 본 발명의 범위 및 요지 내에 있는 한, 상기의 다른 다양한 형태 또는 변형을 커버해야 한다.

부호의 설명

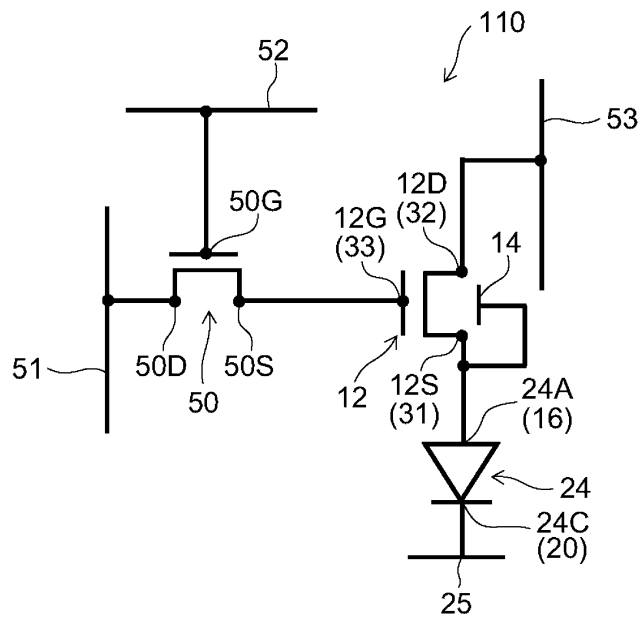
- [0094]
- 10: 기판
 - 10a: 주면
 - 12: 박막 트랜지스터
 - 12D: 드레인
 - 12G: 게이트
 - 12S: 소스

도면

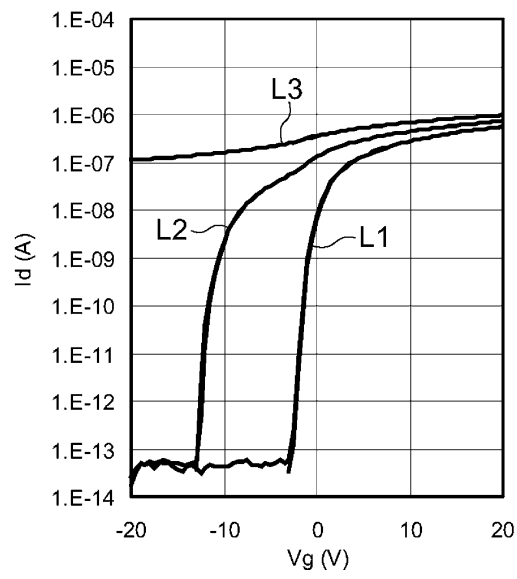
도면1



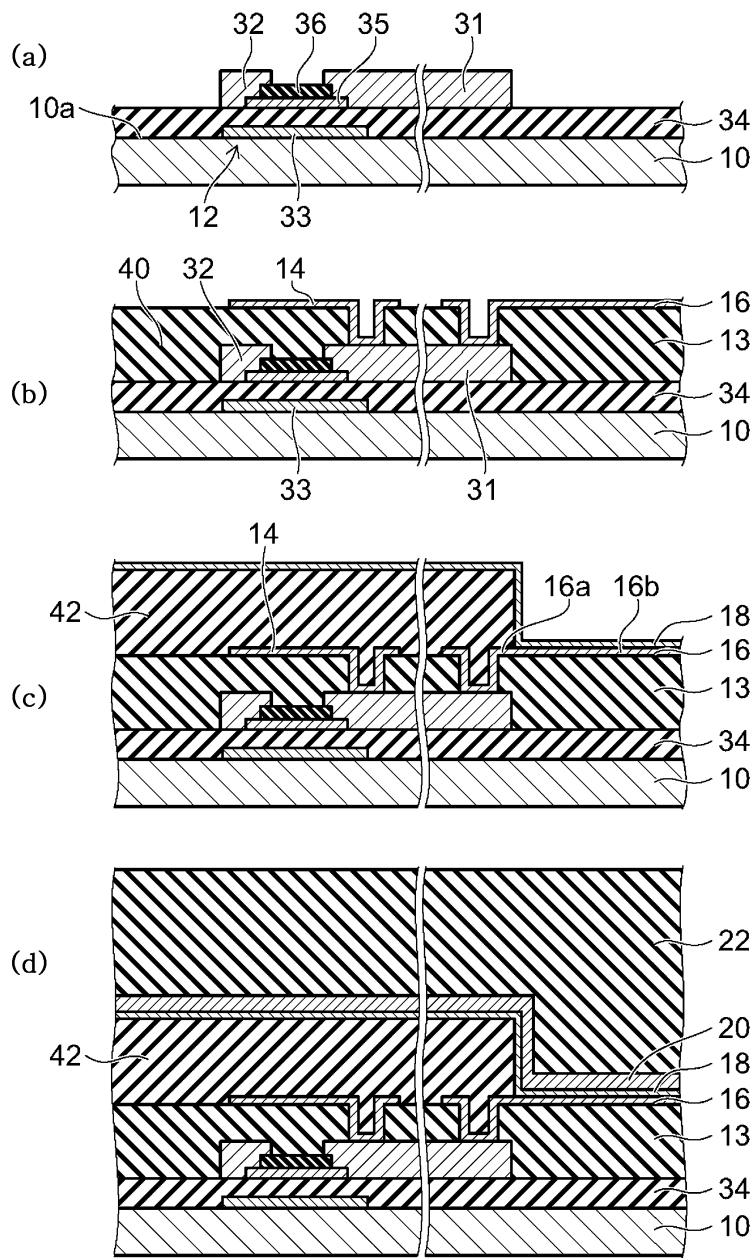
도면2



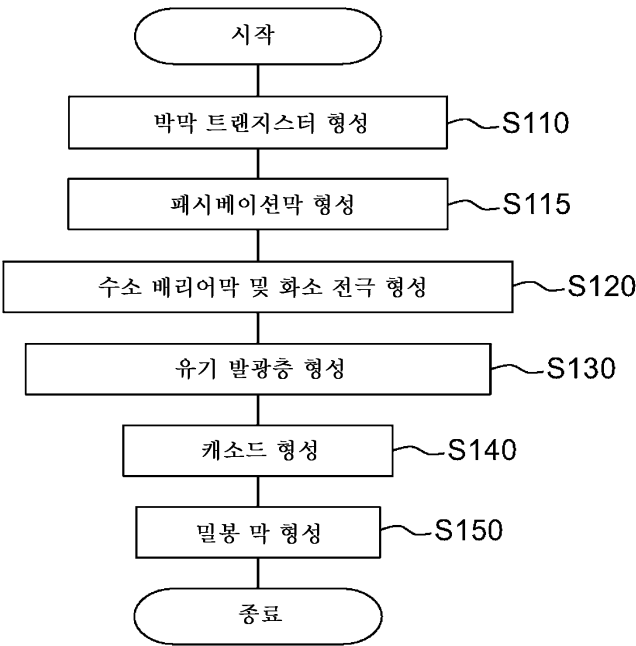
도면3



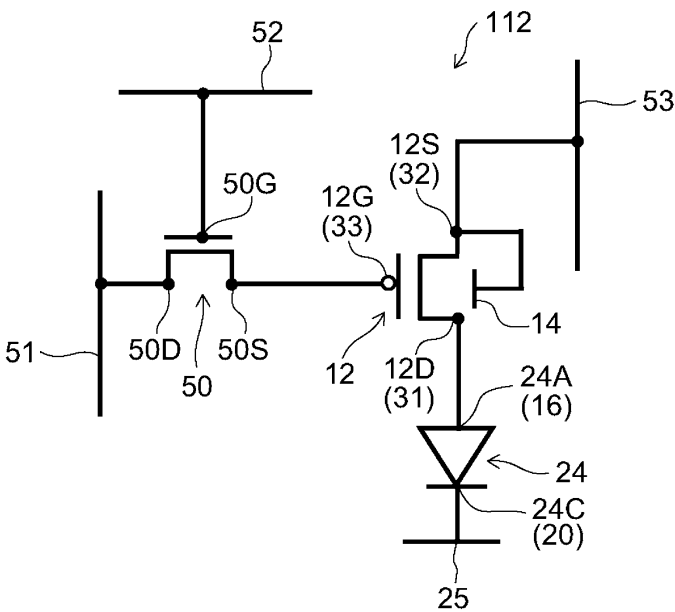
도면4



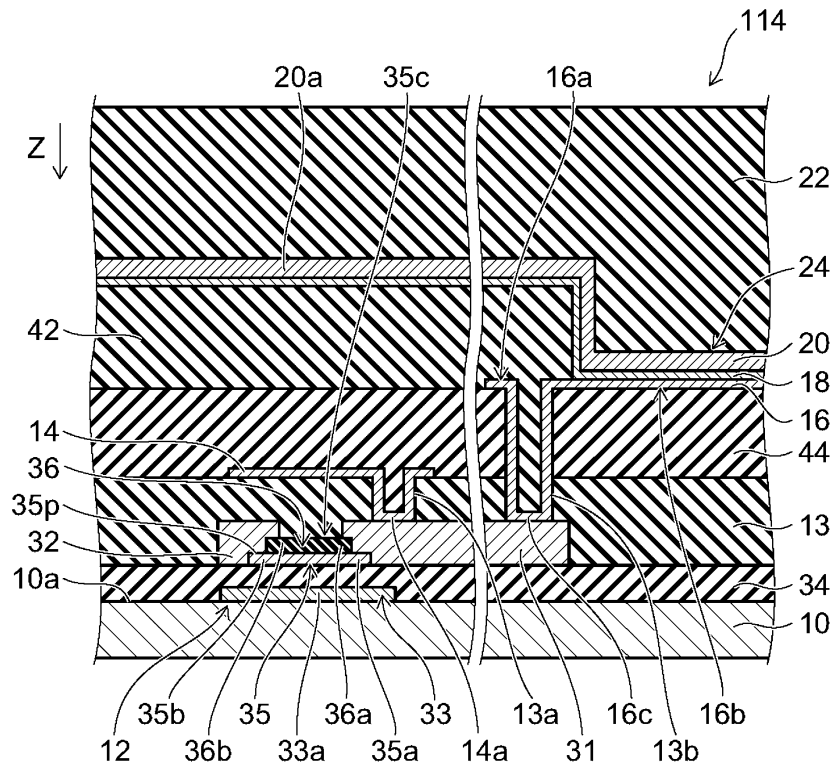
도면5



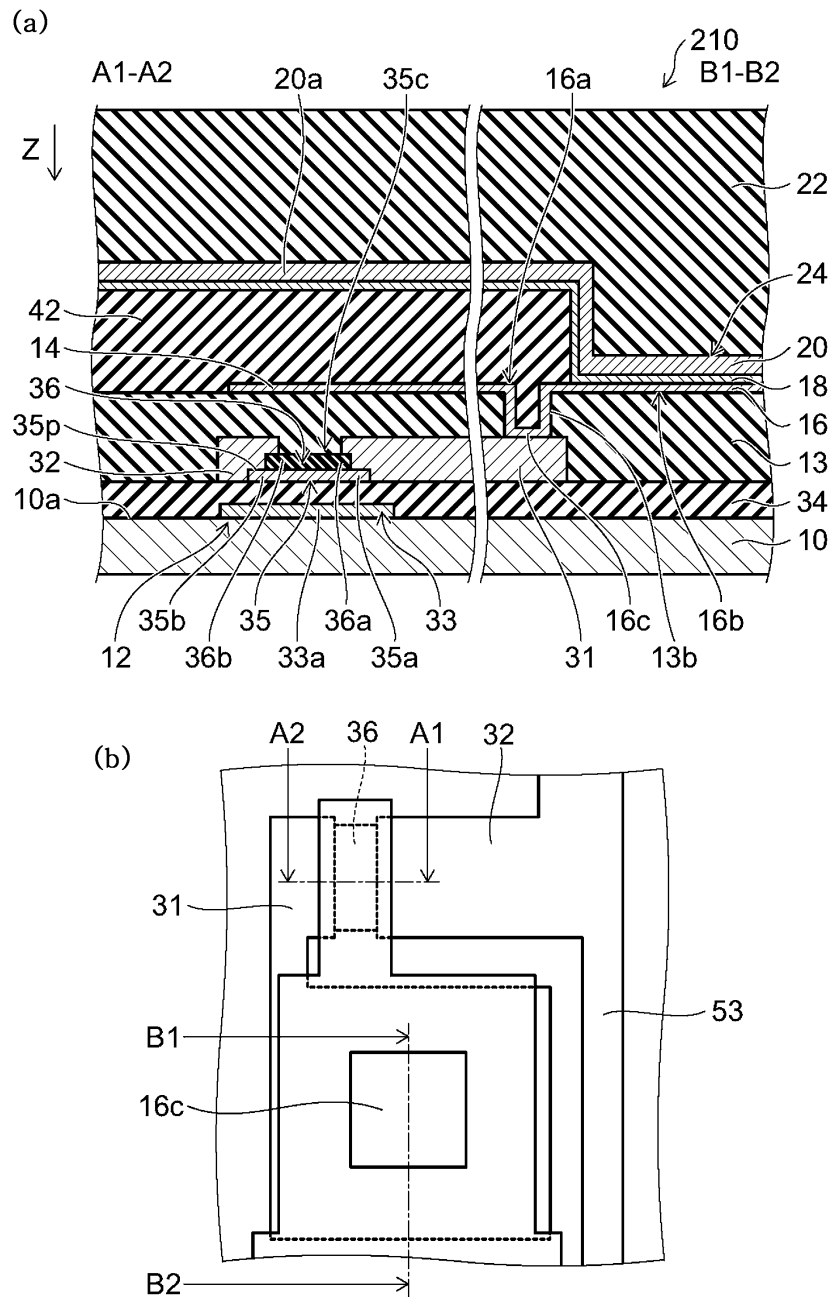
도면6



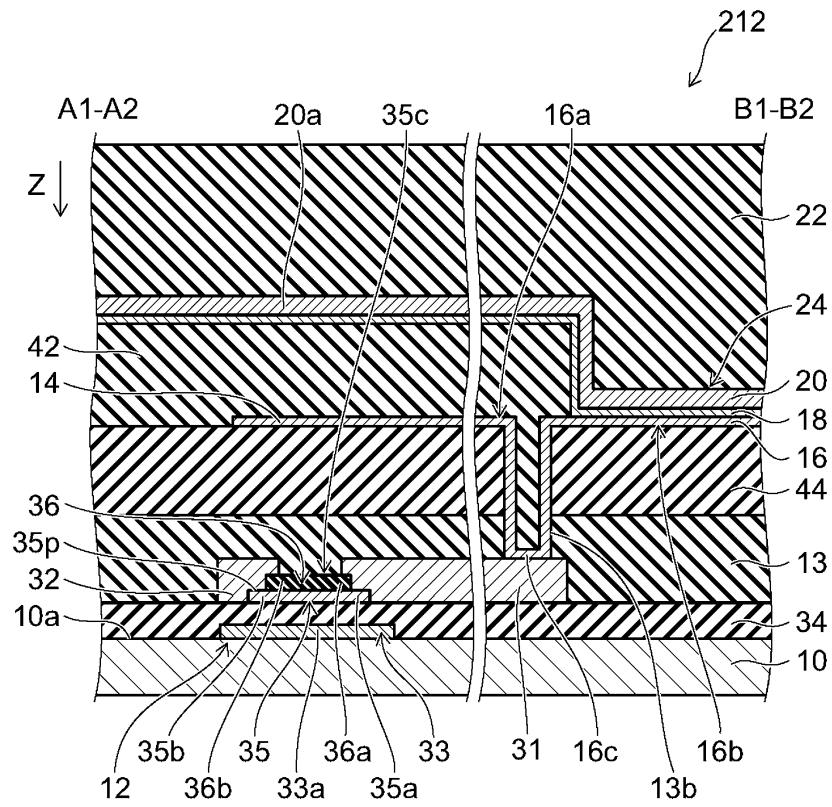
도면7



도면8



도면9



专利名称(译)	显示装置的标题		
公开(公告)号	KR101464861B1	公开(公告)日	2014-11-25
申请号	KR1020130016807	申请日	2013-02-18
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	Sikki东芝股份有限公司		
当前申请(专利权)人(译)	Sikki东芝股份有限公司		
[标]发明人	SAITO NOBUYOSHI 사이토노부요시 MIURA KENTARO 미우라겐타로 NAKANO SHINTARO 나카노신타로 SAKANO TATSUNORI 사카노다츠노리 UEDA TOMOMASA 우에다도모마사 YAMAGUCHI HAJIME 야마구치하지메		
发明人	사이토노부요시 미우라겐타로 나카노신타로 사카노다츠노리 우에다도모마사 야마구치하지메		
IPC分类号	H01L51/50 H05B33/26 G09F9/33 H01L29/786		
CPC分类号	H01L27/3262 H01L29/7869 H01L51/5203		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2012118789 2012-05-24 JP		
其他公开文献	KR1020130132258A		
外部链接	Espacenet		

摘要(译)

根据一个实施例，显示装置（110,112,114,210,212）包括基板（10），薄膜晶体管（12），钝化膜（13），氢阻挡膜（14），像素电极（16），有机发光层（18），相对电极（20）和密封膜（22）。薄膜晶体管（12）设置在基板（10）的主表面上。薄膜晶体管（12）包括栅电极（33），栅极绝缘膜（34），半导体膜（35），第一导电部分（31）和第二导电部分（32）。钝化膜（13）设置在薄膜晶体管（12）上。氢阻挡膜（14）设置在钝化膜（13）上。像素电极（16）电连接到第一导电部分（31）和第二导电部分（32）中的一个。有机发光层（18）设置在像素电极（16）上。相对电极（20）设置在有机发光层（18）上。密封膜（22）设置在氢阻挡膜（14）和相对电极（20）上。

