



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월17일
(11) 등록번호 10-2123444
(24) 등록일자 2020년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(21) 출원번호 10-2014-0087764
(22) 출원일자 2014년07월11일
심사청구일자 2019년06월04일
(65) 공개번호 10-2016-0008068
(43) 공개일자 2016년01월21일
(56) 선행기술조사문헌
JP2008170920 A
KR1020090108976 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김태균
경기도 고양시 일산서구 현중로 33 203동 1402호
(탄현동, 탄현마을2단지아파트)
정연식
부산광역시 사상구 백양대로 372-15 104동 801호
(주례동, 한일유엔아파트)
(74) 대리인
특허법인천문

전체 청구항 수 : 총 5 항

심사관 : 구분재

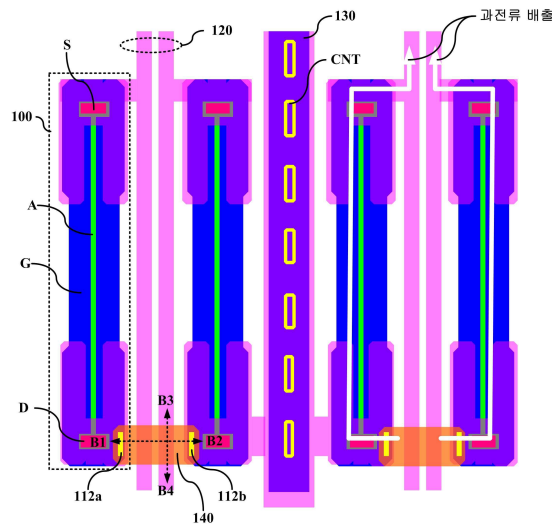
(54) 발명의 명칭 유기발광 디스플레이 장치

(57) 요약

본 발명은 정전기 방전 회로(ESD: Electrostatic Discharge Circuit) 영역에서 VDD 점핑 라인과 데이터 라인의 정전기성 쇼트 발생을 방지한 유기발광 디스플레이 장치에 관한 것이다.

본 발명의 유기발광 디스플레이 장치는 유기발광 다이오드 및 화소 회로가 형성된 복수의 화소가 배열된 액티브 영역; 및 상기 복수의 화소에 데이터 전압을 공급하는 복수의 데이터 라인, 구동 전압을 공급하는 복수의 VDD 라인 및 복수의 정전기 방전 회로가 형성된 비 표시 영역;을 포함하고, 하나의 VDD 라인을 기준으로 좌우측에 복수의 정전기 방전 회로가 분산되어 형성되고, 상기 복수의 VDD 라인, 상기 복수의 데이터 라인 및 상기 복수의 정전기 방전 회로를 연결하는 점핑 라인이 서로 다른 레이어에 형성되어 있다.

대표도 - 도4



명세서

청구범위

청구항 1

유기발광 다이오드 및 화소 회로가 형성된 복수의 화소가 배열된 액티브 영역; 및
 상기 복수의 화소에 데이터 전압을 공급하는 복수의 데이터 라인, 구동 전압을 공급하는 복수의 VDD 라인 및 복수의 정전기 방전 회로가 형성된 비 표시 영역;을 포함하고,
 하나의 VDD 라인을 기준으로 좌우측에 복수의 정전기 방전 회로가 분산되어 형성되고,
 상기 복수의 VDD 라인, 상기 복수의 데이터 라인 및 상기 복수의 정전기 방전 회로를 연결하는 점핑 라인이 서로 다른 레이어에 형성된 유기발광 디스플레이 장치.

청구항 2

제1 항에 있어서,
 기관 상의 제1 레이어에 상기 복수의 VDD 라인이 형성되고,
 상기 제1 레이어 상부의 제2 레이어에 상기 복수의 데이터 라인이 형성되고,
 상기 제2 레이어 상부의 제3 레이어에 상기 점핑 라인이 형성된 유기발광 디스플레이 장치.

청구항 3

제1 항에 있어서,
 기관 상에 제1 및 제2 정전기 방전 회로의 게이트 메탈층이 형성되고,
 상기 게이트 메탈층 상에 게이트 절연막과 식각방지층이 형성되고,
 상기 식각방지층 상에 상기 복수의 데이터 라인이 형성되고,
 상기 게이트 절연막과 식각방지층을 관통하여 상기 게이트 메탈층과 접촉하도록 상기 제1 및 제2 정전기 방전 회로의 VDD 콘택이 형성되고,
 상기 VDD 콘택 상에 보호막이 형성되고,
 상기 점핑 라인이 상기 점핑 라인이 형성되고, 상기 보호막을 관통하여 상기 제1 및 제2 정전기 방전 회로의 VDD와 상기 점핑 라인이 연결된 유기발광 디스플레이 장치.

청구항 4

제1 항에 있어서,
 상기 복수의 데이터 라인 하부에는 메탈층이 형성되어 있지 않고,
 상기 복수의 데이터 라인 상부에는 상기 점핑 라인이 중첩된 유기발광 디스플레이 장치.

청구항 5

제1 항에 있어서,
 상기 VDD 라인 및 데이터 라인은 구리, 알루미늄, 크롬, 티타늄 또는 몰리브덴의 메탈 물질로 형성되고, 상기 점핑 라인은 ITO(Indium Tin Oxide)로 형성된 유기발광 디스플레이 장치.

발명의 설명

기술분야

[0001] 본 발명은 정전기 방전 회로(ESD: Electrostatic Discharge Circuit) 영역에서 VDD 점핑 라인과 데이터 라인의 정전기성 쇼트 발생을 방지한 유기발광 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 유기발광 다이오드(OLED)를 발광시켜 화상을 표시하는 유기발광 디스플레이 장치는 구동방식에 따라 수동 매트릭스(Passive Matrix) 방식과 능동 매트릭스(Active Matrix) 방식으로 나눌 수 있다.

[0003] 수동 매트릭스 방식은 별도의 박막 트랜지스터(thin film transistor, 이하 'TFT'라 함)를 구비하지 않으면서 매트릭스 형태로 화소가 배열된 구성을 포함하며, 소비전력이 높아지게 되고 해상도 면에서도 한계가 있다.

[0004] 반면에, 상기 능동 매트릭스 방식은 매트릭스 형태로 배열된 화소 각각에 TFT가 형성된 구성을 포함하며, TFT의 스위칭 구동과 스토리지 커패시터(Cst)의 전압 충전에 의해 각각의 화소를 구동한다.

[0005] 따라서, 소비전력이 낮고 해상도 면에서도 수동 매트릭스 방식과 대비하여 이점이 있다. 고해상도 및 대면적을 요구하는 표시소자에는 능동 매트릭스 방식의 유기발광소자가 적합하다. 참고로, 이하 본 명세서에서는 '능동 매트릭스 방식의 유기발광 디스플레이 장치'를 간략하게 '유기발광 디스플레이 장치'로 칭하도록 한다.

[0006] 도 1은 종래 기술에 따른 유기발광 디스플레이 장치를 개략적으로 나타내는 도면이고, 도 2는 종래 기술에 따른 유기발광 디스플레이 장치의 ESD 회로 영역을 나타내는 도면이다.

[0007] 도 1 및 도 2를 참조하면, 유기발광 디스플레이 장치(1)는 화소들이 매트릭스 형태로 배열되어 화상이 표시되는 액티브 영역, 더미 화소들이 형성된 더미 영역, ESD 영역 및 링크 영역을 포함한다. 액티브 영역을 제외한 더미 영역, ESD 영역 및 링크 영역은 베젤 영역에 형성되어 있다.

[0008] ESD 영역에는 복수의 정전기 방전 회로가 형성되어 있다. 정전기 방전 회로는 박막트랜지스터로 구성될 수 있으며, 링크 영역에 발생된 정전기에 의한 과전류를 외부의 그라운드(GND)로 배출시켜 액티브 영역의 TFT 어레이를 보호한다.

[0009] 링크 영역 및 ESD 영역에는 복수의 화소에 구동 전압(VDD)을 공급하기 위한 복수의 VDD 라인(30) 및 복수의 화소들에 데이터 전압(Vdata)을 공급하기 위한 복수의 데이터 라인(20)이 형성되어 있다.

[0010] 도면에 도시하지 않았지만, 1개의 VDD 라인(30)을 통해 수평라인을 기준으로 4개의 화소들에 VDD를 공급한다. VDD 라인(30)을 기준으로 좌우 대칭 구조로 화소들이 형성되어 있으며, 2개의 화소들 사이에 2개의 데이터 라인(20)이 형성되어 있다.

[0011] 액티브 영역과 동일하게 ESD 영역에서도 VDD 라인(30)을 기준으로 좌우 대칭 구조로 ESD 회로(10)들이 형성되어 있으며, 2개의 ESD 회로(10) 사이에 2개의 데이터 라인(20)이 형성되어 있다.

[0012] 이러한, ESD 회로(10)의 구조는 패널 외곽에 형성된 COF 본딩 영역으로부터 VDD 라인(30)을 통해 액티브 영역으로 구동 전압을 공급 시 과전류가 발생하면 ESD 회로(10)를 통해 과전류를 분산시켜 배출한다. 여기서, 과전류는 VDD 점핑 라인(40)을 통해 인접한 ESD 회로(10)로 전달되어 데이터 라인(20)을 통해 외부로 배출된다.

[0013] 도 3은 도 2에 도시된 A1-A2선 및 A3-A4 선에 따른 단면으로서, 정전기 방전 회로(ESD) 영역에서 VDD 점핑 라인과 데이터 라인의 정전기성 쇼트가 발생하는 문제점을 나타내는 도면이다.

[0014] 도 3을 참조하면, VDD 점핑 라인(40)은 게이트 메탈이 형성된 레이어, 즉, 게이트 레이어에 형성되며, VDD 점핑 라인(40)을 통해 인접한 4개의 ESD 회로(10)가 연결되어 있다.

[0015] ESD 회로(10)가 형성된 부분의 구조를 살펴보면, 기판 상의 게이트 레이어에 VDD 점핑 라인(40)이 형성되어 있고, 그 위에 게이트 절연막(41)과 식각방지층(42, ESL)이 순차로 형성되어 있다. 식각방지층(42) 상에 2개의 데이터 라인(20)이 나란히 형성되어 있고, 2개의 데이터 라인(20) 좌우에 ESD 회로(10)가 형성되어 있다. ESD 회로(10)들의 드레인 전극(D)은 소스/드레인 레이어에 형성되어 있다. 게이트 레이어에 형성된 VDD 점핑 라인(40)을 브릿지로 이용하여 인접한 ESD 회로(10)들의 드레인 전극(D)이 연결되어 있다.

[0016] 여기서, 게이트 레이어에 형성된 VDD 라인(30)은 COF 본딩 영역에서부터 형성되어 있고, VDD 점핑 라인(40)이 VDD 라인(30)에 접속되므로 제조 공정 시 발생된 전하가 VDD 점핑 라인(40)에 과충전 될 수 있다. VDD 점핑 라인(40)의 면적이 넓게 형성되어 있어 그 만큼 많은 양의 전하가 충전된다.

[0017] VDD 점핑 라인(40)과 데이터 라인(20)이 게이트 절연막(41)과 식각방지층(42)을 사이에 두고 서로 중첩되게 되

는데, 4,000Å의 간격(h1)을 두고 VDD 점핑 라인(40)과 데이터 라인(20)이 중첩된다.

[0018] VDD 점핑 라인(40)과 데이터 라인(20)이 중첩된 부분에서 VDD 점핑 라인(40)에 과충전 전하가 터져 VDD 점핑 라인(40)과 데이터 라인(20)에 쇼트가 발생하는 문제점이 있다. 데이터 라인(20) 및 VDD 점핑 라인(40)이 모두 전도성이 우수한 메탈 재질로 형성되어 과전류에 의한 쇼트가 발생할 가능성이 매우 높다.

[0019] 이와 같이, VDD 점핑 라인(40)과 데이터 라인(20)에 쇼트가 발생하면 쇼트가 발생된 데이터 라인(20)에는 과전류가 흘러 데이터 라인 댄(D-dim) 불량 발생되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0020] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, 정전기 방전 회로(ESD) 영역에서 VDD 점핑 라인과 데이터 라인의 정전기성 쇼트 발생을 방지하는 것을 기술적 과제로 한다.

[0021] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, 정전기 방전 회로(ESD) 영역에서의 쇼트 발생을 억제하여 데이터 라인 댄(D-dim) 불량을 방지하는 것을 기술적 과제로 한다.

[0022] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0023] 앞에서 설명한 기술적 과제를 달성하기 위한, 본 발명의 유기발광 디스플레이 장치는 유기발광 다이오드 및 화소 회로가 형성된 복수의 화소가 배열된 액티브 영역; 및 상기 복수의 화소에 데이터 전압을 공급하는 복수의 데이터 라인, 구동 전압을 공급하는 복수의 VDD 라인 및 복수의 정전기 방전 회로가 형성된 비 표시 영역;을 포함하고, 하나의 VDD 라인을 기준으로 좌우측에 복수의 정전기 방전 회로가 분산되어 형성되고, 상기 복수의 VDD 라인, 상기 복수의 데이터 라인 및 상기 복수의 정전기 방전 회로를 연결하는 점핑 라인이 서로 다른 레이어에 형성되어 있다.

[0024] 본 발명의 유기발광 디스플레이 장치는 기판 상의 제1 레이어에 상기 복수의 VDD 라인이 형성되고, 상기 제1 레이어 상부의 제2 레이어에 상기 복수의 데이터 라인이 형성되고, 상기 제2 레이어 상부의 제3 레이어에 상기 점핑 라인이 형성되어 있다.

[0025] 본 발명의 유기발광 디스플레이 장치는 기판 상에 제1 및 제2 정전기 방전 회로의 게이트 메탈층이 형성되고, 상기 게이트 메탈층 상에 게이트 절연막과 식각방지층이 형성되고, 상기 식각방지층 상에 상기 복수의 데이터 라인이 형성되고, 상기 게이트 절연막과 식각방지층을 관통하여 상기 게이트 메탈층과 접촉하도록 상기 제1 및 제2 정전기 방전 회로의 VDD 컨택이 형성되고, 상기 VDD 컨택 상에 보호막이 형성되고, 상기 점핑 라인이 상기 점핑 라인이 형성되고, 상기 보호막을 관통하여 상기 제1 및 제2 정전기 방전 회로의 VDD와 상기 점핑 라인이 연결되어 있다.

[0026] 본 발명의 유기발광 디스플레이 장치 상기 복수의 데이터 라인 하부에는 메탈층이 형성되어 있지 않고, 상기 복수의 데이터 라인 상부에는 상기 점핑 라인이 중첩되어 있다.

[0027] 본 발명의 유기발광 디스플레이 장치는 상기 VDD 라인 및 데이터 라인이 구리, 알루미늄, 크롬, 티타늄 또는 몰리브덴의 메탈 물질로 형성되고, 상기 점핑 라인이 ITO(Indium Tin Oxide)로 형성되어 있다.

발명의 효과

[0028] 본 발명의 유기발광 디스플레이 장치는 정전기 방전 회로(ESD) 영역에서 VDD 점핑 라인과 데이터 라인의 정전기성 쇼트 발생을 방지할 수 있다.

[0029] 본 발명의 유기발광 디스플레이 장치는 정전기 방전 회로(ESD) 영역에서의 쇼트 발생을 억제하여 데이터 라인 댄(D-dim) 불량을 방지할 수 있다.

[0030] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

- [0031] 도 1은 종래 기술에 따른 유기발광 디스플레이 장치를 개략적으로 나타내는 도면이다.
 도 2는 종래 기술에 따른 유기발광 디스플레이 장치의 ESD 회로 영역을 나타내는 도면이다.
 도 3은 도 2에 도시된 A1-A2선 및 A3-A4 선에 따른 단면으로서, 정전기 방전 회로(ESD) 영역에서 VDD 접평 라인 과 데이터 라인의 정전기성 쇼트가 발생하는 문제점을 나타내는 도면이다.
 도 4는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치를 나타내는 것으로, 정전기 방전 회로(ESD) 영역을 나타내는 도면이다.
 도 5는 도 4에 도시된 B1-B2선 및 B3-B4 선에 따른 단면을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 첨부되는 도면들을 참고하여 본 발명의 유기발광 디스플레이 장치에 대하여 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명의 핵심 구성과 관련이 없는 경우 및 본 발명의 기술분야에 공지된 구성과 기능에 대한 상세한 설명은 생략될 수 있다.
- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0034] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0035] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0036] 본 발명의 실시 예를 설명함에 있어서 어떤 구조물이 다른 구조물 '상에 또는 상부에' 및 '하부에 또는 아래에' 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.
- [0037] 도면을 참조한 설명에 앞서, 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 디스플레이 패널 및 구동 회로부를 포함하여 구성된다. 구동 회로부는 데이터 드라이버, 게이트 드라이버, 타이밍 컨트롤러, 메모리 및 전원 공급부를 포함하며, 복수의 구동집적회로(Drive IC)가 실장된 인쇄회로기판 및 COF(Chip on Film)에 형성된다.
- [0038] 디스플레이 패널은 복수의 유기발광 다이오드(OLED)와 상기 복수의 유기발광 다이오드(OLED)를 발광시키기 위한 화소 회로들이 형성된 어레이 기판과, 상기 복수의 유기발광 다이오드(OLED)를 밀봉하는 기판을 포함한다.
- [0039] 디스플레이 패널은 복수의 화소가 매트릭스 형태로 배열되어 화상이 표시되는 액티브 영역(active area)과, 비 표시 영역을 포함한다. 비표시 영역에는 더미 화소들, ESD 회로들 및 복수의 링크 라인이 형성되어 있다.
- [0040] 어레이 기판의 액티브 영역에는 복수의 게이트 라인, 복수의 센스신호 라인, 복수의 데이터 라인, 복수의 VDD 라인 및 복수의 기준 전압 라인이 형성되어 있고, 이러한 라인들에 의해 복수의 화소가 정의된다. 레드, 그린, 블루 및 화이트 화소가 모여 하나의 단위 화소를 구성한다.
- [0041] 복수의 화소 각각에는 유기발광 다이오드(OLED) 및 상기 유기발광 다이오드(OLED)를 발광시키기 위한 화소 회로가 형성되어 있다. 화소 회로는 드라이빙 TFT, 스캔 TFT 및 센스 TFT를 포함한다.

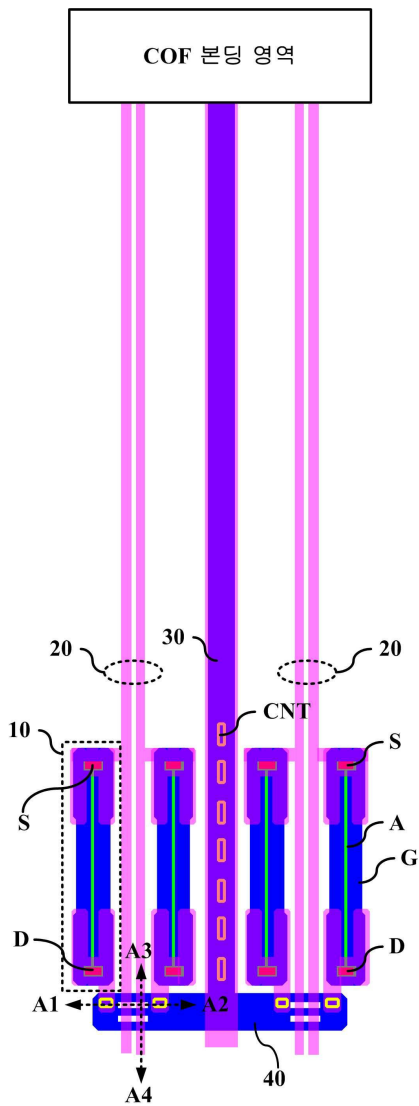
- [0042] 게이트 라인에는 게이트 드라이버로부터 스캔 신호(게이트 구동 신호)가 인가된다. 그리고, 센스신호 라인에는 게이트 드라이버로부터 센싱 신호(sense)가 인가된다.
- [0043] 복수의 데이터 라인에는 데이터 드라이버로부터 데이터 전압(이 인가된다. 데이터 전압(Vdata)은 화소의 드라이빙 TFT의 문턱전압(Vth)의 쉬프트를 보상하기 위한 보상 전압이 포함될 수 있다.
- [0044] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 유기발광 디스플레이 장치에 대하여 설명하기로 한다.
- [0045] 도 4는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치를 나타내는 것으로, 정전기 방전 회로(ESD) 영역을 나타내는 도면이다.
- [0046] 도 4를 참조하면, ESD 영역에는 복수의 정전기 방전 회로(100)가 형성되어 있다. 정전기 방전 회로(100)는 박막트랜지스터로 구성될 수 있으며, 링크 영역에 발생된 정전기에 의한 과전류를 외부의 그라운드(GND)로 배출시켜 액티브 영역의 TFT 어레이를 보호한다.
- [0047] 링크 영역 및 ESD 영역에는 복수의 화소에 구동 전압(VDD)을 공급하기 위한 복수의 VDD 라인(130) 및 복수의 화소들에 데이터 전압(Vdata)을 공급하기 위한 복수의 데이터 라인(120)이 형성되어 있다.
- [0048] 1개의 VDD 라인(130)을 통해 수평라인을 기준으로 4개의 화소들에 구동 전압(VDD)을 공급한다. VDD 라인(130)을 기준으로 좌우 대칭 구조로 화소들이 형성되어 있으며, 2개의 화소들 사이에 2개의 데이터 라인(120)이 형성되어 있다.
- [0049] 액티브 영역과 동일하게 ESD 영역에서도 VDD 라인(130)을 기준으로 좌우 대칭 구조로 ESD 회로(100)들이 형성되어 있으며, 2개의 ESD 회로(100) 사이에 2개의 데이터 라인(120)이 형성되어 있다.
- [0050] 이러한, ESD 회로(100)의 구조는 패널 외곽에 형성된 COF 본딩 영역으로부터 VDD 라인(130)을 통해 액티브 영역으로 구동 전압을 공급 시 과전류가 발생하면 ESD 회로(100)를 통해 과전류를 분산시켜 배출한다. 여기서, 과전류는 VDD 점핑 라인(140)을 통해 인접한 ESD 회로(100)로 전달되어 데이터 라인(120)을 통해 외부로 배출된다. 여기서, VDD 라인(120)은 하부 게이트 레이어에 형성되어 있고, VDD 점핑 라인(140)은 상부 게이트 레이어에 형성되어 있다.
- [0051] 도 5는 도 4에 도시된 B1-B2선 및 B3-B4 선에 따른 단면을 나타내는 도면이다. 도 5에서는 정전기 방전 회로(ESD) 영역에서 VDD 점핑 라인(140)과 데이터 라인(120)의 정전기성 쇼트가 발생되지 않도록 VDD 점핑 라인(140)의 구조를 변경한 것을 도시하고 있다.
- [0052] 도 5를 참조하면, 본 발명의 유기발광 디스플레이 장치는 정전기 터짐에 의한 VDD 점핑 라인(140)과 데이터 라인(120) 간의 쇼트 발생을 구조적으로 방지하기 위해서, VDD 라인(130), 데이터 라인(120) 및 VDD 점핑 라인(140)을 서로 다른 레이어 형성하였다.
- [0053] 구체적으로 살펴보면, 기판 상에 ESD 회로(100)의 게이트 메탈층(132)이 형성되어 있다. ESD 회로(100)의 게이트 메탈층(132)은 VDD 라인(130)과 동일하게 하부 게이트 레이어 형성되어 있다.
- [0054] 게이트 메탈층(132)을 덮도록 게이트 절연막(141)이 형성되어 있다. 게이트 절연막(141) 상에 TFT의 식각방지층(142)이 형성되어 있다.
- [0055] 식각방지층(142) 상에 2개의 데이터 라인(120)이 나란히 형성되어 있고, 2개의 데이터 라인(120) 좌우에 ESD 회로(100)가 형성되어 있다. ESD 회로(100)들의 드레인 전극(D)은 소스/드레인 레이어에 형성되어 있다.
- [0056] 게이트 절연막(141)과 식각방지층(142)의 일부를 제거하여 형성된 제1 컨택홀에 의해 게이트 메탈층(132)의 상면이 노출되고, 상기 제1 컨택홀의 내부에 메탈 물질이 매립되어 VDD 컨택(112a, 112b)이 형성되어 있다.
- [0057] 여기서, VDD 라인(130), 데이터 라인(120) 및 VDD 컨택(112a, 112b)은 전기 전도도가 높은 구리, 알루미늄, 크롬, 티타늄 또는 몰리브덴의 메탈 물질 또는 상기 메탈 물질들의 합금으로 형성될 수 있다.
- [0058] 데이터 라인(120) 및 VDD 컨택(112a, 112b)을 덮도록 보호막(143)이 형성되어 있고, 보호막(143) 상에 VDD 점핑 라인(140)이 형성되어 있다. VDD 점핑 라인(140)은 상부 게이트 레이어에 형성되어 있다.
- [0059] 보호막(143)의 일부를 제거하여 형성된 제2 컨택홀에 의해 VDD 컨택(112a, 112b)의 상면이 노출되고, 상기 제2 컨택홀의 내부 및 보호막(143) 상부에 ITO(Indium Tin Oxide)와 같은 투명 전도성 물질을 도포하여 VDD 점핑 라인(140)이 형성되어 있다.

- [0060] 여기서, VDD 점핑 라인(140)과 데이터 라인(120)이 보호막(143)을 사이에 두고 서로 중첩되게 되는데, 5,000Å의 간격(h2)을 두고 VDD 점핑 라인(140)과 데이터 라인(120)이 중첩된다.
- [0061] 도 4에 도시된 VDD 라인(130)을 기준으로 좌측에 형성된 제1 ESD 회로와 제2 ESD 회로의 연결 구조를 살펴보면, 데이터 라인(120)의 좌측에 형성된 제1 ESD 회로의 VDD 콘택(112a)과 VDD 점핑 라인(140)이 접속되고, 데이터 라인(120)의 우측에 형성된 제2 ESD 회로의 VDD 콘택(112b)과 VDD 점핑 라인(140)이 접속된다.
- [0062] 동일한 구조로써, VDD 라인(130)을 기준으로 우측에 형성된 제3 ESD 회로와 제4 ESD 회로의 연결 구조를 살펴보면, 데이터 라인(120)의 좌측에 형성된 제3 ESD 회로의 VDD 콘택(112a)과 VDD 점핑 라인(140)이 접속되고, 데이터 라인(120)의 우측에 형성된 제4 ESD 회로의 VDD 콘택(112b)과 VDD 점핑 라인(140)이 접속된다.
- [0063] 이와 같이, 소스/드레인 레이어의 위쪽의 상부 게이트 레이어 형성된 VDD 점핑 라인(140)을 통해 인접한 4개의 ESD 회로(100)가 연결되어 있다.
- [0064] 본 발명의 유기발광 디스플레이 장치는 정전기 터짐에 의한 VDD 점핑 라인(140)과 데이터 라인(120) 간의 쇼트 발생을 구조적으로 방지하기 위해서, VDD 라인(130)을 제1 레이어에 형성하고, 데이터 라인(120)을 제2 레이어에 형성하고, VDD 점핑 라인(140)을 제3 레이어 형성하였다.
- [0065] 또한, VDD 점핑 라인(140)이 형성된 부분에서 데이터 라인(120)과 VDD 라인(130)이 중첩되지 않도록 하고, 상부 게이트 레이어 형성된 VDD 점핑 라인(140)으로 VDD 라인(130)과 ESD 회로(100)들을 연결하였다. 제조 과정에서 VDD 라인(130)에 과충전된 전하를 상부 게이트 레이어에 형성된 VDD 점핑 라인(140)을 통해 인접한 ESD 회로(10)로 전달시켜 데이터 라인(10)을 통해 외부로 배출시킨다.
- [0066] 종래 기술에서는 데이터 라인 및 VDD 점핑 라인이 모두 전도성이 우수한 메탈 재질로 형성되어 과전류에 의한 쇼트가 발생할 가능성이 매우 높았다. 반면, 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 VDD 라인(130)의 면적이 감소되어 충전되는 전하의 양을 줄일 수 있고, VDD 점핑 라인(140)의 재료인 ITO는 산화물(Oxide)이어서 전하의 전도성이 낮아 전하가 충전되는 양을 감소시킬 수 있다.
- [0067] 이를 통해, 충전된 전하에 의해 과전류 발생을 줄일 수 있고, 과전류가 발생하더라도, VDD 라인(130)과 데이터 라인(120)이 중첩되어 있지 않기 때문에 VDD 라인(130)과 데이터 라인(120)의 과전류성 쇼트가 발생하는 것을 방지할 수 있다. 또한, VDD 라인(130)과 데이터 라인(120)의 쇼트가 발생하지 않아 데이터 라인 뎀(D-dim) 불량을 방지할 수 있다.
- [0068] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0069] 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

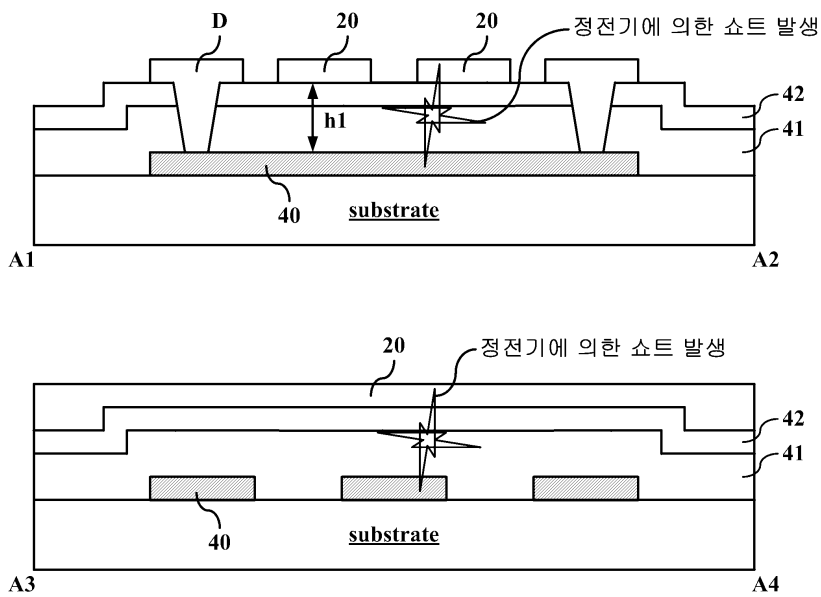
부호의 설명

- [0070] 100: ESD 회로
- 112a, 112b: VDD 콘택
- 120: 데이터 라인
- 130: VDD 라인
- 140: VDD 점핑 라인
- 141: 게이트 절연막
- 142: 식각방지층
- 143: 보호막

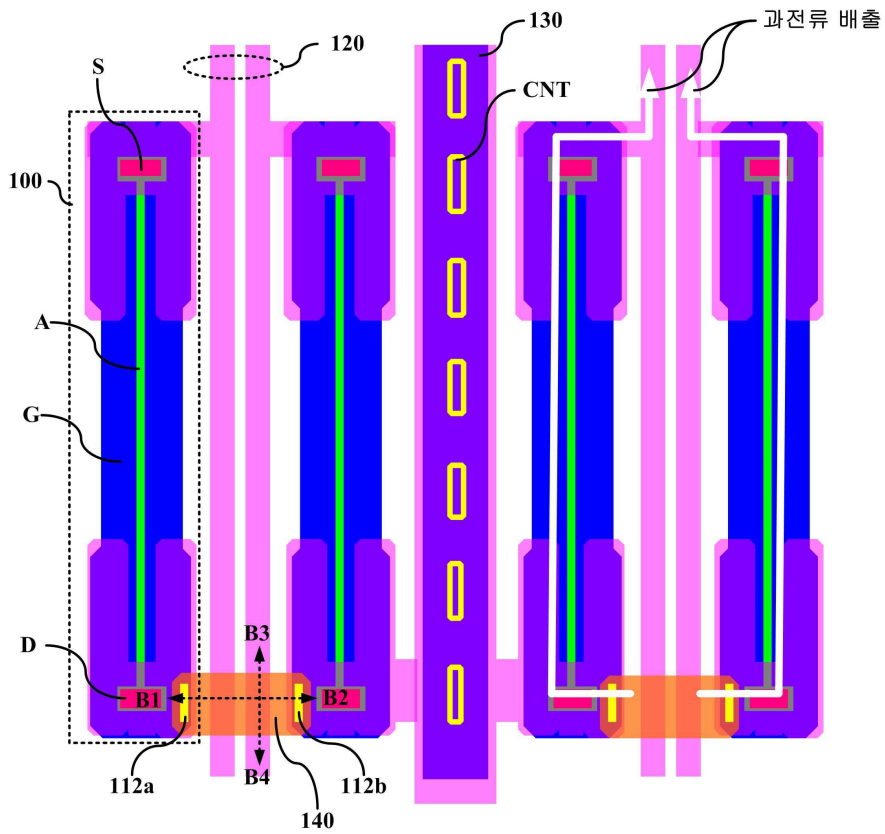
도면2



도면3



도면4



도면5

