



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년04월20일

(11) 등록번호 10-2087102

(24) 등록일자 2020년03월04일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 51/5262 (2013.01)

H01L 27/3211 (2013.01)

(21) 출원번호 10-2018-0163392

(22) 출원일자 2018년12월17일

심사청구일자 2018년12월17일

(56) 선행기술조사문헌

KR1020170051764 A*

KR1020070115478 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김미나

경기도 파주시 월롱면 엘지로 245

유남석

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

특허법인(유한)유일하이스트

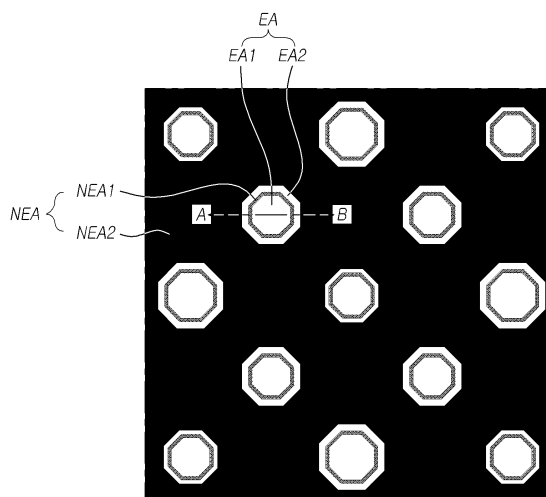
전체 청구항 수 : 총 17 항

심사관 : 이우리

(54) 발명의 명칭 유기발광 표시패널 및 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명의 실시예들은 유기발광 표시패널 및 유기발광 표시장치에 관한 것으로서, 더욱 상세하게는, 적어도 하나의 서브픽셀의 영역 내에서 적어도 1개의 오목부를 갖는 절연막, 적어도 하나의 서브픽셀의 영역 내에서, 오목부의 주변부와 오목부 상에 배치된 제1 전극, 오목부와 중첩되고, 제1 전극 상에 배치된 유기층을 포함하고, 적어도 1개의 청색 서브픽셀에 배치된 유기층은, 일부 또는 전부의 영역에서 최대 발광 파장이 457nm인 제1 발광 도펀트, 최대 파장의 반치전폭이 30nm 이하인 제2 발광 도펀트 또는 최대 발광 파장이 457nm이고 최대 파장의 반치전폭이 30nm 이하인 제3 발광 도펀트 중 적어도 하나의 발광 도펀트를 포함할 수 있다. 이를 통해, 광 추출 효율이 향상된 유기발광 표시패널 및 표시장치를 제공할 수 있다.

대표도 - 도3

(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 51/5218 (2013.01)

H01L 51/5237 (2013.01)

H01L 51/5284 (2013.01)

(72) 발명자

백정선

경기도 과천시 월릉면 엘지로 245

이승주

경기도 과천시 월릉면 엘지로 245

이선미

경기도 과천시 월릉면 엘지로 245

명세서

청구범위

청구항 1

다수의 서브픽셀을 포함하는 액티브 영역을 포함하는 기관;

상기 기관 상에 배치되고, 적어도 하나의 서브픽셀의 영역 내에서 적어도 1개의 오목부를 갖는 절연막;

상기 적어도 하나의 서브픽셀의 영역 내에서, 상기 오목부의 주변부와 상기 오목부 상에 배치된 제1 전극;

상기 오목부의 일부와 대응되는 영역에서 상기 제1 전극 상에 배치된 제1 부분과 상기 주변부와 대응되는 영역에서 상기 제1 전극 및 상기 절연막 상에 배치된 제2 부분을 포함하는 बैं크;

상기 오목부와 중첩되고, 상기 제1 전극 상에 배치된 유기층; 및

상기 유기층 및 상기 बैं크 상에 배치된 제2 전극;

상기 제2 전극의 일부 또는 전부 상에 배치된 캐핑층을 포함하고,

다수의 상기 서브픽셀은 적어도 1개의 청색 서브픽셀을 포함하고, 적어도 1개의 상기 청색 서브픽셀에 배치된 유기층은, 일부 또는 전부의 영역에서 최대 발광 파장이 457nm이하인 제1 발광 도펀트, 최대 파장의 반치전폭이 30nm 이하인 제2 발광 도펀트 또는 최대 발광 파장이 457nm이하이고 최대 파장의 반치전폭이 30nm 이하인 제3 발광 도펀트 중 적어도 하나의 발광 도펀트를 포함하고,

상기 하나의 서브픽셀은 제1 발광부 및 상기 제1 발광부를 둘러싸는 제2 발광부를 포함하고, 상기 제1 발광부와 상기 제2 발광부 사이에 배치된 제1 비 발광부를 포함하는 유기발광 표시패널.

청구항 2

제1항에 있어서,

상기 오목부는 평탄부와 상기 평탄부를 둘러싸는 경사부를 포함하고,

상기 오목부의 경사부는 수평면과 이루는 각도가 27° 이상 내지 80° 미만인 유기발광 표시패널.

청구항 3

제2항에 있어서,

상기 오목부의 경사부의 높이는 $0.7\mu\text{m}$ 이상인 유기발광 표시패널.

청구항 4

제1항에 있어서,

상기 제1 전극은 반사전극을 포함하는 유기발광 표시패널.

청구항 5

제2항에 있어서,

상기 오목부의 상기 평탄부에서, 상기 बैं크의 제1 부분과 상기 제1 전극이 미 중첩된 영역은 제1 발광부와 대응되는 유기발광 표시패널.

청구항 6

제1항에 있어서,

상기 제2 발광부는 상기 제1 전극이 상기 오목부의 경사부와 중첩되는 영역과 대응되는 유기발광 표시패널.

청구항 7

제1항에 있어서,

상기 제1 발광부의 색좌표와 상기 제2 발광부의 색좌표는 서로 대응되는 유기발광 표시패널.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 제1 비 발광부는 상기 बैं크의 제1 부분이 상기 오목부의 평탄부와 중첩되는 영역과 대응되는 유기발광 표시패널.

청구항 10

제1항에 있어서,

상기 제2 발광부를 둘러싸는 제2 비 발광부를 더 포함하는 유기발광 표시패널.

청구항 11

제10항에 있어서,

상기 제2 비 발광부는 상기 बैं크의 제2 부분이 배치된 영역과 대응되는 영역인 유기발광 표시패널.

청구항 12

제1항에 있어서,

상기 제1 전극은 반사전극을 포함하고,

상기 오목부의 경사부와 대응되는 영역에서,

상기 반사전극과 상기 बैं크 사이의 거리는 $3.2\mu\text{m}$ 이하인 유기발광 표시패널.

청구항 13

제1 항에 있어서,

하나의 상기 유기층은 서로 다른 색상을 발광하는 적어도 2개의 서브픽셀 내에 배치되고,

상기 유기층에는 상기 적어도 하나의 발광 도펀트가 포함된 유기발광 표시패널.

청구항 14

제1항에 있어서,

상기 캐핑층은 제2 전극 상에 배치된 제1 캐핑층 및 상기 제1 캐핑층 상에 배치된 제2 캐핑층을 포함하고,

상기 제1 캐핑층은 유기물로 이루어지고, 상기 제2 캐핑층은 무기물로 이루어진 유기발광 표시패널.

청구항 15

제14항에 있어서,

상기 제2 캐핑층 상에 봉지층이 더 배치되고,

상기 봉지층의 굴절률은 상기 제2 캐핑층의 굴절률보다 큰 유기발광 표시패널.

청구항 16

제14항에 있어서,

상기 제2 캐핑층은 절연층의 오목부의 일부 및 주변부와 중첩하도록 배치된 유기발광 표시패널.

청구항 17

제1항에 있어서,

상기 오목부의 경사부와 대응되는 영역에서의 상기 제2 전극의 두께가 상기 오목부의 평탄부와 대응되는 영역에서의 상기 제2 전극의 두께보다 두꺼운 유기발광 표시패널.

청구항 18

다수의 서브픽셀을 포함하는 액티브 영역을 포함하는 기관;

상기 기관 상에 배치되고, 적어도 하나의 서브픽셀의 영역 내에서, 평탄부와 상기 평탄부를 둘러싸는 경사부로 이루어진 적어도 1개의 오목부를 갖는 절연막;

상기 적어도 하나의 서브픽셀의 영역 내에서, 상기 오목부의 주변부와 상기 오목부 상에 배치된 제1 전극;

상기 오목부의 일부 상에 위치하는 제1 부분과 상기 주변부 상에 위치하는 제2 부분을 포함하는 बैं크;

상기 오목부와 중첩되고, 상기 제1 전극 상에 배치된 유기층; 및

상기 유기층 및 상기 बैं크 상에 배치된 제2 전극;

상기 제2 전극의 일부 또는 전부 상에 배치된 캐핑층을 포함하고,

다수의 상기 서브픽셀은 적어도 1개의 청색 서브픽셀을 포함하고, 적어도 1개의 상기 청색 서브픽셀에 배치된 유기층은, 일부 또는 전부의 영역에서 최대 발광 파장이 457nm 이하이거나, 최대 파장의 반치폭이 30nm 이하인 적어도 1종류의 발광 도펀트를 포함하고,

상기 평탄부가 구비된 영역에서, 상기 제1 전극과 상기 बैं크가 미 중첩된 영역은 제1 발광부이고,

상기 평탄부가 구비된 영역에서, 상기 बैं크와 상기 제1 전극이 중첩된 영역은 제1 비 발광부이며,

상기 경사부와 대응되는 영역은 제2 발광부이고,

상기 주변부와 대응되는 영역은 제2 비 발광부이며,

상기 하나의 서브픽셀은 제1 발광부 및 상기 제1 발광부를 둘러싸는 제2 발광부를 포함하고, 상기 제1 발광부와 상기 제2 발광부 사이에 배치된 제1 비 발광부를 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기발광 표시패널 및 이를 포함하는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라, 표시장치, 조명장치 등의 다양한 표시패널에 대한 요구가 다양한 형태로 증가하고 있다. 표시패널 분야에서는, 별도의 광원이 필요하지 않아 경량화 및 박형화에서 유리한 유기발광 표시패널에 대한 수요가 증가하고 있다.

[0003] 그러나, 유기발광 표시패널은 광을 방출하는 유기층을 포함하고 있는데, 유기층에서 발광된 광 중에서 유기발광 표시패널 외부로 나오지 못하고 유기발광 표시장치 내부에 갇히는 광들이 존재하여 유기발광 표시패널의 광 추출 효율이 저하되어 발광 효율이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들의 목적은, 광 추출 효율이 향상된 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.

- [0005] 본 발명의 실시예들의 다른 목적은, 인접한 서브픽셀들 간의 혼색을 방지할 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.
- [0006] 본 발명의 실시예들의 또 다른 목적은, 유기층에서 발광된 광이 외부로 추출되는 데까지의 경로를 줄일 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.
- [0007] 본 발명의 실시예들의 또 다른 목적은, 동일 색상을 발광하는 발광부들의 색좌표가 대응되는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0008] 본 발명의 실시예들은, 다수의 서브픽셀을 포함하는 액티브 영역을 포함하는 기판, 기판 상에 배치되고, 적어도 하나의 서브픽셀의 영역 내에서 적어도 1개의 오목부를 갖는 절연막, 적어도 하나의 서브픽셀의 영역 내에서, 오목부의 주변부와 오목부 상에 배치된 제1 전극, 오목부의 일부와 대응되는 영역에서 제1 전극 상에 배치된 제1 부분과 주변부와 대응되는 영역에서 제1 전극 및 절연막 상에 배치된 제2 부분을 포함하는 बैं크, 오목부와 중첩되고, 제1 전극 상에 배치된 유기층 및 유기층 및 बैं크 상에 배치된 제2 전극, 제2 전극의 일부 또는 전부 상에 배치된 캐핑층을 포함하고, 다수의 서브픽셀은 적어도 1개의 청색 서브픽셀을 포함하고, 적어도 1개의 청색 서브픽셀에 배치된 유기층은, 일부 또는 전부의 영역에서 최대 발광 파장이 457nm이하인 제1 발광 도펀트, 최대 파장의 반치전폭이 30nm 이하인 제2 발광 도펀트 또는 최대 발광 파장이 457nm이하이고 최대 파장의 반치전폭이 30nm 이하인 제3 발광 도펀트 중 적어도 하나의 발광 도펀트를 포함할 수 있다.
- [0009] 오목부는 평탄부와 평탄부를 둘러싸는 경사부를 포함하고, 오목부의 경사부는 수평면과 이루는 각도가 27° 이상 내지 80° 미만일 수 있다.
- [0010] 오목부의 경사부의 높이는 $0.7\mu\text{m}$ 이상일 수 있다.
- [0011] 제1 전극은 반사전극을 포함할 수 있다.
- [0012] 오목부의 평탄부에서, बैं크의 제1 부분과 제1 전극이 미 중첩된 영역은 제1 발광부와 대응될 수 있다.
- [0013] 제1 발광부를 둘러싸는 제2 발광부를 포함하고, 제2 발광부는 제1 전극이 오목부의 경사부와 중첩되는 영역과 대응될 수 있다.
- [0014] 제1 발광부의 색좌표와 제2 발광부의 색좌표는 서로 대응될 수 있다.
- [0015] 제1 발광부와 제2 발광부 사이에 제1 비 발광부가 배치될 수 있다.
- [0016] 제1 비 발광부는 बैं크의 제1 부분이 오목부의 평탄부와 중첩되는 영역과 대응될 수 있다.
- [0017] 제2 발광부를 둘러싸는 제2 비 발광부를 더 포함할 수 있다.
- [0018] 제2 비 발광부는 बैं크의 제2 부분이 배치된 영역과 대응되는 영역일 수 있다.
- [0019] 오목부의 경사부와 대응되는 영역에서, 반사전극과 상기 बैं크 사이의 거리는 $3.2\mu\text{m}$ 이하일 수 있다.
- [0020] 하나의 유기층은 서로 다른 색상을 발광하는 적어도 2개의 서브픽셀 내에 배치되고, 유기층에는 적어도 1종류의 발광 도펀트가 포함될 수 있다.
- [0021] 캐핑층은 제2 전극 상에 배치된 제1 캐핑층 및 제1 캐핑층 상에 배치된 제2 캐핑층을 포함하고, 제1 캐핑층은 유기물로 이루어지고, 제2 캐핑층은 무기물로 이루어질 수 있다.
- [0022] 제2 캐핑층 상에 봉지층이 더 배치되고, 봉지층의 굴절률은 상기 무기물층의 굴절률보다 클 수 있다.
- [0023] 제2 캐핑층은 절연층의 오목부의 일부 및 주변부와 중첩하도록 배치될 수 있다.
- [0024] 오목부의 평탄부와 대응되는 영역에서의 제2 전극의 두께가 오목부의 경사부와 대응되는 영역에서의 제2 전극의 두께보다 두꺼울 수 있다.

발명의 효과

- [0025] 본 발명의 실시예들에 의하면, 발광 효율이 향상된 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.

- [0026] 본 발명의 실시예들에 의하면, 인접한 서브픽셀들 간의 혼색을 방지할 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0027] 본 발명의 실시예들에 의하면, 유기층에서 발광된 광이 외부로 추출되는 데까지의 경로를 줄일 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0028] 본 발명의 실시예들에 의하면, 동일 색상을 발광하는 발광부들의 색좌표가 대응되는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 실시예들에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- 도 2는 하나의 서브픽셀이 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터를 더 포함하는 3T(Transistor)1C(Capacitor) 구조를 예시적으로 나타낸 도면이다.
- [92] 도 3은 본 발명의 실시예들에 따른 유기발광 표시패널의 액티브 영역에 포함된 발광부와 비 발광부를 도시한 평면도이다.
- 도 4는 도 3의 A-B를 따라 절단한 영역과 패드 영역의 일부를 도시한 도면이다.
- 도 5는 도 4의 X 영역을 확대한 도면이다.
- 도 6은 도 4의 Y 영역을 확대한 도면이다.
- 도 7 및 도 8은 본 발명의 실시예들에 따른 유기발광 표시패널의 발광층에 적용될 수 있는 발광 도펀트의 특성을 도시한 도면이다.
- 도 9 및 도 10은 제1 내지 제3 발광 도펀트 중 하나가 포함된 유기발광 표시패널과 본 발명의 발광 도펀트가 포함되지 않은 유기발광 표시패널의 DCI-P3 색 영역에서 청색의 특성을 비교한 그래프이다.
- 도 11 및 도 12는 본 발명의 다른 실시예에 따른 유기발광 표시패널의 하나의 서브픽셀을 나타낸 단면도이다.
- 도 13은 본 발명의 다른 실시예에 따른 유기발광 표시장치에서, 캐핑층이 액티브 영역 내의 모든 서브픽셀에 적용될 수 있음을 도시한 도면이다.
- 도 14는 제1 내지 제3 발광 도펀트 중 하나가 포함되고, 도 13의 캐핑층이 적용된 유기발광 표시패널과 본 발명의 발광 도펀트가 포함되지 않고, 캐핑층이 적용되지 않은 유기발광 표시패널의 DCI-P3 색 영역에서 청색의 특성을 비교한 그래프이다.
- 도 15는 본 발명의 또 다른 실시예에 따른 유기발광 표시패널을 도시한 도면이다.
- 도 16은 본 발명의 또 다른 실시예에 따른 유기발광 표시패널의 일부 영역을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0031] 또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0032] 또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.

- [0033] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0034] 또한, 본 발명의 실시예들에서의 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.
- [0035] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0036] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0037] 도 1은 본 발명의 실시예들에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- [0038] 본 발명의 실시예들에 따른 표시장치는, 영상을 표시하거나 빛을 출력하는 패널(PNL)과, 이러한 패널(PNL)을 구동하기 위한 구동회로를 포함할 수 있다.
- [0039] 패널(PNL)은, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열될 수 있다.
- [0040] 패널(PNL)에서 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)은 서로 교차하여 배치될 수 있다. 예를 들어, 다수의 게이트 라인(GL)은 행(Row) 또는 열(Column)으로 배열될 수 있고, 다수의 데이터 라인(DL)은 열(Column) 또는 행(Row)으로 배열될 수 있다. 아래에서는, 설명의 편의를 위하여, 다수의 게이트 라인(GL)은 행(Row)으로 배치되고, 다수의 데이터 라인(DL)은 열(Column)로 배치되는 것으로 가정한다.
- [0041] 패널(PNL)에는, 서브픽셀 구조 등에 따라, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL) 이외에, 다른 종류의 신호배선들이 배치될 수 있다. 구동전압 배선, 기준전압 배선, 또는 공통전압 배선 등이 더 배치될 수 있다.
- [0042] 패널(PNL)에 배치되는 신호배선들의 종류는, 서브픽셀 구조, 패널 타입 등에 따라 달라질 수 있다. 그리고, 본 명세서에서는 신호배선은 신호가 인가되는 전극을 포함하는 개념일 수도 있다.
- [0043] 패널(PNL)은 화상(영상)이 표시되는 액티브 영역(A/A)과, 그 외곽 영역이고 화상이 표시되지 않는 넌-액티브 영역(N/A)을 포함할 수 있다. 여기서, 넌-액티브 영역(N/A)은 베젤 영역이라고도 한다.
- [0044] 액티브 영역(A/A)에는 화상 표시를 위한 다수의 서브픽셀(SP)이 배치된다.
- [0045] 넌-액티브 영역(N/A)에는 데이터 드라이버(DDR)가 전기적으로 연결되기 위한 패드 영역이 배치되고, 이러한 패드 영역과 다수의 데이터 라인(DL) 간의 연결을 위한 다수의 데이터 링크 라인이 배치될 수도 있다. 여기서, 다수의 데이터 링크 라인은 다수의 데이터 라인(DL)이 넌-액티브 영역(N/A)으로 연장된 부분들이거나, 다수의 데이터 라인(DL)과 전기적으로 연결된 별도의 패드들일 수 있다.
- [0046] 또한, 넌-액티브 영역(N/A)에는 데이터 드라이버(DDR)가 전기적으로 연결되는 패드 부를 통해 게이트 드라이버(GDR)로 게이트 구동에 필요한 전압(신호)을 전달해주기 위한 게이트 구동 관련 배선들이 배치될 수 있다. 예를 들어, 게이트 구동 관련 배선들은, 클럭 신호를 전달해주기 위한 클럭 배선들, 게이트 전압(VGH, VGL)을 전달해주는 게이트 전압 배선들, 스캔신호 생성에 필요한 각종 제어신호를 전달해주는 게이트 구동 제어 신호배선들을 포함할 수 있다. 이러한 게이트 구동 관련 배선들은, 액티브 영역(A/A)에 배치되는 게이트 라인들(GL)과 다르게, 넌-액티브 영역(N/A)에 배치된다.
- [0047] 구동회로는, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(DDR)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(GDR)와, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)를 제어하는 컨트롤러(CTR) 등을 포함

할 수 있다.

- [0048] 데이터 드라이버(DDR)는 다수의 데이터 라인(DL)으로 데이터 전압을 출력함으로써 다수의 데이터 라인(DL)을 구동할 수 있다.
- [0049] 게이트 드라이버(GDR)는 다수의 게이트 라인(GL)으로 스캔신호를 출력함으로써 다수의 게이트 라인(GL)을 구동할 수 있다.
- [0050] 컨트롤러(CTR)는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)의 구동 동작에 필요한 각종 제어신호(DCS, GCS)를 공급하여 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)의 구동 동작을 제어할 수 있다. 또한, 컨트롤러(CTR)는 데이터 드라이버(DDR)로 영상데이터(DATA)를 공급할 수 있다.
- [0051] 컨트롤러(CTR)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상데이터를 데이터 드라이버(DDR)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(DATA)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0052] 컨트롤러(CTR)는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등의 타이밍 신호를 외부 (예: 호스트 시스템)로부터 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)로 출력한다.
- [0053] 예를 들어, 컨트롤러(CTR)는, 게이트 드라이버(GDR)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0054] 또한, 컨트롤러(CTR)는, 데이터 드라이버(DDR)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0055] 컨트롤러(CTR)는, 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있다.
- [0056] 컨트롤러(CTR)는, 데이터 드라이버(DDR)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(DDR)와 함께 통합되어 집적회로로 구현될 수 있다.
- [0057] 데이터 드라이버(DDR)는, 컨트롤러(CTR)로부터 영상데이터(DATA)를 입력 받아 다수의 데이터 라인(DL)로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(DDR)는 소스 드라이버라고도 한다.
- [0058] 데이터 드라이버(DDR)는 다양한 인터페이스를 통해 컨트롤러(CTR)와 각종 신호를 주고받을 수 있다.
- [0059] 게이트 드라이버(GDR)는, 다수의 게이트 라인(GL)로 스캔신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(GDR)는 스캔 드라이버라고도 한다.
- [0060] 게이트 드라이버(GDR)는, 컨트롤러(CTR)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호를 다수의 게이트 라인(GL)로 순차적으로 공급한다.
- [0061] 데이터 드라이버(DDR)는, 게이트 드라이버(GDR)에 의해 특정 게이트 라인이 열리면, 컨트롤러(CTR)로부터 수신한 영상데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)로 공급한다.
- [0062] 데이터 드라이버(DDR)는, 패널(PNL)의 일 측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 패널(PNL)의 양측(예: 상 측과 하 측)에 모두 위치할 수도 있다.
- [0063] 게이트 드라이버(GDR)는, 패널(PNL)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 패널(PNL)의 양측(예: 좌 측과 우 측)에 모두 위치할 수도 있다.
- [0064] 데이터 드라이버(DDR)는 하나 이상의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 구현될 수 있다.
- [0065] 각 소스 드라이버 집적회로(SDIC)는 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다. 데이터

드라이버(DDR)는, 경우에 따라서, 하나 이상의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.

- [0066] 각 소스 드라이버 집적회로(SDIC)는, TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 패널(PNL)의 본딩 패드(Bonding Pad)에 연결되거나 패널(PNL) 상에 직접 배치될 수도 있다. 경우에 따라서, 각 소스 드라이버 집적회로(SDIC)는 패널(PNL)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는 COF (Chip On Film) 타입으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로(SDIC)는 회로필름 상에 실장 되어, 회로필름을 통해 패널(PNL)에서의 데이터 라인들(DL)과 전기적으로 연결될 수 있다.
- [0067] 게이트 드라이버(GDR)는 다수의 게이트 구동회로(GDC)를 포함할 수 있다. 여기서, 다수의 게이트 구동회로(GDC)는 다수의 게이트 라인(GL)과 각각 대응될 수 있다.
- [0068] 각 게이트 구동회로(GDC)는 시프트 레지스터(Shift Register), 레벨 시프터(Level Shifter) 등을 포함할 수 있다.
- [0069] 각 게이트 구동회로(GDC)는 TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 패널(PNL)의 본딩 패드(Bonding Pad)에 연결될 수 있다. 또한, 각 게이트 구동회로(GDC)는 COF (Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 게이트 구동회로(GDC)는 회로필름 상에 실장 되어, 회로필름을 통해 패널(PNL)에서의 게이트 라인들(GL)과 전기적으로 연결될 수 있다. 또한, 각 게이트 구동회로(GDC)는 GIP (Gate In Panel) 타입으로 구현되어 패널(PNL)에 내장될 수 있다. 즉, 각 게이트 구동회로(GDC)는 패널(PNL)에 직접 형성될 수 있다.
- [0070] 도 2는 하나의 서브픽셀이 구동 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터를 더 포함하는 3T(Transistor)1C(Capacitor) 구조를 예시적으로 나타낸 도면이다.
- [0071] 도 2를 참조하면, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결되어, 게이트 노드로 제2 스캔 신호(SCAN2)를 인가 받아 온-오프가 제어될 수 있다.
- [0072] 제2 트랜지스터(T2)의 드레인 노드 또는 소스 노드는 기준 전압 라인(RVL)에 전기적으로 연결되고, 제2 트랜지스터(T2)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제2 노드(N2)에 전기적으로 연결될 수 있다.
- [0073] 제2 트랜지스터(T2)는, 일 예로, 디스플레이 구동 시 구간에서 턴-온 될 수 있고, 구동 트랜지스터(DRT)의 특성치 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 센싱 구동 시 구간에서 턴-온 될 수 있다.
- [0074] 제2 트랜지스터(T2)는 해당 구동 타이밍(예: 디스플레이 구동 타이밍 또는 센싱 구동 시 구간 내 초기화 타이밍)에 맞추어, 제2 스캔 신호(SCAN2)에 의해 턴-온 되어, 기준 전압 라인(RVL)에 공급된 기준 전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)에 전달해줄 수 있다.
- [0075] 또한, 제2 트랜지스터(T2)는 해당 구동 타이밍(예: 센싱 구동 시 구간 내 샘플링 타이밍)에 맞추어, 제2 스캔 신호(SCAN2)에 의해 턴-온 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)으로 전달해줄 수 있다.
- [0076] 다시 말해, 제2 트랜지스터(T2)는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상태를 제어하거나, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)에 전달해줄 수 있다.
- [0077] 여기서, 기준 전압 라인(RVL)은 기준 전압 라인(RVL)의 전압을 센싱하여 디지털 값으로 변환하여, 디지털 값을 포함하는 센싱 데이터를 출력하는 아날로그 디지털 컨버터와 전기적으로 연결될 수 있다.
- [0078] 아날로그 디지털 컨버터는 데이터 구동 회로(DDR)를 구현한 소스 드라이버 집적회로(SDIC)의 내부에 포함될 수도 있다.
- [0079] 아날로그 디지털 컨버터에서 출력된 센싱 데이터는 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도 등) 또는 유기발광다이오드(OLED)의 특성치(예: 문턱전압 등)를 센싱하는데 이용될 수 있다.
- [0080] 한편, 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)일 수 있다.
- [0081] 구동 트랜지스터(DRT), 제1 트랜지스터(W2) 및 제2 트랜지스터(T2) 각각은 n 타입 트랜지스터이거나 p 타입 트랜지스터일 수 있다.

- [0082] 한편, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 별개의 게이트 신호일 수 있다. 이 경우, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 서로 다른 게이트 라인을 통해, 제1 트랜지스터(W2)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드로 각각 인가될 수도 있다.
- [0083] 경우에 따라서는, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 동일한 게이트 신호일 수도 있다. 이 경우, 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 동일한 게이트 라인을 통해 제1 트랜지스터(W2)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드에 공통으로 인가될 수도 있다.
- [0084] 도 2에 예시된 각 서브픽셀 구조는 설명을 위한 예시일 뿐, 1개 이상의 트랜지스터가 삭제되거나, 1개 이상의 트랜지스터를 더 포함될 수 있으며, 경우에 따라서는, 1개 이상의 캐패시터가 더 포함될 수도 있다.
- [0085] 또는, 다수의 서브픽셀들 각각이 동일한 구조로 되어 있을 수도 있고, 다수의 서브픽셀들 중 일부는 다른 구조로 되어 있을 수도 있다.
- [0086] 한편, 패널(PNL)은 액티브 영역(A/A)에 배치된 유기발광소자로부터 발광된 광이 외부로 추출되는 양에 따라 휘도가 달라질 수 있다. 다시 말해, 유기발광소자로부터 발광된 광의 추출량이 많을수록 패널(PNL)의 휘도는 향상될 수 있다. 이에, 아래에서는, 광 추출량이 향상된 구조를 갖는 박막 트랜지스터 어레이 기관의 구조를 설명한다.
- [0087] 본 발명의 실시예들은, 다수의 서브픽셀을 포함하는 액티브 영역을 포함하는 기관, 기관 상에 배치되고, 적어도 하나의 서브픽셀의 영역 내에서 적어도 1개의 오목부를 갖는 절연막, 적어도 하나의 서브픽셀의 영역 내에서, 오목부의 주변부와 오목부 상에 배치된 제1 전극, 오목부의 일부 상에 위치하는 제1 부분과 주변부 상에 위치하는 제2 부분을 포함하는 बैं크, 오목부와 중첩되고, 제1 전극 상에 배치된 유기층 및 유기층과 बैं크 상에 배치된 제2 전극, 제2 전극의 일부 또는 전부 상에 배치된 캐핑층을 포함하고, 다수의 서브픽셀은 적어도 1개의 청색 서브픽셀을 포함하고, 적어도 1개의 청색 서브픽셀에 배치된 유기층은, 일부 또는 전부의 영역에서 최대 발광 파장이 457nm 이하이거나, 최대 파장의 반치폭이 30nm 이하인 적어도 1종류의 발광 도펀트를 포함하며, 캐핑층은 적어도 1층의 무기물로 이루어진 층을 포함할 수 있다.
- [0088] 여기서, 액티브 영역에서 배치된 다수의 서브픽셀 중 적어도 하나의 서브픽셀에는 절연막의 오목부가 적어도 1개 포함될 수 있다.
- [0089] 이와 같이, 간략하게 설명한 유기발광 표시패널에 대하여, 여러 도면들을 참조하여 더욱 상세하게 설명한다.
- [0090] 도 3은 본 발명의 실시예들에 따른 유기발광 표시패널의 액티브 영역에 포함된 발광부와 비 발광부를 도시한 평면도이다. 도 4는 도 3의 A-B를 따라 절단한 영역과 패드 영역의 일부를 도시한 도면이다. 도 4는 하나의 서브픽셀(SP)에 배치된 일부 구성 및 일부 영역만이 도시된 도면일 수 있으며, 패드 영역에 배치된 일부 구성 및 일부 영역만이 도시된 도면일 수 있다.
- [0091] 도 3을 참조하면, 액티브 영역(A/A)에는 다수의 발광부(EA)와 다수의 비 발광부(NEA)가 배치된다.
- [0092] 도 3에 도시된 바와 같이, 적어도 2개 이상의 서브픽셀(SP)의 발광부(EA)의 면적은 다를 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0093] 액티브 영역(A/A)에 배치된 각각의 서브픽셀(SP)은 다수의 발광부(EA1, EA2)를 포함할 수 있다.
- [0094] 구체적으로, 1개의 서브픽셀(SP)은 제1 발광부(EA1)와 제2 발광부(EA2)를 둘러싸는 제2 발광부(EA2)를 포함할 수 있다.
- [0095] 제1 발광부(EA1)와 제2 발광부(EA2) 사이에는 제1 비 발광부(NEA1)가 배치될 수 있다.
- [0096] 즉, 제1 발광부(EA1)와 제2 발광부(EA2)는 제1 비 발광부(NEA1)를 통해 구분될 수 있다.
- [0097] 도 3에 도시된 바와 같이, 제1 발광부(EA1), 제2 발광부(EA2) 및 제1 비 발광부(NEA1)는 평면 상으로 팔각형 형상일 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 발광부(EA1), 제2 발광부(EA2) 및 제1 비 발광부(NEA1)는 평면 상으로, 원형, 타원형 또는 다각형, 예를 들면, 삼각형, 사각형 또는 육각형 등이 형상으로 이루어질 수 있으며, 이들의 조합 역시 가능하다.
- [0098] 한 쌍의 제1 및 제2 발광부(EA1, EA2)는 다른 한 쌍의 제1 및 제2 발광부(EA1, EA2)와 이격될 수 있으며, 이들 사이에는 제2 비 발광부(NEA2)가 배치될 수 있다.

- [0099] 제2 비 발광부(NEA2)는 제1 및 제2 발광부(EA1, EA2)의 구동을 위한 회로가 배치된 회로부의 일부 또는 전부와 대응되는 영역일 수 있다.
- [0100] 도 4를 참조하면, 액티브 영역(A/A, A-B 절단 영역)에는 기관(SUB) 상에 배치된 트랜지스터(TR) 및 트랜지스터(TR)와 전기적으로 연결된 유기발광소자(OLED)가 배치된다. 그리고, 넌-액티브 영역(N/A)에는 적어도 하나의 패드 영역이 존재한다.
- [0101] 트랜지스터(TR)는 액티브층(ACT), 게이트 전극(GATE), 소스전극(S) 및 드레인전극(D)을 포함한다.
- [0102] 유기발광소자(OLED)는 제1 전극(E1), 발광층을 포함하는 유기층(EL) 및 제2 전극(E2)을 포함한다. 여기서, 제1 전극(E1)은 애노드 전극일 수 있고, 제2 전극(E2)은 캐소드 전극일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0103] 구체적으로, 기관(SUB) 상에 버퍼층(BUF)이 배치된다. 버퍼층(BUF) 상에는 트랜지스터(TR)의 액티브층(ACT)이 배치된다. 액티브층(ACT) 상에는 게이트 절연막(GI)이 배치되고, 게이트 절연막(GI) 상에는 게이트 전극(GATE)이 배치된다.
- [0104] 한편, 도 4에는 도시하지 않았으나, 본 발명의 실시예들에 따른 액티브층(ACT)은 채널영역을 포함하고, 액티브층(ACT)의 채널영역은 게이트 절연막(GI) 및 게이트 전극(GATE)과 중첩될 수 있다. 다시 말해, 게이트 절연막(GI)과 게이트 전극(GATE)은 액티브층(ACT)의 채널영역 상에 배치될 수 있다.
- [0105] 게이트 전극(GATE) 상에는 층간 절연막(INF)이 배치된다. 층간 절연막(INF) 상에는 소스전극(S)과 드레인전극(D)이 배치된다. 소스전극(S)과 드레인전극(D)은 층간 절연막(INF) 상에서 서로 이격하여 배치될 수 있다. 그리고, 소스전극(S)과 드레인전극(D) 각각은 층간 절연막(INF)에 형성된 홀을 통해 액티브층(ACT)과 접촉될 수 있다.
- [0106] 상술한 구조로 기관(SUB) 상에 트랜지스터(TR)가 배치될 수 있으나, 본 발명의 트랜지스터 구조가 이에 한정되는 것은 아니다.
- [0107] 예를 들면, 기관(SUB) 상에 게이트 전극(GATE)이 배치되고, 게이트 전극(GATE) 상에 액티브층(ACT)이 배치되며, 액티브층(ACT) 상에서 액티브층(ACT)의 일 단과 중첩하도록 소스전극(S)이 배치되고, 액티브층(ACT)의 타 단과 중첩하도록 드레인전극(D)이 배치될 수도 있다.
- [0108] 그리고, 트랜지스터(TR)를 덮으면서 보호막(PAS)이 배치될 수 있다.
- [0109] 보호막(PAS) 상에는 절연막(INS)이 배치될 수 있다.
- [0110] 절연막(INS)은 유기물질로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0111] 이러한 절연막(INS)은 하나의 서브픽셀 영역에서 적어도 하나의 오목부(CON)를 가질 수 있다. 그리고, 절연막(INS)은 오목부(CON)를 둘러싸고, 오목부(CON) 주변에 위치된 주변부(INSS)를 가질 수 있다. 오목부(CON)는 평탄부(CONP)와 평탄부(CONP)를 둘러싸는 경사부(CONS)으로 이루어질 수 있다.
- [0112] 오목부(CON)의 평탄부(CONP)는 표면이 기관(SUB) 표면과 평행한 부분일 수 있고, 경사부(CONS)는 평탄부(CONP)를 둘러싸면서, 경사부(CONS)의 표면이 기관(SUB)의 표면으로부터 소정의 각도를 갖는 부분일 수 있다. 즉, 경사부(CONS)의 표면은 기관(SUB)의 표면과 평행하지 않을 수 있다.
- [0113] 또한, 절연막(INS)은 오목부(CON)와 이격하는 홀(CH)을 구비할 수 있다.
- [0114] 그리고, 적어도 하나의 서브픽셀 영역 내에서 절연막(INSS)의 주변부(INSS)와 오목부(CON) 상에 제1 전극(E1)이 배치될 수 있다.
- [0115] 한편, 제1 전극(E1)은 오목부(CON)와 중첩되는 영역에서, 제1 전극(E1)의 표면이 기관(SUB)의 표면과 평행한 제1 영역(A1)과, 제1 영역(A1)에서 연장되어 제1 전극(E1)의 표면이 기관(SUB)으로부터 소정의 각도를 갖는 부분인 제2 영역(A2)을 포함한다. 즉, 제2 영역(A2)의 표면은 기관(SUB)의 표면과 평행하지 않을 수 있다. 그리고, 제1 전극(E1)은 제2 영역(A3)에서 연장되어, 제1 전극(E1)의 표면이 기관(SUB)의 표면과 평행한 제3 영역(A3)을 포함한다. 제3 영역(A3)은 오목부(CON)의 주변부(INSS)와 중첩된 영역일 수 있다.
- [0116] 또한, 상술한 바와 같이, 적어도 하나의 서브픽셀 영역 내에서, 절연막(INS)은 오목부(CON)와 이격된 적어도 하나의 홀(CH)을 포함할 수 있고, 절연막(INS)의 홀(CH)을 통해 트랜지스터(TR)와 유기발광소자(OLED)의 제1 전극

(E1)이 전기적으로 연결될 수 있다.

- [0117] 구체적으로, 제1 전극(E1)은 트랜지스터(TR)의 소스전극(S) 또는 드레인 전극(D)과 전기적으로 연결될 수 있다.
- [0118] 절연막(INS)과 제1 전극(E1)의 일부 상에는 बैं크(BANK)가 배치될 수 있다.
- [0119] बैं크(BANK)는 절연막(INS)에 구비된 오목부(CON)의 일부와 대응되는 영역에서 제1 전극(E1) 상에 배치된 제1 부분(P1)과 절연막(INS)에 구비된 주변부(INSS)와 대응되는 영역에서 제1 전극(E1) 및 절연막(INS) 상에 배치된 제2 부분(P2)을 포함할 수 있다.
- [0120] 이러한 बैं크(BANK)는 오목부(CON)와 중첩되는 영역에서 제1 전극(E1)의 상면의 일부를 노출하도록 배치될 수 있다. 즉, 적어도 하나의 서브픽셀은 제1 전극(E1)이 बैं크(BANK)와 미 중첩된 영역을 가질 수 있다.
- [0121] बैं크(BANK)와 미 중첩된 제1 전극(E1) 상에는 발광층을 포함하는 유기층(EL)이 배치될 수 있다. 이러한 유기층(EL)은 제1 전극(EL)의 일부와 बैं크(BANK)의 일부와 중첩될 수 있다.
- [0122] 그리고, 유기층(EL) 및 बैं크(BANK)를 덮으면서 제2 전극(E2)이 배치될 수 있다.
- [0123] 한편, 유기발광소자(OLED)의 유기층(EL)은 직진성을 갖는 증착 또는 코팅 방법으로 형성될 수 있다. 예를 들면, 유기층(EL)은 Evaporation 공정과 같은 물리적 증착 방법(Physical Vapor Deposition: PVD)으로 형성될 수 있다.
- [0124] 이와 같은 방법으로 형성된 유기층(EL)은, 수평면에 대해 소정의 각도를 갖는 영역에서의 두께가 수평면과 평행한 영역에서의 두께보다 얇을 수 있다.
- [0125] 예를 들면, 오목부(CON)의 경사부(CONS)와 대응된 영역에 배치된 유기층(EL)의 두께는 बैं크(BANK)에 의해 노출된 제1 전극(E1) 상면에 배치된 유기층(EL)의 두께보다 얇을 수 있다. 또한, 오목부(CON)의 경사부(CONS)와 대응된 영역에 배치된 유기층(EL)의 두께는 오목부(CON)의 주변부(INSS) 상에 배치된 유기층(EL)의 두께보다 얇을 수 있다.
- [0126] 이에, 유기발광소자(OLED)가 구동되면, 유기층(EL)의 두께가 상대적으로 얇게 형성된 영역, 즉, 오목부(CON)의 경사부(CONS)와 대응된 영역에서 전류밀도가 가장 높게 걸리고, 오목부(CON)의 경사부(CONS)와 대응된 영역에서 전기장이 강하게 걸릴 수 있다.
- [0127] 따라서, 오목부(CON)의 경사부(CONS)과 대응된 영역에서의 유기발광소자(OLED)의 발광 특성과 오목부(CON)의 평탄부(CONP)와 대응된 영역에서의 유기발광소자(OLED)의 발광 특성이 상이해질 수 있고, 소자의 열화가 발생할 수 있다.
- [0128] 본 발명의 실시예에서는, बैं크(BANK)가 오목부(CON) 경사부(CONS)를 덮도록 배치됨으로써, 오목부(CON)의 경사부(CONS)와 대응되는 영역에서 소자의 열화가 발생하는 것을 방지하고, 영역 별로 발광 특성이 상이한 현상을 방지할 수 있다.
- [0129] 다만, 본 발명의 유기층(EL)의 두께 조건이 이에 한정되는 것은 아니며, 유기층(EL)의 두께는 위치마다 대응되는 두께를 가질 수도 있다.
- [0130] 한편, 제1 전극(E1)은 반사전극을 포함하는 구성일 수 있다.
- [0131] 이러한 제1 전극(E1)은 절연막(INS)의 오목부(CON)의 평탄부(CONP)와 경사부(CONS)를 덮으면서 배치될 수 있다.
- [0132] 그리고, 제2 전극(E2)은 반투명 또는 투명한 전도성 물질로 이루어질 수 있다.
- [0133] 이에, 유기층(EL)에서 발광된 광 중 일부는 경사부(CONS)와 대응되는 영역에 배치된 제1 전극(E1)에 의해 반사되어 패널(PNL) 외부로 추출될 수 있다. 그리고, 유기층(EL)에서 발광된 광 중 일부가 제1 전극(E1)의 제1 부분(A2)에서 반사되어 외부로 추출될 때, 광이 제2 전극(E2)에 흡수되지 않고 외부로 추출될 수 있다.
- [0134] 따라서, 유기발광 표시패널의 광 추출 효율이 향상될 수 있다.
- [0135] 또한, 도 4에 도시된 바와 같이, 액티브 영역(A/A)에서 제2 비 발광부(NEA2)와 대응되는 영역에는 제2 전극(E2)과 접촉되는 보조 전극(AE, 또는 보조 배선이라 지칭할 수 있음)이 더 배치될 수 있다.
- [0136] 구체적으로, 보조 전극(AE)은 층간 절연막(INF) 상에 배치될 수 있다. 그리고, 보호막(PAS), 절연막(INS) 및 बैं크(BANK)는 보조 전극(AE)을 노출하는 홀을 구비할 수 있다. 제2 전극(E2)은 보조 전극(AE)을 노출하는 보호막

(PAS), 절연막(INS) 및 बैं크(BANK)의 홀을 통해 보조 전극(AE)과 컨택될 수 있다.

- [0137] 예를 들어, 유기발광 표시패널이 대면적의 표시패널일 경우, 제2 전극(E2)의 저항에 의한 전압 강하가 일어나, 패널 외곽부와 중심부의 휘도 차이가 발생할 수 있다. 그러나, 본 발명의 유기발광 표시패널에서는 제2 전극(E2)과 컨택되는 보조 전극(AE)을 통해 전압 강하가 발생하는 것을 방지할 수 있다. 이에, 본 발명의 실시예에 따른 유기발광 표시패널이 대면적의 패널일 경우, 패널의 휘도 차이 발생을 방지할 수 있는 효과가 있다.
- [0138] 한편, 도 4에서는 하나의 서브 픽셀(SP)에 하나씩 보조 전극(AE)이 배치된 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 다수의 서브픽셀(SP) 당 하나의 보조 전극(AE)이 배치될 수도 있다.
- [0139] 또한, 본 발명의 실시예에 따른 유기발광 표시패널이 대면적의 패널의 아닐 경우, 보조 전극(AE)을 포함하지 않을 수도 있다.
- [0140] 그리고, 도 4에 도시된 바와 같이, 액티브 영역(A/A)에는 스토리지 캐패시터(C1, C2)가 배치될 수 있다. 스토리지 캐패시터(C1, C2)는 게이트 전극(GATE)과 동일층에 배치된 제1 스토리지 캐패시터 전극(C1)과 소스 전극(S) 및 드레인 전극(D)과 동일층에 배치된 제2 스토리지 캐패시터 전극(C2)을 포함할 수 있으나, 본 발명의 스토리지 캐패시터(C1, C2)의 구조가 이에 한정되는 것은 아니다.
- [0141] 또한, 본 발명의 실시예에 따른 유기발광 표시패널은 논-액티브 영역에 배치되는 패드 영역을 포함한다. 패드 영역에는 다수의 패드 전극(P1, P2)이 배치될 수 있다.
- [0142] 예를 들면, 패드 영역에 배치된 다수의 절연막(BUF, GI) 상에 제1 패드 전극(P1)이 배치될 수 있다. 제1 패드 전극(P1) 상에는 제1 패드 전극(P1)의 상면의 일부를 노출하는 층간 절연막(INF)이 배치될 수 있다. 그리고, 제1 패드 전극(P1)과 층간 절연막(INF) 상에는 제1 패드 전극(P1)과 컨택하는 제2 패드 전극(P2)이 배치될 수 있다.
- [0143] 도 4에는 도시하지 않았으나, 제2 패드 전극(P2)은 각종 회로 필름 등과 전기적으로 연결될 수 있다.
- [0144] 이어서, 본 발명의 실시예에 따른 유기발광 표시패널에 대한 구조 및 광 경로에 대한 설명은 도 5 및 도 6을 통해 더욱 자세히 검토한다.
- [0145] 도 5는 도 4의 X 영역을 확대한 도면이다. 도 6은 도 4의 Y 영역을 확대한 도면이다.
- [0146] 먼저, 도 5를 참조하면, 적어도 하나의 서브픽셀(SP)은 적어도 2개의 발광부(EA1, EA2)를 구비할 수 있다. 2개의 발광부(EA1, EA2) 사이에는 1개의 비 발광부(NEA1)가 배치될 수 있다.
- [0147] 구체적으로, 제1 발광부(EA1)는 절연막(INS)의 오목부(CON)의 일부와 대응되는 영역일 수 있다.
- [0148] 다른 측면으로, 제1 발광부(EA1)는 오목부(CON)의 평탄부(CONP)에서 बैं크(BANK)의 제1 부분(P1)과 미 중첩되는 영역일 수 있다.
- [0149] 제1 발광부(EA1)는 유기층(EL)으로부터 발광된 광의 일부(L1)가 유기층(EL)과 제2 전극(E2)을 거쳐 패널(PNL) 외부로 추출되는 영역일 수 있다.
- [0150] 또한, 제1 발광부(EA1)는 유기층(EL)으로부터 발광된 광의 일부(L1, 후술하는 설명에서는 제1 광으로 명명함)는 제1 전극(E1)에 도달하고, 제1 전극(E1)에 의해 반사되어 다시 유기층(EL)과 제2 전극(E2)을 차례로 거쳐 패널 외부로 추출되는 영역일 수 있다.
- [0151] 이러한 제1 발광부(EA1)는 제1 비 발광부(NEA1)로 둘러싸일 수 있다.
- [0152] 제1 비 발광부(NEA1)는 बैं크(BANK)가 오목부(CON)의 평탄부(CONP)와 중첩된 영역과 대응될 수 있다. 구체적으로는, 제1 비 발광부(NEA1)는 बैं크(BANK)의 제1 부분(P1)이 오목부(CON)의 평탄부(CONP)와 중첩되는 영역과 대응될 수 있다.
- [0153] 제1 비 발광부(NEA1)는 유기층(EL)으로부터 발광된 광 중 일부(L3)가 बैं크(BANK)의 제1 부분(P1)과 대응되는 영역으로 향하지만, 이 광(L3)이 외부로 추출되지 못하는 영역일 수 있다. 다시 설명하면, 유기층(EL)으로부터 발광된 광이, 평탄부(CONP)와 평행한 방향으로 출사되어 제1 전극(E1)에 도달하나, 광이 외부로 출사되도록 반사되지 못하고 서브픽셀 내에 갇히는 영역일 수 있다.
- [0154] 제2 발광부(EA2)는 이러한 제1 비 발광부(NEA1)를 둘러싸도록 배치될 수 있다. 제2 발광부(EA2)는 제1 전극(E1)이 오목부(CON)의 경사부(CONS)와 중첩되는 영역과 대응되는 영역일 수 있다. 다른 측면으로, 제2 발광부

(EA2)는 제1 전극(E1)의 제2 영역(A2)과 대응되는 영역일 수 있다.

- [0155] 유기층(EL)으로부터 발광된 광 중 일부(L2, 후술하는 설명에서는 제2 광으로 명명함)는 제1 전극(E1)의 제2 영역(A)과 대응되는 영역으로 향할 수 있다.
- [0156] 구체적으로, 제2 광(L2)은 बैं크(BANK)의 제1 부분(P1)을 거쳐 제1 전극(E1)의 제2 영역(A)의 일부 영역과 대응되는 영역에 도달한다. 제1 전극(E1)에 도달한 제2 광(L2)은 제1 전극(E1)에 의해 반사되어 다시 बैं크(BANK)의 제1 부분(P1), 유기층(EL) 및 제2 전극(E2)을 거쳐 외부로 추출된다. 이와 같이 제2 광(L2)이 추출됨으로써, 제2 발광부(EA2)가 존재하게 된다.
- [0157] 한편, 제1 발광부(EA1)와 제2 발광부(EA2) 사이에 배치된 제1 비 발광부(NEA1)는 제1 발광부(EA1)의 가시광선과 제2 발광부(EA2)들의 가시광선이 혼재되어 있는 영역일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0158] 제2 비 발광부(NEA2)는 이러한 제2 발광부(EA2)를 둘러싸도록 배치될 수 있다. 제2 비 발광부(NEA2)는 बैं크(BANK)의 제2 부분(P2)이 배치된 영역과 대응될 수 있다.
- [0159] 본 발명의 실시예들에 따른 유기발광 표시패널에서는, 제2 발광부(EA2)로부터 추출되는 광량을 증가시키기 위해, 오목부(CON)의 경사부(CONS)와 오목부(CON)의 경사부(CONS)에 배치된 बैं크(BANK)는 특정 조건을 가질 수 있다.
- [0160] 도 6을 참조하면, 절연막(INS)의 경사부(CONS)의 높이(H1, 또는 오목부의 깊이)는 $0.7\mu\text{m}$ 이상일 수 있다. 여기서, 경사부(CONS)의 높이(H1)는 오목부(CON)의 평탄부(CON)의 표면에서 기판(SUB)의 표면과 평행하게 연장된 선으로부터 주변부(INSS)까지의 최단 거리를 의미한다.
- [0161] 한편, 본 발명의 실시예에서는 오목부(CON)의 경사부(CONS)가 위치하는 절연막(INS) 높이(H1)가 상술한 수치에 한정되는 것은 아니다. 예를 들면, 높이 H1은 절연막(INS)의 오목부(CON)가 절연막(INS) 하부에 배치된 구성들을 노출시키지 않는 정도의 높이로 이루어지는 구성이면 충분하다.
- [0162] 경사부(CONS)의 높이(H1)는 오목부(CON)의 주변부(INSS) 상에 배치된 बैं크(BANK)의 높이 보다 높을 수 있다. 다른 측면으로, 경사부(CONS)의 높이(H1)는 बैं크(BANK)의 제2 부분(P2)의 높이보다 높을 수 있다.
- [0163] 이와 같이, 경사부(CONS)의 높이(H1)가 높게 형성될수록 제1 전극(E1)의 제2 영역(A2)에서 반사되는 광량이 증가되므로, 광 추출 효율이 향상될 수 있다.
- [0164] 또한, 오목부(CON)의 경사부(CONS)이 수평면과 이루는 각도(a)는 27° 이상 내지 80° 미만일 수 있다.
- [0165] 각도 a가 27° 미만일 경우, 유기층(EL)으로부터 발광된 광은 경사부(CONS)에 배치된 제1 전극(E1)에 도달하지 못하고, 인접한 다른 서브픽셀로 전달되어 혼색 현상이 나타나거나, 패널(PNL) 안에 갇혀서 외부로 추출되지 못할 수 있다.
- [0166] 각도 a가 80° 를 초과할 경우, 절연층(INS)의 경사부에 배치되는 제1 전극(E1) 등의 구성에 단선이 발생할 수 있다.
- [0167] 또한, 오목부(CON)의 경사부(CONS)와 대응되는 영역에서 제1 전극(E1, 반사전극)의 표면과 बैं크(BANK) 사이의 거리(W)는 $3.2\mu\text{m}$ 이하, $2.6\mu\text{m}$ 이하 또는 $2.0\mu\text{m}$ 이하일 수 있다.
- [0168] 다른 측면으로, 제1 전극(E1)의 제2 영역(A2)에서 제1 전극(E1)의 표면과 बैं크(BANK) 사이의 거리(W)는 $3.2\mu\text{m}$ 이하, $2.6\mu\text{m}$ 이하 또는 $2.0\mu\text{m}$ 이하일 수 있다.
- [0169] W가 작을수록, 제1 발광부(EA1) 면적이 확장될 수 있고, 제1 전극(E1)의 제2 영역(A2)에서 반사되어 추출되는 광의 광로를 줄여 광 추출 효율이 향상될 수 있으므로, W 값의 하한은 특별히 제한되는 것은 아니나, 예를 들면, d의 하한은 $0.1\mu\text{m}$ 이상, $0.3\mu\text{m}$ 이상 또는 $0.5\mu\text{m}$ 이상일 수 있다.
- [0170] W의 범위를 상술한 바와 같이 조절함으로써, 제1 발광부(EA1)의 면적을 넓히면서 광 추출 효율을 향상시킬 수 있는 유기발광 표시패널을 제공할 수 있는 효과가 있다.
- [0171] 한편, 유기층(EL)으로부터 발광된 광 중, 제1 전극(E1)의 제2 영역(A)의 일부 영역과 대응되는 영역에 도달하는 제2 광(L2)은 패널 외부로 추출되기까지 बैं크(BANK)를 적어도 2번 통과하게 된다.
- [0172] 그러나, बैं크(BANK)는 가시광선 파장 대에서 단파장 영역의 광을 흡수할 수 있으므로, 제2 광(L2)이 추출되는

제2 발광부(EA2)와 뱅크(BANK)를 통과하지 않고 외부로 제1 광(L1)이 추출되는 제1 발광부(EA1)의 색좌표가 달라질 수 있다. 예를 들면, 제2 발광부(EA2)의 색좌표가 제1 발광부(EA1)의 색좌표보다 장파장으로 이동(shift)될 수 있다. 이로 인해, 제1 및 제2 발광부(EA1, EA2)의 혼색이 발생하고, 색 재현율을 만족시키지 못할 수 있다.

- [0173] 그러나, 본 발명의 실시예들에 따른 유기발광 표시패널에서는 적어도 하나의 청색 서브픽셀에 배치된 유기층(EL)의 발광층에 최대 발광 파장이 457nm 이하 및/또는 최대 파장의 반치폭이 30nm 이하인 적어도 1종류의 발광 도펀트(DP)를 포함할 수 있다.
- [0174] 구체적으로, 적어도 하나의 청색 서브픽셀에 배치된 유기층(EL)의 발광층에는 도 7 및 도 8에 기재된 제1 내지 제3 발광 도펀트 중 적어도 하나의 도펀트가 포함될 수 있다.
- [0175] 도 7 및 도 8은 본 발명의 실시예들에 따른 유기발광 표시패널의 발광층에 적용될 수 있는 발광 도펀트의 특성을 도시한 도면이다.
- [0176] 도 7 및 도 8을 참조하면, 본 발명의 실시예들에 따른 유기발광 표시패널의 유기층(EL) 중, 발광층에는 제1 내지 제3 발광 도펀트 중 적어도 하나의 도펀트가 포함될 수 있다.
- [0177] 여기서, 제1 발광 도펀트는 최대 발광 파장이 457nm 이하일 수 있다. 제2 발광 도펀트는 최대 파장의 반치전폭(Full Width at Half Maximum; FWHM)이 30nm 이하일 수 있다. 제3 발광 도펀트는 최대 발광 파장이 457nm이고 최대 파장의 반치전폭이 30nm 이하일 수 있다.
- [0178] 이러한 제1 내지 제3 발광 도펀트 중 적어도 하나는 청색 서브픽셀에 배치된 유기층(EL)에 포함될 수 있다.
- [0179] 한편, 비교예 1에 대한 발광 도펀트는 최대 발광 파장이 457nm를 초과하고, 최대 파장의 반치전폭이 30nm를 초과할 수 있다.
- [0180] 비교예 1에 대한 발광 도펀트가 유기발광 표시장치에 적용될 경우, 패널의 색좌표가 장파장 방향으로 이동되어, 색재현율이 떨어질 수 있다.
- [0181] 제1 내지 제3 발광 도펀트 중 하나가 적용된 유기발광 표시패널과 본 발명의 발광 도펀트가 적용되지 않은, 즉, 비교예 1의 발광 도펀트가 적용된 유기발광 표시패널의 DCI-P3 색 영역의 특성을 검토하면 다음과 같다.
- [0182] 도 9 및 도 10은 제1 내지 제3 발광 도펀트 중 하나가 적용된 유기발광 표시패널과 비교예 1의 발광 도펀트가 적용된 유기발광 표시패널의 DCI-P3 색 영역에서 청색의 특성을 비교한 그래프이다.
- [0183] 도 9 및 도 10에서 비교예 2는 비교예 1의 발광 도펀트가 적용된 유기발광 표시패널이고, 실시예 1은 본 발명의 청색 서브픽셀에 배치된 발광층에 본 발명의 제1 발광 도펀트가 포함된 유기발광 표시패널이며, 실시예 2는 본 발명의 청색 서브픽셀에 배치된 발광층에 본 발명의 제2 발광 도펀트가 포함된 유기발광 표시패널이고, 실시예 3은 본 발명의 청색 서브픽셀에 배치된 발광층에 본 발명의 제3 발광 도펀트가 포함된 유기발광 표시패널이다.
- [0184] 그리고, 도 9의 그래프에서 가로축은 유기층의 두께이고, 세로축은 DCI-P3 색 영역에서 청색 색좌표를 의미한다.
- [0185] 유기발광 표시패널의 우수한 색 재현율을 만족하기 위해서는 청색 색좌표의 최소 값이 K1 값 이하로 떨어져야 한다.
- [0186] 그러나, 도 9를 참조하면, 비교예 2에 따른 유기발광 표시패널은 청색 색좌표의 최소 값이 K2 값 아래의 수치로 떨어지지 않는 것을 알 수 있다.
- [0187] 이는, 비교예 2에 따른 유기발광 표시패널의 단파장의 광이 장파장으로 이동됨으로 인해 색 재현율이 우수하지 못한 현상을 가져온다.
- [0188] 반면에, 본 발명의 실시예 1 내지 실시예 3의 유기발광 표시패널들의 청색 색좌표의 최소 값이 K1 이하의 값으로 떨어짐으로써, 우수한 색 재현율을 보임을 알 수 있다.
- [0189] 여기서, K1 값은 0.056이고, K2는 0.067일 수 있다.
- [0190] 또한, 도 10에서 가로축은 비교예, 실시예1, 실시예2 및 실시예 3에 해당하고, 세로축은 K1 값을 기준으로 한 DCI-P3 만족 또는 미 만족을 나타낸 것이다.
- [0191] 도 10을 참조하면, 비교예 2에 따른 유기발광 표시패널은 K1 값 보다 큰 청색 색좌표를 가진다. 즉, 비교예 2에

따른 유기발광 표시패널은 DCI-P3를 미 만족하게 된다.

- [0192] 반면에, 실시예1 내지 실시예 3의 유기발광 표시패널은 모두 K1 값 보다 작은 청색 색좌표를 가진다. 즉, 실시예들에 따른 유기발광 표시패널은 DCI-P3를 만족하게 된다.
- [0193] 특히, 실시예 1 내지 실시예 3의 유기발광 표시패널의 청색 색좌표 각각은 비교예에 따른 유기발광 표시패널의 청색 색좌표에 비해 0.009, 0.01, 0.021 작을 수 있다.
- [0194] 즉, 본 발명의 제1 내지 제3 실시예에 따른 유기발광 표시패널은 적어도 하나의 청색 서브픽셀에서 발광층에 제1 내지 제3 발광 도펀트 중 적어도 어느 하나가 포함됨으로써, 색 재현율이 우수한 유기발광 표시패널을 제공할 수 있는 효과가 있다.
- [0195] 이는 제1 발광부(EA1) 및 제2 발광부(EA2)의 색좌표가 대응됨을 의미한다. 다른 측면으로는, 제2 발광부(EA2)에서 추출된 제2 광(L2)이 बैं크(BANK)로 인한 색좌표 변동이 없을 수 있다. 즉, बैं크(BANK)가 제2 광(L2)의 단파장의 일부를 흡수하더라도, 본 발명의 제1 내지 제3 발광 도펀트가 적어도 하나의 청색 서브픽셀의 발광층에 포함됨으로써, 제2 발광부(EA2)의 색이 장파장으로 이동되는 현상을 방지할 수 있다.
- [0196] 한편, 본 발명의 실시예에 따른 유기발광 표시패널은 유기발광소자(OLED)의 제2 전극(E2) 상에 캐핑층을 더 포함하여 구성됨으로써, 광 추출 효율을 향상시킬 수 있는 효과가 있다.
- [0197] 이를 도 11 및 도 12를 참조하여 검토하면 다음과 같다.
- [0198] 도 11 및 도 12는 본 발명의 다른 실시예에 따른 유기발광 표시패널의 하나의 서브픽셀을 나타낸 단면도이다.
- [0199] 도 11 및 도 12의 서브픽셀은 유기발광 표시패널에 포함되는 청색 서브픽셀일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0200] 먼저, 도 11을 참조하면, 본 발명의 다른 실시예들에 따른 유기발광 표시패널은 유기층(EL)이 오목부(CON)에서 연장되어 주변부(INSS)의 일부 영역 상에 배치될 수 있다.
- [0201] 이 경우, 유기발광 표시패널은 적어도 3개의 서로 다른 색상을 표시하는 서브픽셀을 구비할 수 있다. 예를 들면, 유기발광 표시패널은 적색, 녹색 및 청색을 발광하는 서브픽셀들을 구비할 수 있다.
- [0202] 다만, 본 발명의 실시예들에 따른 유기발광 표시패널의 유기층(EL)의 배치 특성이 이에 한정되는 것은 아니며, 유기층(EL)이 액티브 영역에서 오목부(CON) 및 주변부(INSS) 전부와 중첩하도록 배치될 수도 있다. 이 때, 하나의 유기층(EL)은 서로 다른 색상을 발광하는 적어도 2개의 서브픽셀 내에 공통으로 배치될 수 있다.
- [0203] 이 경우, 유기발광 표시패널은 적어도 2개 내지 4개의 서로 다른 색상을 표시하는 서브픽셀을 구비할 수 있다.
- [0204] 예를 들어, 유기발광 표시패널이 4개의 서로 다른 색상을 표시하는 서브픽셀을 구비하는 경우, 유기발광 표시패널은 적색, 백색, 녹색 및 청색을 발광하는 서브픽셀들을 구비할 수 있다. 또한, 기판(SUB)과 대향하는 다른 기판이 배치될 수 있고, 다른 기판의 일 면에는 다수의 컬러필터가 배치될 수 있다. 그리고, 발광 도펀트는 적어도 4개의 서로 다른 색상을 표시하는 서브픽셀 내의 발광층에 포함될 수 있다.
- [0205] 이러한 유기층(EL) 상에는 제2 전극(EL)이 배치될 수 있다.
- [0206] 제2 전극(EL) 상에는 캐핑층(CPL)이 배치될 수 있다.
- [0207] 캐핑층(CPL)은 제2 전극(EL) 상에 배치된 제1 캐핑층(CPL)과, 제1 캐핑층(CPL) 상에 배치된 제2 캐핑층(CPL)을 포함한다. 여기서, 제1 캐핑층(CPL1)은 유기물로 이루어진 캐핑층이고, 제2 캐핑층(CPL2)은 무기물로 이루어진 캐핑층일 수 있다.
- [0208] 캐핑층(CPL) 상에는 봉지층(INC)이 배치될 수 있다.
- [0209] 도 11에서는 봉지층(INC)이 단일층인 구성으로 도시되어 있으나, 본 발명이 이에 한정되는 것은 아니며, 다중층으로 이루어질 수도 있다. 이 경우, 유기 봉지층과 무기 봉지층이 교번하여 배치될 수 있다.
- [0210] 봉지층(INC)의 굴절률은 제2 캐핑층(CPL2)의 굴절률보다 높을 수 있다. 따라서, 유기층(EL)으로부터 발광된 광의 일부(L4, 제4 광이라고 함)는 제2 캐핑층(CPL2)과 봉지층(INC)의 계면에서 반사되어 패널 외부로 추출될 수 있다.
- [0211] 특히, 제4 광(L4)의 일부는 제1 전극(E1)의 제2 영역(A2)으로 향할 수 있는데, 이 광이 제1 전극(E1)의 제2 영

역(A2)에 도달하기 전에 제2 캐핑층(CPL2)과 봉지층(INS)의 계면에서 반사되어 외부로 추출될 수 있다.

- [0212] 즉, 제2 캐핑층(CPL2)은 유기층(EL)에서 발광된 광이 बैं크(BANK)를 통과하여 외부로 추출되는 양을 줄여주는 역할을 하여, 제2 발광부(EA2)의 광의 최초 발광 파장에 비해 장파장으로 이동하는 것을 방지할 수 있다.
- [0213] 한편, 도 11에서는 하나의 청색 서브픽셀에 캐핑층(CPL)이 배치된 구성을 도시하였으나, 도 12에 도시된 바와 같이, 캐핑층(CPL)은 하나의 청색 서브픽셀에서 일부 영역에만 배치될 수 있다.
- [0214] 구체적으로, 제1 전극(E1), 유기층(EL) 및 제2 전극(E2) 각각은 오목부(CON)의 경사부(CONS) 및 평탄부(CONP)에 의해 적어도 1개의 경사부와 평탄부를 구비할 수 있다. 즉, 제1 전극(E1), 유기층(EL) 및 제2 전극(E2) 각각의 경사부와 평탄부는 오목부(CON)의 경사부(CONS) 및 평탄부(CONP)와 중첩되는 영역을 포함할 수 있다.
- [0215] 또한, 제1 전극(E1), 유기층(EL) 및 제2 전극(E2) 각각은 오목부(CON)를 둘러싸는 주변부(INSS)에 의해 모두 적어도 1개의 주변부를 구비할 수 있다. 다시 말해, 1 전극(E1), 유기층(EL) 및 제2 전극(E2) 각각의 주변부는 오목부(CON)를 둘러싸는 주변부(INSS)와 중첩되는 주변부를 구비할 수 있다.
- [0216] 본 발명의 실시예에서, 캐핑층(CPL)은, 캐핑층(CPL)하부에 배치된 제2 전극(E2)의 경사면과 주변부와 중첩되는 영역에만 배치될 수 있다.
- [0217] 이를 통해, 유기층(EL)에서 발광된 제4 광(L4)의 일부가 제1 전극(E1)의 제2 영역(A2)에 도달하기 전에 제2 캐핑층(CPL2)과 봉지층(INS)의 계면에서 반사되어 외부로 추출될 수 있다.
- [0218] 여기서, 제2 전극(E2) 두께는 50 Å 내지 250 Å일 수 있다. 그리고, 제1 캐핑층(CPL1)의 두께는 100 Å 내지 2000 Å일 수 있다. 제2 캐핑층(CPL2)의 두께는 100 Å 내지 1000 Å일 수 있다.
- [0219] 한편, 도 11 및 도 12에서는 청색 서브픽셀에 제1 및 제2 캐핑층(CPL1, CPL2)으로 이루어진 다층의 캐핑층이 적용된 구성을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0220] 캐핑층(CPL)은 액티브 영역에 존재하는 모든 서브픽셀에 적용될 수 있다.
- [0221] 도 13은 본 발명의 다른 실시예에 따른 유기발광 표시장치에서, 캐핑층이 액티브 영역 내의 모든 서브픽셀에 적용될 수 있음을 도시한 도면이다.
- [0222] 도 13을 참조하면, 본 발명의 유기발광 표시장치는 다수의 제1 내지 제3 서브픽셀(SP1, SP2, SP3)을 포함할 수 있다.
- [0223] 제1 서브픽셀(SP1)은 적색 서브픽셀이고, 제2 서브픽셀(SP2)은 녹색 서브픽셀이며, 제3 서브픽셀(SP3)은 청색 서브픽셀일 수 있다.
- [0224] 한편, 도 13에 도시된 바와 같이, 발광 색상에 따라 유기층(EL1, EL2, EL3)는 달라질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0225] 제1 및 제2 캐핑층(CPL1, CPL2)는 제1 내지 제3 서브픽셀(SP1, SP2, SP3) 모두에 적용될 수 있다.
- [0226] 이에, 모든 서브픽셀(SP1, SP2, SP3)에서 유기층(EL1, EL2, EL3)에서 발광된 광의 일부가 제1 전극(E1)의 제2 영역(A2)에 도달하기 전에 제2 캐핑층(CPL2)과 봉지층(INS)의 계면에서 반사되어 외부로 추출될 수 있다. 따라서, 각 서브픽셀에서 발광된 광이 원래의 색상보다 장파장 방향으로 이동하는 것을 방지할 수 있는 효과가 있다.
- [0227] 또한, 제1 및 제2 캐핑층(CPL1, CPL2)이 적용된 적어도 하나의 청색 서브픽셀에 배치된 유기층(EL3)에는 제1 내지 제3 발광 도펀트 중 적어도 하나를 포함할 수 있다.
- [0228] 이를 통해, 유기발광 표시패널의 색 재현율을 향상시킬 수 있다.
- [0229] 이를 도 14를 참조하여 자세히 검토하면 다음과 같다.
- [0230] 도 14는 제1 내지 제3 발광 도펀트 중 하나가 포함되고, 도 13의 캐핑층이 적용된 유기발광 표시패널과 본 발명의 발광 도펀트가 포함되지 않고, 캐핑층이 적용되지 않은 유기발광 표시패널의 DCI-P3 색 영역에서 청색의 특성을 비교한 그래프이다.
- [0231] 도 14에서 비교예 2는 비교예 1의 발광 도펀트가 적용된 유기발광 표시패널이고, 실시예 4는 본 발명의 청색 서브픽셀에 배치된 발광층에 본 발명의 제1 발광 도펀트가 포함되고 도 13의 캐핑층이 적용된 유기발광 표시패널

이며, 실시예 5는 본 발명의 청색 서브픽셀에 배치된 발광층에 본 발명의 제2 발광 도펀트가 포함되고 도 13의 캐핑층이 적용된 유기발광 표시패널이고, 실시예 6은 본 발명의 청색 서브픽셀에 배치된 발광층에 본 발명의 제3 발광 도펀트가 포함되고 도 13의 캐핑층이 적용된 유기발광 표시패널이다.

- [0232] 또한, 도 14에서 가로축은 비교예 2, 실시예4, 실시예5 및 실시예 6에 해당하고, 세로축은 K1 값을 기준으로 한 DCI-P3 만족 또는 미 만족을 나타낸 것이다.
- [0233] 도 14를 참조하면, 비교예 2에 따른 유기발광 표시패널은 K1 값 보다 큰 청색 색좌표를 가진다. 즉, 비교예 2에 따른 유기발광 표시패널은 DCI-P3를 미 만족하게 된다.
- [0234] 반면에, 실시예 4 내지 실시예 6의 유기발광 표시패널은 모두 K1 값 보다 작은 청색 색좌표를 가진다. 즉, 실시예들에 따른 유기발광 표시패널은 DCI-P3를 만족하게 된다.
- [0235] 특히, 실시예 4 내지 실시예 6의 유기발광 표시패널의 청색 색좌표 각각은 비교예에 따른 유기발광 표시패널의 청색 색좌표에 비해 0.014, 0.015, 0.026 작을 수 있다.
- [0236] 즉, 본 발명의 제1 내지 제3 실시예에 따른 유기발광 표시패널은 적어도 하나의 청색 서브픽셀에서 발광층에 제1 내지 제3 발광 도펀트 중 적어도 어느 하나가 포함되고, 도 13의 캐핑층이 적용됨으로써, 색 재현율이 우수한 유기발광 표시패널을 제공할 수 있는 효과가 있다.
- [0237] 이어서, 도 15를 참조하여, 본 발명의 또 다른 실시예에 따른 유기발광 표시패널을 검토하면 다음과 같다.
- [0238] 후술하는 설명에서는 앞서 설명한 실시예들과 중복되는 내용(구성, 효과 등)은 생략할 수 있다.
- [0239] 도 15에서는, 도 4의 구조와는 다르게 유기발광소자(OLED)의 유기층(EL)이 액티브 영역(A/A) 전면에 배치될 수 있다.
- [0240] 이 경우, 제2 전극(E2)과 보조 전극(AE)의 접촉을 위해, 뱅크(BANK)는 유기층(EL)을 형성하는 공정에서 유기층(EL) 물질이 보조 전극(AE) 상에 증착되지 못하도록 하는 구조를 가질 수 있다.
- [0241] 구체적으로, 도 15에 도시된 바와 같이, 뱅크(BANK)는 보조 전극(AE)을 노출하도록 홀을 둘러싸는 영역에서, 기관(SUB)으로부터 멀어질수록 폭이 넓어지는 형상을 가질 수 있다. 즉, 뱅크(BANK)가 기관(SUB)으로부터 멀어질수록 보조 전극(AE)을 노출하는 뱅크(BANK)의 홀의 입구가 좁아질 수 있다.
- [0242] 한편, 유기층(EL)을 형성하는 공정은, 원료물질이 직전성을 갖는 증착 또는 코팅 방법이 이용될 수 있다. 예를 들면 Evaporation 방법이 이용될 수 있다. 그리고, 제2 전극(EL2)을 형성하는 공정은, 원료 물질의 방향성이 일정하지 않은 증착 또는 코팅 방법이 이용될 수 있다. 예를 들면, 스퍼터링(Sputtering) 방법이 이용될 수 있다.
- [0243] 보조 전극(AE)을 노출하는 뱅크(BANK)의 홀의 입구가 좁기 때문에, 유기층(EL)의 공정 특성으로 인하여, 유기층(EL)이 보조 전극(AE) 상에 배치되지 않을 수 있다. 그리고, 제2 전극(E2) 역시 공정 특성으로 인하여, 뱅크(BANK)의 홀이 입구가 좁더라도 홀 안으로 제2 전극(E2)의 원료 물질이 들어가게 될 수 있으므로, 보조 전극(AE) 상에도 제2 전극(E2)이 형성될 수 있다.
- [0244] 도 16은 본 발명의 또 다른 실시예에 따른 유기발광 표시패널의 일부 영역을 도시한 도면이다.
- [0245] 도 16은 본 발명의 또 다른 실시예에 따른 유기발광 표시패널을 도시한 도면이다.
- [0246] 도 16을 참조하면, 본 발명의 또 다른 실시예에 따른 유기발광 표시패널에서, 유기발광소자(OLED)의 제2 전극(E2)의 두께는 위치 별로 상이할 수 있다.
- [0247] 한편, 제1 전극(E1) 및 유기층(EL)은 오목부(CON)의 경사부(CONS) 및 평탄부(CONP)에 의해 모두 적어도 1개의 경사부와 평탄부를 구비할 수 있다. 즉, 제1 전극(E1) 및 유기층(EL) 각각의 경사부와 평탄부는 오목부(CON)의 경사부(CONS) 및 평탄부(CONP)와 중첩되는 영역을 포함할 수 있다.
- [0248] 또한, 제1 전극(E1) 및 유기층(EL) 각각은 오목부(CON)를 둘러싸는 주변부(INSS)에 의해 모두 적어도 1개의 주변부를 구비할 수 있다. 다시 말해, 1 전극(E1) 및 제2 전극(E2) 각각의 주변부는 오목부(CON)를 둘러싸는 주변부(INSS)와 중첩되는 주변부를 구비할 수 있다.
- [0249] 이 때, 제2 전극(E2)은 제2 전극(E2) 하부에 배치된 유기층(EL)의 표면 형상을 따라 배치될 수 있다.
- [0250] 이러한 제2 전극(E2)은 유기층(EL)의 경사부와 대응되는 영역의 제1 두께(T1)는 유기층(EL)의 평탄부 및 유기층의 주변부와 대응되는 영역에서의 제2 전극(E2)의 제2 및 제3 두께(T2, T3)보다 두꺼울 수 있다. 여기서, 제2

전극(E2)은 50Å 내지 250Å일 수 있다.

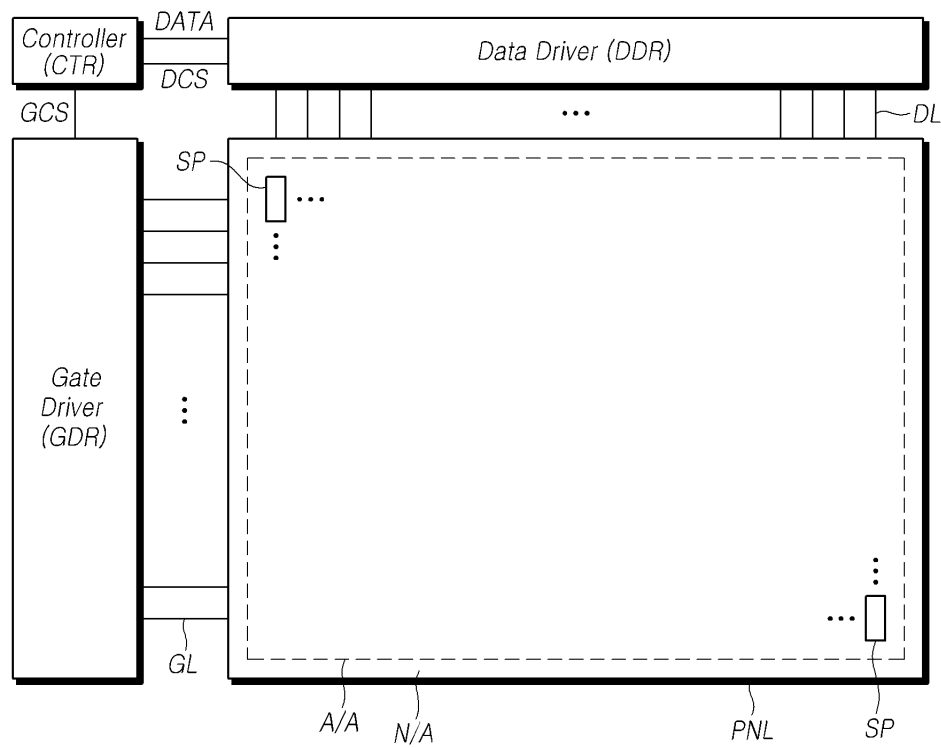
- [0251] 한편, 제2 전극(E2)가 제1 두께(T1)를 갖는 영역은 제1 전극(E1)의 제2 영역(A2)과 중첩될 수 있다.
- [0252] 이에, 유기층(EL)에서 발광된 광 중 제1 전극(E1)의 제2 영역(A2)에서 반사되어 बैं크(BANK), 유기층(EL), 제2 전극(E2)을 거쳐서 외부로 추출되는 광은 마이크로 캐비티 효과(micro-cavity effect)를 얻을 수 있다.
- [0253] 여기서, 마이크로 캐비티 효과는 반사전극인 제1 전극(E1)과 반투과 전극(E2)인 제2 전극 사이에 광이 갇혀 특정 파장을 가지며 갇혀 있다가 제2 전극(E2) 사이로 증폭되어 방출되는 현상을 말한다.
- [0254] 즉, 제2 전극(E2)의 제1 두께(T1)가 제2 및 제3 두께(T2, T3)에 비해 두껍게 이루어짐으로써, 제2 발광부(EA2)의 휘도를 증가시킬 수 있는 효과가 있다.
- [0255] 본 발명의 실시예들에 의하면, 액티브 영역에서, 절연막(INS)이 적어도 하나의 오목부(CON)를 구비하고, 오목부(CON) 상에 반사전극을 포함하는 유기발광소자(OLED)의 제1 전극(E1)이 배치됨으로써, 발광 효율이 향상된 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0256] 본 발명의 실시예들에 의하면, 인접한 서브픽셀들 간의 혼색을 방지할 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0257] 본 발명의 실시예들에 의하면, 오목부(CON)의 경사부(CONS)와 대응되는 영역에서 बैं크(BANK)의 두께가 얇게 형성됨으로써, 유기층에서 발광된 광이 외부로 추출되는 데까지의 경로를 줄일 수 있는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0258] 본 발명의 실시예들에 의하면, 적어도 하나의 청색 서브픽셀에서 본 실시예들에 따른 발광 도펀트를 포함하므로, 동일 색상을 발광하는 발광부들의 색좌표가 대응되는 구조를 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0259] 또한, 특정 영역에서 제2 전극의 두께가 두껍게 이루어지거나, 적어도 하나의 청색 서브픽셀에서 무기물의 캐핑층이 적용됨으로써, 우수한 색재현율을 갖는 유기발광 표시패널 및 유기발광 표시장치를 제공할 수 있다.
- [0260] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

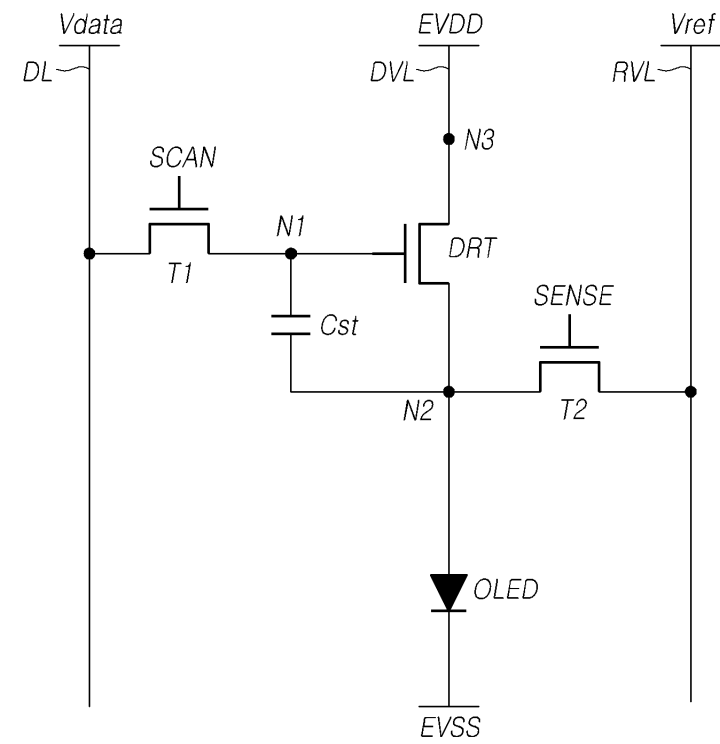
- [0261] INS: 절연막
CON: 오목부
CONP: 평탄부
CONS: 경사부
INSS: 주변부
BANK: बैं크
E1: 제1 전극
EL: 유기층
E2: 제2 전극

도면

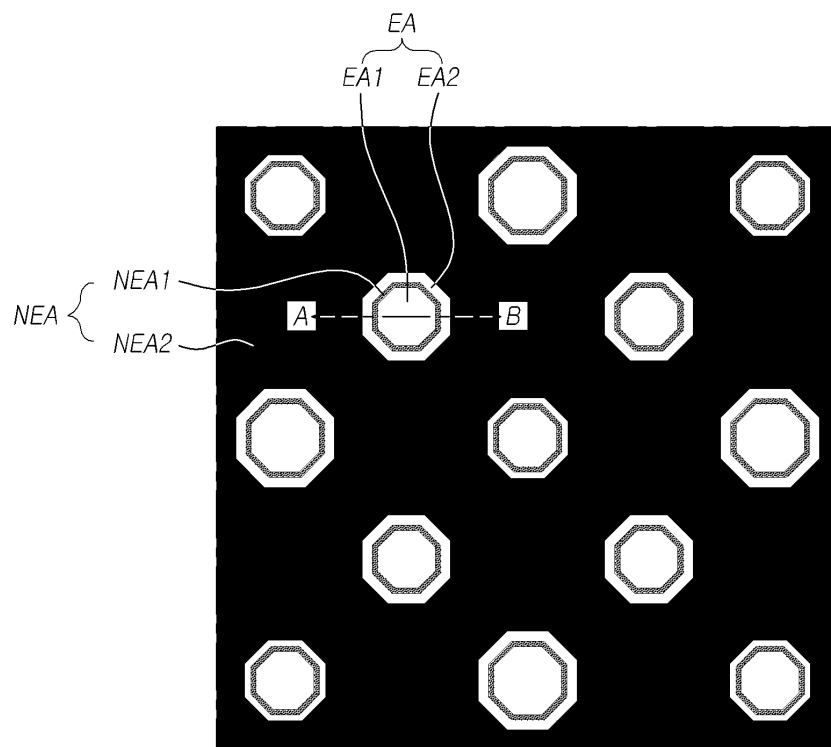
도면1



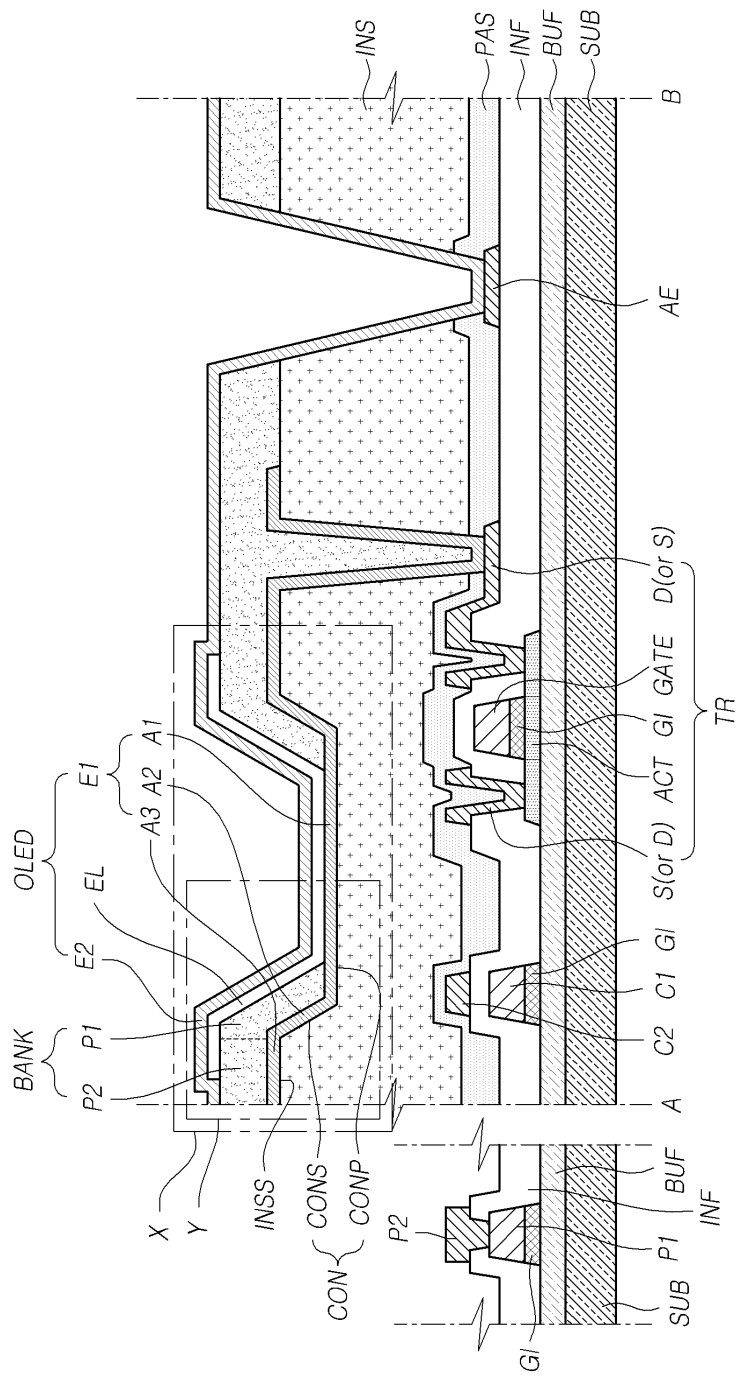
도면2



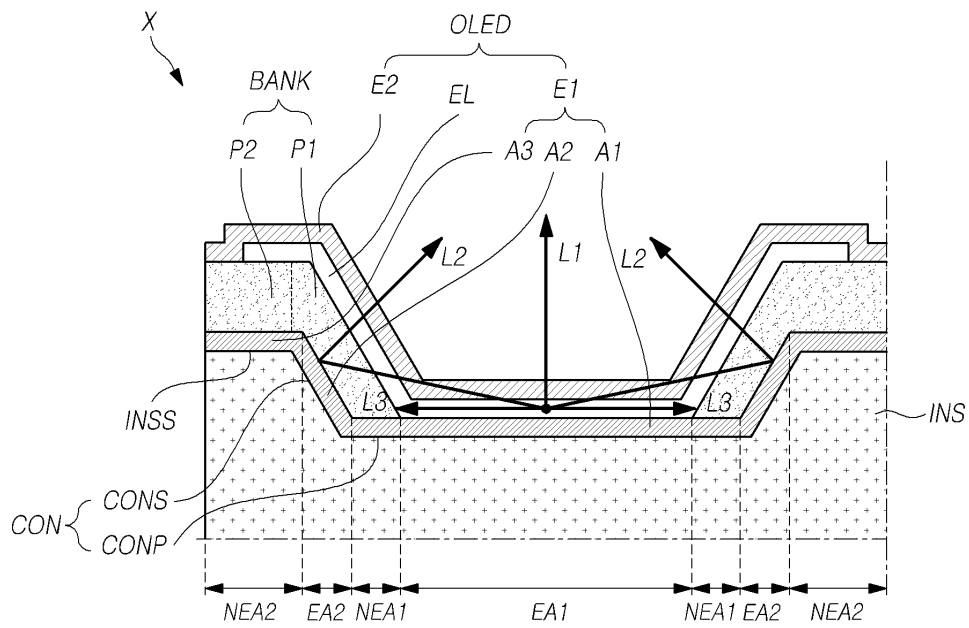
도면3



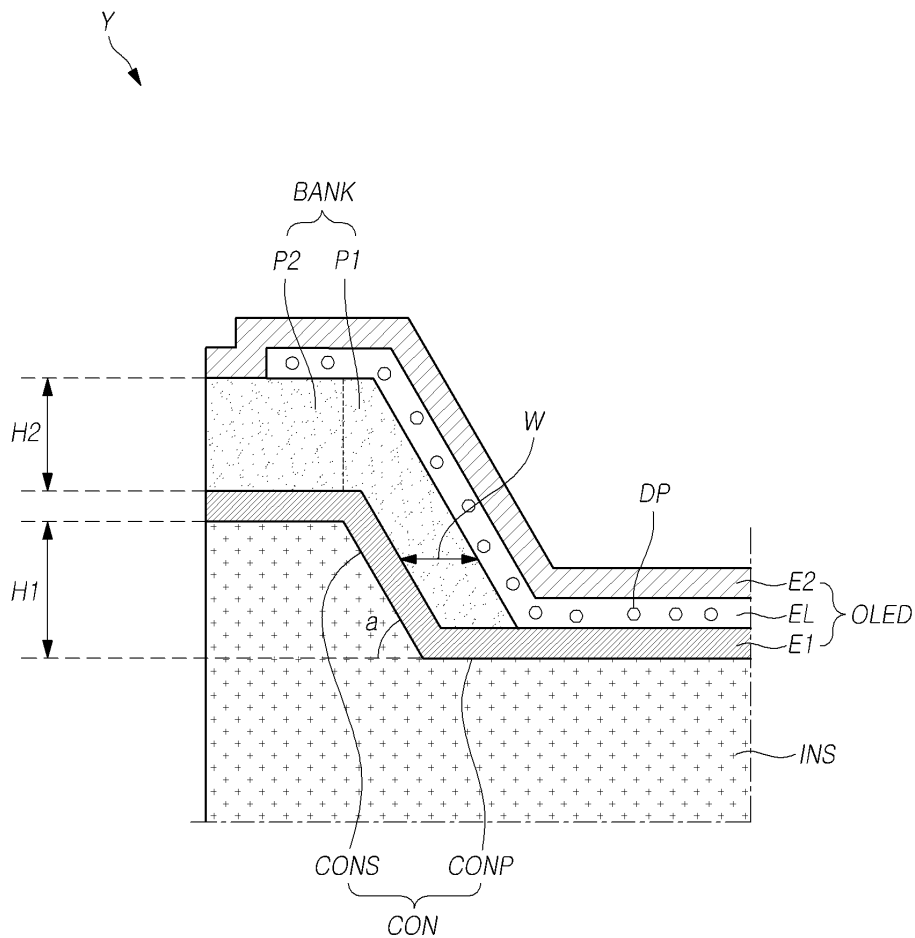
도면4



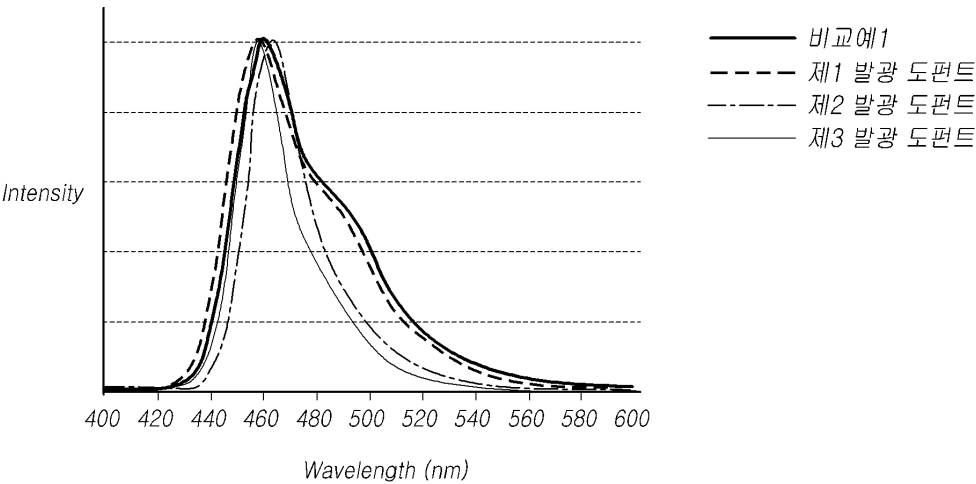
도면5



도면6



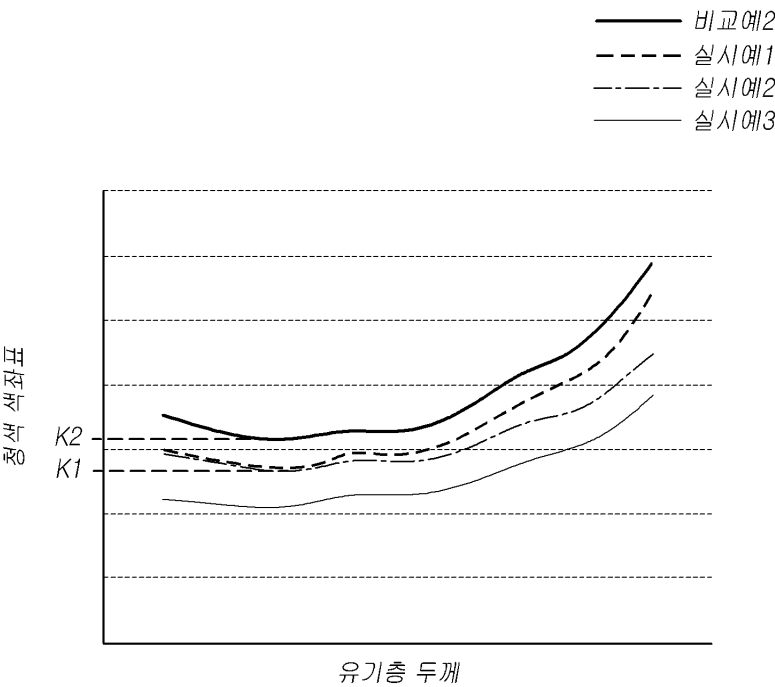
도면7



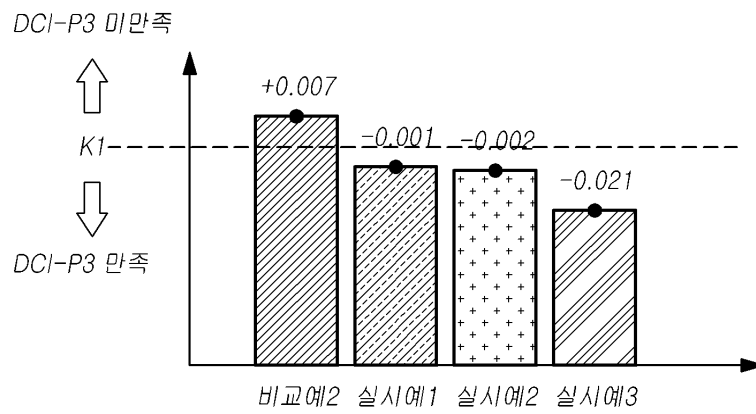
도면8

도펀트	최대 발광 파장	최대 파장의 반치전폭
비교예1	460nm	47nm
제1 발광 도펀트	457nm	46nm
제2 발광 도펀트	463nm	27nm
제3 발광 도펀트	457nm	26nm

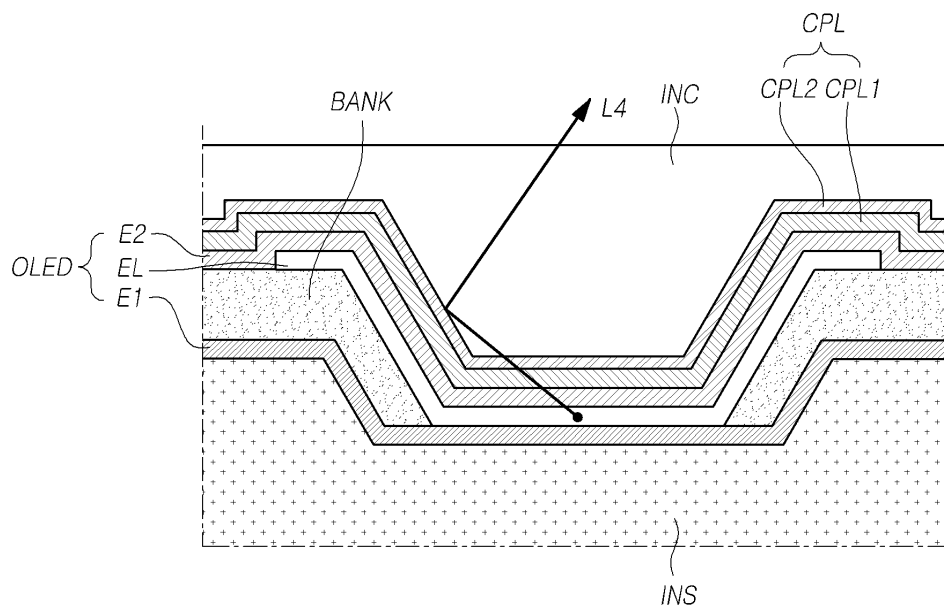
도면9



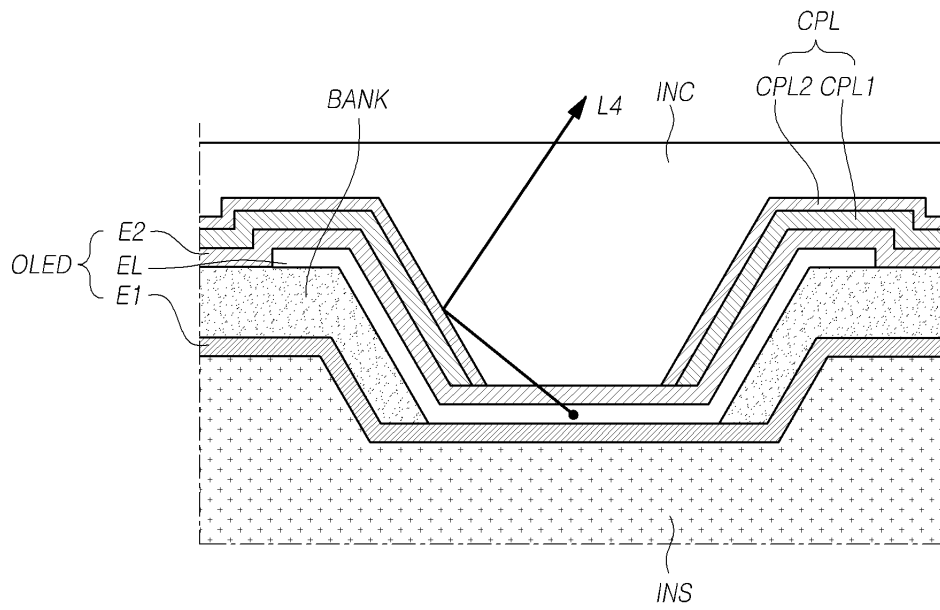
도면10



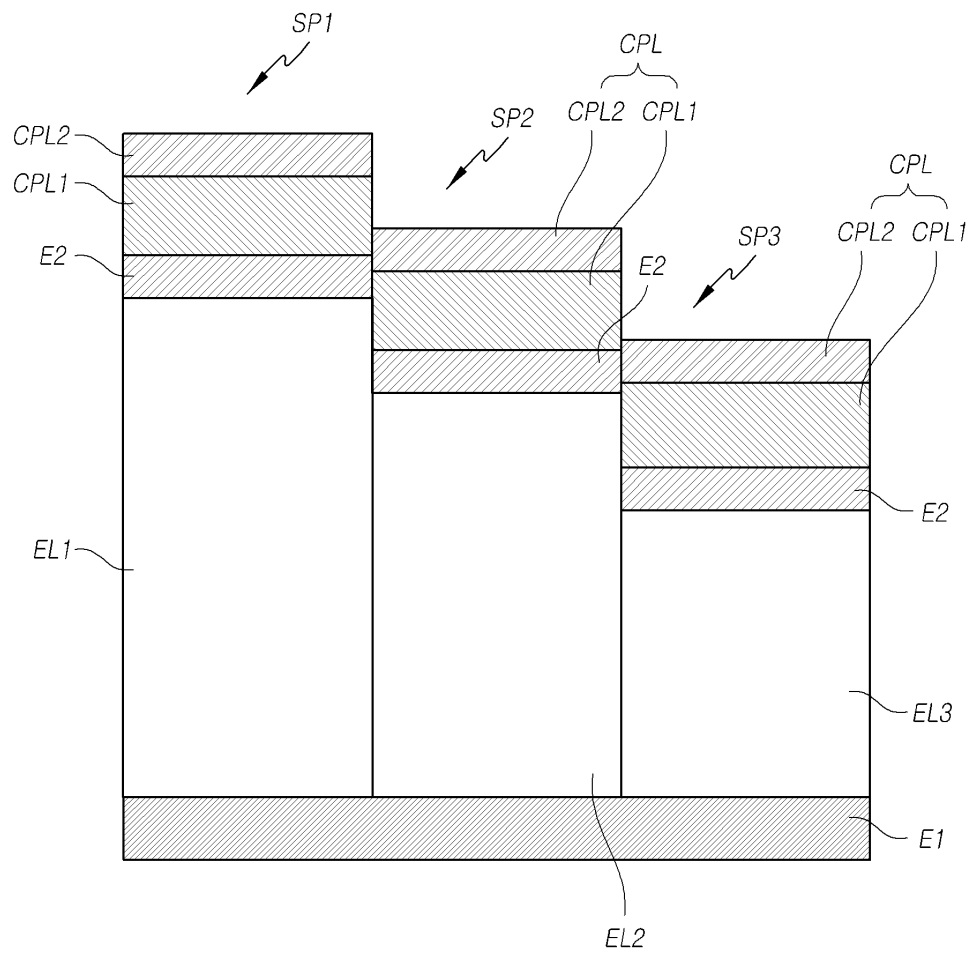
도면11



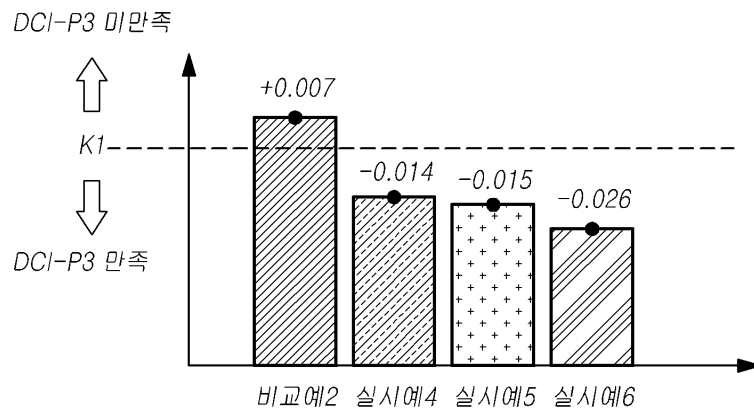
도면12



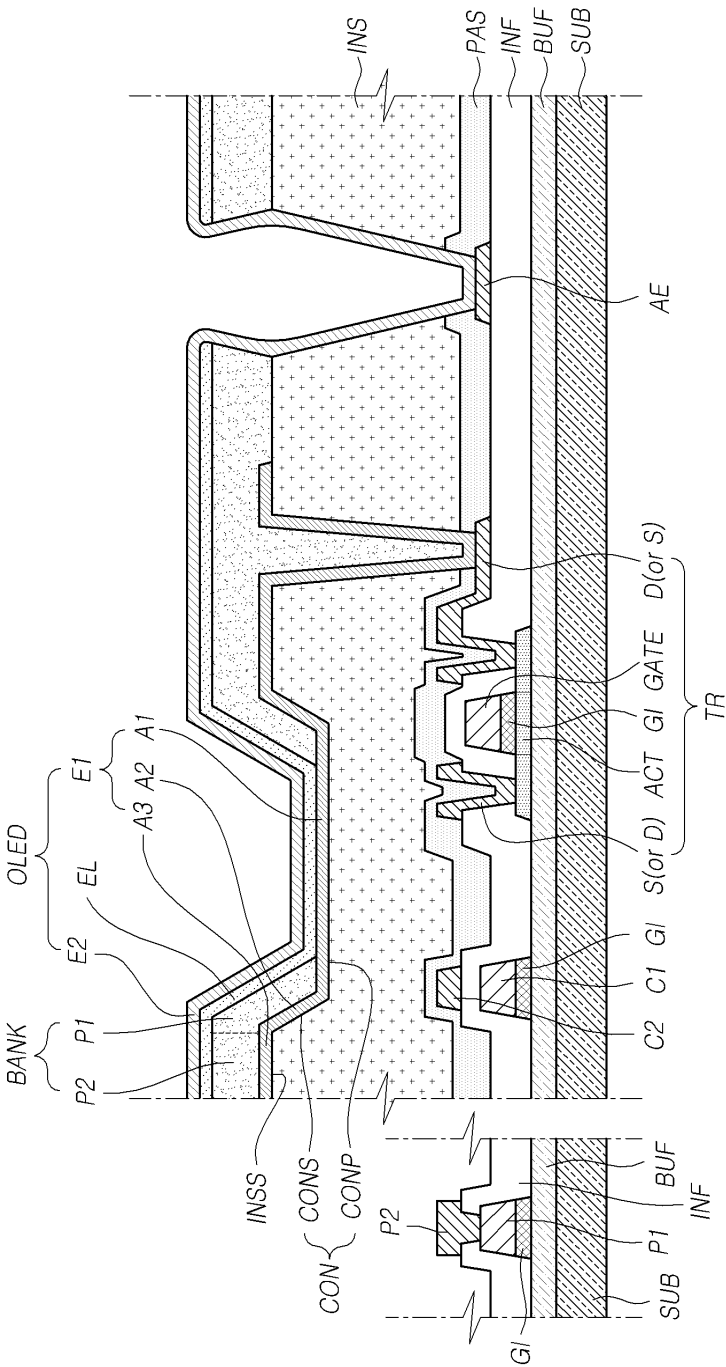
도면13



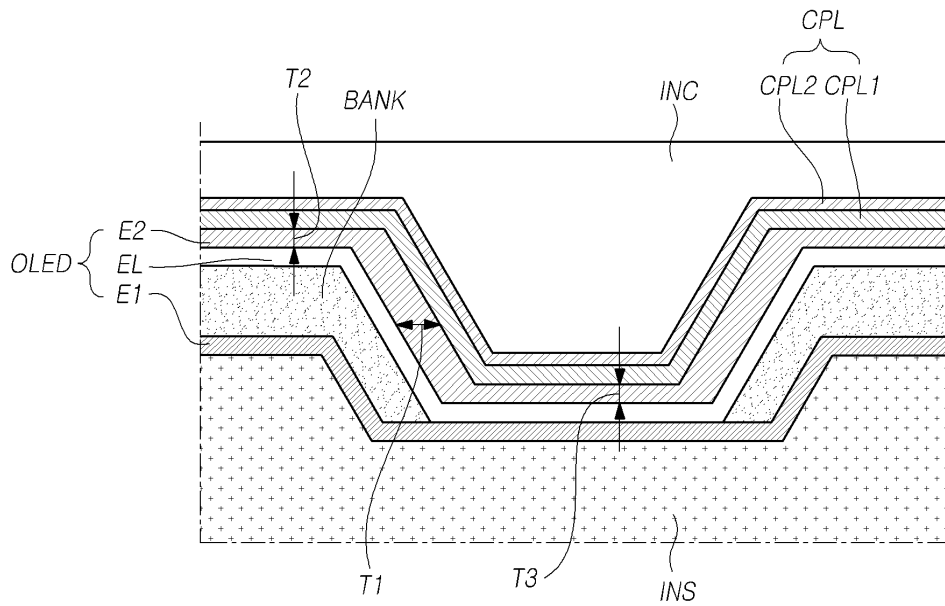
도면14



도면15



도면16



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제17항

【변경전】

상기 오목부의 평탄부와 대응되는 영역에서의 상기 제2 전극의 두께가 상기 오목부의 경사부와 대응되는 영역에서의 상기 제2 전극의 두께보다 두꺼운

【변경후】

상기 오목부의 경사부와 대응되는 영역에서의 상기 제2 전극의 두께가 상기 오목부의 평탄부와 대응되는 영역에서의 상기 제2 전극의 두께보다 두꺼운

专利名称(译)	有机发光面板，包括有机发光显示器		
公开(公告)号	KR102087102B1	公开(公告)日	2020-04-20
申请号	KR1020180163392	申请日	2018-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김미나 유남석 백정선 이승주 이선미		
发明人	김미나 유남석 백정선 이승주 이선미		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5262 H01L27/3211 H01L27/3246 H01L51/5218 H01L51/5237 H01L51/5284 H01L27/3258 H01L51/5253 H01L51/5265 H01L2251/5315 H01L51/5012 H01L51/5209 H01L51/5228		
审查员(译)	Yiwoori		
外部链接	Espacenet		

摘要(译)

本公开涉及一种显示面板，例如有机发光显示面板等，以及一种显示装置，例如有机发光显示装置等。该显示面板和显示装置包括绝缘膜，该绝缘膜在绝缘膜中包括至少一个凹入部分。在至少一个子像素的区域中，第一电极设置在凹部的侧部上并且在至少一个子像素的区域中的凹部上，有机层与凹部重叠并且设置在第一电极上。布置在至少一个蓝色子像素中的有机层可以在其全部或部分区域中包括具有最大发射波长为457nm的第一发光掺杂剂，具有全部发光波长的第二发光掺杂剂中的至少一个。半高宽（FWHM）为30 nm以下，和/或第三发光掺杂剂，其最大发射波长为457 nm，半高全宽为30 nm以下。通过这样，可以提供具有提高的光提取效率的有机发光和显示装置。

