



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년04월08일

(11) 등록번호 10-2077723

(24) 등록일자 2020년02월10일

(51) 국제특허분류(Int. Cl.)

H01L 51/50 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2013-0058550

(22) 출원일자 2013년05월23일

심사청구일자 2018년05월23일

(65) 공개번호 10-2014-0137713

(43) 공개일자 2014년12월03일

(56) 선행기술조사문헌

KR1020080084663 A*

KR1020110019498 A*

KR1020130007050 A*

KR1020120125651 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

최정미

경기도 용인시 기흥구 삼성2로 95 (농서동)

황영인

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 20 항

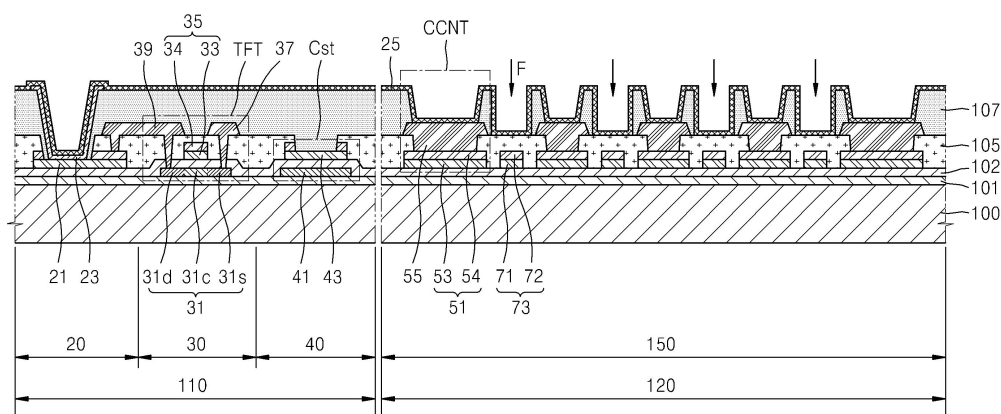
심사관 : 금복희

(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

일 측면에 따르면, 화소전극, 발광층을 포함하는 중간층 및 캐소드 전극이 순차적으로 적층된 유기발광소자; 상기 캐소드 전극과 접촉하는 상부전극 및 상기 화소전극과 동일층에 형성되고 상기 상부전극과 접촉하는 하부전극을 포함하는 캐소드 콘택부; 및 상기 하부전극과 동일층에 형성되는 배선;을 포함하며, 상기 캐소드 콘택부는 상기 배선에 교차하는 방향으로 적어도 3개 이상 형성되고, 상기 배선은 상기 캐소드 콘택부 사이에 배치되는 유기발광표시장치를 제공한다.

대표도



명세서

청구범위

청구항 1

화소전극, 발광층을 포함하는 중간층 및 캐소드 전극이 순차적으로 적층된 유기발광소자;

상기 캐소드 전극과 접촉하는 상부전극 및 상기 화소전극과 동일층에 형성되고 상기 상부전극과 접촉하는 하부전극을 포함하는 캐소드 콘택부; 및

상기 하부전극과 동일층에 형성되는 배선;을 포함하며,

상기 캐소드 콘택부는 상기 배선에 교차하는 방향으로 적어도 3개 이상 형성되고, 상기 배선은 상기 캐소드 콘택부 사이에 배치되고,

상기 배선은 적어도 비표시 영역에서 서로 이격되도록 형성된 복수 개로 구비되고,

상기 복수 개의 배선 중 서로 이격된 두 개의 배선 사이에 상기 배선과 이격되도록 상기 캐소드 콘택부 중 하나의 캐소드 콘택부가 배치되는 것을 포함하는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 하부전극은 상기 화소전극과 동일층에 형성되는 제1전극; 및

상기 제1전극 및 상기 상부전극과 접촉하는 제2전극;을 포함하는 유기발광표시장치.

청구항 3

제 2 항에 있어서,

상기 화소전극 및 상기 제1전극은 투명한 도전성 금속산화물을 포함하고,

상기 제2전극 및 상기 상부전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu, La 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치.

청구항 4

제 2 항에 있어서,

활성층, 상기 제1전극과 동일층에 형성된 하부 게이트전극 및 상기 제2전극과 동일층에 형성된 상부 게이트전극을 포함하는 게이트전극, 상기 상부전극과 동일층에 형성되고 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터;를 더 포함하는 유기발광표시장치.

청구항 5

제 4 항에 있어서,

상기 활성층과 동일층에 형성된 하부 커패시터 전극, 및 상기 제1전극과 동일층에 형성된 상부 커패시터 전극을 포함하는 커패시터;를 더 포함하는 유기발광표시장치.

청구항 6

제 1 항에 있어서,

상기 하부전극과 상기 상부전극 사이에 배치된 층간 절연막; 및

상기 상부전극의 가장자리 영역과 접촉하며 상기 층간 절연막 상에 배치된 화소 정의막;을 더 포함하는 유기발광표시장치.

청구항 7

제 6 항에 있어서,

상기 배선은 상기 화소전극과 동일층에 형성되는 제1배선; 및 상기 제1배선 상에 배치되며 상기 층간 절연막과 접촉하는 제2배선;을 포함하는 유기발광표시장치.

청구항 8

제 6 항에 있어서,

상기 상부전극은 상기 층간 절연막에 형성된 컨택홀을 통해 상기 하부전극과 접촉하는 유기발광표시장치.

청구항 9

제 6 항에 있어서,

상기 층간 절연막은 무기 절연 물질을 포함하는 유기발광표시장치.

청구항 10

제 6 항에 있어서,

상기 화소 정의막은 유기 절연 물질을 포함하는 유기발광표시장치.

청구항 11

제 1 항에 있어서,

상기 캐소드 컨택부는 비표시 영역에 형성된 유기발광표시장치.

청구항 12

제 1 항에 있어서,

상기 캐소드 컨택부는 상기 배선에 교차하는 방향으로 슬릿 형태로 분리되어 형성되는 유기발광표시장치.

청구항 13

제 12 항에 있어서,

상기 배선은 상기 캐소드 컨택부 사이에 하나씩 배치되는 유기발광표시장치.

청구항 14

제 1 항에 있어서,

상기 배선은 글로벌(Global) 신호 배선인 유기발광표시장치.

청구항 15

화소전극을 형성하기 위한 제1전극패턴, 하부전극을 형성하기 위한 제2전극패턴 및 배선을 형성하기 위한 제3전극패턴을 각각 형성하되, 상기 제2전극패턴을 상기 제3전극패턴에 교차하는 방향으로 적어도 3개 이상 형성하고, 상기 제3전극패턴을 상기 제2전극패턴 사이에 배치하는 단계;

상기 제1전극패턴 상부면을 노출하는 개구 및 상기 제2전극패턴의 상부면을 노출하는 컨택홀을 구비하며 상기 배선을 덮도록 층간 절연막을 형성하는 단계;

상기 제1전극패턴으로부터 상기 화소전극을 형성하고, 상기 컨택홀을 통해 상기 하부전극과 접촉하는 상부전극을 형성하는 단계;

상기 화소전극과 상기 상부전극의 일부를 노출하는 화소 정의막을 형성하는 단계; 및

상기 상부전극과 접촉하며 상기 화소 정의막 상부에 전면 전극 형태로 캐소드 전극을 형성하는 단계;를 포함하고,

상기 배선은 적어도 비표시 영역에서 서로 이격되도록 복수 개로 형성되고,

상기 복수 개의 배선 중 서로 이격된 두 개의 배선 사이에 상기 배선과 이격되도록 상기 캐소드 콘택부 중 하나의 캐소드 콘택부가 배치되도록 형성되는 것을 포함하는 유기발광표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 하부전극은 비표시 영역에 형성되는 유기발광표시장치의 제조방법.

청구항 17

제 15 항에 있어서,

상기 하부전극은 상기 배선에 교차하는 방향으로 슬릿 형태로 분리되어 형성되며, 상기 배선은 상기 하부전극 사이에 하나씩 배치되는 유기발광표시장치의 제조방법.

청구항 18

제 15 항에 있어서,

상기 배선은 글로벌(Global) 신호 배선인 유기발광표시장치의 제조방법.

청구항 19

제 15 항에 있어서,

상기 층간 절연막은 무기 절연 물질을 포함하는 유기발광표시장치의 제조방법.

청구항 20

제 15 항에 있어서,

상기 화소 정의막은 유기 절연 물질을 포함하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 대형의 전류 발광 유기 발광 표시장치의 화소 회로에서 공급되는 글로벌(global) 신호 배선들이 점점 많아지고 있는 추세이다.

[0003] 캐소드 전극은 공통전극으로서 모든 화소에 동일전압을 인가하며, 캐소드 콘택부를 통해 외부 단자로부터 캐소드 전압을 인가받는다. 이때 캐소드 콘택부는 화소 정의막에 노출된 소스/드레인 전극 형성 물질과 캐소드 전극이 접촉하는 구조를 갖는다.

[0004] 배선은 층간 절연막에 의해 절연된다. 층간 절연막은 캐소드 콘택부로부터 이어진 캐소드 전극과 접촉한다. 따라서 배선 상부에 외부의 힘이 집중될 경우 캐소드 전극과 배선 간에 쇼트가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 캐소드 전극과 배선간의 쇼트를 방지할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

[0006] 일 측면에 따르면, 화소전극, 발광층을 포함하는 중간층 및 캐소드 전극이 순차적으로 적층된 유기발광소자; 상

기 캐소드 전극과 접촉하는 상부전극 및 상기 화소전극과 동일층에 형성되고 상기 상부전극과 접촉하는 하부전극을 포함하는 캐소드 콘택부; 및 상기 하부전극과 동일층에 형성되는 배선;을 포함하며, 상기 캐소드 콘택부는 상기 배선에 교차하는 방향으로 적어도 3개 이상 형성되고, 상기 배선은 상기 캐소드 콘택부 사이에 배치되는 유기발광표시장치를 제공한다.

- [0007] 상기 하부전극은 상기 화소전극과 동일층에 형성되는 제1전극; 및 상기 제1전극 및 상기 상부전극과 접촉하는 제2전극;을 포함할 수 있다.
- [0008] 상기 화소전극 및 상기 제1전극은 투명한 도전성 금속산화물을 포함하고, 상기 제2전극 및 상기 상부전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu, La 가운데 선택된 하나 이상의 물질을 포함할 수 있다.
- [0009] 활성층, 상기 제1전극과 동일층에 형성된 하부 게이트전극 및 상기 제2전극과 동일층에 형성된 상부 게이트전극을 포함하는 게이트전극, 상기 상부전극과 동일층에 형성되고 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터;를 더 포함할 수 있다.
- [0010] 상기 활성층과 동일층에 형성된 하부 커패시터 전극, 및 상기 제1전극과 동일층에 형성된 상부 커패시터 전극을 포함하는 커패시터;를 더 포함할 수 있다.
- [0011] 상기 하부전극과 상기 상부전극 사이에 배치된 층간 절연막; 및 상기 상부전극의 가장자리 영역과 접촉하며 상기 층간 절연막 상에 배치된 화소 정의막;을 더 포함할 수 있다.
- [0012] 상기 배선은 상기 화소전극과 동일층에 형성되는 제1배선; 및 상기 제1배선 상에 배치되며 상기 층간 절연막과 접촉하는 제2배선;을 포함할 수 있다.
- [0013] 상기 상부전극은 상기 층간 절연막에 형성된 콘택홀을 통해 상기 하부전극과 접촉할 수 있다.
- [0014] 상기 층간 절연막은 무기 절연 물질을 포함할 수 있다.
- [0015] 상기 화소 정의막은 유기 절연 물질을 포함할 수 있다.
- [0016] 상기 캐소드 콘택부는 비표시 영역에 형성될 수 있다.
- [0017] 상기 캐소드 콘택부는 상기 배선에 교차하는 방향으로 슬릿 형태로 분리되어 형성될 수 있다.
- [0018] 상기 배선은 상기 캐소드 콘택부 사이에 하나씩 배치될 수 있다.
- [0019] 상기 배선은 글로벌(Global) 신호 배선일 수 있다.
- [0020] 일 측면에 따르면, 화소전극을 형성하기 위한 제1전극패턴, 하부전극을 형성하기 위한 제2전극패턴 및 배선을 형성하기 위한 제3전극패턴을 각각 형성하되, 상기 제2전극패턴을 상기 제3전극패턴에 교차하는 방향으로 적어도 3개 이상 형성하고, 상기 제3전극패턴을 상기 제2전극패턴 사이에 배치하는 단계; 상기 제1전극패턴 상부면을 노출하는 개구 및 상기 제2전극패턴의 상부면을 노출하는 콘택홀을 구비하며 상기 배선을 덮도록 층간 절연막을 형성하는 단계; 상기 제1전극패턴으로부터 상기 화소전극을 형성하고, 상기 콘택홀을 통해 상기 하부전극과 접촉하는 상부전극을 형성하는 단계; 상기 화소전극과 상기 상부전극의 일부를 노출하는 화소 정의막을 형성하는 단계; 및 상기 상부전극과 접촉하며 상기 화소 정의막 상부에 전면 전극 형태로 캐소드 전극을 형성하는 단계;를 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0021] 상기 하부전극은 비표시 영역에 형성될 수 있다.
- [0022] 상기 하부전극은 상기 배선에 교차하는 방향으로 슬릿 형태로 분리되어 형성되며, 상기 배선은 상기 하부전극 사이에 하나씩 배치될 수 있다.
- [0023] 상기 배선은 글로벌(Global) 신호 배선일 수 있다.
- [0024] 상기 층간 절연막은 무기 절연 물질을 포함할 수 있다.
- [0025] 상기 화소 정의막은 유기 절연 물질을 포함할 수 있다.

발명의 효과

- [0026] 본 발명의 일 측면에 따르면, 캐소드 전극과 배선간의 쇼트를 방지할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- 도 2는 도 1의 II-II선을 따라 절개한 단면도이다.
- 도 3 내지 도 9는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- [0030] 유기발광표시장치(1)는 기판(100) 상에 다수의 화소가 배열된 표시 영역(110)과 표시 영역(110) 외곽에 형성된 비표시 영역(120)을 포함한다.
- [0031] 기판(100)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0032] 표시 영역(110)에는 화상 표현의 기본 단위인 화소가 매트릭스 형태로 배열되고, 각 화소와 전기적으로 연결된 배선이 형성된다. 화소는 적어도 하나의 박막 트랜지스터(TFT)와 커패시터(Cst)를 포함하는 화소 회로와 유기발광소자(EL)를 포함할 수 있다. 유기발광소자(EL)는 박막 트랜지스터(TFT)와 연결된 화소 전극, 유기 발광층 및 전면 전극 형태의 캐소드 전극이 적층된 구조를 갖는다. 캐소드 전극을 통해 캐소드 전압이 각 화소로 인가된다.
- [0033] 비표시 영역(120)에는 캐소드 콘택부(CCNT)를 통해 표시 영역(110)의 캐소드 전극과 전기적으로 연결되는 캐소드 버스 영역(150)을 포함할 수 있다. 캐소드 버스 영역(150)은 캐소드 콘택부(CCNT)를 통해 외부로부터 인가되는 캐소드 전압을 각 화소로 제공한다. 캐소드 버스 영역(150)은 비표시 영역(120)의 적어도 일 측에 하나 이상 형성될 수 있다. 캐소드 콘택부(CCNT)는 캐소드 버스 영역(150)에 하나 이상 형성될 수 있다.
- [0034] 본 발명의 실시예는 비표시 영역(120)에 캐소드 콘택부(CCNT)를 형성하여 표시 영역(110)의 외곽부에서 캐소드 버스 라인과 캐소드 전극을 직접 전기적으로 접촉시킴으로써 캐소드 전극과 캐소드 버스 라인의 전기적인 접촉을 용이하게 한다.
- [0035] 배선(73)은 캐소드 버스 영역(150)을 통과하여 표시 영역(110)과 연결될 수 있다. 배선(73)을 통해 표시 영역(110)에 위치한 박막트랜지스터(TFT) 또는 유기발광소자(EL)로 전류 또는 전압이 전달될 수 있다. 배선(73)은 글로벌(Global) 신호 배선일 수 있다. 글로벌 신호 배선은 박막 트랜지스터(TFT)의 게이트와 동일한 물질로 형성될 수 있으며, 동시 발광을 하는 화소 구조(SEAV, ASEAV, SSE)에서 모든 화소를 한 번에 초기화, 문턱전압(V_{th}) 보상, 발광 등을 조절(control) 하는 등의 기능을 할 수 있다.
- [0036] 기판(100)은 비표시 영역(120)에 형성되는 실링부재(미도시)에 의해 기판(100)과 대향하는 봉지기판(미도시)과 접합될 수 있다. 또한 비표시 영역(120)에 형성되는 게터(미도시)에 의해 외부로부터의 수분이 차단될 수 있다.
- [0037] 도 2는 도 1의 II-II선을 따라 절개한 단면도이다.
- [0038] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 표시 영역(110)에 발광영역(20), 트랜지스터영역(30) 및 저장영역(40)을 포함하고, 비표시 영역(120)에 캐소드 버스 영역(150)을 포함한다.
- [0039] 발광영역(20)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극(37/39) 중 하나와 전기적으로 연결된 화소전극(21), 화소전극(21)과 마주보도록 형성된 캐소드 전극(25) 및 그 사이에 개재된 중간층(23)으로 구성된다. 화소전극(21)은 투명한 도전성 금속산화물로 형성되며, 박막트랜지스터(TFT)의 하부 게이트전극(33)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0040] 트랜지스터영역(30)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 활성층(31), 게이트전극(35) 및 소스/드레인 전극(37, 39)으로 구성된다. 게이트전극(35)은 하부 게이트전극(33)과 하부 게이트전극(33) 상부에 있는 상부 게이트전극(34)으로 구성되고, 이때 하부 게이트전극(33)은 투명한 도전성 금속산화물로 형성될 수 있다. 게이트전극(35)과 활성층(31) 사이에는 이들 간의 절연을 위한 게이트 절연막인 제1절연층(102)이 개재되어 있다. 또한, 활성층(31)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인영역(31s/31d)이 형성되어 있으며, 이들은 소스/드레인전극(37/39)에 각각 연결되어 있다. 소스/드레인영역

(31s/31d) 사이는 채널 영역(31c)으로 기능한다.

- [0041] 저장영역(40)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부 커패시터전극(41) 및 상부 커패시터전극(43)으로 이루어지며, 이들 사이에 제1절연층(102)이 개재된다. 여기서, 하부 커패시터전극(41)은 박막트랜지스터(TFT)의 활성층(31)과 동일한 층에 형성될 수 있다. 하부 커패시터전극(41)은 반도체 물질로 이루어질 수 있으며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 상부 커패시터전극(43)은 박막트랜지스터(TFT)의 하부 게이트전극(33) 및 유기발광소자(EL)의 화소전극(21)과 동일한 층에 형성될 수 있다.
- [0042] 캐소드 버스 영역(150)은 하부전극(51)과 캐소드 전극(25)이 전기적으로 연결되는 캐소드 콘택부(CCNT)를 포함한다. 상부전극(55)은 캐소드 전극(25)과 직접 접촉하여 전기적으로 연결된다. 제1전극(53)의 상부에는 제1전극(53)과 직접 접촉하나 캐소드 전극(25)과는 직접 접촉하지 않는 제2전극(54)이 형성된다. 제2전극(54) 상부에는 캐소드 전극(25)과 직접 접촉하나 제1전극(53)과는 직접 접촉하지 않는 상부전극(55)이 형성된다. 제1전극(53)은 박막트랜지스터(TFT)의 하부 게이트전극(33), 유기발광소자(EL)의 화소전극(21) 및 커패시터(Cst)의 상부 커패시터전극(43)과 동일한 층에 형성될 수 있다. 제2전극(54)은 박막트랜지스터(TFT)의 상부 게이트전극(34)과 동일한 층에 형성될 수 있다. 상부전극(55)은 박막트랜지스터(TFT)의 소스/드레인전극(37/39)과 동일한 층에 형성될 수 있다.
- [0043] 캐소드 버스 영역(150)은 캐소드 콘택부(CCNT)와 절연되는 배선(73)을 포함한다. 배선(73)은 캐소드 콘택부(CCNT) 사이에 배치될 수 있다. 배선(73)은 화소전극(21) 또는 제1전극(53)과 동일층에 형성되는 제1배선(71) 및 제1배선(71) 상에 배치되며, 제2절연층(105)과 접촉하는 제2배선(72)을 포함할 수 있다.
- [0044] 캐소드 콘택부(CCNT)는 배선(73)에 교차하는 방향으로 적어도 3개 이상 형성될 수 있다. 이 때 배선(73)은 캐소드 콘택부(CCNT) 사이에 배치될 수 있다. 또한 캐소드 콘택부(CCNT)가 배선(73)에 교차하는 방향으로 슬릿 형태로 분리되어 형성되고, 배선(73)이 캐소드 콘택부(CCNT) 사이에 하나씩 배치될 수 있다. 캐소드 콘택부(CCNT) 및 배선(73)이 상기와 같이 배치됨으로써, 캐소드 전극(25)과 배선(73)간의 쇼트를 유발할 수 있는 국부적인 힘(F)의 풀림이 분산됨으로써 상하 쇼트를 방지할 수 있다. 결국 캐소드 전극(25)과 배선(73)간의 상하 쇼트 불량을 방지하여, 제품의 신뢰성을 향상시킬 수 있다.
- [0045] 도 3 내지 도 9는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.
- [0046] 먼저, 도 3에 도시된 바와 같이, 기판(100) 상부에 보조층(101)을 형성한다. 상세히, 기판(100)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(100)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0047] 기판(100) 상면에는 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(101)이 구비될 수 있다. 보조층(101)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0048] 다음으로 보조층(101) 상부에 박막트랜지스터(TFT)의 활성층(31)과 하부 커패시터전극(41)을 형성한다. 활성층(31)과 하부 커패시터전극(41)은 다결정실리콘층을 패터닝함으로써 형성될 수 있다. 활성층(31)과 하부 커패시터전극(41)은 반도체를 포함할 수 있고, 도핑에 의해 이온 불순물을 포함할 수 있다. 또한 활성층(31)과 하부 커패시터전극(41)은 산화물 반도체로 형성될 수 있다. 본 실시예에서는, 활성층(31)과 하부 커패시터전극(41)이 분리 형성되었으나, 활성층(31)과 하부 커패시터전극(41)을 일체로 형성할 수도 있다.
- [0049] 다음으로 활성층(31)과 하부 커패시터전극(41)이 형성된 기판(100)의 전면에 제1절연층(102), 제1도전층(103) 및 제2도전층(104)을 순차로 형성한다.
- [0050] 제1절연층(102)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(102)은, 박막트랜지스터(TFT)의 활성층(31)과 게이트전극(35) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 상부 커패시터전극(43)과 하부 커패시터전극(41) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0051] 제1도전층(103)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(103)은 화소전극(21), 하부 게이트전극(33), 상부 커패시터전극(43) 및 하부전극(51)의 제1전극(53)으로 패터닝 될 수 있다.

- [0052] 제2도전층(104)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu, La 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(104)은 Mo-Al-Mo 또는 Mo-AlNiLa-Mo 3층 구조로 형성될 수도 있다. 추후 제2도전층(104)은 상부 게이트전극(34) 및 하부전극(51)의 제2전극(54)으로 패터닝 될 수 있다.
- [0053] 그러나 본 발명은 전술된 물질에 한정되지 않고, 제1도전층(103)은 제2도전층(104)에 비해 내부식성이 좋은 물질을 포함하며, 제2도전층(104)은 제1도전층(103)에 비해 저항이 작아 전류가 잘 흐르는 물질을 포함한다면 본 발명의 일 실시예들을 만족한다.
- [0054] 다음으로, 도 4에 도시된 바와 같이, 제1도전층(103) 및 제2도전층(104)을 패터닝하여, 제1기관(10) 상에 게이트전극(35)과, 제1전극패턴(20), 제2전극패턴(50), 제3전극패턴(70)과 제4전극패턴(40)을 각각 형성한다.
- [0055] 트랜지스터영역(30)에는 활성층(31) 상부에 게이트전극(35)이 형성되고, 게이트전극(35)은 제1도전층(103)의 일부로 형성된 하부 게이트전극(33)과 제2도전층(104)의 일부로 형성된 상부 게이트전극(34)을 포함한다.
- [0056] 여기서, 게이트전극(35)은 활성층(31)의 중앙에 대응하도록 형성되며, 게이트전극(35)을 셀프 얼라인(self align) 마스크로 하여 활성층(31)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(35)의 양측에 대응하는 활성층(31)의 가장자리에 소스/드레인영역(31s/31d)과 이들 사이의 채널영역(31c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0057] 발광영역(20)에는 추후 화소전극(21)을 형성하기 위한 제1전극패턴(20)이 형성되고, 저장영역(40)에는 추후 상부 커패시터전극(43)을 형성하기 위한 제4전극패턴(40)이 하부 커패시터전극(41) 상부에 형성된다. 그리고, 캐소드 버스 영역(150)에는 추후 제1전극(53)과 제2전극(54)을 형성하기 위한 제2전극패턴(50)이 적어도 3개 이상 형성되고, 제2전극패턴(50) 사이에 제1배선(71)과 제2배선(72)을 포함하는 배선(73)을 형성하기 위한 제3전극패턴(70)이 형성된다.
- [0058] 제3전극패턴(70)에 의해 형성되는 배선(73)은 글로벌(Global) 신호 배선일 수 있다. 글로벌 신호 배선은 동시 발광을 하는 화소 구조(SEAV, ASEAV, SSE)에서 모든 화소를 한 번에 초기화, 문턱전압(Vth) 보상, 발광 등을 조절(control) 하는 등의 기능을 할 수 있다.
- [0059] 하부전극(51)을 형성하기 위한 제2전극패턴(50)은 배선(73)을 형성하기 위한 제3전극패턴(70)에 교차하는 방향으로 적어도 3개 이상 형성될 수 있다. 이 때 제3전극패턴(70)은 제2전극패턴(50) 사이에 배치될 수 있다. 또한 제2전극패턴(50)이 제2전극패턴(50)에 교차하는 방향으로 슬릿 형태로 분리되어 형성되고, 제3전극패턴(70)이 제2전극패턴(50) 사이에 하나씩 배치될 수 있다. 제2전극패턴(50) 및 제3전극패턴(70)이 상기와 같이 배치됨으로써, 캐소드 컨택부(CCNT, 도 2 참조)는 배선(73)에 교차하는 방향으로 적어도 3개 이상 형성될 수 있다. 이 때 배선(73)은 캐소드 컨택부(CCNT, 도 2 참조) 사이에 배치될 수 있다. 또한 캐소드 컨택부(CCNT, 도 2 참조)가 배선(73)에 교차하는 방향으로 슬릿 형태로 분리되어 형성되고, 배선(73)이 캐소드 컨택부(CCNT, 도 2 참조) 사이에 하나씩 배치될 수 있다. 캐소드 컨택부(CCNT, 도 2 참조) 및 배선(73)이 상기와 같이 배치됨으로써, 캐소드 전극(25, 도 2 참조)과 배선(73)간의 쇼트를 유발할 수 있는 국부적인 힘(F, 도 2 참조)의 쏠림이 분산됨으로써 상하 쇼트를 방지할 수 있다. 결국 캐소드 전극(25, 도 2 참조)과 배선(73)간의 상하 쇼트 불량을 방지하여, 제품의 신뢰성을 향상시킬 수 있다.
- [0060] 다음으로, 도 5에 도시된 바와 같이, 게이트전극(35)이 형성된 기관(100)의 전면에 제2절연층(105)을 증착한다.
- [0061] 상기 제2절연층(105)은 전술한 제1절연층(102)과 같은 무기 절연 물질로 형성될 수 있다. 제2절연층(105)은 박막트랜지스터(TFT)의 게이트전극(35)과 소스/드레인전극(37/39) 사이의 층간 절연막 역할을 수행한다. 또한 제2절연층(105)은 배선(73)을 절연시키는 역할을 수행한다. 한편, 제2절연층(105)은 상기와 같은 무기 절연 물질뿐만 아니라, 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질을 교번하여 형성할 수도 있다.
- [0062] 다음으로, 도 6에 도시된 바와 같이, 제2절연층(105)을 패터닝하여 제1전극패턴(20)을 노출하는 개구들(H1, H2), 제4전극패턴(40)을 노출하는 개구(H5), 활성층(31)의 소스/드레인영역(31s/31d)의 일부를 노출하는 컨택홀들(H3, H4), 및 제2전극패턴(50)의 상부면을 노출하는 다수의 컨택홀들(H6)을 형성한다.
- [0063] 제1개구(H1) 및 제2개구(H2)는 제1전극패턴(20)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다. 컨택홀들(H3, H4)은 소스/드레인영역(31s/31d)의 일부를 각각 노출시킨다. 제5개구(H5)는 제4전극

패턴(40)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다. 콘택홀들(H6)은 제2전극패턴(50)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다.

- [0064] 다음으로, 도 7에 도시된 바와 같이, 제2절연층(105)을 덮도록 기판(100) 전면에서 제3도전층(106)을 증착한다.
- [0065] 제3도전층(106)은 전술한 제1 또는 제2도전층(103, 104)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 콘택홀들(H3, H4, H6), 개구들(H1, H2, H5) 사이를 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0066] 다음으로, 도 8에 도시된 바와 같이, 제3도전층(106)을 패터닝하여, 소스/드레인전극(37/39) 및 상부전극(55)을 형성한다.
- [0067] 소스/드레인전극(37/39)은 콘택홀들(H3, H4)을 통해 활성층(31)의 소스/드레인영역(31s/31d)과 전기적으로 연결된다. 소스/드레인전극(37/39) 중 하나의 전극(본 실시예의 경우 드레인전극(39))은 화소전극(21) 상부의 제2도전층(104)의 가장자리 영역의 제2개구(H2)를 통하여 화소전극(21)과 전기적으로 연결되도록 형성된다.
- [0068] 상부전극(55)은 콘택홀들(H6)을 통해 하부전극(51)의 제2전극(54)과 직접 접촉한다.
- [0069] 한편, 소스/드레인전극(37/39)을 형성함과 동시에 화소전극(21) 및 상부 커패시터전극(43)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(37/39)을 형성한 후 추가 식각에 의해 화소전극(21) 및 상부 커패시터전극(43)을 각각 형성할 수도 있다. 제1전극패턴(도 8의 20 참조)에서 제1개구(H1)에 의해 노출된 상부 제2도전층(104)을 제거하여 화소전극(21)을 형성한다. 그리고, 제2전극패턴(도 8의 40 참조)에서 제5개구(H5)에 의해 노출된 상부 제2도전층(104)을 제거하여 상부 커패시터전극(43)을 형성한다.
- [0070] 따라서, 화소전극(21), 하부 게이트전극(33), 상부 커패시터전극(43) 및 하부전극(51)의 제1전극(53)은 동일층에서 동일 물질로 형성된다. 그리고, 상부 게이트전극(34) 및 하부전극(51)의 제2전극(54)은 동일층에서 동일 물질로 형성된다.
- [0071] 여기서, 상부 커패시터전극(43) 상부를 노출하는 개구를 통해 n형 또는 p형의 불순물을 주입하여 하부 커패시터전극(41)을 도핑할 수 있다. 도핑 시 주입되는 불순물은 활성층(31)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.
- [0072] 다음으로, 도 9에 도시된 바와 같이, 기판(100) 상에 제3절연층(107)을 형성한다.
- [0073] 상세히, 화소전극(21), 소스/드레인전극(37/39), 상부 커패시터전극(43), 하부전극(51) 및 배선(73)이 형성된 기판(100) 전면에서 제3절연층(107)을 증착한다. 이때 제3절연층(107)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제3절연층(107)은 유기 절연 물질뿐만 아니라, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 제3절연층(107)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 제3절연층(107)을 패터닝하여 화소전극(21)의 일부를 노출하는 제9개구(H9)와 상부전극(55)의 일부를 노출하는 제10개구(H10)를 형성한다. 제3절연층(107)은 화소를 정의하는 화소정의막(pixel define layer: PDL)으로 기능한다. 제3절연층(107)은 화소전극(21)과 상부전극(55)의 가장자리 영역과 접촉한다.
- [0074] 이후, 도 2에 도시된 바와 같이, 화소전극(21)을 노출하는 제9개구(H9)에 유기 발광층을 포함하는 중간층(23) 및 캐소드 전극(25)을 형성한다.
- [0075] 중간층(23)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다. 유기 발광층이 적색, 녹색, 청색의 빛을 각각 방출하는 경우, 유기 발광층은 적색 발광층, 녹색 발광층 및 청색 발광층으로 각각 패터닝될 수 있다. 한편, 유기 발광층이 백색광을 방출하는 경우, 유기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일층 구조를 가질 수 있다.
- [0076] 캐소드 전극(25)은 기판(100) 전면에서 증착되어 공통 전극으로 형성될 수 있다. 캐소드 전극(25)은 캐소드 콘택부(CCNT)에서 콘택홀(H10)을 통해 상부전극(55)과 직접 접촉한다.

[0077] 유기발광표시장치(1)가 기관(100)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(21)은 투명전극이 되고 캐소드 전극(25)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.

[0078] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

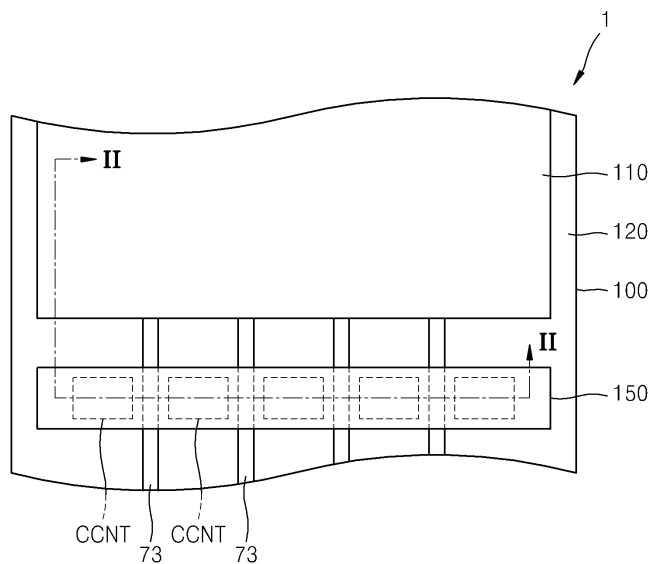
부호의 설명

[0079]

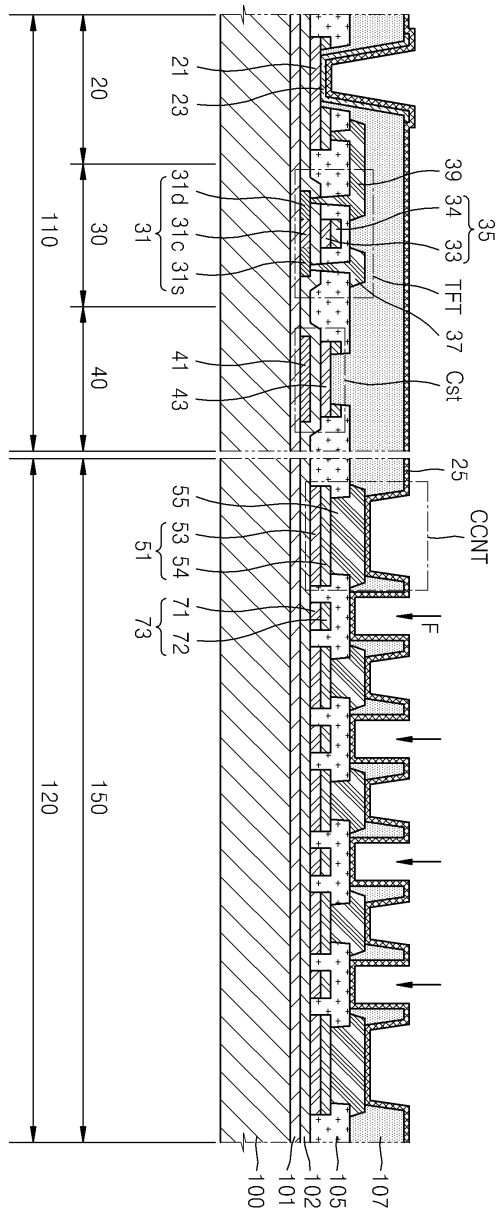
21: 화소전극	23: 중간층
25: 캐소드 전극	55: 상부전극
51: 하부전극	73: 배선
CCNT: 캐소드 컨택부	

도면

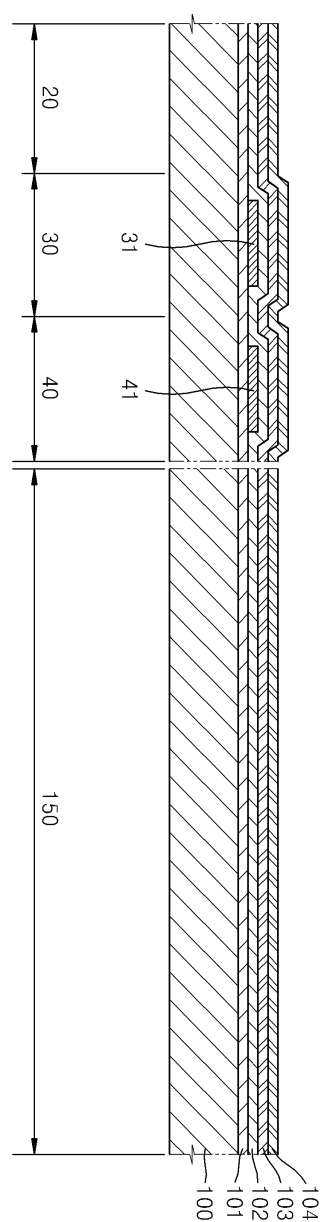
도면1



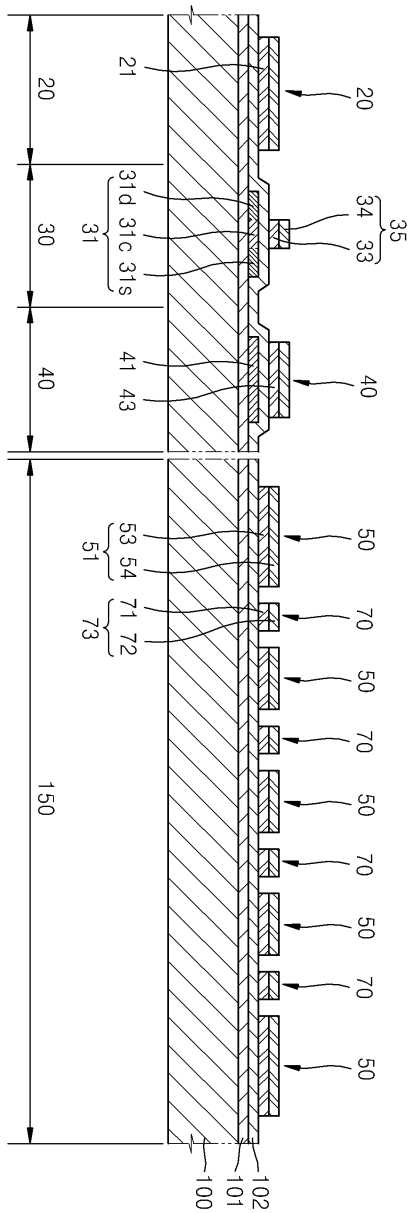
도면2



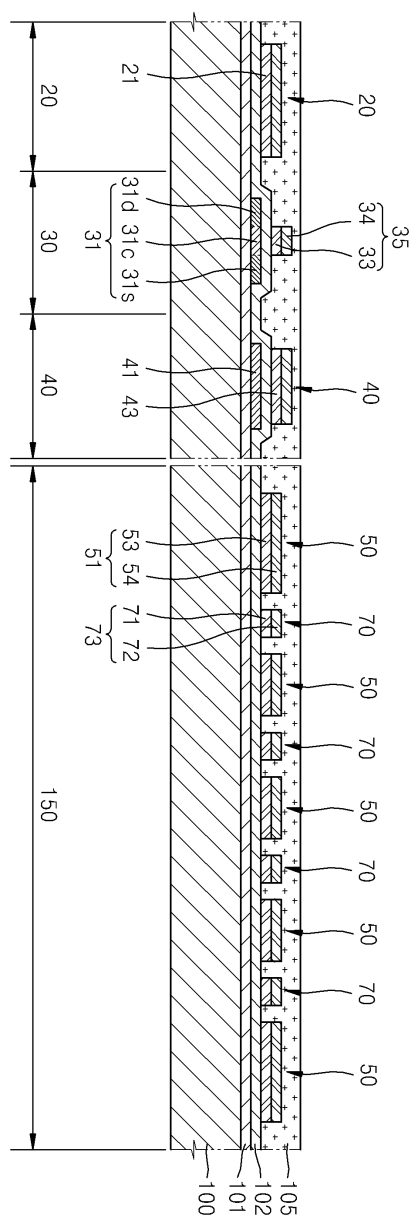
도면3



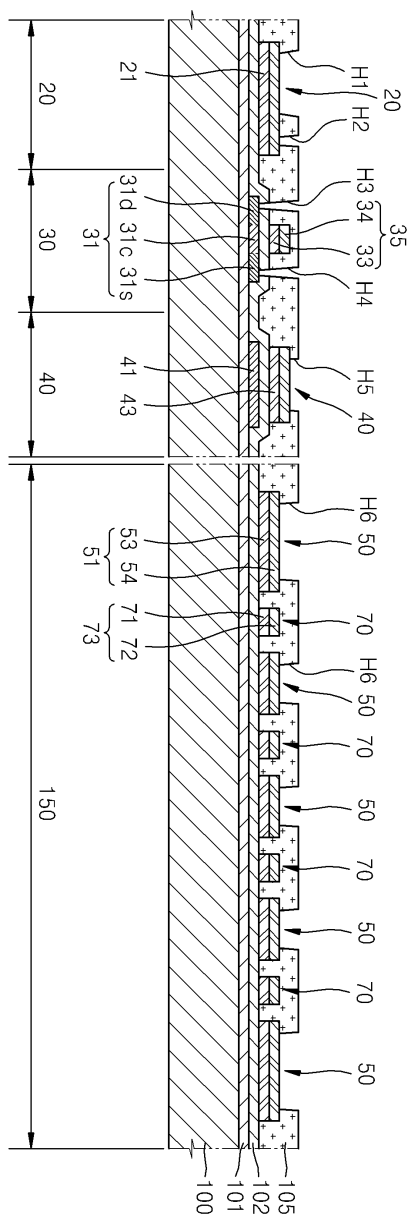
도면4



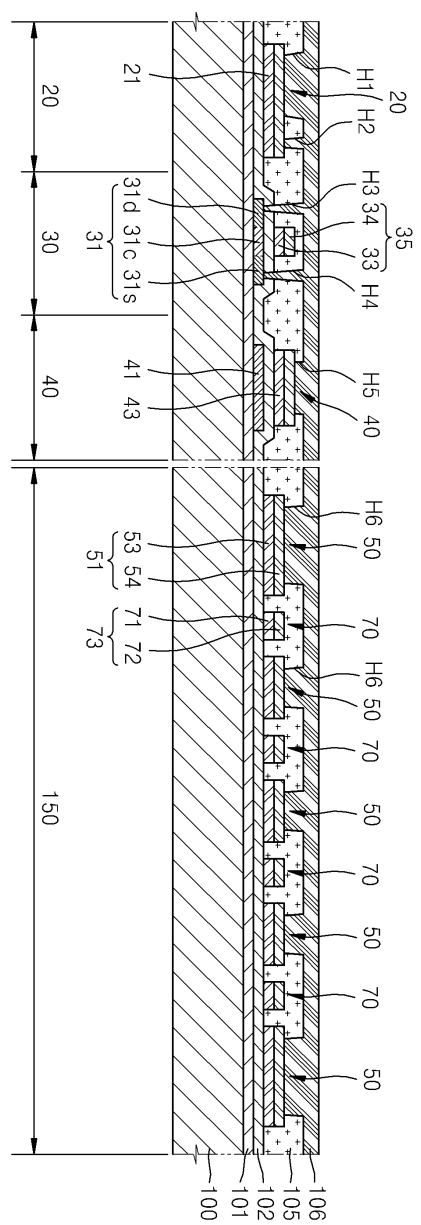
도면5



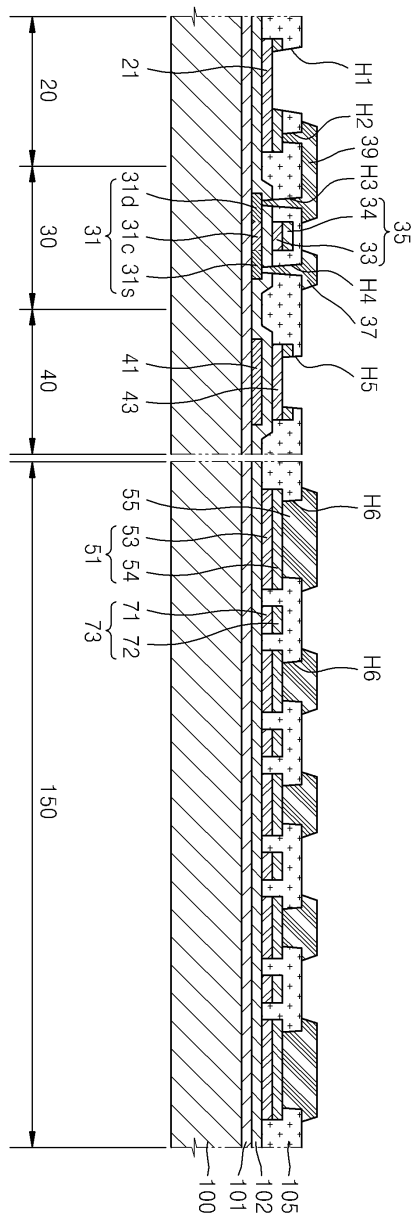
도면6



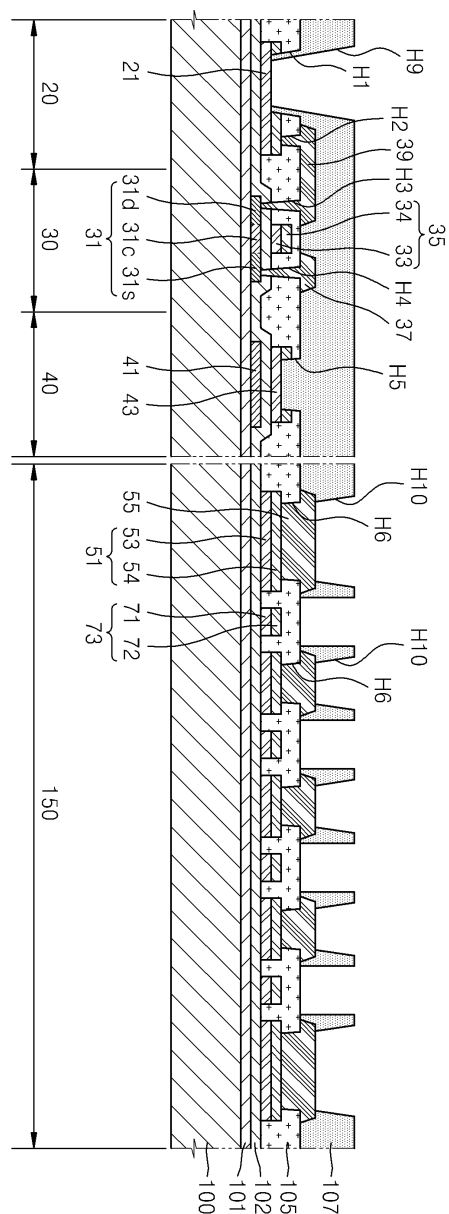
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제1항

【변경전】

상기 캐소드 콘택부

【변경후】

상기 캐소드 콘택부

专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR102077723B1	公开(公告)日	2020-04-08
申请号	KR1020130058550	申请日	2013-05-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	최정미 황영인		
发明人	최정미 황영인		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L27/3248 H01L27/3276 H01L2227/323 H01L27/3237 H01L27/3246 H01L27/3258 H01L27/3244 H01L51/56		
审查员(译)	伏羲琴		
其他公开文献	KR1020140137713A		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置。该器件包括有机电致发光元件，在该有机电致发光元件中，像素电极，包括发光层的中间层和阴极电极相继堆叠，阴极触点包括与该阴极电极接触的上电极和设置在同一层上的下电极。像素电极与像素电极接触以与上电极接触，并且在与下电极相同的层上布置有线。在与线交叉的方向上设置至少三个阴极触点，并且该线设置在阴极触点之间。

