



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월17일
(11) 등록번호 10-2033756
(24) 등록일자 2019년10월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) HO1L 51/50 (2006.01)
(21) 출원번호 10-2013-0028784
(22) 출원일자 2013년03월18일
심사청구일자 2018년02월12일
(65) 공개번호 10-2014-0114213
(43) 공개일자 2014년09월26일
(56) 선행기술조사문헌
KR1020080080734 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
윤상훈
경남 거제시 거제중앙로 1782, 1208호 (상동동, 동하파로스빌)
이정민
경기 과천시 청석로 350, 806동 1403호 (다울동, 청석마을동문굿모닝힐)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 14 항

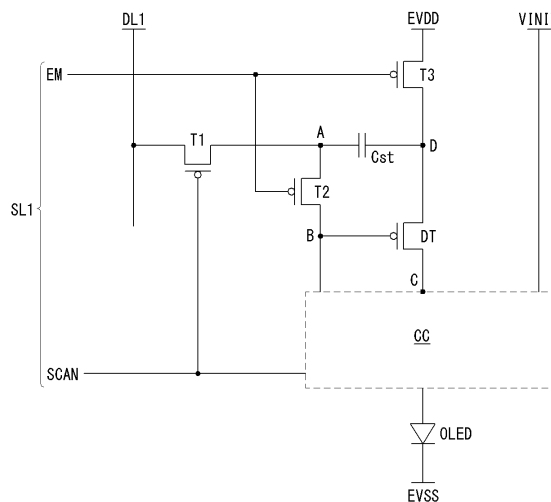
심사관 : 이옥우

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명은 유기 발광다이오드; 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터; 커패시터의 일단에 연결된 제1노드에 데이터전압을 공급하는 제1스위칭 트랜지스터; 구동 트랜지스터의 게이트전극에 연결된 제2노드와 구동 트랜지스터의 제2전극에 연결된 제3노드에 초기화전압을 공급함과 더불어 구동 트랜지스터의 제1전극에 연결된 제4노드에 구동 트랜지스터의 문턱전압과 초기화전압으로 샘플링을 하는 보상회로; 제1노드에 초기화전압을 공급하는 제2스위칭 트랜지스터; 및 제4노드에 고전위전압을 공급하는 제3스위칭 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



(56) 선행기술조사문헌

KR1020070015825 A

KR1020120116547 A

KR1020070049905 A

KR1020120041425 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

유기 발광다이오드;

상기 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터;

커패시터의 일단에 연결된 제1노드에 데이터전압을 공급하는 제1스위칭 트랜지스터;

상기 구동 트랜지스터의 게이트전극에 연결된 제2노드와 상기 구동 트랜지스터의 제2전극에 연결된 제3노드에 초기화전압을 공급함과 더불어 상기 구동 트랜지스터의 제1전극에 연결된 제4노드에 상기 구동 트랜지스터의 문턱전압과 상기 초기화전압으로 샘플링을 하는 보상회로;

상기 제1노드에 상기 초기화전압을 공급하는 제2스위칭 트랜지스터; 및

상기 제4노드에 고전위전압을 공급하는 제3스위칭 트랜지스터를 포함하고,

상기 제1스위칭 트랜지스터 및 상기 보상회로는

제1스캔신호에 대응하여 동일하게 턴온/턴오프되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제2스위칭 트랜지스터 및 상기 제3스위칭 트랜지스터는

제2스캔신호에 대응하여 동일하게 턴온/턴오프되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 보상회로는

상기 제3노드를 공유하며 상기 제2노드 및 상기 제3노드에 상기 초기화전압을 공급하는 제1보상 트랜지스터와 제2보상 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제1스위칭 트랜지스터, 상기 제1 및 제2보상 트랜지스터의 턴온 구간과 상기 제2스위칭 트랜지스터 및 상기 제3스위칭 트랜지스터의 턴온 구간 사이에는 홀드 구간이 존재하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제5항에 있어서,

상기 제1, 제2, 제3스위칭 트랜지스터, 상기 제1 및 제2보상 트랜지스터는 상기 홀드 구간 동안 노이즈에 의한 리플 영향을 최소화하기 위해 턴오프 상태를 유지하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제4항에 있어서,

상기 구동 트랜지스터는 상기 제2노드에 게이트전극이 연결되고 상기 제4노드에 제1전극이 연결되며 상기 제3노드에 제2전극이 연결되고,

상기 제1스위칭 트랜지스터는 제1스캔라인에 게이트전극이 연결되고 상기 데이터전압이 공급되는 데이터라인에 제1전극이 연결되며 상기 제1노드에 제2전극이 연결되고,

상기 제2스위칭 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 상기 제1노드에 제1전극이 연결되며 상기 제2노드에 제2전극이 연결되고,

상기 제3스위칭 트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 고전위전압을 공급하는 고전위전압단에 제1전극이 연결되며 상기 제4노드에 제2전극이 연결되고,

상기 제1보상 트랜지스터는 상기 제1스캔라인에 게이트전극이 연결되고 상기 제3노드에 제1전극이 연결되며 상기 제2노드에 제2전극이 연결되고,

상기 제2보상 트랜지스터는 상기 제1스캔라인에 게이트전극이 연결되고 초기화전압단에 제1전극이 연결되고 상기 제3노드에 제2전극이 연결되고,

상기 커패시터는 상기 제1노드에 일단이 연결되고 상기 제4노드에 타단이 연결되며,

상기 유기 발광다이오드는 상기 제3노드에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단에 캐소드전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 제3노드와 상기 유기 발광다이오드의 애노드전극 사이에 위치하며,

상기 제2스캔라인에 게이트전극이 연결되고 상기 제3노드에 제1전극이 연결되며 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터를 더 포함하는 유기전계발광표시장치.

청구항 9

제1스위칭 트랜지스터를 턴온하여 커패시터의 일단에 연결된 제1노드에 데이터전압을 공급하는 단계;

보상회로에 포함된 트랜지스터들을 턴온하여 구동 트랜지스터의 게이트전극에 연결된 제2노드와 상기 구동 트랜지스터의 제2전극에 연결된 제3노드에 초기화전압을 공급함과 더불어 상기 구동 트랜지스터의 제1전극에 연결된 제4노드에 상기 구동 트랜지스터의 문턱전압과 상기 초기화전압으로 샘플링을 하는 단계;

제2스위칭 트랜지스터를 턴온하여 상기 제1노드에 상기 초기화전압을 공급하는 단계; 및

제3스위칭 트랜지스터를 턴온하여 상기 제4노드에 고전위전압을 공급하는 단계를 포함하고,

상기 제1스위칭 트랜지스터 및 상기 보상회로는

제1스캔신호에 대응하여 동일하게 턴온/턴오프되는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 10

제9항에 있어서,

상기 데이터전압을 공급하는 단계 및 상기 샘플링을 하는 단계는

상기 제1스위칭 트랜지스터 및 상기 보상회로에 포함된 트랜지스터들에 공급된 상기 제1스캔신호에 대응하여 동일한 구간에 이루어지는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 11

제10항에 있어서,

상기 초기화전압을 공급하는 단계 및 상기 고전위전압을 공급하는 단계는

상기 제2스위칭 트랜지스터 및 상기 제3스위칭 트랜지스터에 공급된 제2스캔신호에 대응하여 동일한 구간에 이루어지는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 12

제11항에 있어서,

상기 제1스위칭 트랜지스터, 상기 제1 및 제2보상 트랜지스터의 턴온 구간과 상기 제2 및 제3스위칭 트랜지스터의 턴온 구간 사이에는 홀드 구간이 존재하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 13

제12항에 있어서,

상기 제1, 제2 및 제3스위칭 트랜지스터, 상기 제1 및 제2보상 트랜지스터는 상기 홀드 구간 동안 노이즈에 의한 리플 영향을 최소화하기 위해 턴오프 상태를 유지하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 14

제7항에 있어서,

상기 구동 트랜지스터, 상기 제1스위칭 트랜지스터, 상기 제1보상 트랜지스터, 상기 제2보상 트랜지스터, 상기 제2스위칭 트랜지스터 및 상기 제3스위칭 트랜지스터는 P-Type 박막 트랜지스터인 유기전계발광표시장치.

청구항 15

제1항에 있어서,

상기 초기화전압은

그라운드 레벨에 가까운 전압 또는 음의 전압인 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 서브 픽셀 내에 포함된 구동 트랜지스터의 문턱전압이 이동하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소한다. 이에 따라, 유기전계발광표시장치는 구동 트랜지스터의 문턱전압 이동 특성에 대한 보상을 수행하기 위해 보상회로를 사용한다.

[0006] 종래 유기전계발광표시장치 중에는 1 수평 시간을 초기화 구간과 샘플링 및 프로그래밍 구간으로 분리하여 보상하는 방식이 있다. 이 방식은 초기화 시간이 부족하면 구동 트랜지스터의 게이트전극의 노드가 충분히 낮은 전압으로 초기화되지 않고 높은 전압으로 샘플링이 되므로 발광시 원하는 휘도를 나타내기 어려운 문제가 있음은 물론 응답특성이 저하되거나 보상능력이 저하된다. 따라서, 종래 유기전계발광표시장치는 보상회로 구현시 위와

같은 문제를 해결해야 할 필요성이 있다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 응답특성을 개선함과 더불어 보상능력을 향상시켜 영상의 표시품질을 향상시킬 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 것이다. 또한, 본 발명은 전류가 누설되는 문제를 방지하여 대비비(Contrast Ratio)를 향상시킬 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 유기 발광다이오드; 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터; 커패시터의 일단에 연결된 제1노드에 데이터전압을 공급하는 제1스위칭 트랜지스터; 구동 트랜지스터의 게이트전극에 연결된 제2노드와 구동 트랜지스터의 제2전극에 연결된 제3노드에 초기화전압을 공급함과 더불어 구동 트랜지스터의 제1전극에 연결된 제4노드에 구동 트랜지스터의 문턱전압과 초기화전압으로 샘플링을 하는 보상회로; 제1노드에 초기화전압을 공급하는 제2스위칭 트랜지스터; 및 제4노드에 고전위전압을 공급하는 제3스위칭 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

[0009] 제1스위칭 트랜지스터 및 보상회로는 제1스캔신호에 대응하여 동일하게 턴온/턴오프될 수 있다.

[0010] 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터는 제2스캔신호에 대응하여 동일하게 턴온/턴오프될 수 있다.

[0011] 보상회로는 제3노드를 공유하며 제2노드 및 제3노드에 초기화전압을 공급하는 제1보상 트랜지스터와 제2보상 트랜지스터를 포함할 수 있다.

[0012] 제1스위칭 트랜지스터, 제1 및 제2보상 트랜지스터의 턴온 구간과 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터의 턴온 구간 사이에는 홀드 구간이 존재할 수 있다.

[0013] 제1, 제2 및 제3스위칭 트랜지스터, 제1 및 제2보상 트랜지스터는 홀드 구간 동안 턴오프 상태를 유지할 수 있다.

[0014] 구동 트랜지스터는 제2노드에 게이트전극이 연결되고 제4노드에 제1전극이 연결되며 제3노드에 제2전극이 연결되고, 제1스위칭 트랜지스터는 제1스캔라인에 게이트전극이 연결되고 데이터전압이 공급되는 데이터라인에 제1전극이 연결되며 제1노드에 제2전극이 연결되고, 제2스위칭 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결되고, 제3스위칭 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 고전위전압을 공급하는 고전위전압단에 제1전극이 연결되며 제4노드에 제2전극이 연결되고, 제1보상 트랜지스터는 제1스캔라인에 게이트전극이 연결되고 제3노드에 제1전극이 연결되며 제2노드에 제2전극이 연결되고, 제2보상 트랜지스터는 제1스캔라인에 게이트전극이 연결되고 초기화전압단에 제1전극이 연결되고 제3노드에 제2전극이 연결되고, 커패시터는 제1노드에 일단이 연결되고 제4노드에 타단이 연결되며, 유기 발광다이오드는 제3노드에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단에 캐소드전극이 연결될 수 있다.

[0015] 제3노드와 유기 발광다이오드의 애노드전극 사이에 위치하며, 제2스캔라인에 게이트전극이 연결되고 제3노드에 제1전극이 연결되며 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터를 더 포함할 수 있다.

[0016] 다른 측면에서 본 발명은 제1스위칭 트랜지스터를 턴온하여 커패시터의 일단에 연결된 제1노드에 데이터전압을 공급하는 단계; 보상회로에 포함된 트랜지스터들을 턴온하여 구동 트랜지스터의 게이트전극에 연결된 제2노드와 구동 트랜지스터의 제2전극에 연결된 제3노드에 초기화전압을 공급함과 더불어 구동 트랜지스터의 제1전극에 연결된 제4노드에 구동 트랜지스터의 문턱전압과 초기화전압으로 샘플링을 하는 단계; 제2스위칭 트랜지스터를 턴온하여 제1노드에 초기화전압을 공급하는 단계; 및 제3스위칭 트랜지스터를 턴온하여 제4노드에 고전위전압을 공급하는 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.

[0017] 데이터전압을 공급하는 단계 및 샘플링 전압을 형성하는 단계는 제1스위칭 트랜지스터 및 보상회로에 포함된 트랜지스터들에 공급된 제1스캔신호에 대응하여 동일한 구간에 이루어질 수 있다.

[0018] 초기화전압을 공급하는 단계 및 고전위전압을 공급하는 단계는 제2 및 제3스위칭 트랜지스터에 공급된 제2스캔신호에 대응하여 동일한 구간에 이루어질 수 있다.

[0019] 제1스위칭 트랜지스터, 제1 및 제2보상 트랜지스터의 턴온 구간과 제2 및 제3스위칭 트랜지스터의 턴온 구간 사이에는 홀드 구간이 존재할 수 있다.

[0020] 제1, 제2 및 제3스위칭 트랜지스터, 제1 및 제2보상 트랜지스터는 홀드 구간 동안 턴오프 상태를 유지할 수 있다.

발명의 효과

[0021] 본 발명은 초기화, 샘플링 및 프로그래밍을 1 수평 기간 내에 모두 수행하여 응답특성을 개선함과 더불어 보상 능력을 향상시켜 영상의 표시품질을 향상시킬 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다. 또한, 본 발명은 발광 구간 전에 전류가 누설되는 문제를 방지하여 대비비(Contrast Ratio)를 향상시킬 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 구성도.

도 2는 서브 픽셀의 개략적인 회로 구성 예시도.

도 3은 본 발명의 제1실시예에 따른 서브 픽셀의 회로 구성도.

도 4는 도 3에 도시된 서브 픽셀의 구동 파형도.

도 5 내지 도 7은 도 3에 도시된 서브 픽셀의 동작을 구간별로 설명하기 위한 도면.

도 8은 초기화, 샘플링 및 프로그래밍 구간에서의 각 노드별 전압 상태를 나타낸 시물레이션 파형도.

도 9는 문턱전압 변동에 따른 센싱 특성을 나타낸 시물레이션 파형도.

도 10은 문턱전압 변동에 따른 유기 발광다이오드의 전류 변화를 나타낸 파형도.

도 11은 본 발명의 제2실시예에 따른 서브 픽셀의 회로 구성도.

도 12 내지 도 14는 도 11에 도시된 서브 픽셀의 동작을 구간별로 설명하기 위한 도면.

도 15는 제4트랜지스터의 기능을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0024] <제1실시예>

[0025] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 2는 서브 픽셀의 개략적인 회로 구성 예시도 이다.

[0026] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터구동부(130), 스캔구동부(120) 및 표시패널(160)이 포함된다.

[0027] 타이밍제어부(110)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(130)와 스캔구동부(120)의 동작 타이밍을 제어한다. 타이밍제어부(110)는 1 수평 기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 스캔구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.

[0028] 스캔구동부(120)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(120)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.

[0029] 데이터구동부(130)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(130)는 데이터신호(DATA)를 감마 기준전압으로 변환한다. 데이터구동부(130)는 표시패널(160)에 포함된

서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.

- [0030] 표시패널(160)은 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)에는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀이 포함되고 경우에 따라 백색 서브 픽셀이 포함되기도 한다. 한편, 백색 서브 픽셀이 포함된 표시패널(160)은 각 서브 픽셀들(SP)의 발광층이 적색, 녹색 및 청색을 발광하지 않고 백색을 발광할 수 있다. 이 경우, 백색으로 발광된 광은 RGB 컬러필터에 의해 적색, 녹색 및 청색으로 변환된다.
- [0031] 도 2에 도시된 바와 같이, 표시패널(160)에 포함된 서브 픽셀에는 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 커패시터(Cst), 제1스위칭 트랜지스터(T1), 보상회로(CC), 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)가 포함된다.
- [0032] 서브 픽셀을 구성하는 각 소자의 역할에 대해 간략히 설명하면 다음과 같다.
- [0033] 구동 트랜지스터(DT)는 유기 발광다이오드(OLED)에 구동전류를 공급하는 역할을 한다. 커패시터(Cst)는 프로그래밍된 데이터전압으로 구동 트랜지스터(DT)를 구동하는 역할을 한다. 제1스위칭 트랜지스터(T1)는 커패시터(Cst)의 일단에 연결된 제1노드(A)에 데이터전압을 공급하는 역할을 한다. 제2스위칭 트랜지스터(T2)는 제1노드(A)에 초기화전압을 공급하는 역할을 한다. 제3스위칭 트랜지스터(T3)는 제4노드(D)에 고전위전압을 공급하는 역할을 한다. 보상회로(CC)는 구동 트랜지스터(DT)의 게이트전극에 연결된 제2노드(B)와 구동 트랜지스터(DT)의 제2전극에 연결된 제3노드(C)에 초기화전압을 공급함과 더불어 구동 트랜지스터(DT)의 제1전극에 연결된 제4노드(D)에 구동 트랜지스터(DT)의 문턱전압과 초기화전압으로 샘플링을 하는 역할을 한다.
- [0034] 보상회로(CC)는 소오스팔로워(source-follower) 방식으로 구동 트랜지스터(DT)의 문턱전압을 검출한다. 소오스팔로워 방식은 구동 트랜지스터(DT)의 드레인-소오스전극 간의 전류 변동값이 게이트전극에 영향을 주게 되므로 게이트전극의 문턱전압은 이들 사이에 흐르는 전류값(또는 전압값)을 추종하게 된다.
- [0035] 앞서 설명된 제1스위칭 트랜지스터(T1) 및 보상회로(CC)는 제1스캔라인(SCAN)을 통해 공급된 제1스캔신호에 대응하여 동일하게 턴온/턴오프되고, 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 제2스캔라인(EM)을 통해 공급된 제2스캔신호에 대응하여 동일하게 턴온/턴오프된다.
- [0036] 한편, 본 발명의 제1실시예에 따르면 보상회로(CC)는 제3노드(C)를 공유하며 제2노드(B) 및 제3노드(C)에 초기화전압을 공급하는 제1 및 제2보상 트랜지스터로 이루어지는데, 이하 서브 픽셀의 상세 회로 구성도를 참조하여 본 발명의 제1실시예에 따른 유기전계발광표시장치에 대한 설명을 구체화한다.
- [0037] 도 3은 본 발명의 제1실시예에 따른 서브 픽셀의 회로 구성도이고, 도 4는 도 3에 도시된 서브 픽셀의 구동 파형도이다.
- [0038] 도 3 및 도 4에 도시된 바와 같이, 본 발명의 제1실시예에 따른 서브 픽셀에는 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 커패시터(Cst), 제1스위칭 트랜지스터(T1), 제1보상 트랜지스터(TC1), 제2보상 트랜지스터(TC2), 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)가 포함된다.
- [0039] 본 발명의 제1실시예에 따른 서브 픽셀을 구성하는 각 소자의 전기적인 접속 관계를 설명하면 다음과 같다.
- [0040] 구동 트랜지스터(DT)는 제2노드(B)에 게이트전극이 연결되고 제4노드(D)에 제1전극이 연결되며 제3노드(C)에 제2전극이 연결된다. 제1스위칭 트랜지스터(T1)는 제1스캔라인(SCAN)에 게이트전극이 연결되고 데이터전압이 공급되는 제1데이터라인(DL1)에 제1전극이 연결되며 제1노드(A)에 제2전극이 연결된다. 제2스위칭 트랜지스터(T2)는 제2스캔라인(EM)에 게이트전극이 연결되고 제1노드(A)에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된다. 제3스위칭 트랜지스터(T3)는 제2스캔라인(EM)에 게이트전극이 연결되고 고전위전압을 공급하는 고전위전압단(EVDD)에 제1전극이 연결되며 제4노드(D)에 제2전극이 연결된다. 제1보상 트랜지스터(TC1)는 제1스캔라인(SCAN)에 게이트전극이 연결되고 제3노드(C)에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된다. 제2보상 트랜지스터(TC2)는 제1스캔라인(SCAN)에 게이트전극이 연결되고 초기화전압단(VINIT)에 제1전극이 연결되고 제3노드(C)에 제2전극이 연결된다. 커패시터(Cst)는 제1노드(A)에 일단이 연결되고 제4노드(D)에 타단이 연결된다. 유기 발광다이오드(OLED)는 제3노드(C)에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단(EVSS)에 캐소드전극이 연결된다.
- [0041] 앞서 설명된 구동 트랜지스터(DT), 제1스위칭 트랜지스터(T1), 제1보상 트랜지스터(TC1), 제2보상 트랜지스터(TC2), 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 P-Type 박막 트랜지스터(PMOS)로 형성된다. 위의 설명에서는 트랜지스터들의 접속 관계를 설명할 때 게이트전극을 제외한 드레인전극과 소오스전극을 제1전극과 제2전극으로 설명하였다. 그러나, 트랜지스터들의 제1전극 및 제2전극의 방향은 위치에 따라 소오스전극

및 드레인전극으로 변경될 수도 있다.

- [0042] 본 발명의 제1실시에 따른 서브 픽셀은 초기화, 샘플링 및 프로그래밍 구간(①), 홀드 구간(②) 및 발광 구간(③) 이상 3개의 구간으로 구분되어 동작한다. 제1 및 제2스캔신호(Scan, Em)은 제1 및 제2스캔라인(SCAN, EM)을 통해 공급된다.
- [0043] 초기화, 샘플링 및 프로그래밍 구간(①)에서 제1스캔신호(Scan)는 로직 로우 상태로 공급된다(제1스캔 신호는 1수평 기간 동안 로직 로우 상태를 유지한다). 이때, 제1스위칭 트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 제1스캔신호에 대응하여 동일하게 턴온 상태가 된다. 초기화, 샘플링 및 프로그래밍 구간(①)에서 제2스캔신호(Em)는 로직 하이 상태로 공급된다. 이때, 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 제2스캔신호(Em)에 대응하여 동일하게 턴오프 상태가 된다.
- [0044] 홀드 구간(②)에서 제1스캔신호(Scan)는 로직 하이 상태로 공급된다. 이때, 제1스위칭 트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 제1스캔신호에 대응하여 동일하게 턴오프 상태가 된다. 홀드 구간(②)에서 제2스캔신호(Em)는 로직 하이 상태로 공급된다(즉, 제2스캔신호는 직전의 로직 상태를 유지하게 된다). 이때, 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 제2스캔신호(Em)에 대응하여 동일하게 턴오프 상태가 된다. 즉, 홀드 구간(②)은 서브 픽셀에 포함된 트랜지스터들의 플로팅 구간이 된다.
- [0045] 발광 구간(③)에서 제1스캔신호(Scan)는 로직 하이 상태로 공급된다. 이때, 제1스위칭 트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 제1스캔신호에 대응하여 동일하게 턴오프 상태가 된다(즉, 제1스캔신호는 직전의 로직 상태를 유지하게 된다). 발광 구간(③)에서 제2스캔신호(Em)는 로직 로우 상태로 공급된다. 이때, 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 제2스캔신호(Em)에 대응하여 동일하게 턴온 상태가 된다.
- [0046] 위와 같은 형태로 제1 및 제2스캔신호(Scan, Em)가 공급되면 제1 내지 제4노드(A ~ D)에는 구간별로 다음의 표 1과 같은 전압이 공급된다.

표 1

Node	①구간	②구간	③구간
A	Vdata	Vdata	$Vdata + VDD - (Vini + Vth)$
B	Vini	Vini	$Vdata + VDD - (Vini + Vth)$
C	Vini	Vini	Floating
D	$Vini + Vth$	$Vini + Vth$	VDD

- [0047]
- [0048] 이하, 설명의 이해를 돕기 위해 도 4에 도시된 구동 파형을 참조하여 서브 픽셀의 구간별 동작 상태에 대해 설명을 구체화한다.
- [0049] 도 5 내지 도 7은 도 3에 도시된 서브 픽셀의 동작을 구간별로 설명하기 위한 도면이고, 도 8은 초기화, 샘플링 및 프로그래밍 구간에서의 각 노드별 전압 상태를 나타낸 시물레이션 파형도이며, 도 9는 문턱전압 변동에 따른 센싱 특성을 나타낸 시물레이션 파형도이고, 도 10은 문턱전압 변동에 따른 유기 발광다이오드의 전류 변화를 나타낸 파형도이다.
- [0050] [초기화, 샘플링 및 프로그래밍 구간(①)]
- [0051] 도 4 및 도 5에 도시된 바와 같이, 로직 로우의 제1스캔신호(Scan)에 의해 제1트랜지스터(T1)는 턴온되고 제1데이터라인(DL1)을 통해 공급된 데이터신호는 제1노드(A)를 거쳐 커패시터(Cst)에 데이터전압(Vdata)으로 프로그래밍된다.
- [0052] 이와 동시에, 제1스캔신호(Scan)에 의해 제1 및 제2보상 트랜지스터(TC1, TC2)는 턴온되고 초기화전압단(VINIT)을 통해 공급된 초기화전압은 제2 및 제3노드(B, C)에 공급된다. 이에 따라, 구동 트랜지스터(DT)의 게이트전극(제2노드) 및 제2전극(제3노드)는 초기화전압에 의해 초기화가 진행된다. 여기서, 초기화전압은 그라운드 레벨에 가까운 전압이나 음의 전압 등을 사용할 수 있다.

[0053] 이와 동시에, 구동 트랜지스터(DT)의 제1전극(제4노드)는 소오스팔로워 방식에 의해 초기화전압(Vini)+문턱전압(Vth)으로 샘플링이 진행된다(제4노드가 Vini+Vth가 될 때까지 구동 트랜지스터가 동작하게 되므로).

[0054] 한편, 초기화, 샘플링 및 프로그래밍 구간(①)에서의 각 노드(A ~ D)에 형성된 전압의 형태는 도 8의 "A node, B, C node, D node"를 참조한다. 그리고 구동 트랜지스터(DT)의 문턱전압(Vth) 변동에 따른 보상 능력은 도 9의 "ΔVth Sensing"으로 도시된 센싱량을 참조한다.

[0055] 도 8 및 도 9에 따르면, 본 발명의 제1실시예는 초기화, 샘플링 및 프로그래밍이 하나의 구간에서 이루어지면서도 충분한 초기화 시간을 확보할 수 있어 응답특성을 개선할 수 있게 된다. 또한 도 8 및 도 9에 따르면, 본 발명의 제1실시예는 초기화, 샘플링 및 프로그래밍이 하나의 구간에서 이루어지면서도 충분한 샘플링 시간을 확보할 수 있어 보상능력을 향상시킬 수 있게 된다.

[0056] [홀드 구간(②)]

[0057] 도 4 및 도 6에 도시된 바와 같이, 로직 로우에서 로직 하이로 전환된 제1스캔신호(Scan)에 의해 제1트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 턴오프된다. 또한, 이전과 동일하게 유지된 로직 하이의 제2스캔신호(Em)에 의해 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 이전과 동일하게 턴오프된다. 이에 따라, 모든 트랜지스터들은 턴오프 상태가 되어 동작하지 않고 각 노드(A ~ D)의 전압은 유지된다. 한편, 구동 방식에 따라 홀드 구간(②)은 생략될 수도 있다. 그러나, 각 노드(A ~ D)의 전압 특성이 유지되도록 홀드 구간(②)을 기입 하면 내부 또는 외부 노이즈 등에 의한 리플 등의 영향을 최소화할 수 있게 되므로 보상능력을 향상시킬 수 있다.

[0058] [발광 구간(③)]

[0059] 도 4 및 도 7에 도시된 바와 같이, 로직 하이의 제1스캔신호(Scan)에 의해 제1트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 턴오프가 유지된다. 로직 하이에서 로직 로우로 전환된 제2스캔신호(Em)에 의해 제2스위칭 트랜지스터(T2) 및 제3스위칭 트랜지스터(T3)는 턴온된다. 이에 따라, 제3노드(C)는 플로팅 상태가 되고, 제4노드(D)는 턴온된 제3트랜지스터(T3)에 의해 초기화전압(Vini)+문턱전압(Vth)에서 고전위전압(VDD)으로 변경된다. 이때, 제4노드(D)는 $\Delta V = VDD - (Vini + Vth)$ 가 된다.

[0060] 그리고 커패시터(Cst)에 의해 커플링 영향을 받은 제1 및 제2노드(A, B)는 $\Delta V = VDD - (Vini + Vth)$ 만큼의 전압 변화가 일어나므로, 커패시터(Cst)에 저장된 데이터전압(Vdata)은 $Vdata + \Delta V$ 가 된다. 이를 정리하면, $Vdata + \Delta V = Vdata + VDD - (Vini + Vth)$ 가 된다.

[0061] 그리고 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 발생하는 전류에 의해 발광을 하게 된다. 유기 발광다이오드(OLED)를 통해 흐르는 전류(Ioled)는 $1/2K(Vgs - Vth)^2$ 가 되는데, 이를 식으로 정리하면 다음의 수학적 식 1과 같다.

수학적 식 1

$$\begin{aligned}
 I_{oled} &= 1/2K(Vgs - Vth)^2 && [k = u \cdot Cox \cdot W/L] \\
 &= 1/2K([VDD - \{ Vdata + VDD - (Vini + Vth) \}] - Vth)^2 \\
 &= 1/2K(Vini - Vdata)^2
 \end{aligned}$$

[0062]

[0063] 위의 수학적 식 1에서 미설명된 K는 구동 트랜지스터의 상수값이고 Vgs는 구동 트랜지스터(DT)의 게이트-소오스 간의 전압이다. 여기서, μ 는 구동 트랜지스터의 전류의 이동도이고, Cox는 구동 트랜지스터의 단위 면적당 커패시턴스이며, W는 구동 트랜지스터의 채널의 폭이며, L은 구동 트랜지스터의 채널의 길이이다.

[0064] 위의 수학적 식 1에서 나타난 바와 같이, 본 발명의 제1실시예에 따르면 VDD와 Vth가 소거되므로, VDD에 의한 전류 저항 드랍(IR Drop)과 문턱전압(Vth)에 대한 보상이 이루어짐을 알 수 있다.

[0065] 여기서, 구동 트랜지스터(DT)의 문턱전압(Vth)의 변동에 따른 유기 발광다이오드(OLED)의 전류(Ioled)에 대한 변동량의 변화는 도 10을 참조한다. 도 10에 따르면, 본 발명의 제1실시예는 구동 트랜지스터(DT)의 문턱전압(Vth)의 변동에 대한 영향이 종래 기술 대비 적게 나타난다. 따라서, 본 발명의 제1실시예는 종래 기술 대비 보

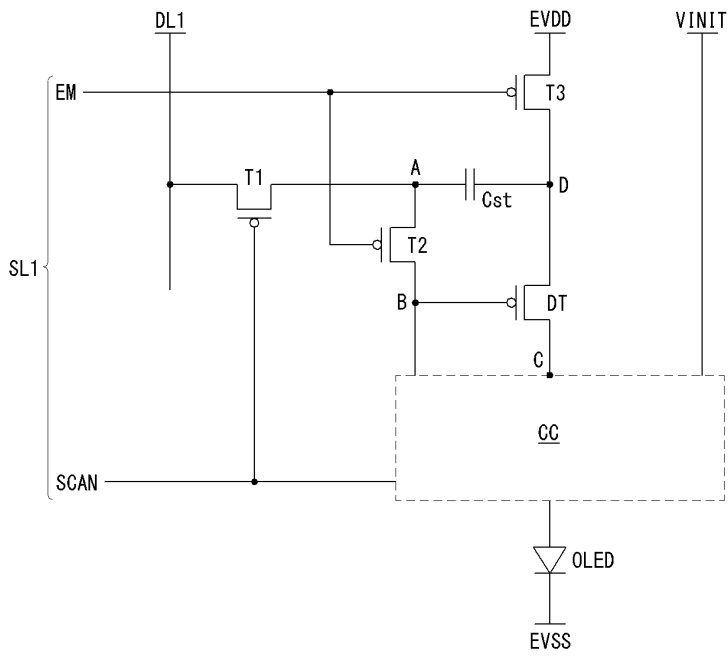
상능력이 개선되므로 영상의 표시품질을 향상시킬 수 있게 된다.

- [0066] <제2실시예>
- [0067] 도 11은 본 발명의 제2실시예에 따른 서브 픽셀의 회로 구성도이다.
- [0068] 본 발명의 제2실시예에 따른 서브 픽셀의 구동 파형 또한 제1실시예와 같으므로 도 4를 함께 참조한다.
- [0069] 도 4 및 도 11에 도시된 바와 같이, 본 발명의 제2실시예에 따른 서브 픽셀에는 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 커패시터(Cst), 제1스위칭 트랜지스터(T1), 제1보상 트랜지스터(TC1), 제2보상 트랜지스터(TC2), 제2스위칭 트랜지스터(T2), 제3스위칭 트랜지스터(T3) 및 제4스위칭 트랜지스터(T4)가 포함된다.
- [0070] 본 발명의 제2실시예에 따른 서브 픽셀을 구성하는 각 소자의 전기적인 접속 관계를 설명하면 다음과 같다.
- [0071] 구동 트랜지스터(DT)는 제2노드(B)에 게이트전극이 연결되고 제4노드(D)에 제1전극이 연결되며 제3노드(C)에 제2전극이 연결된다. 제1스위칭 트랜지스터(T1)는 제1스캔라인(SCAN)에 게이트전극이 연결되고 데이터전압이 공급되는 제1데이터라인(DL1)에 제1전극이 연결되며 제1노드(A)에 제2전극이 연결된다. 제2스위칭 트랜지스터(T2)는 제2스캔라인(EM)에 게이트전극이 연결되고 제1노드(A)에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된다. 제3스위칭 트랜지스터(T3)는 제2스캔라인(EM)에 게이트전극이 연결되고 고전위전압을 공급하는 고전위전압단(EVDD)에 제1전극이 연결되며 제4노드(D)에 제2전극이 연결된다. 제4스위칭 트랜지스터(T4)는 제2스캔라인(EM)에 게이트전극이 연결되고 제3노드(C)에 제1전극이 연결되며 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제1보상 트랜지스터(TC1)는 제1스캔라인(SCAN)에 게이트전극이 연결되고 제3노드(C)에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된다. 제2보상 트랜지스터(TC2)는 제1스캔라인(SCAN)에 게이트전극이 연결되고 초기화전압단(VINIT)에 제1전극이 연결되고 제3노드(C)에 제2전극이 연결된다. 커패시터(Cst)는 제1노드(A)에 일단이 연결되고 제4노드(D)에 타단이 연결된다. 유기 발광다이오드(OLED)는 제3노드(C)에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단(EVSS)에 캐소드전극이 연결된다.
- [0072] 앞서 설명된 구동 트랜지스터(DT), 커패시터(Cst), 제1스위칭 트랜지스터(T1), 제1보상 트랜지스터(TC1), 제2보상 트랜지스터(TC2), 제2스위칭 트랜지스터(T2), 제3스위칭 트랜지스터(T3) 및 제4스위칭 트랜지스터(T4)는 P-Type 박막 트랜지스터로 형성된다. 위의 설명에서는 트랜지스터들의 접속 관계를 설명할 때 게이트전극을 제외한 드레인전극과 소오스전극을 제1전극과 제2전극으로 설명하였다. 그러나, 트랜지스터들의 제1전극 및 제2전극의 방향은 위치에 따라 소오스전극 및 드레인전극으로 변경될 수도 있다.
- [0073] 본 발명의 제2실시예에 따른 서브 픽셀은 초기화, 샘플링 및 프로그래밍 구간(①), 홀드 구간(②) 및 발광 구간(③) 이상 3개의 구간으로 구분되어 동작한다. 제1 및 제2스캔신호(Scan, Em)은 제1 및 제2스캔라인(SCAN, EM)을 통해 공급된다.
- [0074] 초기화, 샘플링 및 프로그래밍 구간(①)에서 제1스캔신호(Scan)는 로직 로우 상태로 공급된다(제1스캔 신호는 1수평 기간 동안 로직 로우 상태를 유지한다). 이때, 제1스위칭 트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 제1스캔신호에 대응하여 동일하게 턴온 상태가 된다. 초기화, 샘플링 및 프로그래밍 구간(①)에서 제2스캔신호(Em)는 로직 하이 상태로 공급된다. 이때, 제2 내지 제4스위칭 트랜지스터(T2 ~ T4)는 제2스캔신호(Em)에 대응하여 동일하게 턴오프 상태가 된다.
- [0075] 홀드 구간(②)에서 제1스캔신호(Scan)는 로직 하이 상태로 공급된다. 이때, 제1스위칭 트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 제1스캔신호에 대응하여 동일하게 턴오프 상태가 된다. 홀드 구간(②)에서 제2스캔신호(Em)는 로직 하이 상태로 공급된다(즉, 제2스캔신호는 직전의 로직 상태를 유지하게 된다). 이때, 제2 내지 제4스위칭 트랜지스터(T2 ~ T4)는 제2스캔신호(Em)에 대응하여 동일하게 턴오프 상태가 된다. 즉, 홀드 구간(②)은 서브 픽셀에 포함된 트랜지스터들의 플로팅 구간이 된다.
- [0076] 발광 구간(③)에서 제1스캔신호(Scan)는 로직 하이 상태로 공급된다. 이때, 제1스위칭 트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 제1스캔신호에 대응하여 동일하게 턴오프 상태가 된다(즉, 제1스캔신호는 직전의 로직 상태를 유지하게 된다). 발광 구간(③)에서 제2스캔신호(Em)는 로직 로우 상태로 공급된다. 이때, 제2 내지 제4스위칭 트랜지스터(T2 ~ T4)는 제2스캔신호(Em)에 대응하여 동일하게 턴온 상태가 된다.
- [0077] 위와 같은 형태로 제1 및 제2스캔신호(Scan, Em)가 공급되면 제1 내지 제4노드(A ~ D)에는 구간별로 제1실시예의 표 1과 같은 전압이 공급된다.
- [0078] 이하, 설명의 이해를 돕기 위해 도 4에 도시된 구동 파형을 참조하여 서브 픽셀의 구간별 동작 상태에 대해 설

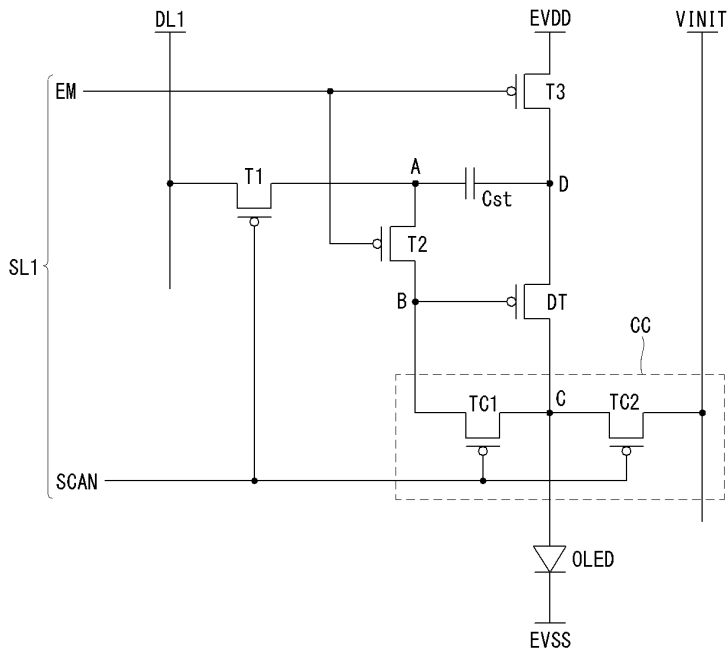
명을 구체화한다.

- [0079] 도 12 내지 도 14는 도 11에 도시된 서브 픽셀의 동작을 구간별로 설명하기 위한 도면이고, 도 15는 제4트랜지스터의 기능을 설명하기 위한 도면이다.
- [0080] [초기화, 샘플링 및 프로그래밍 구간(①)]
- [0081] 도 4 및 도 12에 도시된 바와 같이, 로직 로우의 제1스캔신호(Scan)에 의해 제1트랜지스터(T1)는 턴온되고 제1데이터라인(DL1)을 통해 공급된 데이터신호는 제1노드(A)를 거쳐 커패시터(Cst)에 데이터전압(Vdata)으로 프로그래밍된다.
- [0082] 이와 동시에, 제1스캔신호(Scan)에 의해 제1 및 제2보상 트랜지스터(TC1, TC2)는 턴온되고 초기화전압단(VINIT)을 통해 공급된 초기화전압은 제2 및 제3노드(B, C)에 공급된다. 이에 따라, 구동 트랜지스터(DT)의 게이트전극(제2노드) 및 제2전극(제3노드)는 초기화전압에 의해 초기화가 진행된다.
- [0083] 이와 동시에, 구동 트랜지스터(DT)의 제1전극(제4노드)는 소오스팔로워 방식에 의해 초기화전압(Vini)+문턱전압(Vth)으로 샘플링이 진행된다(제4노드가 Vini+Vth가 될 때까지 구동 트랜지스터가 동작하게 되므로).
- [0084] 한편, 초기화, 샘플링 및 프로그래밍 구간(①)에서의 각 노드(A ~ D)에 형성된 전압의 형태는 도 8의 "A node, B, C node, D node"를 참조한다. 그리고 구동 트랜지스터(DT)의 문턱전압(Vth) 변동에 따른 보상 능력은 도 9의 " ΔV_{th} Sensing"으로 도시된 센싱량을 참조한다.
- [0085] 도 8 및 도 9에 따르면, 본 발명의 제1실시예는 초기화, 샘플링 및 프로그래밍이 하나의 구간에서 이루어지면서도 충분한 초기화 시간을 확보할 수 있어 응답특성을 개선할 수 있게 된다. 또한 도 8 및 도 9에 따르면, 본 발명의 제2실시예 또한 초기화, 샘플링 및 프로그래밍이 하나의 구간에서 이루어지면서도 충분한 샘플링 시간을 확보할 수 있어 보상능력을 향상시킬 수 있게 된다.
- [0086] [홀드 구간(②)]
- [0087] 도 4 및 도 13에 도시된 바와 같이, 로직 로우에서 로직 하이로 전환된 제1스캔신호(Scan)에 의해 제1트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 턴오프된다. 또한, 이전과 동일하게 유지된 로직 하이의 제2스캔신호(Em)에 의해 제2 내지 제4스위칭 트랜지스터(T2 ~ T4)는 이전과 동일하게 턴오프된다. 이에 따라, 모든 트랜지스터들은 턴오프 상태가 되어 동작하지 않고 각 노드(A ~ D)의 전압은 유지된다.
- [0088] 한편, 도 15의 (a)와 같이 서브 픽셀을 블랙(Black) 구동할 때, 유기 발광다이오드(OLED)의 애노드전극과 캐소드전극으로 전류가 누설되면 영상의 대비비(Contrast Ratio)가 저하된다. 이 문제를 방지하기 위해, 제4트랜지스터(T4)는 초기화, 샘플링 및 프로그래밍 구간(①)부터 홀드 구간(②) 동안 턴오프된 상태를 유지하게 된다. 도 15의 (b)와 같이 제4트랜지스터(T4)가 이 구간 동안 턴오프된 상태를 유지하게 되면 유기 발광다이오드(OLED)의 애노드전극과 캐소드전극으로 전류가 누설되는 현상은 방지된다. 즉, 제4트랜지스터(T4)는 유기 발광다이오드(OLED)로 전류가 누설되는 현상을 방지하는 역할을 한다.
- [0089] [발광 구간(③)]
- [0090] 도 4 및 도 14에 도시된 바와 같이, 로직 하이의 제1스캔신호(Scan)에 의해 제1트랜지스터(T1), 제1 및 제2보상 트랜지스터(TC1, TC2)는 턴오프가 유지된다. 로직 하이에서 로직 로우로 전환된 제2스캔신호(Em)에 의해 제2 내지 제4스위칭 트랜지스터(T2 ~ T4)는 턴온된다. 이에 따라, 제3노드(C)는 플로팅 상태가 되고, 제4노드(D)는 턴온된 제3트랜지스터(T3)에 의해 초기화전압(Vini)+문턱전압(Vth)에서 고전위전압(VDD)으로 변경된다. 이때, 제4노드(D)는 $\Delta V = VDD - (Vini + Vth)$ 가 된다.
- [0091] 그리고 커패시터(Cst)에 의해 커플링 영향을 받은 제1 및 제2노드(A, B)는 $\Delta V = VDD - (Vini + Vth)$ 만큼의 전압 변화가 일어나므로, 커패시터(Cst)에 저장된 데이터전압(Vdata)은 $Vdata + \Delta V$ 가 된다. 이를 정리하면, $Vdata + \Delta V = Vdata + VDD - (Vini + Vth)$ 가 된다.
- [0092] 그리고 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 흐르는 전류에 의해 발광을 하게 된다. 이때, 유기 발광다이오드(OLED)를 통해 흐르는 전류(Ioled)는 $1/2K(Vgs - Vth)^2$ 가 되는데, 이를 식으로 정리하면 제1실시예의 수학적 식 1과 같다.
- [0093] 기 설명된 수학적 식 1에서 나타난 바와 같이, 본 발명의 제2실시예 또한 VDD와 Vth가 소거되므로, VDD에 의한 전류 저항 드랍(IR Drop)과 문턱전압(Vth)에 대한 보상이 이루어짐을 알 수 있다.

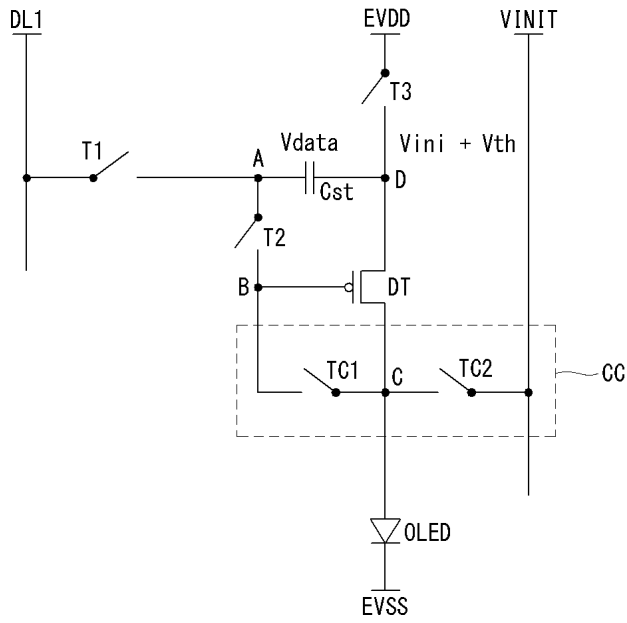
도면2



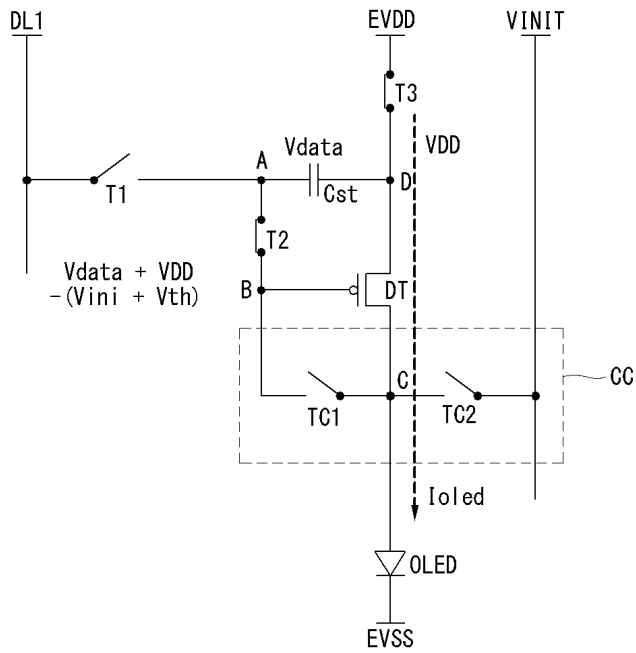
도면3



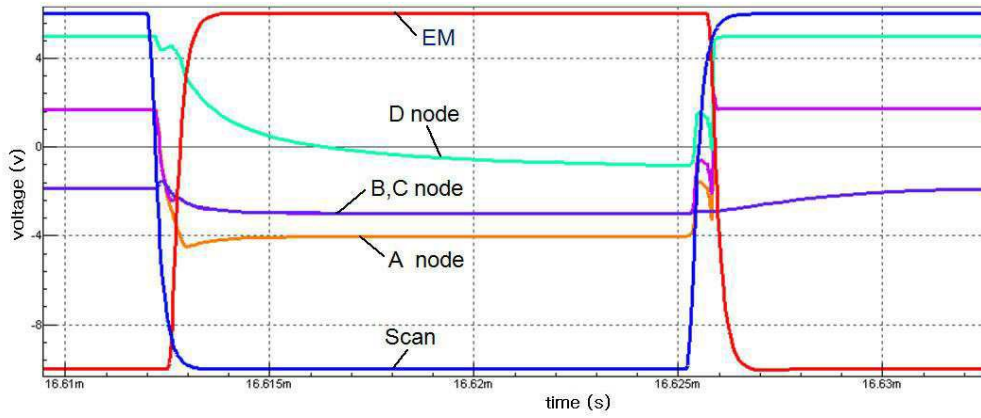
도면6



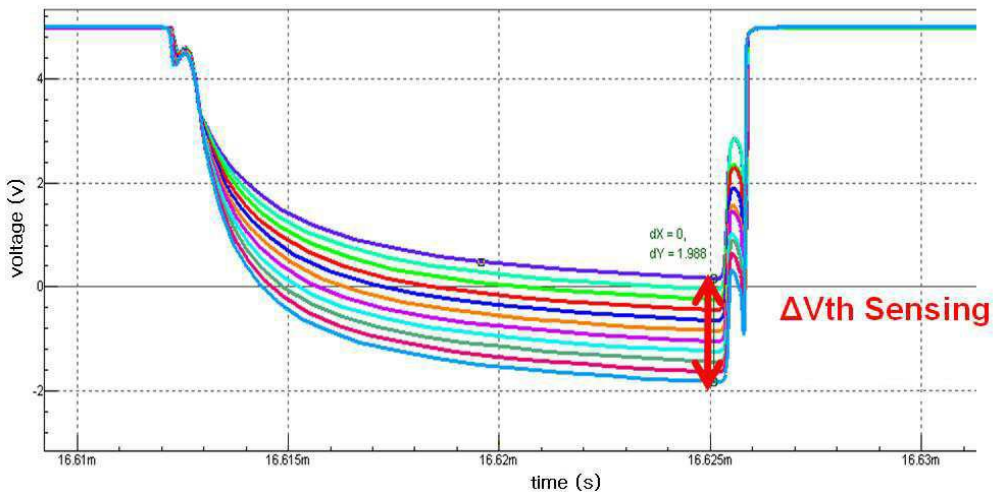
도면7



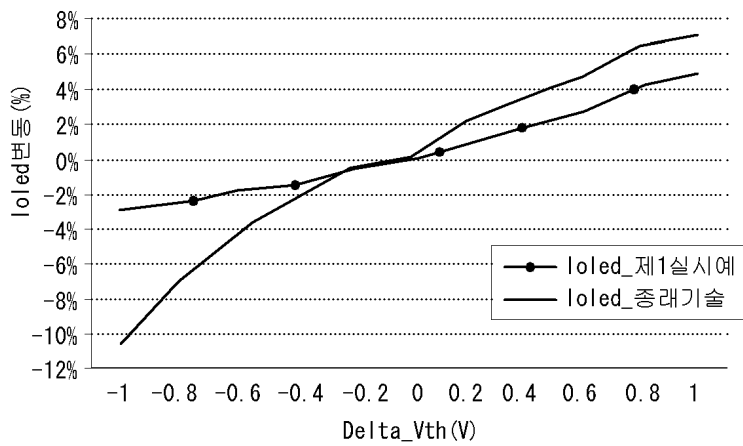
도면8



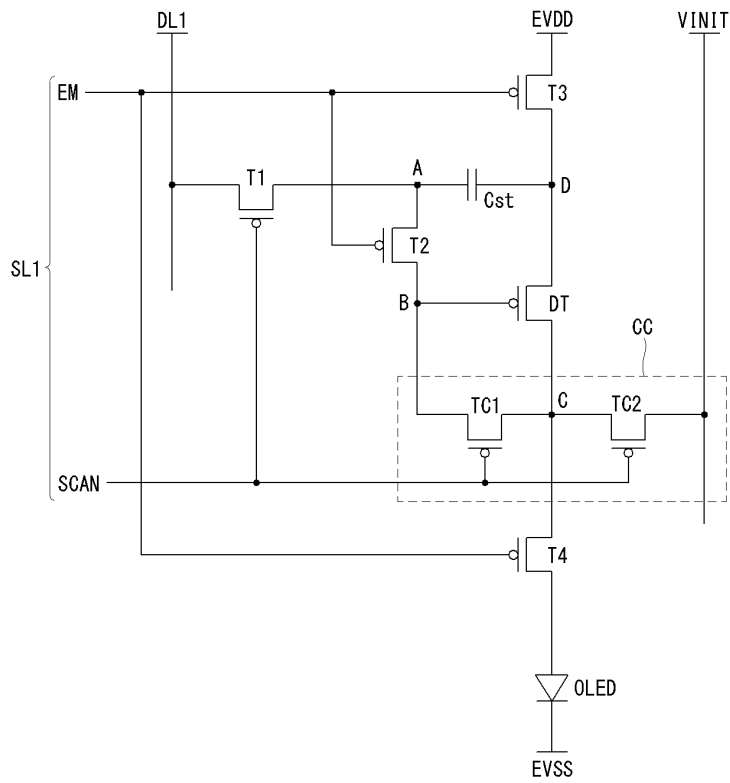
도면9



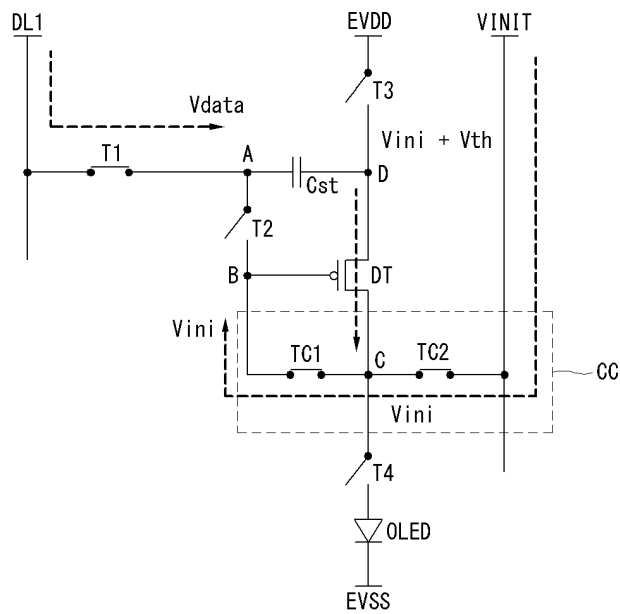
도면10



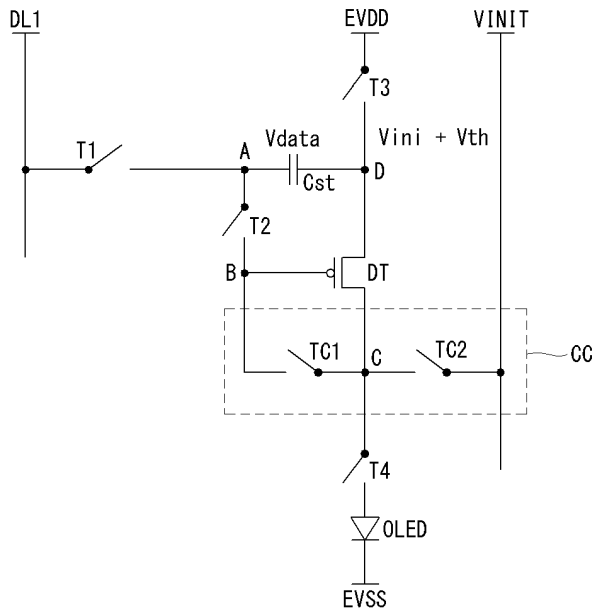
도면11



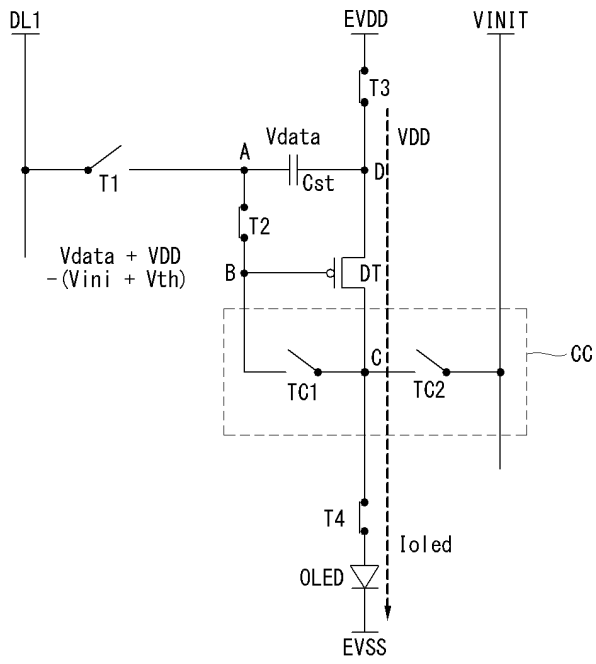
도면12



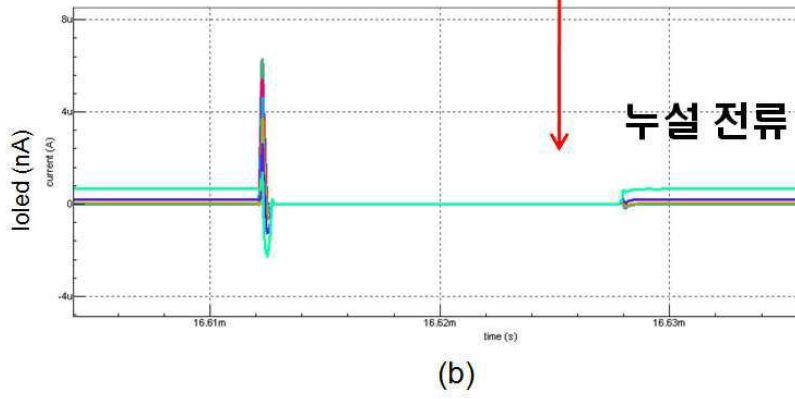
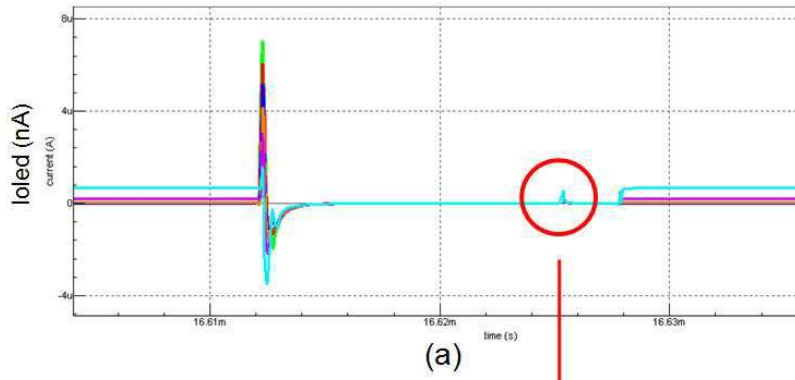
도면13



도면14



도면15



누설 전류 미 발생

专利名称(译)	有机发光显示装置及其驱动方法		
公开(公告)号	KR102033756B1	公开(公告)日	2019-10-17
申请号	KR1020130028784	申请日	2013-03-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	윤상훈 이정민		
发明人	윤상훈 이정민		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/30 H01L27/3225 H01L27/3262 H01L27/3274		
审查员(译)	这蓬莱		
其他公开文献	KR1020140114213A		
外部链接	Espacenet		

摘要(译)

本发明是一种有机发光二极管。向有机发光二极管提供驱动电流的驱动晶体管；第一开关晶体管向连接至电容器一端的第一节点提供数据电压；初始化电压被提供给连接到驱动晶体管的栅极的第二节点，第三节点被提供给驱动晶体管的第二电极，并且阈值电压和驱动晶体管的初始化电压被提供给第四节点，该第四节点连接到驱动晶体管的第一电极。采样补偿电路；第二开关晶体管，被配置为向第一节点提供初始化电压；第三开关晶体管被配置为向第四节点提供高电位电压。

