



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0081870
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0439 (2013.01)

(21) 출원번호 10-2018-0171836

(22) 출원일자 2018년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박종민

경기도 파주시 월롱면 엘지로 245

박동원

경기도 파주시 월롱면 엘지로 245

권용철

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인다나

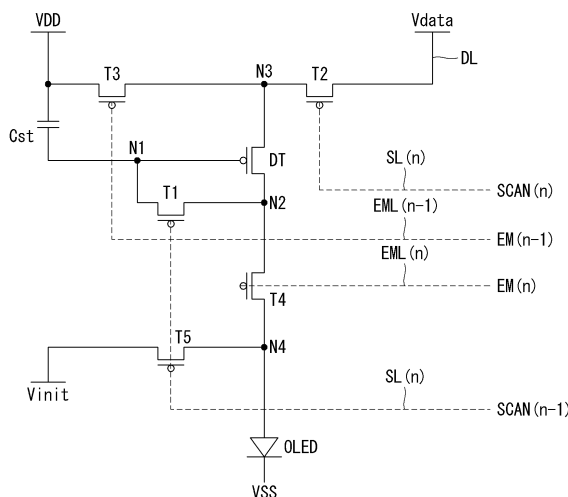
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 구동 트랜지스터, 제1 트랜지스터, 스캔 트랜지스터, 제1 발광제어 트랜지스터 및 초기화 트랜지스터를 포함한다. 구동 트랜지스터는 제1 노드에 접속된 게이트전극, 제2 노드에 접속된 드레인전극 및 제3 노드에 접속된 소스전극을 포함한다. 제1 트랜지스터는 제1 노드 및 제2 노드 사이에 접속된다. 스캔 트랜지스터 제3 노드 및 데이터라인 사이에 접속된다. 제1 발광제어 트랜지스터는 제2 노드 및 유기발광 다이오드의 애노드전극 사이에 접속된다. 초기화제어 트랜지스터는 초기화전압의 입력단 및 유기발광 다이오드의 애노드전극 사이에 접속된다.

대표도 - 도3



(52) CPC특허분류
G09G 2300/0465 (2013.01)

명세서

청구범위

청구항 1

제1 노드에 접속된 게이트전극, 제2 노드에 접속된 드레인전극 및 제3 노드에 접속된 소스전극을 포함하는 구동 트랜지스터;

상기 제1 노드 및 제2 노드 사이에 접속된 제1 트랜지스터;

상기 제3 노드 및 데이터라인 사이에 접속된 스캔 트랜지스터;

상기 제2 노드 및 유기발광 다이오드의 애노드전극 사이에 접속된 제1 발광제어 트랜지스터; 및

초기화전압의 입력단 및 상기 유기발광 다이오드의 애노드전극 사이에 접속된 초기화제어 트랜지스터를 포함하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

고전위 구동전압의 입력단과 상기 제2 노드 사이에 접속된 제2 발광제어 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

초기화 기간 동안,

상기 초기화제어 트랜지스터와 상기 제1 발광제어 트랜지스터 및 상기 제1 트랜지스터는 턴-온되어서, 상기 초기화전압을 상기 제1 노드에 인가하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 초기화 기간 동안, 상기 제2 발광제어 트랜지스터는 턴-오프 상태를 유지하는 유기발광 표시장치.

청구항 5

제 2 항에 있어서,

샘플링 기간 동안,

상기 스캔 트랜지스터 및 상기 제1 트랜지스터는 턴-온되고,

상기 제1 발광제어 트랜지스터는 턴-오프 되어, 상기 제2 노드는 플로팅 상태가 되는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 샘플링 기간 동안, 상기 제2 발광제어 트랜지스터는 턴-오프 상태를 유지하는 유기발광 표시장치.

청구항 7

제 2 항에 있어서,

발광 기간 동안,

상기 제1 및 제2 발광제어 트랜지스터는 턴-온 상태를 유지하고,

상기 스캔 트랜지스터, 상기 제1 트랜지스터 및 상기 초기화제어 트랜지스터는 턴-오프 상태를 유지하는 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

제 n (n 은 2 이상의 자연수) 픽셀라인에 배치된 상기 제1 트랜지스터 및 상기 초기화제어 트랜지스터는,

제 $n-1$ 픽셀라인에 배치된 상기 스캔 트랜지스터와 동일한 스캔신호에 의해서 제어되는 유기발광 표시장치.

청구항 9

제 1 항에 있어서,

제 n (n 은 2 이상의 자연수) 픽셀라인에 배치된 상기 제2 발광제어 트랜지스터는,

제 $n-1$ 픽셀라인에 배치된 상기 제1 발광제어 트랜지스터와 동일한 발광제어신호에 의해서 제어되는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, 태블릿 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 구동트랜지스터에 공급되는 데이터전압을 스토리지 커패시터에 충전한다. 그리고 발광제어신호를 이용하여 스토리지 커패시터에 충전된 데이터전압을 출력함으로써 유기발광다이오드를 발광시킨다.

[0004] 모든 픽셀들에 배치되는 구동 트랜지스터들은 전기적 특성이 동일하여야 하지만, 공정 조건이나 구동 환경 등에 의해서 불균일하게 된다. 이러한 이유로 동일 데이터전압에 따른 구동 전류는 픽셀들마다 달라지고 그 결과, 픽셀들간 휘도 편차가 발생하게 된다. 이를 해결하기 위하여, 각 픽셀로부터 구동 트랜지스터의 특성 파라미터(문턱전압, 이동도)를 센싱하고, 센싱 결과에 따라 입력 데이터를 적절히 보정함으로써 휘도 불균일을 감소시키는 화질 보상기술이 알려져 있다. 화질 보상기술 중에서 내부 보상 방식은 유기발광다이오드가 발광하는 동안에 구동 트랜지스터의 전기적 특성을 배제시키도록 픽셀 구조 및 구동 타이밍을 제어한다. 내부 보상 방식은 기본적으로 구동 트랜지스터의 게이트 전압을 소스 팔로워 방식으로 상승시켜서 일정 수준으로 포화(saturation)시키는 샘플링 동작을 수행한다

[0005] 내부 보상 방식은 다수의 트랜지스터들로 구성되는 픽셀 구조를 갖고, 각각의 픽셀들은 게이트신호들에 의해서 동작한다.

[0006] 개구율을 향상시키고 픽셀 구조를 단순화하기 위해서는 내부 보상 회로의 트랜지스터들의 개수를 줄일 필요가 있다. 또한, 내부 보상회로의 구동 신뢰성을 향상시키기 위한 방안들이 지속적으로 모색되고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 픽셀 구조를 단순화하면서 구동 신뢰성을 높일 수 있는 픽셀회로를 갖는 유기발광 표시장치를 제공하

기 위한 것이다.

과제의 해결 수단

[0008] 본 발명에 의한 유기발광 표시장치는 구동 트랜지스터, 제1 트랜지스터, 스캔 트랜지스터, 제1 발광제어 트랜지스터 및 초기화 트랜지스터를 포함한다. 구동 트랜지스터는 제1 노드에 접속된 게이트전극, 제2 노드에 접속된 드레인전극 및 제3 노드에 접속된 소스전극을 포함한다. 제1 트랜지스터는 제1 노드 및 제2 노드 사이에 접속된다. 스캔 트랜지스터 제3 노드 및 데이터라인 사이에 접속된다. 제1 발광제어 트랜지스터는 제2 노드 및 유기발광 다이오드의 애노드전극 사이에 접속된다. 초기화제어 트랜지스터는 초기화전압의 입력단 및 유기발광 다이오드의 애노드전극 사이에 접속된다.

발명의 효과

[0009] 본 발명에 의한 유기발광 표시장치는 비교적 적은 개수의 트랜지스터들을 이용하여 내부보상회로를 구성함으로써, 픽셀 구조를 간소화하고 개구율을 높일 수 있다.

[0010] 본 발명에 의한 유기발광 표시장치는 구동 트랜지스터의 소스전극에 데이터전압을 기입함으로써, 기생 커패시터로 인한 샘플링 동작이 불안정해지는 것을 개선할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명에 의한 유기발광다이오드 표시장치의 구성을 나타내는 도면이다.

도 2는 제1 실시 예에 따른 시프트레지스터의 구성을 나타내는 도면이다.

도 3은 제1 실시 예에 따른 픽셀 구조를 나타내는 도면이다.

도 4는 제1 실시 예에 따른 구동신호들의 타이밍을 나타내는 도면이다.

도 5 내지 도 7은 제1 실시 예에 따른 픽셀들의 구동을 설명하는 도면들이다.

도 8은 비교 예에 따른 픽셀 구조를 모식화 한 도면이다.

도 9는 제2 실시 예에 따른 시프트레지스터의 구성을 나타내는 도면이다.

도 10은 제2 실시 예에 따른 픽셀 구조를 나타내는 도면이다.

도 11은 제3 실시 예에 따른 시프트레지스터의 구성을 나타내는 도면이다.

도 12는 제3 실시 예에 따른 픽셀 구조를 나타내는 도면이다.

도 13은 제2 실시 예에 따른 구동신호들의 타이밍을 나타내는 도면이다.

도 14는 제3 실시 예에 따른 구동신호들의 타이밍을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0013] 본 발명의 게이트 구동부에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 p 타입 트랜지스터를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터

드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.

- [0014] 도 1은 본 발명에 의한 유기발광 표시장치를 나타내는 도면이다.
- [0015] 도 1을 참조하면, 본 발명에 의한 유기발광 표시장치는 표시패널(100), 데이터 구동부(300), 게이트 구동부(400,500), 및 타이밍 콘트롤러(200)를 구비한다.
- [0016] 표시패널(100)의 표시영역(AA)에는 다수의 데이터라인들(DL1~DLm) 및 다수의 게이트라인들(GL1~GLn)이 배치되고, 그의 교차영역에는 영상 표시를 위한 픽셀(P)들이 배치된다.
- [0017] 게이트라인들(GL1~GLn) 각각은 스캔라인, 에미션라인등을 포함할 수 있으며, 픽셀(P)의 실시 예에 따라 달라질 수 있다.
- [0018] 타이밍 콘트롤러(200)는 호스트(100)로부터 제공받는 수직 동기신호(Vsync), 수평 동기신호(Hsync) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 제어신호 및 게이트 제어신호를 생성한다. 데이터 제어신호는 데이터 구동부(300)의 동작 타이밍을 제어하고, 게이트 제어신호는 게이트 구동부(400,500)의 동작 타이밍을 제어한다.
- [0019] 데이터 구동부(300)는 타이밍 콘트롤러(200)로부터 제공받는 데이터 제어신호 및 영상데이터(DATA)를 바탕으로 데이터전압을 생성하고 이를 데이터라인(DL)에 공급한다.
- [0020] 게이트 구동부(400,500)는 레벨슈프터(400) 및 시프트레지스터(500)를 포함한다. 레벨슈프터(400)는 타이밍 콘트롤러(200)로부터 제공받는 게이트 제어신호를 바탕으로 게이트클럭(GCLK)을 생성한다. 시프트레지스터(500)는 레벨슈프터(400)가 출력하는 게이트클럭(GCLK)을 바탕으로 게이트신호를 생성하고 이를 게이트라인(GL)들에 출력한다. 이를 위해서, 시프트레지스터(500)는 서로 종속적으로 접속하는 시프트레지스터를 포함한다. 시프트레지스터(500)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(DIS)의 비표시영역(NAA) 상에 직접 형성될 수 있다.
- [0021] 도 2는 제1 실시 예에 의한 시프트레지스터를 나타내는 도면이다. 도 3은 제1 실시 예에 의한 픽셀 구조를 나타내는 도면이다.
- [0022] 도 2 및 도 3을 참조하면, 제1 실시 예에 의한 시프트레지스터(500)는 에미션신호 생성부(510) 및 스캔신호 생성부(520)를 포함한다. 에미션신호 생성부(510)의 제1 내지 제n 에미션 드라이버(EMD1~EMDn)는 서로 종속적으로 연결되고, 스캔신호 생성부(520)의 제1 내지 제n 스캔 드라이버(SD1~SDn)는 서로 종속적으로 연결된다.
- [0023] 에미션신호 생성부(510)는 제1 내지 제n 에미션 드라이버(EMD1~EMDn)를 포함한다. 제1 에미션 드라이버(EMD1)는 에미션신호(EM1)를 생성하고, 이를 제1 픽셀라인(HL1)의 제1 발광제어 트랜지스터(T4) 및 제2 픽셀라인(HL2)의 제2 발광제어 트랜지스터(T3)에 인가한다. 제n 에미션 드라이버(EMDn)는 에미션신호(EMn)를 생성하고, 이를 제n 픽셀라인(HLn)의 제1 발광제어 트랜지스터(T4)에 인가한다.
- [0024] 스캔신호 생성부(520)는 제1 내지 제n 스캔 드라이버(SD1~SDn)를 포함한다. 제1 스캔 드라이버(SD1)는 제1 스캔신호(SCAN1)를 생성하고, 이를 제1 픽셀라인(HL1)의 스캔 트랜지스터(T2) 및 제2 픽셀라인(HL2)의 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)에 인가한다. 제n 스캔 드라이버(SD(n))는 제n 스캔신호(SCAN(n))를 생성하여 제n 픽셀라인(HLn)의 스캔 트랜지스터(T2)에 인가한다.
- [0025] 도 3을 참조하여, 제n 픽셀라인에 배치된 픽셀의 세부 구성을 살펴보면 다음과 같다.
- [0026] 제1 실시 예에 의한 픽셀은 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터들(T1), 스캔 트랜지스터(이하, 제1 트랜지스터)(T2), 제1 발광제어 트랜지스터(이하, 제4 트랜지스터)(T4), 제2 발광제어 트랜지스터(이하, 제3 트랜지스터)(T3), 초기화제어 트랜지스터(이하, 제5 트랜지스터)(T5) 및 스토리지 커패시터(Cst)를 포함한다.
- [0027] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극은 제4 노드(N4)에 접속되고, 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0028] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광다이오드(OLED)에 인가되는 구동전류

를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 제1 노드(N1)에 접속되고, 소스전극은 제3 노드(N3)에 접속되며, 드레인전극은 제2 노드(N2)에 접속된다.

- [0029] 제1 트랜지스터(T1)는 제 $n-1$ 스캔라인(SL($n-1$))에 접속된 게이트전극, 제1 노드(N1)에 접속된 드레인전극, 제2 노드(N2)에 접속된 소스전극을 포함한다. 제1 트랜지스터(T1)는 제 $n-1$ 스캔신호(SCAN($n-1$))에 응답하여, 제1 노드(N1) 및 제2 노드(N2)를 다이오드 연결시킨다.
- [0030] 제2 트랜지스터(T2)의 제 n 스캔라인(SL(n))에 접속된 게이트전극, 데이터라인(DL)에 접속된 소스전극 및 제3 노드(N3)에 접속된 드레인전극을 포함한다. 제2 트랜지스터(T2)는 제 n 스캔신호(SCAN(n))에 응답하여, 데이터라인(DL)으로부터의 데이터전압(Vdata)을 제3 노드(N3)에 기입한다.
- [0031] 제3 트랜지스터(T3) 제 $n-1$ 에미션라인(EML($n-1$))에 접속된 게이트전극, 고전위 구동전압(VDD)의 입력단에 접속된 소스전극 및 제3 노드(N3)에 접속된 드레인전극을 포함한다. 제3 트랜지스터(T3)는 제 $n-1$ 에미션신호(EM($n-1$))에 응답하여, 제3 노드(N3)에 고전위 구동전압(VDD)을 제공한다.
- [0032] 제4 트랜지스터(T4)는 제 n 에미션라인(EML(n))에 접속된 게이트전극, 제3 노드(N3)에 접속된 소스전극, 및 제4 노드(N4)에 접속된 드레인전극을 포함한다. 제4 트랜지스터(T4)는 제 n 에미션신호(EM(n))에 응답하여, 제3 노드(N3)와 제4 노드(N4)를 접속시킨다.
- [0033] 제5 트랜지스터(T5)는 제 $n-1$ 스캔라인(SCAN($n-1$))에 접속된 게이트전극, 제4 노드(N4)에 접속된 소스전극, 및 초기화전압(Vinit)의 입력단에 접속된 드레인전극을 포함한다. 제5 트랜지스터(T5)는 제 $n-1$ 스캔신호(SCAN($n-1$))에 응답하여, 제4 노드(N4)에 초기화전압(Vinit)을 기입한다.
- [0034] 스토리지 커패시터(Cst)는 제1 노드(N1)와 고전위 구동전압(VDD)의 입력단 사이에 접속된다.
- [0035] 도 4는 제1 실시 예에 따른 구동신호들의 타이밍을 나타내는 도면이다. 도 5 내지 도 7은 구동 타이밍에 따른 픽셀의 동작을 설명하는 도면들이다.
- [0036] 도 4 및 도 5를 참조하면, 이니셜 기간(Di)에서, 제 $n-1$ 스캔신호(SCAN($n-1$)) 및 제 n 에미션신호(EM(n))는 턴-온 전압으로 인가되고, 제 n 스캔신호(SCAN(n)) 및 제 $n-1$ 에미션신호(EM($n-1$))는 턴-오프 전압으로 인가된다.
- [0037] 그 결과, 제1 트랜지스터(T1), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 턴-온되고, 제1 노드(N1)는 초기화전압(Vinit)으로 초기화된다.
- [0038] 도 4 및 도 6을 참조하면, 샘플링 기간(Ds)에서, 제 n 스캔신호(SCAN(n)) 및 제 $n-1$ 스캔신호(SCAN($n-1$))는 턴-온 전압으로 인가되고, 제 $n-1$ 에미션신호(EM($n-1$)) 및 제 n 에미션신호(EM(n))는 턴-오프 전압으로 인가된다.
- [0039] 제2 트랜지스터(T2)는 제 n 스캔신호(SCAN(n))에 응답하여, 데이터라인(DL)으로부터의 데이터전압(Vdata)을 제3 노드(N3)에 기입한다. 제1 트랜지스터(T1)는 제 $n-1$ 스캔신호(SCAN($n-1$))에 응답하여 턴-온됨으로써, 제1 노드(N1) 및 제2 노드(N2)는 다이오드 커넥팅(Diode Connecting)이 된다.
- [0040] 샘플링 기간(Ds)에서, 제4 트랜지스터(T4)가 턴-오프되어 제2 노드(N2)는 플로팅 상태가 된다. 그리고 제3 노드(N3)에서 제2 노드(N2)로 흐르는 전류에 의해서 제2 노드(N2)의 전압은 상승하고, 이에 따라 제1 노드(N1)의 전압도 상승한다. 제1 노드(N1)의 전압이 상승함에 따라, 구동 트랜지스터(DT)의 V_{sg} 값이 작아진다. 샘플링 기간에서 제3 노드(N3)에서 제2 노드(N2)로 흐르는 전류는 구동 트랜지스터(DT)의 V_{sg} 가 구동 트랜지스터(DT)의 문턱전압과 동일해질 때까지 흐른다. 즉, 샘플링 기간(T_s)에서 제1 노드(N1) 및 제2 노드(N2)의 전압은 제3 노드(N3)에 기입된 데이터전압(Vdata)에서 문턱전압(V_{th})의 절대값을 뺀 값($V_{data}-|V_{th}|$)으로 포화된다.
- [0041] 샘플링 기간(Ds) 이후에, 구동의 신뢰성 향상을 위한 홀딩 기간(Dh)이 일정 기간 동안 유지될 수 있다.
- [0042] 도 4 및 도 7을 참조하면, 에미션 기간(De)에서, 제 n 에미션신호(EM(n)) 및 제 $n-1$ 에미션신호(EM($n-1$))는 턴-온 전압으로 인가되고, 제 n 스캔신호(SCAN(n)) 및 제 $n-1$ 스캔신호(SCAN($n-1$))는 턴-오프 전압으로 인가된다.
- [0043] 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 턴-온 되어서, 고전위 구동전압(VDD)의 입력단으로부터 구동 트랜지스터(DT)를 경유하는 구동전류(Ioled)는 유기발광 다이오드(OLED)의 애노드전극에 유입된다.
- [0044] 이 때, 구동 트랜지스터(DT)의 소스 노드(N3)의 전압은 고전위 구동전압(VDD)에 해당하고, 게이트 노드(N1)의 전압은 " $V_{data}-|V_{th}|$ "에 해당한다. 따라서, 유기발광다이오드(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 [수학식 1]과 같이 된다.

- [0045] [수학식 1]
- [0046]
$$I_{OLED} = k/2(V_{sg} - |V_{th}|)^2 = k/2\{(V_s - V_g) - |V_{th}|\}^2 = k/2\{V_{DD} - (V_{data} - |V_{th}|) - |V_{th}|\}^2 = k/2(V_{DD} - V_{data})^2$$
- [0047] [수학식 1]에서, $k/2$ 는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다. [수학식 1]에서 알 수 있는 바와 같이, 구동전류(Ioled) 관계식에서 구동 트랜지스터(DT)의 문턱전압(V_{th}) 성분은 소거된다. 이를 통해, 문턱전압(V_{th}) 변화가 구동전류(Ioled)에 미치는 영향이 제거된다.
- [0048] 그리고, 본 발명에 따른 표시장치는 샘플링 기간(D_s)에서 구동 트랜지스터(DT)의 소스전극에 해당하는 제3 노드(N_3)에 데이터전압(V_{data})을 직접 기입한다.
- [0049] 이에 반해서, 도 8은 비교 예에 의한 픽셀구조를 나타내는 도면이다. 도 8에서와 같이 비교 예에 의한 픽셀은 구동 트랜지스터(DT)의 게이트전극에 접속된 커패시터(C_{st})를 포함한다. 그리고, 보상회로(CC)를 이용하여 커패시터(C_{st})에 데이터라인(DL)으로부터 제공받는 데이터전압(V_{data})을 기입한다. 데이터전압(V_{data})이 기입되는 커패시터(C_{st})는 픽셀에 형성되는 각종 기생 커패시터와 커플링 현상이 발생되기도 한다. 따라서, 비교 예에서는 커패시터(C_{st})에 기입된 데이터전압(V_{data})의 크기가 불안정하고, 이로 인해서 유기발광 다이오드(OLED)의 발광 휘도가 달라지기도 한다.
- [0050] 이에 반해서, 전술한 본 발명에 의한 유기발광 표시장치는 구동 트랜지스터(DT)의 소스전극에 데이터전압(V_{data})을 직접 기입하기 때문에, 기생 커패시터들과의 커플링 현상으로 인한 휘도 편차가 발생하는 것을 방지할 수 있다.
- [0051] 상술한 제1 실시 예에 의한 유기발광 표시장치는 제3 트랜지스터(T_3)와 제4 트랜지스터(T_4)를 개별적으로 제어하기 때문에, 제1 노드(N_1)의 초기화 동작을 안정적으로 할 수 있다. 만약 제3 트랜지스터(T_3)와 제4 트랜지스터(T_4)가 동일한 발광제어신호($EM(n)$)에 의해서 제어되면, 초기화 기간(D_i)에 고전위 구동전압(V_{DD})의 입력단과 제3 노드(N_3)가 전기적으로 접속된다. 따라서, 제3 노드(N_3)에 고전위 구동전압(V_{DD})이 인가되고, 이로 인해서 제1 노드(N_1)에 기입되는 초기화전압(V_{init})이 불안정해질 수 있다.
- [0052] 하지만, 제1 실시 예는 초기화 기간(D_i)에 제3 트랜지스터(T_3)를 턴-오프 시킬 수 있기 때문에, 제1 노드(N_1)에 안정적으로 초기화전압(V_{init})을 기입할 수 있다.
- [0053] 또한, 본 발명에 의한 유기발광 표시장치에서 제1 트랜지스터(T_1)는 샘플링 기간에 다이오드 커백팅 연결을 위한 것이다. 그리고, 본 발명은 이와 같은 제1 트랜지스터(T_1)를 이용하여 구동 트랜지스터(DT)의 게이트전극에 초기화전압(V_{init})을 기입한다.
- [0054] 기존의 내부보상회로는 구동 트랜지스터(DT)의 게이트전극에 초기화전압(V_{init})을 직접 인가하기 위한 트랜지스터를 포함하였다. 즉, 종래에는 구동 트랜지스터(DT)의 게이트전극과 직접 접속된 트랜지스터가 2 개 이상을 포함하기도 한다. 구동 트랜지스터(DT)의 게이트전극과 접속된 트랜지스터가 많을수록 구동 트랜지스터(DT)의 게이트전극으로부터의 누설전류는 증가한다. 따라서, 종래에는 구동 트랜지스터(DT)의 소스-게이트 간 전압(V_{sg}) 크기가 달라지고, 발광 휘도에 영향을 줄 수 있다.
- [0055] 이에 반해서, 본 발명에 의한 유기발광 표시장치는 구동 트랜지스터(DT)의 게이트전극에 직접 초기화전압(V_{init})을 기입하는 트랜지스터가 배치되지 않기 때문에, 구동 트랜지스터(DT)의 누설전류를 감소시킬 수 있다.
- [0056] 도 9는 제2 실시 예에 의한 시프트레지스터를 나타내는 도면이다.
- [0057] 도 9를 참조하면, 제2 실시 예에 의한 시프트레지스터(500)는 에미션신호 생성부(510) 및 스캔신호 생성부(520)를 포함한다. 에미션신호 생성부(510)의 제1 내지 제 n 에미션 드라이버($EMD_1 \sim EMD_n$)는 서로 종속적으로 연결되고, 스캔신호 생성부(520)의 제1 내지 제 n 스캔 드라이버($SD_1 \sim SD_n$)는 서로 종속적으로 연결된다.
- [0058] 에미션신호 생성부(510)는 제1 내지 제 n 에미션 드라이버($EMD_1 \sim EMD_n$)를 포함한다. 제1 에미션 드라이버(EMD_1)는 에미션신호(EM_1)를 생성하고, 이를 제1 픽셀라인(HL_1)의 제4 트랜지스터(T_4) 및 제3 트랜지스터(T_3)에 인가한다. 제 n 에미션 드라이버(EMD_n)는 에미션신호(EM_n)를 생성하고, 이를 제 n 픽셀라인(HL_n)의 제4 트랜지스터(T_4) 및 제3 트랜지스터(T_3)에 인가한다.
- [0059] 스캔신호 생성부(520)는 제1 내지 제 n 스캔 드라이버($SD_1 \sim SD_n$)를 포함한다. 제1 스캔 드라이버(SD_1)는 제1 스캔신호($SCAN_1$)를 생성하고, 이를 제1 픽셀라인(HL_1)의 제2 트랜지스터(T_2) 및 제2 픽셀라인(HL_2)의 제1 트랜지

스터(T1) 및 제5 트랜지스터(T5)에 인가한다. 제 n 스캔 드라이버(SD(n))는 제 n 스캔신호(SCAN(n))를 생성하여 제 n 픽셀라인(HL n)의 제2 트랜지스터(T2)에 인가한다.

- [0060] 도 10은 제2 실시 예에 의한 픽셀 구조를 나타내는 도면이다. 도 10은 도 9에 도시된 시프트레지스터의 게이트 신호들을 이용하는 픽셀을 도시하고 있으며, 특히 제 n 픽셀라인(HL(n))에 배치된 픽셀을 도시하고 있다.
- [0061] 도 10을 참조하면, 제2 실시 예에 의한 픽셀은 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 내지 제5 트랜지스터들(T1~T5) 및 스토리지 커패시터(Cst)를 포함한다. 도 10에 도시된 구성들 중에서 전술한 제1 실시 예와 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.
- [0062] 제3 트랜지스터(T3) 제 n 에미션라인(EML(n))에 접속된 게이트전극, 고전위 구동전압(VDD)의 입력단에 접속된 소스전극 및 제3 노드(N3)에 접속된 드레인전극을 포함한다. 제3 트랜지스터(T3)는 제 n 에미션신호(EM(n))에 응답하여, 제3 노드(N3)에 고전위 구동전압(VDD)을 제공한다.
- [0063] 제4 트랜지스터(T4)는 제 n 에미션라인(EML(n))에 접속된 게이트전극, 제3 노드(N3)에 접속된 소스전극, 및 제4 노드(N4)에 접속된 드레인전극을 포함한다. 제4 트랜지스터(T4)는 제 n 에미션신호(EM(n))에 응답하여, 제3 노드(N3)와 제4 노드(N4)를 접속시킨다.
- [0064] 즉, 제2 실시 예에 의한 픽셀 구조에서 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 동일한 제 n 에미션신호(EM(n))에 의해서 제어된다.
- [0065] 제2 실시 예는 도 9에 도시된 바와 같이, 제1 에미션 드라이버(EMD1)는 하나의 픽셀라인에 배치된 제3 및 제4 트랜지스터들(T3,T4)의 동작을 제어한다. 따라서, 제2 실시 예는 제1 실시 예에 대비하여 표시패널(100)의 어레이 구조를 단순하게 할 수 있다.
- [0066] 제2 실시 예에서, 제1 내지 제 n 에미션 드라이버들(EMD1~EMD(n))이 각각 출력하는 에미션신호의 타이밍은 제1 실시 예와 동일하여도 무방하다. 결과적으로, 제2 실시 예의 제3 및 제4 트랜지스터들(T3,T4)의 턴-온 타이밍은 제1 실시 예의 제3 및 제4 트랜지스터들(T3,T4)의 턴-온 타이밍과 동일하다. 따라서 제2 실시 예는 제1 실시 예와 실질적으로 동일한 타이밍으로 동작할 수 있다.
- [0067] 도 11은 제3 실시 예에 의한 시프트레지스터를 나타내는 도면이다.
- [0068] 도 11을 참조하면, 제3 실시 예에 의한 시프트레지스터(500)는 에미션신호 생성부(510) 및 스캔신호 생성부(520)를 포함한다.
- [0069] 에미션신호 생성부(510)의 제1 내지 제 n 에미션 드라이버(EMD1~EMD n)는 서로 종속적으로 연결된다. 제1 에미션 드라이버(EMD1)는 에미션신호(EM1)를 생성하고, 이를 제1 픽셀라인(HL1)의 제4 트랜지스터(T4) 및 제2 픽셀라인(HL2)의 제3 트랜지스터(T3)에 인가한다. 제 n 에미션 드라이버(EMD n)는 에미션신호(EM n)를 생성하고, 이를 제 n 픽셀라인(HL n)의 제4 트랜지스터(T4)에 인가한다.
- [0070] 스캔신호 생성부(520)는 스캔1 생성부 및 스캔2 생성부를 포함한다. 스캔1 생성부는 서로 종속적으로 연결되는 제1 내지 제 n 스캔1 드라이버(SD1(1)~SD1(n))를 포함하고, 스캔2 생성부는 서로 종속적으로 연결된 제1 내지 제 n 스캔2 드라이버(SD2(1)~SD2(n))를 포함한다.
- [0071] 제1 스캔1 드라이버(SD1(1))는 제1 스캔1 신호(SCAN1(1))를 생성하고, 이를 제1 픽셀라인(HL1)의 제2 트랜지스터(T2)에 인가한다. 제 n 스캔1 드라이버(SD1(n))는 제 n 스캔1 신호(SCAN1(n))를 생성하고, 이를 제 n 픽셀라인(HL n)의 제2 트랜지스터(T2)에 인가한다.
- [0072] 제1 스캔2 드라이버(SD2(1))는 제1 스캔2 신호(SCAN2(1))를 생성하고, 이를 제1 픽셀라인(HL1)의 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)에 인가한다. 제 n 스캔2 드라이버(SD2(n))는 제 n 스캔2 신호(SCAN2(n))를 생성하고, 이를 제 n 픽셀라인(HL n)의 제1 트랜지스터(T1)에 인가한다.
- [0073] 도 12는 제3 실시 예에 의한 픽셀 구조를 나타내는 도면이다. 도 12는 도 11에 도시된 시프트레지스터가 출력하는 게이트신호들을 이용하는 픽셀을 도시하고 있으며, 특히 제 n 픽셀라인(HL(n))에 배치된 픽셀을 도시하고 있다.
- [0074] 도 12를 참조하면, 제3 실시 예에 의한 픽셀은 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 내지 제5 트랜지스터들(T1~T5) 및 스토리지 커패시터(Cst)를 포함한다. 이하, 제3 실시 예에서 전술한 제1 실시 예와 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.

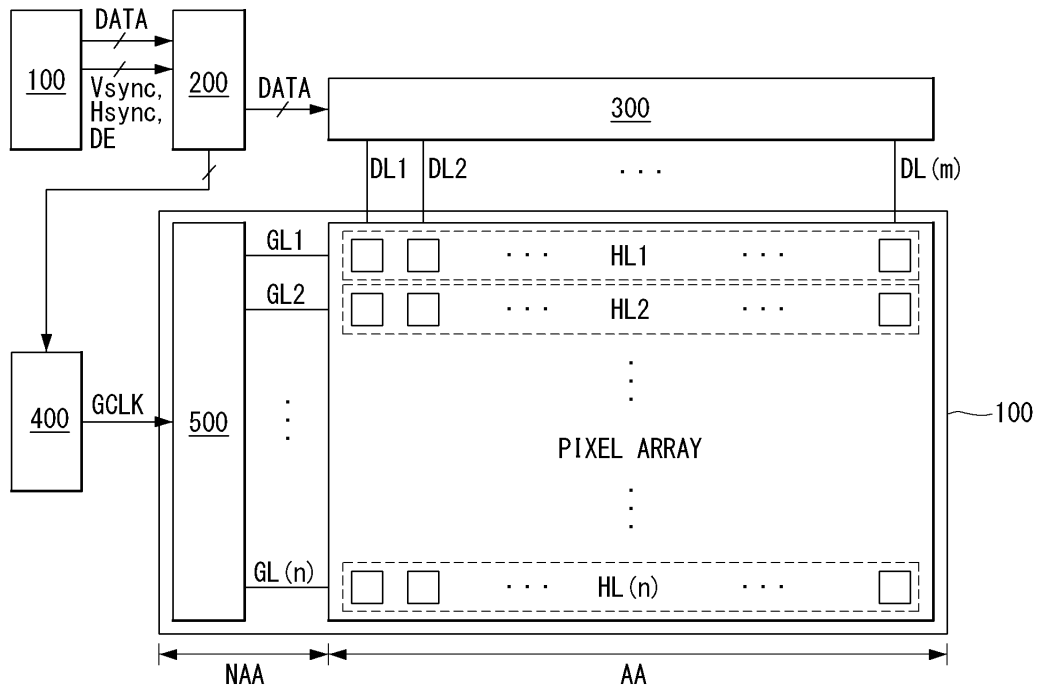
- [0075] 제1 트랜지스터(T1)는 제n 스캔2 라인(SL2(n))에 접속된 게이트전극, 제1 노드(N1)에 접속된 드레인전극, 제2 노드(N2)에 접속된 소스전극을 포함한다. 제1 트랜지스터(T1)는 제n 스캔2 신호(SCAN2(n))에 응답하여, 제1 노드(N1) 및 제2 노드(N2)를 다이오드 연결시킨다.
- [0076] 제2 트랜지스터(T2)는 제n 스캔1 라인(SL1(n))에 접속된 게이트전극, 데이터라인(DL)에 접속된 소스전극 및 제3 노드(N3)에 접속된 드레인전극을 포함한다. 제2 트랜지스터(T2)는 제n 스캔1 신호(SCAN1(n))에 응답하여, 데이터라인(DL)으로부터의 데이터전압(Vdata)을 제3 노드(N3)에 기입한다.
- [0077] 제5 트랜지스터(T5)는 제n 스캔2 라인(SL2(n))에 접속된 게이트전극, 제4 노드(N4)에 접속된 소스전극, 및 초기화전압(Vinit)의 입력단에 접속된 드레인전극을 포함한다. 제5 트랜지스터(T5)는 제n 스캔2 신호(SCAN2(n))에 응답하여, 제4 노드(N4)에 초기화전압(Vinit)을 기입한다.
- [0078] 도 13은 제2 실시 예에 따른 구동신호의 타이밍을 나타내는 도면이다. 제2 실시 예에 따른 구동신호를 바탕으로 도 12에 도시된 픽셀의 구동을 살펴보면 다음과 같다. 이하, 제1 실시 예와 실질적으로 동일한 동작에 대해서는 자세한 설명을 생략하기로 한다.
- [0079] 도 12 및 도 13을 참조하면, 초기화 기간(Di)에서, 제1 트랜지스터(T1), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 턴-온되고, 제1 노드(N1)는 초기화전압(Vinit)으로 초기화된다.
- [0080] 샘플링 기간(Ds)에서, 제2 트랜지스터(T2)는 턴-온되고, 데이터라인(DL)으로부터의 데이터전압(Vdata)은 제3 노드(N3)에 기입된다. 제1 트랜지스터(T1)는 턴-온되어, 제1 노드(N1) 및 제2 노드(N2)는 다이오드 커백팅이 된다. 샘플링 기간(Ds) 동안, 제1 노드(N1) 및 제2 노드(N2)의 전압은 제3 노드(N3)에 기입된 데이터전압(Vdata)에서 문턱전압(Vth)의 절대값을 뺀 값($Vdata - |Vth|$)으로 포화된다.
- [0081] 샘플링 기간(Ds) 이후에, 구동의 신뢰성 향상을 위한 홀딩 기간(Dh)이 일정 기간 동안 유지될 수 있다. 제3 실시 예에서, 제2 트랜지스터(T2)는 홀딩 기간(Dh) 동안 턴-오프 상태가 된다. 따라서, 제3 실시 예는 홀딩 기간(Dh) 동안 제1 내지 제5 트랜지스터들(T1~T5)이 모두 턴-오프 상태를 유지하기 때문에, 제1 및 제2 실시 예들에 대비하여 구동의 신뢰성이 더 향상된다.
- [0082] 에미션 기간(De)에서, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 턴-온 되어서, 고전위 구동전압(VDD)의 입력단으로부터 구동 트랜지스터(DT)를 경유하는 구동전류는 유기발광 다이오드(OLED)의 애노드전극에 유입된다. 그리고 유기발광 다이오드(OLED)는 구동전류에 비례하는 밝기로 발광한다.
- [0083] 도 13에 도시된 제1 스캔신호(SCAN1(n))는 도 3에 도시된 픽셀구조에서 제2 트랜지스터(T2)에 인가되는 스캔신호의 타이밍이 변경된 것에 해당한다. 이와 더불어, 도 13에 도시된 제1 스캔신호(SCAN1(n))는 도 10에 도시된 픽셀구조에 적용될 수도 있다. 즉, 도 10에 도시된 제2 트랜지스터(T2)에 도 13에 도시된 제1 스캔신호(SCAN1(n))를 인가하고, 도 10에 도시된 제1 및 제5 트랜지스터들(T1, T5)에 도 13에 도시된 제2 스캔신호(SCAN2(n))를 인가하는 실시 예를 구현할 수도 있다.
- [0084] 또한, 전술한 실시 예들의 에미션신호(EM(n))의 하이레벨 구간은 3수평기간(3H)인 실시 예를 중심으로 도시되어 있다. 이와 더불어, 각 실시 예들에서 에미션신호(EM(n))는 도 14에 도시된 바와 같이, 2수평기간(2H) 동안 하이레벨 구간을 유지하여 홀딩구간(Dh)을 2수평기간(2H)로 설정할 수도 있다.
- [0085] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

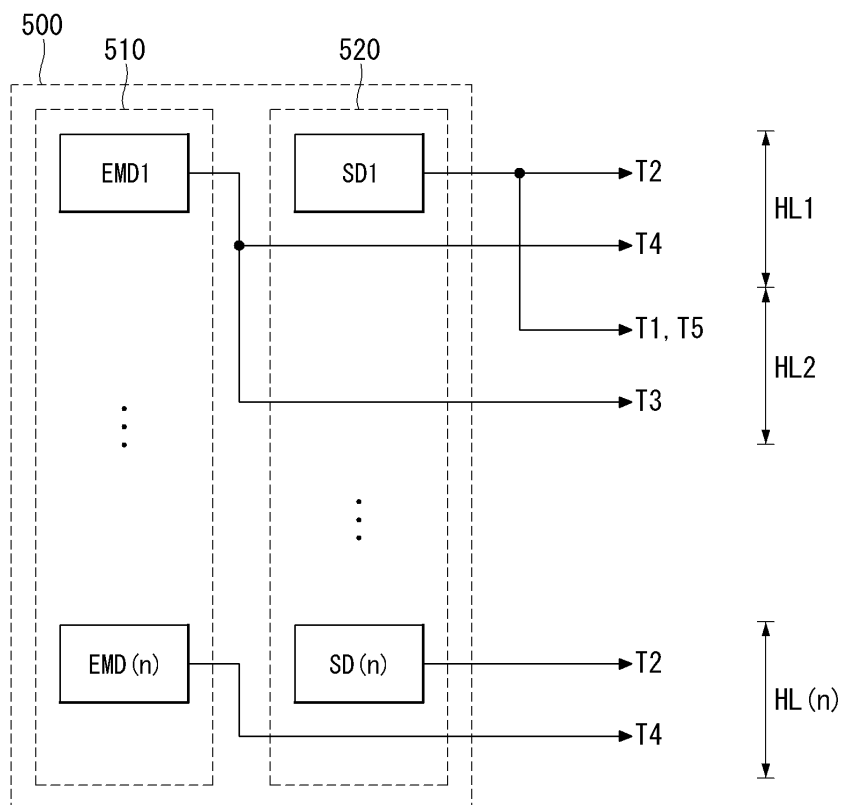
- [0086] 100: 표시패널 200: 타이밍 컨트롤러
- 300: 데이터 구동회로 400, 500: 게이트 구동회로
- EMD1~EMDn: 에미션 드라이버
- SD1~SDn: 스캔 드라이버

도면

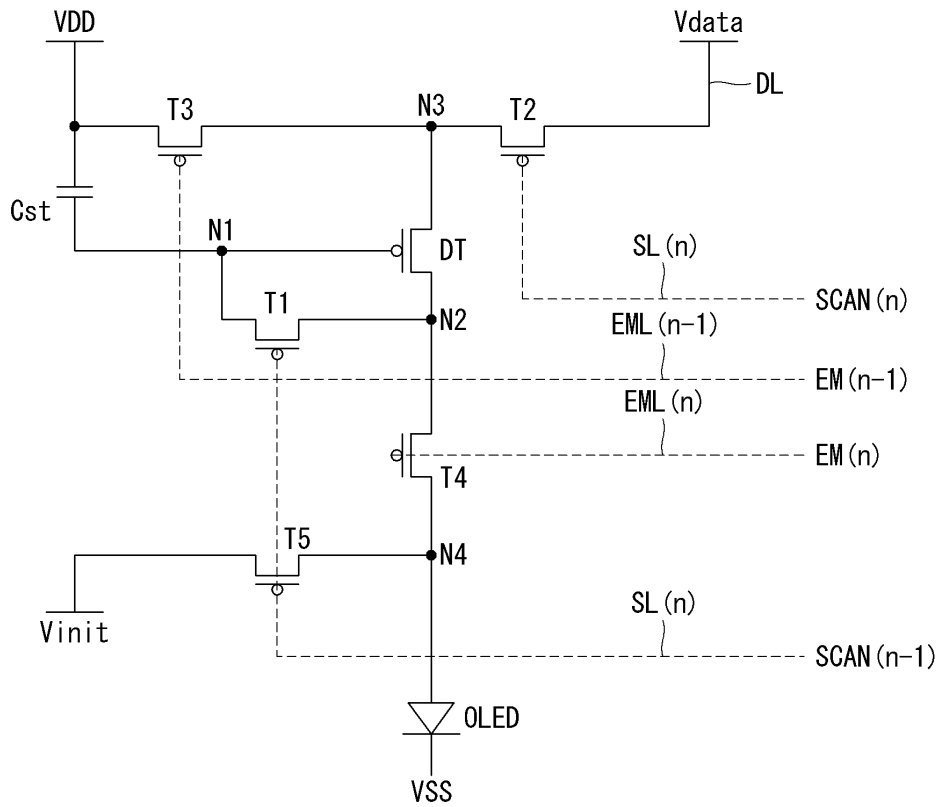
도면1



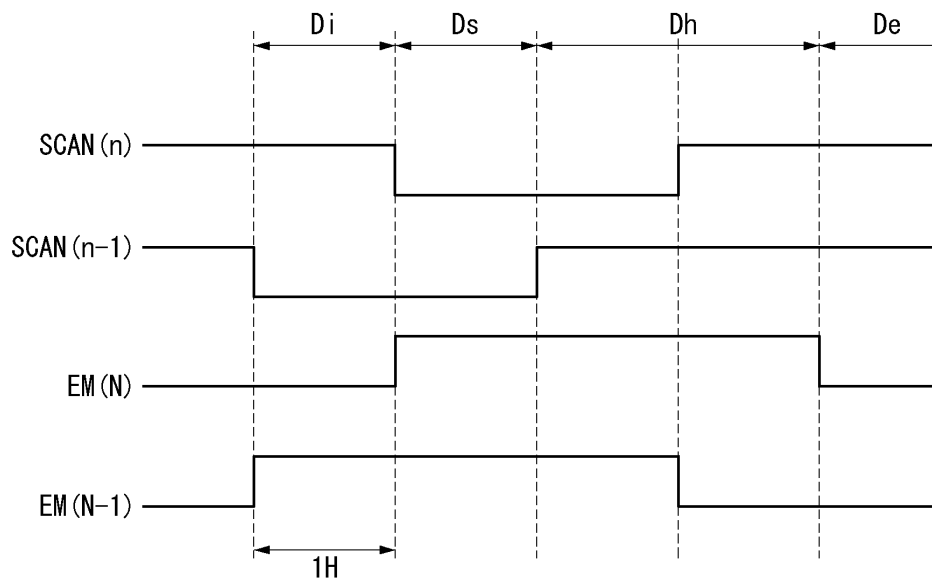
도면2



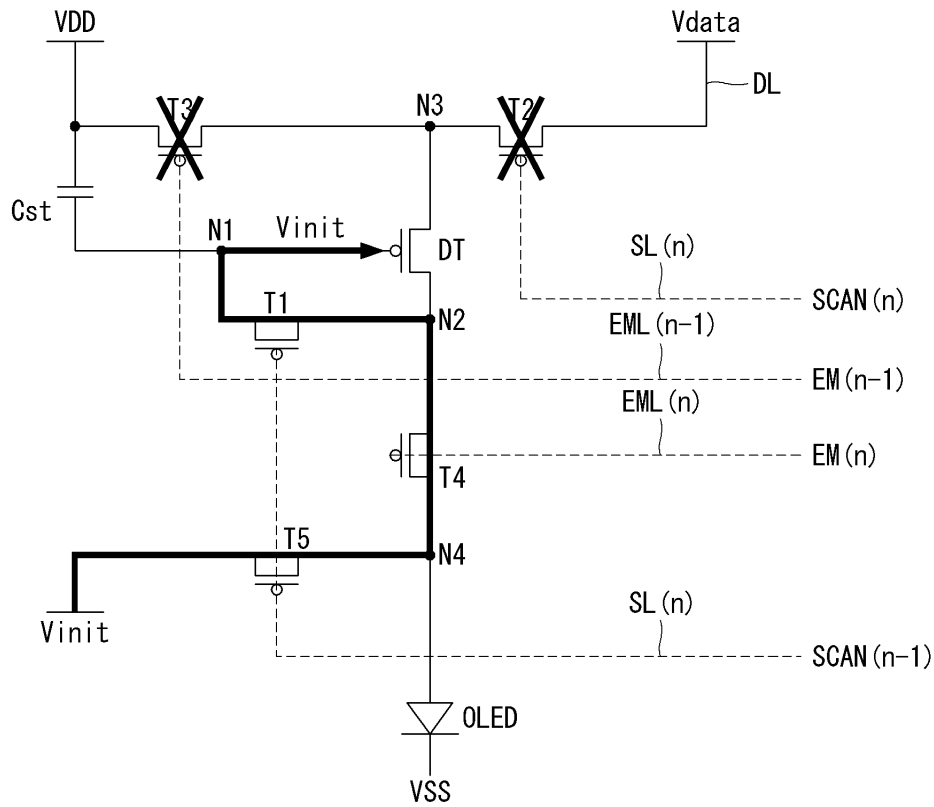
도면3



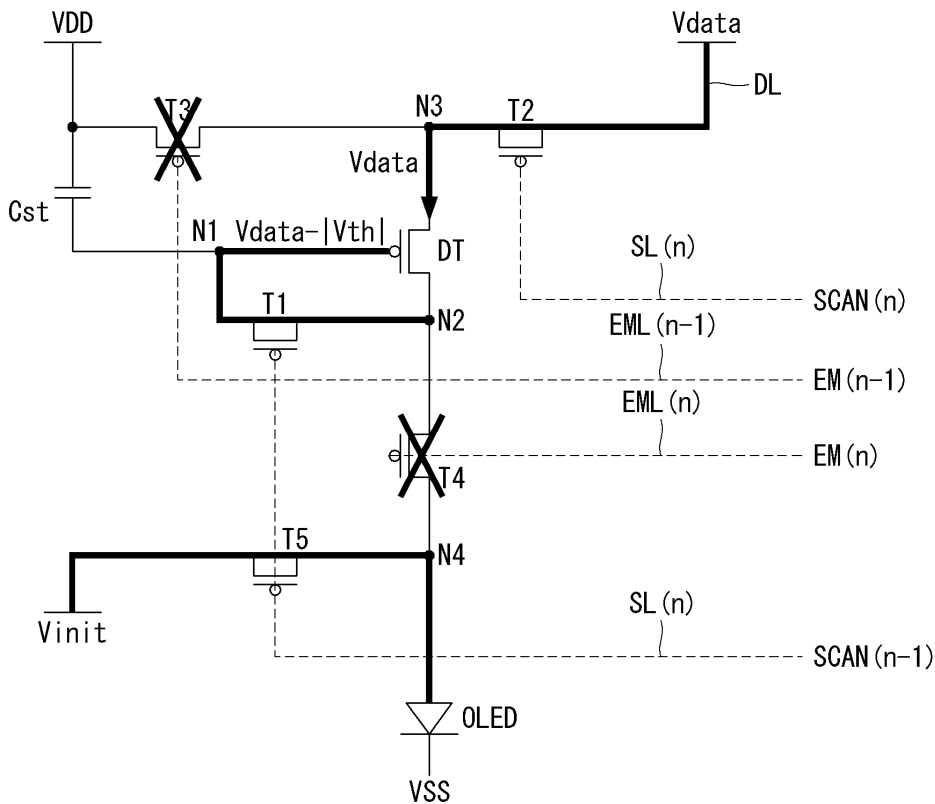
도면4



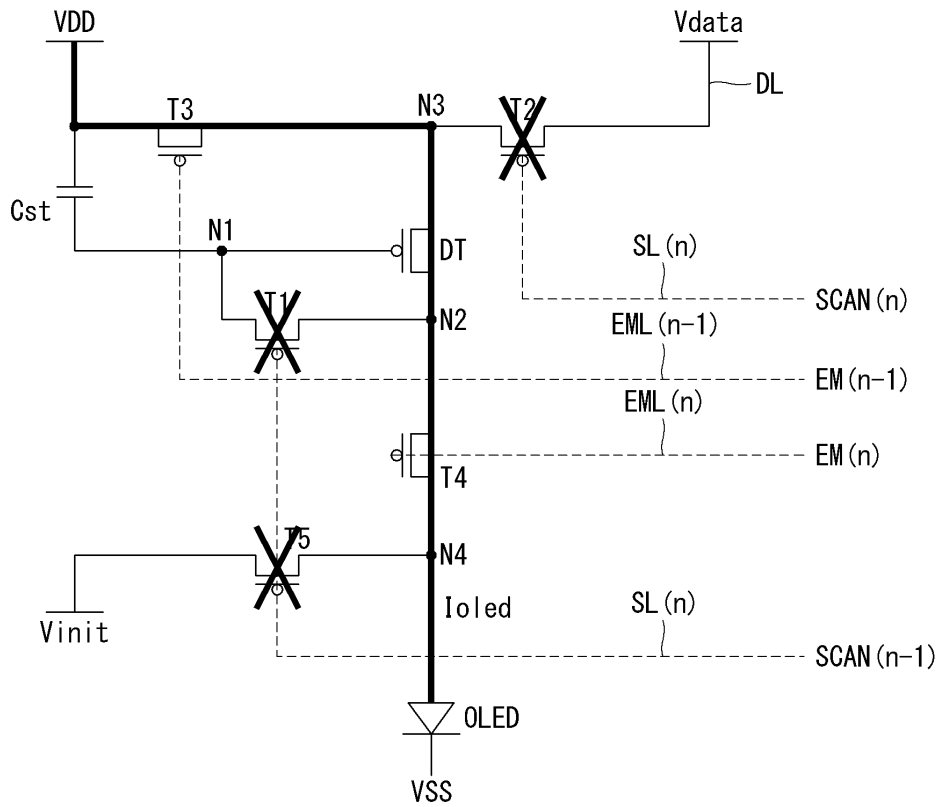
도면5



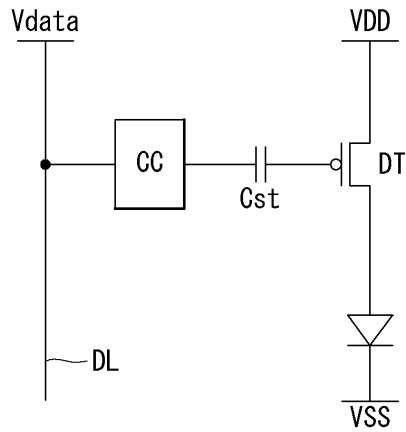
도면6



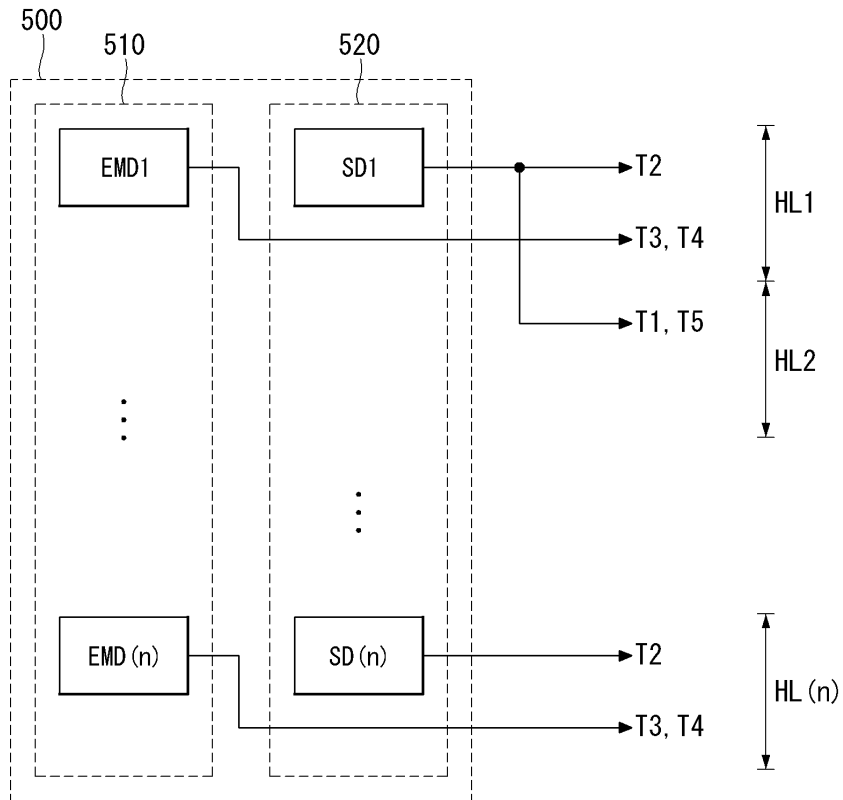
도면7



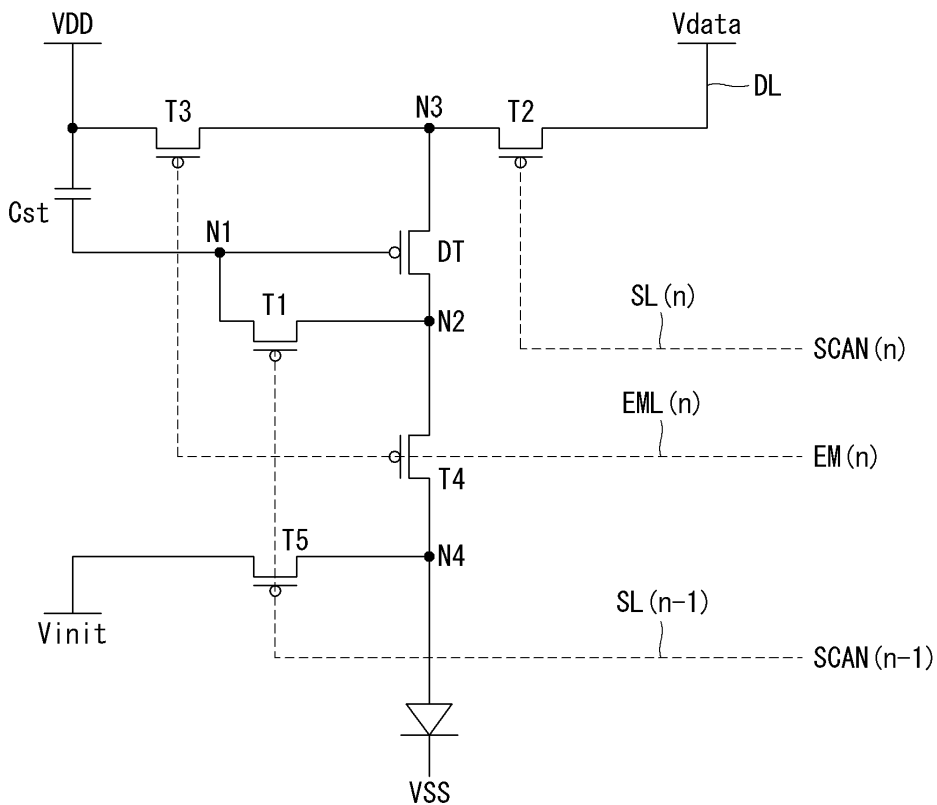
도면8



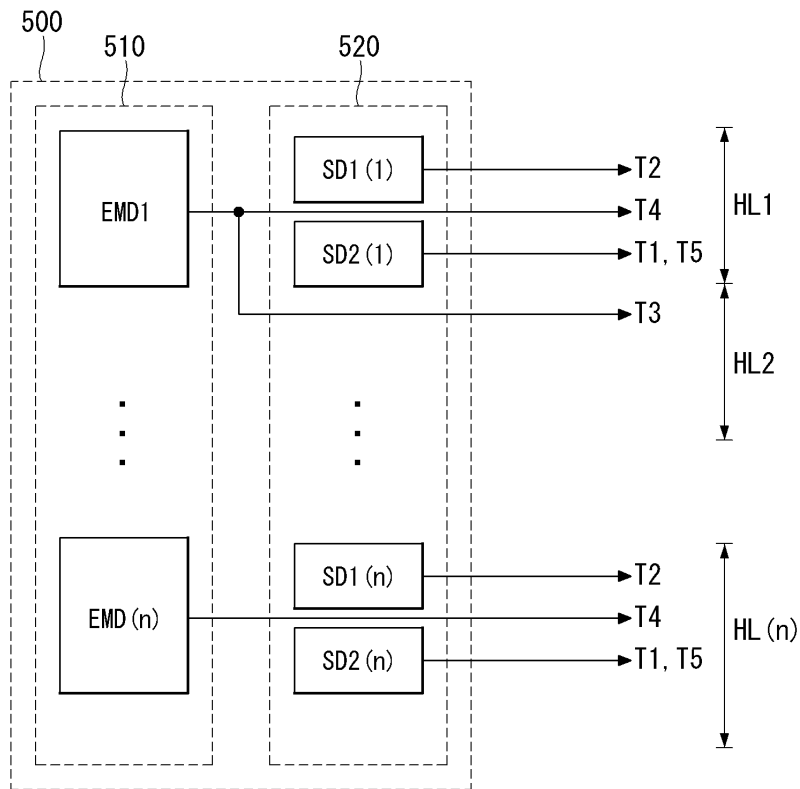
도면9



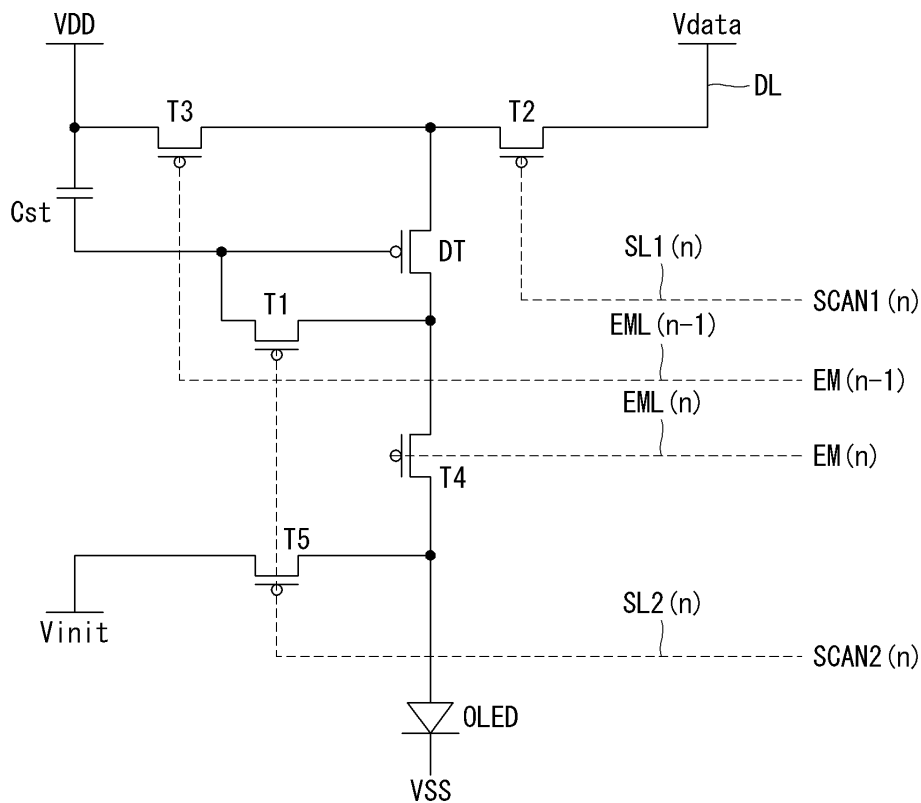
도면10



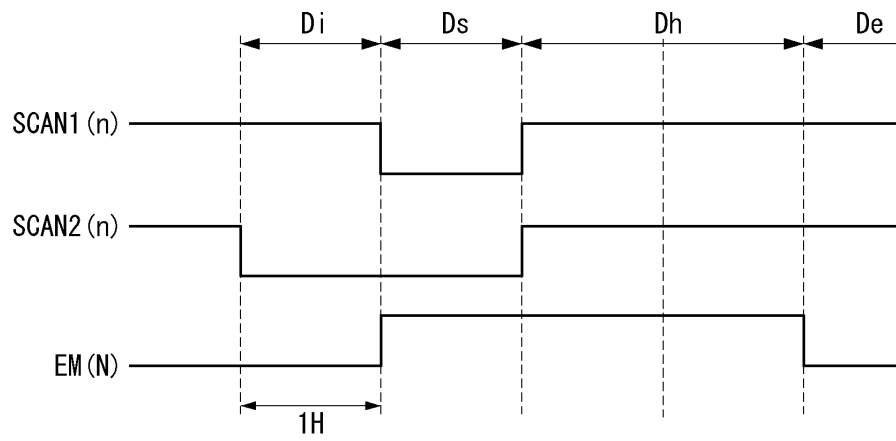
도면11



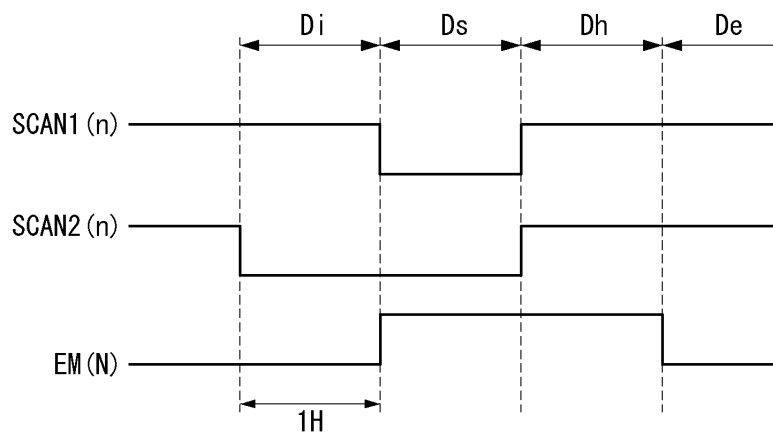
도면12



도면13



도면14



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200081870A	公开(公告)日	2020-07-08
申请号	KR1020180171836	申请日	2018-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박종민 박동원 권용철		
发明人	박종민 박동원 권용철		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0439 G09G2300/0465		

摘要(译)

根据本发明的有机发光显示装置包括驱动晶体管,第一晶体管,扫描晶体管,第一发射控制晶体管和初始化晶体管。驱动晶体管包括连接到第一节点的栅极,连接到第二节点的漏极和连接到第三节点的源极。第一晶体管连接在第一节点和第二节点之间。扫描晶体管连接在第三节点和数据线之间。第一发光控制晶体管连接在第二节点与有机发光二极管的阳极之间。初始化控制晶体管连接在初始化电压的输入端子与有机发光二极管的阳极之间。

