



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0048580
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 27/326 (2013.01)
H01L 27/3213 (2013.01)

(21) 출원번호 10-2018-0130787
(22) 출원일자 2018년10월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
최호원
경기도 파주시 월롱면 엘지로 245
이용백
경기도 파주시 월롱면 엘지로 245
조은일
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인천문

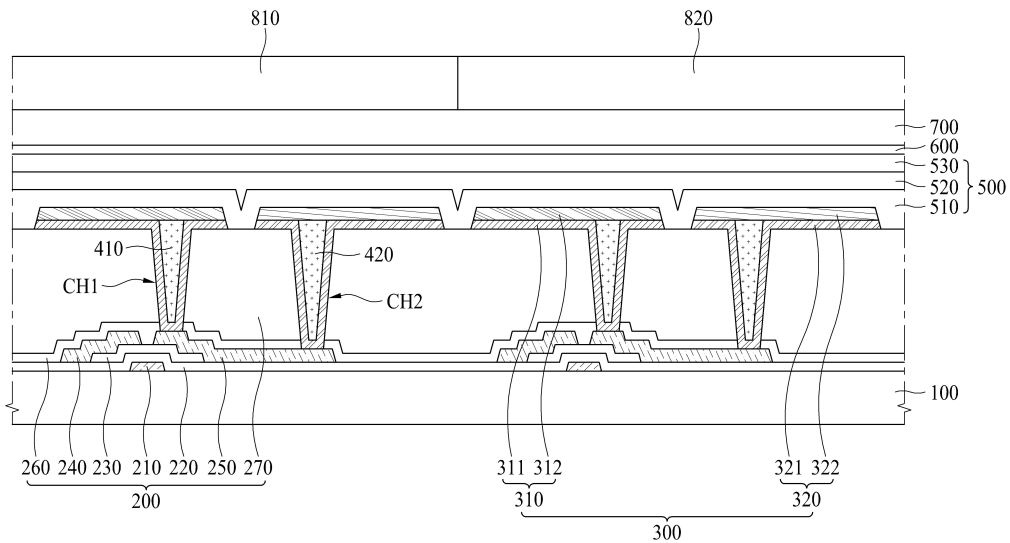
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 전계 발광 표시 장치

(57) 요약

본 발명은 복수의 서브 화소를 구비한 기관; 상기 기관 상의 복수의 서브 화소에 각각 구비된 제1 전극; 상기 제1 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고, 상기 제1 전극은 상기 복수의 서브 화소에 각각 구비된 제1 서브 전극 및 제2 서브 전극을 포함하여 이루어지고, 상기 제1 서브 전극 및 상기 제2 서브 전극의 상면 전체는 상기 발광층의 하면과 접하는 전계 발광 표시 장치를 제공한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 51/52 (2013.01)

명세서

청구범위

청구항 1

복수의 서브 화소를 구비한 기관;

상기 기관 상의 복수의 서브 화소에 각각 구비된 제1 전극;

상기 제1 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고,

상기 제1 전극은 상기 복수의 서브 화소에 각각 구비된 제1 서브 전극 및 제2 서브 전극을 포함하여 이루어지고, 상기 제1 서브 전극 및 상기 제2 서브 전극의 상면 전체는 상기 발광층의 하면과 접하는 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 서브 전극과 제2 서브 전극은 하나의 서브 화소에 구비된 구동 박막 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 연결되어 있는 전계 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 서브 전극은 제1 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극에 직접 연결되고, 상기 제2 서브 전극은 제2 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극에 직접 연결되어 있고,

상기 제1 서브 전극과 상기 제2 서브 전극은 서로 이격되어 있는 전계 발광 표시 장치.

청구항 4

제2항에 있어서,

상기 제1 서브 전극은 제1 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극에 직접 연결되고, 상기 제2 서브 전극은 제2 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극에 직접 연결되어 있고,

상기 제1 서브 전극과 상기 제2 서브 전극은 서로 접하고 있는 전계 발광 표시 장치.

청구항 5

제2항에 있어서,

상기 제1 서브 전극은 제1 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극에 직접 연결되고, 상기 제2 서브 전극은 상기 제1 서브 전극과 접하고 있어 상기 제1 서브 전극을 통해서 상기 소스 전극 또는 드레인 전극에 전기적으로 연결되어 있는 전계 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제2 서브 전극의 하면은 평평한 구조로 이루어진 전계 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 제1 서브 전극은 제1 콘택홀을 통해서 상기 기관 상에 구비된 박막 트랜지스터의 소스 전극 또는 드레인

전극과 연결된 제1 하부 전극, 상기 제1 하부 전극 상에 구비된 제1 상부 전극, 및 상기 제1 하부 전극과 상기 제1 상부 전극 사이에서 상기 제1 콘택홀 내에 구비된 제1 충전층을 포함하여 이루어진 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 제1 상부 전극의 양 끝단은 상기 제1 하부 전극의 양 끝단과 일치하는 전계 발광 표시 장치.

청구항 9

제7항에 있어서,

상기 제2 서브 전극은 제2 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극과 연결된 제2 하부 전극, 상기 제2 하부 전극 상에 구비된 제2 상부 전극, 및 상기 제2 하부 전극과 상기 제2 상부 전극 사이에서 상기 제2 콘택홀 내에 구비된 제2 충전층을 포함하여 이루어지고,

상기 제2 하부 전극 및 상기 제2 상부 전극은 각각 상기 제1 하부 전극 및 상기 제1 상부 전극과 이격되어 있는 전계 발광 표시 장치.

청구항 10

제7항에 있어서,

상기 제2 서브 전극은 제2 콘택홀을 통해서 상기 소스 전극 또는 드레인 전극과 연결된 제2 하부 전극, 상기 제2 하부 전극 상에 구비된 제2 상부 전극, 및 상기 제2 하부 전극과 상기 제2 상부 전극 사이에서 상기 제2 콘택홀 내에 구비된 제2 충전층을 포함하여 이루어지고,

상기 제2 하부 전극은 상기 제1 하부 전극 및 상기 제1 상부 전극과 이격되어 있고, 상기 제2 상부 전극은 상기 제1 하부 전극과 접하고 있는 전계 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 제2 상부 전극은 상기 제1 상부 전극의 상면 일부까지 연장되어 있는 전계 발광 표시 장치.

청구항 12

제7항에 있어서,

상기 제2 서브 전극은 제2 하부 전극 및 상기 제2 하부 전극 상에 구비된 제2 상부 전극을 포함하여 이루어지고,

상기 제2 하부 전극은 상기 제1 하부 전극 및 상기 제1 상부 전극과 이격되어 있고, 상기 제2 상부 전극은 상기 제1 하부 전극과 접하고 있으며,

상기 제2 하부 전극의 하면은 평평한 구조로 이루어진 전계 발광 표시 장치.

청구항 13

제1 서브 화소 및 제2 서브 화소를 구비한 기관;

상기 기관 상의 제1 서브 화소 및 제2 서브 화소에 각각 구비된 제1 전극;

상기 제1 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고,

상기 제1 서브 화소의 제1 전극과 상기 제2 서브 화소의 제1 전극은 상기 발광층을 사이에 두고 서로 마주하고, 서로 마주하는 상기 제1 서브 화소의 제1 전극의 일 측면과 상기 제2 서브 화소의 제1 전극의 일 측면은 각각 상기 발광층과 접하는 전계 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 전극은 제1 서브 전극 및 제2 서브 전극을 포함하여 이루어지고,

상기 제1 서브 화소에 구비된 제2 서브 전극은 상기 발광층을 사이에 두고 상기 제2 서브 화소에 구비된 제1 서브 전극과 마주하고,

서로 마주하는 상기 제1 서브 화소에 구비된 제2 서브 전극의 일 측면과 상기 제2 서브 화소에 구비된 제1 서브 전극의 일 측면은 각각 상기 발광층과 접하는 전계 발광 표시 장치.

청구항 15

제13항에 있어서,

상기 발광층은 상기 제1 전극의 상면 전체를 덮도록 구비되어 있는 전계 발광 표시 장치.

청구항 16

제14항에 있어서,

상기 제1 서브 화소에 구비된 제1 서브 전극은 제1 콘택홀을 통해서 상기 제1 서브 화소에 구비된 구동 박막 트랜지스터의 소스 전극 또는 드레인 전극과 연결된 제1 하부 전극, 상기 제1 하부 전극 상에 구비된 제1 상부 전극, 및 상기 제1 하부 전극과 상기 제1 상부 전극 사이에서 상기 제1 콘택홀 내에 구비된 제1 충전층을 포함하여 이루어지고,

상기 제1 서브 화소에 구비된 제2 서브 전극은 제2 콘택홀을 통해서 상기 소스 전극 또는 상기 드레인 전극과 연결된 제2 하부 전극, 상기 제2 하부 전극 상에 구비된 제2 상부 전극, 및 상기 제2 하부 전극과 상기 제2 상부 전극 사이에서 상기 제2 콘택홀 내에 구비된 제2 충전층을 포함하여 이루어지고,

상기 제1 서브 전극과 상기 제2 서브 전극은 서로 이격되어 있는 전계 발광 표시 장치.

청구항 17

제14항에 있어서,

상기 제1 서브 화소에 구비된 제1 서브 전극은 제1 콘택홀을 통해서 상기 제1 서브 화소에 구비된 구동 박막 트랜지스터의 소스 전극 또는 드레인 전극과 연결된 제1 하부 전극, 상기 제1 하부 전극 상에 구비된 제1 상부 전극, 및 상기 제1 하부 전극과 상기 제1 상부 전극 사이에서 상기 제1 콘택홀 내에 구비된 제1 충전층을 포함하여 이루어지고,

상기 제1 서브 화소에 구비된 제2 서브 전극은 제2 콘택홀을 통해서 상기 소스 전극 또는 상기 드레인 전극과 연결된 제2 하부 전극, 상기 제2 하부 전극 상에 구비된 제2 상부 전극, 및 상기 제2 하부 전극과 상기 제2 상부 전극 사이에서 상기 제2 콘택홀 내에 구비된 제2 충전층을 포함하여 이루어지고,

상기 제1 서브 전극과 상기 제2 서브 전극은 서로 접하는 전계 발광 표시 장치.

청구항 18

제14항에 있어서,

상기 제1 서브 화소에 구비된 제1 서브 전극은 제1 콘택홀을 통해서 상기 제1 서브 화소에 구비된 구동 박막 트랜지스터의 소스 전극 또는 드레인 전극과 연결된 제1 하부 전극, 상기 제1 하부 전극 상에 구비된 제1 상부 전극, 및 상기 제1 하부 전극과 상기 제1 상부 전극 사이에서 상기 제1 콘택홀 내에 구비된 제1 충전층을 포함하여 이루어지고,

상기 제1 서브 화소에 구비된 제2 서브 전극은 평평한 하면을 구비한 제2 하부 전극 및 상기 제2 하부 전극 상에 구비된 제2 상부 전극을 포함하여 이루어지고,

상기 제2 상부 전극은 상기 제1 서브 전극과 접하는 전계 발광 표시 장치.

청구항 19

제1항 또는 제13항에 있어서,

상기 서브 화소 사이의 경계에 트렌치가 구비되어 있고, 상기 발광층의 적어도 일부는 상기 트렌치 영역에서 단절되어 있는 전계 발광 표시 장치.

청구항 20

제1항 또는 제13항에 있어서,

상기 기관과 이격되는 렌즈 어레이, 및 상기 기관과 상기 렌즈 어레이를 수납하는 수납 케이스를 추가로 포함하여 이루어진 전계 발광 표시 장치.

청구항 21

제1항 또는 제14항에 있어서,

상기 제1 서브 전극 및 상기 제2 서브 전극은 서로 동일한 물질로 이루어진 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 백색광을 발광하는 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시 장치는 애노드 전극과 캐소드 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.

[0003] 상기 발광층은 전자와 정공의 결합에 의해 엑시톤(exciton)이 생성되고 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 유기물로 이루어질 수도 있고, 퀀텀 도트(Quantum dot)와 같은 무기물로 이루어질 수도 있다.

[0004] 상기 발광층은 서브 화소 별로 상이한 색상, 예로서, 적색, 녹색, 및 청색의 광을 발광하도록 이루어질 수도 있고, 서브 화소 별로 동일한 색상, 예로서, 백색의 광을 발광하도록 이루어질 수도 있다.

[0005] 상기 발광층이 서브 화소 별로 상이한 색상의 광을 발광하는 경우에는, 소정의 마스크를 이용하여 서브 화소 별로 상이한 발광층을 증착해야 하기 때문에, 마스크 공정이 추가되는 한계가 있고 또한 마스크를 정밀하게 열라 인하지 못할 경우 발광층을 서브 화소 별로 정밀하게 증착하기 어려운 문제가 있다.

[0006] 그에 반하여, 상기 발광층이 서브 화소 별로 동일한 색상, 예로서, 백색의 광을 발광하는 경우에는, 상기 발광층의 패턴 형성을 위한 마스크가 필요 없기 때문에 마스크 공정으로 인한 문제가 발생하지 않는다.

[0007] 이와 같은 종래의 전계 발광 표시 장치는 서브 화소 사이의 간격을 일정 거리 이상 유지해야 하는 구조로서 그로 인해서 개구율을 향상시키는데 한계가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 서브 화소 사이의 간격을 줄여서 개구율을 향상시킬 수 있는 전계 발광 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위해서, 본 발명은 복수의 서브 화소를 구비한 기관; 상기 기관 상의 복수의 서브 화소에 각각 구비된 제1 전극; 상기 제1 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고, 상기 제1 전극은 상기 복수의 서브 화소에 각각 구비된 제1 서브 전극 및 제2 서브 전극을 포함하여 이루어지고, 상기 제1 서브 전극 및 상기 제2 서브 전극의 상면 전체는 상기 발광층의 하면과 접하는 전계

발광 표시 장치를 제공한다.

[0010] 본 발명은 또한, 제1 서브 화소 및 제2 서브 화소를 구비한 기관; 상기 기관 상의 제1 서브 화소 및 제2 서브 화소에 각각 구비된 제1 전극; 상기 제1 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고, 상기 제1 서브 화소의 제1 전극과 상기 제2 서브 화소의 제1 전극은 상기 발광층을 사이에 두고 서로 마주하고, 서로 마주하는 상기 제1 서브 화소의 제1 전극의 일 측면과 상기 제2 서브 화소의 제1 전극의 일 측면은 각각 상기 발광층과 접하는 전계 발광 표시 장치를 제공한다.

발명의 효과

[0011] 본 발명의 일 실시예에 따르면, 개별 서브 화소를 구분하기 위한 बैं크가 형성되지 않기 때문에 개별 서브 화소 사이의 간격을 줄일 수 있고 그에 따라서 개구율이 증가될 수 있다.

[0012] 본 발명의 다른 실시예에 따르면, 인접하는 서브 화소 사이의 경계 영역에 트렌치가 구비되어 있기 때문에, 상기 트렌치 영역에서 발광층의 적어도 일부가 단절될 수 있어 인접하는 서브 화소 사이의 누설 전류 발생이 방지될 수 있고, 그에 따라 누설 전류로 인한 화상 품질 저하 문제가 해소될 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 3a 내지 도 3k는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 제조 공정 단면도이다.
 도 4는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 5는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 6은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 7은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 8은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 9는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 10은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 11a 내지 도 11c는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0015] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0016] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0017] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

- [0018] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0019] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0020] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0021] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
- [0023] 도 1에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 기관(100) 및 제1 전극(300)을 포함하여 이루어진다.
- [0024] 상기 기관(100) 상에는 제1 서브 화소(P1) 및 제2 서브 화소(p2)가 형성되어 있다.
- [0025] 상기 제1 서브 화소(P1) 및 상기 제2 서브 화소(P2)는 서로 인접하게 배열되어 있다. 상기 제1 서브 화소(P1)는 적색(R), 녹색(G) 및 청색(B) 중에서 어느 하나의 광을 방출하도록 구비되고, 상기 제2 서브 화소(P2)는 적색(R), 녹색(G) 및 청색(B) 중에서 다른 하나의 광을 방출하도록 구비된다. 도시하지는 않았지만, 상기 제2 서브 화소(P2)와 인접하는 제3 서브 화소가 추가로 구비되며, 상기 제3 서브 화소는 적색(R), 녹색(G) 및 청색(B) 중에서 나머지 하나의 광을 방출하도록 구비될 수 있다.
- [0026] 상기 제1 전극(300)은 개별 서브 화소(P1, P2) 별로 패턴 형성되어 있다. 즉, 제1 서브 화소(P1)에 하나의 제1 전극(300)이 형성되어 있고, 제2 서브 화소(P2)에 다른 하나의 제1 전극(300)이 형성되어 있다. 상기 제1 전극(300)은 전계 발광 표시 장치의 양극으로 기능할 수 있다. 상기 제1 전극(300)은 사각형 구조로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 구조로 변경될 수 있다.
- [0027] 상기 제1 전극(300)은 서로 인접하게 나란히 배열된 제1 서브 전극(310) 및 제2 서브 전극(320)을 포함하여 이루어진다. 개별 서브 화소(P1, P2) 내에서 상기 제1 서브 전극(310)과 상기 제2 서브 전극(320)은 서로 이격되어 있다. 또한, 복수의 서브 화소(P1, P2) 각각에서 상기 제1 서브 전극(310) 및 제2 서브 전극(320)은 동일한 순서대로 배열되며, 그에 따라, 제1 서브 화소(P1)의 제2 서브 전극(320)은 제2 서브 화소(P2)의 제1 서브 전극(310)과 마주하게 된다.
- [0028] 각각의 서브 화소(P1, P2)에 구비된 제1 서브 전극(310)은 제1 콘택홀(CH1)을 통해서 각각의 서브 화소(P1, P2)내의 구동 박막 트랜지스터와 연결되고, 각각의 서브 화소(P1, P2)에 구비된 제2 서브 전극(320)은 제2 콘택홀(CH2)을 통해서 각각의 서브 화소(P1, P2)내의 상기 구동 박막 트랜지스터와 연결된다. 따라서, 제1 서브 화소(P1)에 구비된 제1 서브 전극(310)과 제2 서브 전극(320)은 제1 서브 화소(P1)에 구비된 구동 박막 트랜지스터와 연결되어, 상기 구동 박막 트랜지스터에 의해서 동시에 구동된다. 또한, 제2 서브 화소(P2)에 구비된 제1 서브 전극(310)과 제2 서브 전극(320)은 제2 서브 화소(P2)에 구비된 구동 박막 트랜지스터와 연결되어, 상기 구동 박막 트랜지스터에 의해서 동시에 구동된다.
- [0029] 본 발명의 일 실시예에 따르면, 개별 서브 화소(P1, P2)를 구분하기 위한 बैं크가 형성되지 않기 때문에 개별 서브 화소(P1, P2) 사이의 간격을 줄일 수 있고 그에 따라서 상기 기관(100)의 전체 영역에서 발광이 일어나는 영역의 비율에 해당하는 개구율이 증가될 수 있다. 이하에서는 단면 구조 및 제조 공정을 통해서 본 발명의 일 실시예에 따른 전계 발광 표시 장치에 대해서 보다 구체적으로 설명하기로 한다.
- [0030] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 도 1의 I-I라인의 단면에 해당한다.
- [0031] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 기관(100), 회로 소자층(200), 제1 전극(300), 충전층(410, 420), 발광층(500), 제2 전극(600), 봉지층(700), 및 컬러 필터층(810, 820)을 포함하여 이루어진다.
- [0032] 상기 기관(100)은 유리 또는 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 실리콘 웨이퍼와 같은 반도체 물질로 이루어질 수도 있다. 상기 기관(100)은 투명한 재료로 이루어질 수도 있고 불투명한

재료로 이루어질 수도 있다. 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 발광된 광이 상부쪽으로 방출되는 소위 상부 발광(Top emission) 방식으로 이루어지고, 따라서, 상기 기관(100)의 재료로는 투명한 재료뿐만 아니라 불투명한 재료가 이용될 수 있다.

- [0033] 상기 회로 소자층(200)은 상기 기관(100) 상에 형성되어 있다.
- [0034] 상기 회로 소자층(200)에는 각종 신호 배선들, 박막 트랜지스터, 및 커패시터 등을 포함하는 회로 소자가 서브 화소 별로 구비되어 있다.
- [0035] 상기 신호 배선들은 게이트 배선, 데이터 배선, 전원 배선, 및 기준 배선을 포함하여 이루어질 수 있고, 상기 박막 트랜지스터는 서브 화소(P1, P2) 별로 패턴 형성된 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및 센싱 박막 트랜지스터를 포함하여 이루어질 수 있다.
- [0036] 상기 스위칭 박막 트랜지스터는 상기 게이트 배선에 공급되는 게이트 신호에 따라 스위칭되어 상기 데이터 배선으로부터 공급되는 데이터 전압을 상기 구동 박막 트랜지스터에 공급하는 역할을 한다.
- [0037] 상기 구동 박막 트랜지스터는 상기 스위칭 박막 트랜지스터로부터 공급되는 데이터 전압에 따라 스위칭되어 상기 전원 배선에서 공급되는 전원으로부터 데이터 전류를 생성하여 상기 제1 전극(300)에 공급하는 역할을 한다.
- [0038] 상기 센싱 박막 트랜지스터는 화질 저하의 원인이 되는 상기 구동 박막 트랜지스터의 문턱 전압 편차를 센싱하는 역할을 하는 것으로서, 상기 게이트 배선 또는 별도의 센싱 배선에서 공급되는 센싱 제어 신호에 응답하여 상기 구동 박막 트랜지스터의 전류를 상기 기준 배선으로 공급한다.
- [0039] 상기 커패시터는 상기 구동 박막 트랜지스터에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 역할을 하는 것으로서, 상기 구동 박막 트랜지스터의 게이트 단자 및 소스 단자에 각각 연결된다.
- [0040] 상기 회로 소자층(200)은 상기 기관(100) 상에 구비된 게이트 전극(210), 상기 게이트 전극(210) 상에 구비된 게이트 절연막(220), 상기 게이트 절연막(220) 상에 구비된 반도체층(230), 및 상기 반도체층(230) 상에서 서로 마주하도록 구비된 소스 전극(240) 및 드레인 전극(250)을 포함하여 이루어진 구동 박막 트랜지스터를 포함하여 이루어질 수 있다. 상기 구동 박막 트랜지스터는 보텀 게이트(Bottom Gate) 구조 이외에 탑 게이트(Top Gate) 구조로 이루어질 수 있으며, 당업계에 공지된 다양한 구조로 변경될 수 있다. 상기 스위칭 박막 트랜지스터 및 센싱 박막 트랜지스터도 상기 구동 박막 트랜지스터와 동일한 구조로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0041] 상기 회로 소자층(200)은 상기 소스 전극(240) 및 드레인 전극(250) 상에 구비된 패시베이션층(260) 및 상기 패시베이션층(260) 상에 구비된 평탄화층(270)을 추가로 포함할 수 있다. 상기 패시베이션층(260)은 상기 구동 박막 트랜지스터를 보호하는 역할을 하는 것으로서 무기절연물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 평탄화층(270)은 상기 기관(100)의 상면을 평탄화하는 역할을 하는 것으로서, 유기절연물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0042] 상기 제1 전극(300)은 상기 회로 소자층(200), 보다 구체적으로는 상기 평탄화층(270) 상에 서브 화소(P1, P2) 별로 패턴 형성되어 있다.
- [0043] 개별 서브 화소(P1, P2)에 구비된 제1 전극(300)은 제1 서브 전극(310) 및 제2 서브 전극(320)을 포함하여 이루어진다. 상기 제1 서브 전극(310)은 상기 패시베이션층(260) 및 상기 평탄화층(270)에 구비된 제1 콘택홀(CH1)을 통해서 구동 박막 트랜지스터의 드레인 전극(250)에 직접 연결되고, 상기 제2 서브 전극(320)은 상기 패시베이션층(260) 및 상기 평탄화층(270)에 구비된 제2 콘택홀(CH2)을 통해서 상기 구동 박막 트랜지스터의 동일한 드레인 전극(250)에 직접 연결된다. 상기 제1 콘택홀(CH1)과 상기 제2 콘택홀(CH2)은 서로 상이한 위치에 형성되어 상기 드레인 전극(250)의 상이한 영역을 노출시킨다. 다만, 상기 제1 서브 전극(310)은 상기 패시베이션층(260) 및 상기 평탄화층(270)에 구비된 제1 콘택홀(CH1)을 통해서 구동 박막 트랜지스터의 소스 전극(240)에 직접 연결되고, 상기 제2 서브 전극(320)은 상기 패시베이션층(260) 및 상기 평탄화층(270)에 구비된 제2 콘택홀(CH2)을 통해서 상기 구동 박막 트랜지스터의 동일한 소스 전극(240)에 직접 연결될 수도 있다.
- [0044] 상기 제1 서브 전극(310)은 제1 하부 전극(311) 및 제1 상부 전극(312)을 포함하여 이루어진다. 상기 제1 하부 전극(311)은 상기 제1 콘택홀(CH1)을 통해서 상기 구동 박막 트랜지스터의 드레인 전극(250) 또는 소스 전극(240)에 직접 연결되고, 상기 제1 상부 전극(312)은 상기 제1 하부 전극(311) 상에 형성된다.
- [0045] 상기 제1 하부 전극(311)은 상기 제1 상부 전극(312)과 상기 드레인 전극(250) 또는 상기 제1 상부 전극(312)과

상기 소스 전극(240) 사이를 연결하는 보조 전극으로 기능하고, 상기 제1 상부 전극(312)은 정공(hole)을 생성하는 애노드 전극으로 기능할 수 있다. 따라서, 상기 제1 하부 전극(311)은 전기전도도가 우수한 물질로 이루어질 수 있고, 상기 제1 상부 전극(312)은 정공 생성 특성이 우수한 물질로 이루어질 수 있다.

- [0046] 상기 제1 상부 전극(312)의 양 끝단은 상기 제1 하부 전극(311)의 양 끝단과 일치하도록 형성될 수 있다. 또한, 상기 제1 상부 전극(312)의 하면은 상기 제1 하부 전극(311)의 상면과 접하도록 형성된다. 다만, 상기 제1 상부 전극(312)의 하면 전체가 상기 제1 하부 전극(311)의 상면과 접하는 것은 아니고, 상기 제1 상부 전극(312)의 하면 일부만이 상기 제1 하부 전극(311)의 상면과 접한다. 구체적으로, 상기 제1 상부 전극(312)과 상기 제1 하부 전극(311) 사이에는 제1 충전층(410)이 구비되어 있고, 따라서, 상기 제1 충전층(410)의 형성 영역에서는 상기 제1 상부 전극(312)의 하면이 상기 제1 충전층(410)과 접한다.
- [0047] 상기 제1 충전층(410)은 상기 제1 콘택홀(CH1) 내에 형성되어 상기 제1 콘택홀(CH1)을 매움으로써 상기 제1 서브 전극(310)의 표면을 평탄화시킨다. 상기 제1 충전층(410)은 유기물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0048] 상기 제2 서브 전극(320)은 제2 하부 전극(321) 및 제2 상부 전극(322)을 포함하여 이루어진다. 상기 제2 하부 전극(321)은 상기 제2 콘택홀(CH2)을 통해서 상기 구동 박막 트랜지스터의 드레인 전극(250) 또는 소스 전극(240)에 직접 연결되고, 상기 제2 상부 전극(322)은 상기 제2 하부 전극(321) 상에 형성된다.
- [0049] 상기 제2 하부 전극(321)은 상기 제2 상부 전극(322)과 상기 드레인 전극(250) 또는 상기 제2 상부 전극(322)과 상기 소스 전극(240) 사이를 연결하는 보조 전극으로 기능하고, 상기 제2 상부 전극(322)은 정공(hole)을 생성하는 애노드 전극으로 기능할 수 있다. 따라서, 상기 제2 하부 전극(321)은 전기전도도가 우수한 물질로 이루어질 수 있고, 상기 제2 상부 전극(322)은 정공 생성 특성이 우수한 물질로 이루어질 수 있다.
- [0050] 상기 제2 상부 전극(322)의 양 끝단은 상기 제2 하부 전극(321)의 양 끝단과 일치하도록 형성될 수 있다. 또한, 상기 제2 상부 전극(322)의 하면은 상기 제2 하부 전극(321)의 상면과 접하도록 형성될 수 있다. 다만, 상기 제2 상부 전극(322)의 하면 전체가 상기 제2 하부 전극(321)의 상면과 접하는 것은 아니고, 상기 제2 상부 전극(322)의 하면 일부만이 상기 제2 하부 전극(321)의 상면과 접한다. 구체적으로, 상기 제2 상부 전극(322)과 상기 제2 하부 전극(321) 사이에는 제2 충전층(420)이 구비되어 있고, 따라서, 상기 제2 충전층(420)의 형성 영역에서는 상기 제2 상부 전극(322)의 하면이 상기 제2 충전층(420)과 접한다.
- [0051] 상기 제2 충전층(420)은 상기 제2 콘택홀(CH2) 내에 형성되어 상기 제2 콘택홀(CH2)을 매움으로써 상기 제2 서브 전극(320)의 표면을 평탄화시킨다. 상기 제2 충전층(420)은 상기 제1 충전층(410)과 동일한 물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0052] 상기 제2 하부 전극(321)은 상기 제1 하부 전극(311) 및 상기 제1 상부 전극(312)과 이격되어 있다. 상기 제2 하부 전극(321)은 상기 제1 하부 전극(311)과 동일한 물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 제1 서브 전극(310)과 제2 서브 전극(320) 사이에 높이 차가 발생하지 않도록, 상기 제2 하부 전극(321)의 두께는 상기 제1 하부 전극(311)의 두께와 동일하게 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0053] 상기 제2 상부 전극(322)은 상기 제1 하부 전극(311) 및 상기 제1 상부 전극(312)과 이격되어 있다. 상기 제2 상부 전극(322)은 상기 제1 상부 전극(312)과 동일한 물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 제1 서브 전극(310)과 제2 서브 전극(320) 사이에 높이 차가 발생하지 않도록, 상기 제2 상부 전극(322)의 두께는 상기 제1 상부 전극(312)의 두께와 동일하게 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0054] 상기 제2 하부 전극(321)의 두께가 상기 제1 하부 전극(311)의 두께와 동일하게 형성되고 상기 제2 상부 전극(322)의 두께가 상기 제1 상부 전극(312)의 두께와 동일하게 형성됨으로써, 상기 제1 서브 전극(310)의 상면의 높이는 상기 제2 서브 전극(320)의 상면의 높이와 동일하게 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0055] 개별 서브 화소(P1, P2)에서 상기 제1 서브 전극(310)과 상기 제2 서브 전극(320)은 서로 이격되어 있지만, 동일한 드레인 전극(250) 또는 동일한 소스 전극(240)에 연결되어 있기 때문에, 하나의 서브 화소(P1, P2) 내의 상기 제1 서브 전극(310)과 상기 제2 서브 전극(320)에는 동일한 신호가 동시에 공급된다.
- [0056] 상기 발광층(500)은 상기 제1 전극(300) 상에 형성된다. 상기 발광층(500)은 복수의 서브 화소(P1, P2) 사이의

경계 영역에도 형성될 수 있다.

- [0057] 본 발명의 일 실시예에 따르면, 서브 화소(P1, P2) 사이의 경계에 별도의 बैं크가 형성되지 않는다. 따라서, 상기 제1 전극(300)의 상면 전체는 상기 발광층(500)에 의해 덮히게 되어 상기 발광층(500)의 하면과 접하게 된다. 즉, 상기 제1 서브 전극(310)과 상기 제2 서브 전극(320)의 상면 전체는 상기 발광층(500)의 하면에 접한다.
- [0058] 또한, 서브 화소(P1, P2) 사이의 경계에 별도의 बैं크가 형성되지 않기 때문에, 상기 제1 서브 화소(P1)의 제1 전극(300)과 상기 제2 서브 화소(P2)의 제1 전극(310)은 상기 발광층(500)을 사이에 두고 서로 마주하게 된다. 구체적으로, 서로 마주하는 상기 제1 서브 화소(P1)의 제1 전극(300)의 일 측면과 상기 제2 서브 화소(P2)의 제1 전극(300)의 일 측면은 각각 상기 발광층(500)과 접하게 된다.
- [0059] 특히, 상기 제1 서브 화소(P1)의 제2 서브 전극(320)과 상기 제2 서브 화소(P2)의 제1 서브 전극(310)이 상기 발광층(500)을 사이에 두고 서로 마주하게 되고, 상기 제1 서브 화소(P1)의 제2 서브 전극(320)의 일 측면과 상기 제2 서브 화소(P2)의 제1 서브 전극(310)의 일 측면이 각각 상기 발광층(500)과 접하게 된다.
- [0060] 상기 발광층(500)은 백색(W) 광을 발광하도록 구비될 수 있다. 이를 위해서, 상기 발광층(500)은 서로 상이한 색상의 광을 발광하는 복수의 스택(stack)을 포함하여 이루어질 수 있다. 구체적으로, 상기 발광층(500)은 제1 스택(510), 제2 스택(530), 및 상기 제1 스택(510)과 제2 스택(530) 사이에 구비된 전하 생성층(Charge generation layer; CGL)(520)을 포함하여 이루어질 수 있다.
- [0061] 상기 제1 스택(510)은 정공 주입층(Hole Injecting Layer; HIL), 정공 수송층(Hole Transporting Layer; HTL), 청색(B) 발광층(Emitting Layer; EML(B)), 및 전자 수송층(Electron Transporting Layer; ETL)이 차례로 적층된 구조로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니다.
- [0062] 상기 전하 생성층(520)은 상기 제1 스택(510) 및 상기 제2 스택(530) 사이에 형성되어 상기 제1 스택(510) 및 제2 스택(530)에 전하를 공급하는 역할을 한다. 상기 전하 생성층(520)은 상기 제1 스택(510)에 전자(electron)를 공급하기 위한 N형 전하 생성층 및 상기 제2 스택(530)에 정공(hole)을 공급하기 위한 P형 전하 생성층을 포함하여 이루어질 수 있다.
- [0063] 상기 제2 스택(530)은 상기 전하 생성층(520) 상에 구비되며, 정공 수송층(HTL), 황녹색(YG) 발광층(Emitting Layer; EML(YG)), 전자 수송층(ETL), 및 전자 주입층(Electron Injecting Layer; EIL)이 차례로 적층된 구조로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니다.
- [0064] 본 발명에서 상기 제1 스택(510)과 상기 제2 스택(530)의 적층 구조 및 상기 제1 스택(510)과 상기 제2 스택(530) 각각에서 방출되는 광의 파장은 당업계에 공지된 다양한 구조로 변경될 수 있다.
- [0065] 상기 제2 전극(600)은 상기 발광층(500) 상에 형성되어 있다. 상기 제2 전극(600)은 전계 발광 표시 장치의 음극(Cathode)으로 기능할 수 있다. 상기 제2 전극(600)은 개별 서브 화소(P1, P2) 및 그들 사이의 경계 영역에도 형성된다.
- [0066] 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 상부 발광 방식으로 이루어지기 때문에, 상기 제2 전극(600)은 상기 발광층(500)에서 발광된 광을 상부쪽으로 투과시키기 위해서 투명한 도전물질을 포함하여 이루어질 수 있다. 또한, 상기 제2 전극(600)은 반투명 전극으로 이루어질 수도 있으며 그에 따라 서브 화소(P1, P2) 별로 마이크로 캐버티(Micro Cavity) 효과를 얻을 수 있다. 상기 제2 전극(600)이 반투명 전극으로 이루어진 경우, 상기 제2 전극(600)과 상기 제1 전극(300) 사이에서 광의 반사와 재반사가 반복되면서 마이크로 캐버티 효과를 얻을 수 있어 광효율이 향상될 수 있다.
- [0067] 상기 봉지층(700)은 상기 제2 전극(600) 상에 형성되어 상기 발광층(500)으로 외부의 수분이 침투하는 것을 방지하는 역할을 한다. 이와 같은 봉지층(700)은 무기절연물로 이루어질 수도 있고 무기절연물과 유기절연물이 교대로 적층된 구조로 이루어질 수도 있지만, 반드시 그에 한정되는 것은 아니다.
- [0068] 상기 컬러 필터층(810, 820)은 상기 봉지층(700) 상에 형성되어 있다. 상기 컬러 필터층(810, 820)은 제1 서브 화소(P1)에 구비된 제1 컬러 필터(810), 및 제2 서브 화소(P2)에 구비된 제2 컬러 필터(820)를 포함하여 이루어질 수 있다. 상기 제1 컬러 필터(810)는 적색(R), 녹색(G) 및 청색(B) 중에서 어느 하나의 컬러 필터로 이루어지고, 상기 제2 컬러 필터(820)는 적색(R), 녹색(G) 및 청색(B) 중에서 다른 하나의 컬러 필터로 이루어질 수 있다. 도시하지는 않았지만, 상기 제2 서브 화소(P2)와 인접하는 제3 서브 화소가 추가로 구비되며, 상기 제3 서브 화소에는 적색(R), 녹색(G) 및 청색(B) 중에서 나머지 하나의 광을 방출하는 제3 컬러 필터가 추가로 구비

될 수 있다. 또한, 상기 컬러 필터층(810, 820) 사이에 블랙 매트릭스가 추가로 형성되어 서브 화소(P1, P2) 사이의 경계에서 광이 누설되는 것을 방지할 수 있다.

- [0069] 도 3a 내지 도 3k는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 제조 공정 단면도로서, 이는 도 1의 I-I라인의 단면에 해당한다.
- [0070] 우선, 도 3a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210)을 형성하고, 상기 게이트 전극(210) 상에 게이트 절연막(220)을 형성하고, 상기 게이트 절연막(220) 상에 반도체층(230)을 형성하고, 상기 반도체층(230) 상에서 서로 마주하도록 소스 전극(240) 및 드레인 전극(250)을 형성하고, 상기 소스 전극(240) 및 드레인 전극(250) 상에 패시베이션층(260)을 형성하고, 상기 패시베이션층(260) 상에 평탄화층(270)을 형성한다.
- [0071] 그 후, 상기 패시베이션층(260)과 평탄화층(270)의 소정 영역을 제거하여 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성하여 상기 드레인 전극(250)을 노출시킨다. 경우에 따라서, 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성하여 상기 소스 전극(240)을 노출시킬 수도 있다.
- [0072] 다음, 도 3b에서 알 수 있듯이, 상기 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 통해서 상기 드레인 전극(250) 또는 상기 소스 전극(240)과 연결되는 제2 하부 전극층(321a)을 상기 평탄화층(270)의 전면에 형성하고, 상기 제2 하부 전극층(321a) 상에 제1 포토 레지스트(351)를 형성한다.
- [0073] 이때, 상기 제1 포토 레지스트(351)는 상기 제2 콘택홀(CH2)과는 중첩되지만 상기 제1 콘택홀(CH1)과는 중첩되지 않도록 형성한다. 그에 따라, 상기 제1 콘택홀(CH1)과 중첩되는 상기 제2 하부 전극층(321a)의 소정 영역은 상기 제1 포토 레지스트(351)에 의해 가려지지 않고 노출된다.
- [0074] 다음, 도 3c에서 알 수 있듯이, 상기 제1 포토 레지스트(351)를 마스크로 하여 상기 제2 하부 전극층(321a)의 소정 영역을 제거한다. 그리하면, 상기 제1 포토 레지스트(351) 아래에 구비된 상기 제2 하부 전극층(321a)의 일부 영역이 잔존함으로써 상기 드레인 전극(250) 또는 상기 소스 전극(240)과 연결되는 제2 하부 전극(321)이 형성된다. 또한, 상기 제2 하부 전극층(321a)의 소정 영역이 제거된 부분에서는 상기 평탄화층(270)이 노출됨과 더불어 상기 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(250) 또는 상기 소스 전극(240)이 노출된다. 이때, 상기 제1 포토 레지스트(351)의 양 끝단 아래 부분에는 언더컷(uc)이 발생한다.
- [0075] 다음, 도 3d에서 알 수 있듯이, 상기 제1 포토 레지스트(351) 상면 및 상기 노출된 평탄화층(270) 상에 제1 하부 전극층(311a)을 형성한다. 이때, 상기 제1 하부 전극층(311a)은 상기 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(250) 또는 상기 소스 전극(240)과 연결된다. 한편, 상기 언더컷에 의해서 상기 제1 하부 전극층(311a)은 상기 제2 하부 전극(321)과 연결되지 않고 이격된다.
- [0076] 다음, 도 3e에서 알 수 있듯이, 상기 제1 콘택홀(CH1)과 중첩되는 상기 제1 하부 전극층(311a) 상에 제1 충전층(410)을 형성한다. 그 후, 상기 제1 하부 전극층(311a)과 상기 제1 충전층(410) 상에 제1 상부 전극층(312a)을 형성한다.
- [0077] 다음, 도 3f에서 알 수 있듯이, 상기 제1 포토 레지스트(351) 및 그 위에 형성된 제1 하부 전극층(311a)과 제1 상부 전극층(312a)을 제거한다. 그리하면, 제1 하부 전극(311)과 제1 상부 전극(312)을 포함하는 제1 서브 전극(310)이 형성된다.
- [0078] 다음, 도 3g에서 알 수 있듯이, 상기 제2 콘택홀(CH2)과 중첩되는 상기 제2 하부 전극(312) 상에 제2 충전층(420)을 형성한다. 그 후, 상기 제1 서브 전극(310), 상기 제2 하부 전극(321) 및 상기 제2 충전층(420) 상에 희생층(370)을 형성하고, 상기 희생층(370) 상에 제2 포토 레지스트(352)를 형성한다.
- [0079] 이때, 상기 제2 포토 레지스트(352)는 상기 제1 콘택홀(CH1)과는 중첩되지만 상기 제2 콘택홀(CH2)과는 중첩되지 않도록 형성한다. 그에 따라, 상기 제2 콘택홀(CH2)과 중첩되는 상기 희생층(370)의 소정 영역은 상기 제2 포토 레지스트(352)에 의해 가려지지 않고 노출된다.
- [0080] 다음, 도 3h에서 알 수 있듯이, 상기 제2 포토 레지스트(352)를 마스크로 하여 상기 희생층(370)의 소정 영역을 제거한다. 그리하면, 상기 희생층(370)이 제거된 부분에서 상기 제2 하부 전극(321) 및 상기 제2 충전층(420)이 노출된다. 이때, 상기 제2 포토 레지스트(352)의 양 끝단 아래 부분에는 언더컷(uc)이 발생한다. 전술한 도 3g 공정에서 형성한 희생층(370)은 상기 제2 포토 레지스트(352)의 양 끝단 아래 부분에 언더컷(uc)을 형성하기 위한 것이다.
- [0081] 다음, 도 3i에서 알 수 있듯이, 상기 제2 포토 레지스트(352) 상면 및 상기 노출된 제2 하부 전극(321) 및 상기

제2 층진층(420) 상에 제2 상부 전극층(322a)을 형성한다. 이때, 상기 언더컷에 의해서 상기 제2 상부 전극층(322a)은 상기 제1 서브 전극(310)과 연결되지 않는다.

- [0082] 다음, 도 3j에서 알 수 있듯이, 상기 제2 포토 레지스트(352) 및 그 위에 형성된 제2 상부 전극층(322a)을 제거한다. 그리하면, 제2 하부 전극(321)과 제2 상부 전극(322)을 포함하는 제2 서브 전극(320)이 형성된다.
- [0083] 다음, 도 3k에서 알 수 있듯이, 상기 제1 서브 전극(310) 및 상기 제2 서브 전극(320) 상에 제1 스택(510), 전하 생성층(520), 및 제2 스택(530)을 포함하는 발광층(500)을 형성한다. 그 후, 상기 발광층(500) 상에 제2 전극(600)을 형성하고, 상기 제2 전극(600) 상에 봉지층(700)을 형성하고, 상기 봉지층(700) 상에 컬러 필터층(810, 820)을 형성하여, 전술한 도 2에 따른 전계 발광 표시 장치를 얻는다.
- [0084] 도 4는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 회로 소자층(200)에 트렌치(T)가 형성되고 상기 트렌치(T) 영역에서 발광층(500)의 적어도 일부가 단절된 점에서 전술한 도 2에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0085] 도 4에서 알 수 있듯이, 회로 소자층(200)의 평탄화층(270)에는 트렌치(T)가 구비되어 있다. 상기 트렌치(T)는 제1 서브 화소(P1)와 제2 서브 화소(P2) 사이의 경계에 형성되어 있다. 상기 트렌치(T)는 인접하는 서브 화소(P1, P2) 사이에 누설전류가 발생하는 것을 방지하는 역할을 한다.
- [0086] 고해상도를 구현하기 위해서 서브 화소(P1, P2) 사이의 간격이 조밀하게 구성된 경우에 있어서, 어느 하나의 서브 화소(P1, P2) 내의 발광층(500)에서 발광이 이루어진 경우 그 발광층(500) 내의 전하가 인접하는 다른 서브 화소(P1, P2) 내의 발광층(500)으로 이동하여 누설전류가 발생할 가능성이 있다.
- [0087] 따라서, 본 발명의 다른 실시예에서는 서브 화소(P1, P2) 사이의 경계에 트렌치(T)를 형성함으로써 상기 트렌치(T) 내에 형성되는 발광층(500)의 일부가 단절되도록 하여, 인접하는 서브 화소(P1, P2) 사이에서 누설전류가 발생하는 것을 방지할 수 있다.
- [0088] 상기 발광층(500)은 상기 트렌치(T) 내부 및 상기 트렌치(T) 위쪽에 형성된다. 본 발명의 다른 실시예에 따르면, 상기 발광층(500)의 적어도 일부가 상기 트렌치(T) 내부 또는 상기 트렌치(T) 위쪽에서 단절됨으로써, 인접하는 서브 화소(P1, P2) 사이에서 누설전류 발생이 방지될 수 있다.
- [0089] 제1 스택(510)은 상기 트렌치(T) 내부의 측면에 형성되며 상기 트렌치(T) 내부의 하면에도 형성될 수 있다. 이때, 상기 트렌치(T) 내부의 측면에 형성된 제1 스택(510)의 일 부분과 상기 트렌치(T) 내부의 하면에 형성된 제1 스택(510)의 일 부분은 서로 연결되지 않고 단절되어 있다. 따라서, 상기 트렌치(T) 내부의 일 측면, 예로서 좌측 측면에 형성된 제1 스택(510)의 일 부분과 상기 트렌치(T) 내부의 다른 측면, 예로서 우측 측면에 형성된 제1 스택(510)의 일 부분은 서로 연결되지 않고 단절되어 있다. 이에 따라, 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2) 사이에서는 상기 제1 스택(510)을 통해 전하가 이동할 수는 없다.
- [0090] 또한, 상기 전하 생성층(520)은 상기 트렌치(T) 내부의 측면에서 상기 제1 스택(510) 상에 형성되거나 또는 상기 트렌치(T) 내부까지 연장되지 않고 상기 트렌치(T) 위쪽에서 상기 제1 스택(510) 상에 형성될 수 있다. 이때, 상기 트렌치(T) 내부의 일 측면, 예로서 좌측 측면에 형성된 전하 생성층(520)의 일 부분과 상기 트렌치(T) 내부의 다른 측면, 예로서 우측 측면에 형성된 전하 생성층(520)의 일 부분은 서로 연결되지 않고 단절되어 있다. 이에 따라, 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2) 사이에서는 상기 전하 생성층(520)을 통해 전하가 이동할 수는 없다.
- [0091] 또한, 상기 제2 스택(530)은 상기 전하 생성층(520) 상에서 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2) 사이에서 단절되지 않고 서로 연결될 수 있다. 따라서, 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2) 사이에서는 상기 제2 스택(530)을 통해 전하가 이동할 수는 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 트렌치(T)의 형상 및 발광층(500)의 증착 공정을 적절히 조절함으로써, 상기 제2 스택(530)도 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2) 사이에서 단절되도록 구성할 수도 있다. 특히, 상기 전하 생성층(520)과 인접하는 상기 제2 스택(530)의 하부 일 부분만이 서브 화소(P1, P2) 사이 영역에서 단절될 수 있다.
- [0092] 상기 전하 생성층(520)은 상기 제1 스택(510) 및 상기 제2 스택(530)에 비하여 도전성이 크다. 특히, 상기 전하 생성층(520)을 구성하는 N형 전하 생성층은 금속 물질을 포함하여 이루어질 수 있기 때문에, 상기 제1 스택(510) 및 상기 제2 스택(530)에 비하여 도전성이 크다. 따라서, 서로 인접하게 배치된 서브 화소(P1, P2) 사이

에서의 전하의 이동은 주로 전하 생성층(520)을 통해 이루어지고, 상기 제2 스택(530)을 통해서 이루어지는 전하의 이동량은 미미하다.

- [0093] 따라서, 본 발명의 다른 실시예에서는, 상기 발광층(500)의 적어도 일부, 특히, 상기 제1 스택(510)과 상기 전하생성층(520)이 상기 트렌치(T) 내부 또는 상기 트렌치(T) 위쪽에서 단절되도록 함으로써, 인접하는 서브 화소(P1, P2) 사이에서 누설전류 발생이 방지될 수 있다.
- [0094] 이와 같은 도 4에 따른 전계 발광 표시 장치는 전술한 도 3k 공정 이전에 상기 평탄화층(270)에 트렌치(T)를 형성하는 공정을 추가로 수행함으로써 얻을 수 있다. 경우에 따라서, 도 4에 따른 전계 발광 표시 장치는 전술한 도 3j 공정 이후에 상기 트렌치(T) 형성 영역을 확보하기 위해서 서브 화소(P1, P2)의 경계에서 마주하는 제1 서브 전극(310)과 제2 서브 전극(320) 중 적어도 하나의 서브 전극(310, 320)의 크기를 줄이는 패터닝 공정을 추가로 수행하여 얻을 수도 있다.
- [0095] 도 5는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
- [0096] 도 5는 제1 전극(300)을 구성하는 제1 서브 전극(310) 및 제2 서브 전극(320)이 서로 이격되지 않고 접하고 있는 점에서 전술한 도 1에 따른 전계 발광 표시 장치와 상이하며, 그 외의 구성은 전술한 도 1에 따른 전계 발광 표시 장치와 동일하다.
- [0097] 이와 같은 도 5에 따른 본 발명의 다른 실시예의 경우는 제1 서브 전극(310)과 제2 서브 전극(320)이 서로 접하고 있기 때문에, 제1 서브 전극(310)과 제2 서브 전극(320) 사이 영역에서 발광이 원활히 일어나는 장점이 있다.
- [0098] 이하에는 단면 구조를 통해서 도 5에 따른 전계 발광 표시 장치에 대해서 보다 구체적으로 설명하기로 한다.
- [0099] 도 6은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 도 5의 I-I라인의 단면에 해당한다.
- [0100] 도 6은 제1 서브 전극(310) 및 제2 서브 전극(320)이 서로 이격되지 않고 접하고 있는 점에서 전술한 도 2에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0101] 도 6에서 알 수 있듯이, 개별 서브 화소(P1, P2) 내에서, 제2 서브 전극(320)을 구성하는 제2 하부 전극(321)은 제1 서브 전극(310)과 이격되어 있지만, 제2 서브 전극(320)을 구성하는 제2 상부 전극(322)은 제1 서브 전극(310)과 접하고 있다.
- [0102] 특히, 상기 제2 상부 전극(322)은 상기 제2 하부 전극(321)의 상면에서 평탄화층(270)의 상면을 따라 제1 하부 전극(311) 또는 제1 상부 전극(312)의 일 측면까지 연장되어 상기 제1 하부 전극(311) 또는 상기 제1 상부 전극(312)과 접하고 있다. 따라서, 상기 제2 상부 전극(322)의 일단(322x)은 상기 제2 하부 전극(321)의 일단(321x)과 일치하지 않고 상기 제2 하부 전극(321)의 일단(321x)보다 연장되어 있다. 다만, 상기 제2 상부 전극(322)의 타단(322y)은 상기 제2 하부 전극(321)의 타단(321y)과 일치하도록 형성될 수 있다.
- [0103] 그에 반하여, 상기 제1 상부 전극(312)의 양 끝단은 상기 제1 하부 전극(311)의 양 끝단과 일치하도록 형성될 수 있다.
- [0104] 이와 같은 도 6에 따른 전계 발광 표시 장치는 전술한 도 3a 내지 도 3k 공정 중에서 일부 공정을 변경하여 제조될 수 있는데, 구체적으로, 전술한 도 3g 공정에서 제2 포토 레지스트(352)의 패턴을 적절히 변경함으로써 전술한 도 3i 공정에서 제2 상부 전극층(322a)이 제1 서브 전극(310)과 연결되도록 하는 공정을 통해 제조될 수 있다.
- [0105] 도 7은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 제2 서브 전극(320)을 구성하는 제2 상부 전극(322)의 구성이 변경된 것을 제외하고 전술한 도 6에 따른 전계 발광 표시 장치와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0106] 도 7에서 알 수 있듯이, 상기 제2 상부 전극(322)의 일단(322x)은 제2 하부 전극(321)의 상면에서 평탄화층(270)의 상면, 제1 하부 전극(311)의 일 측면 및 제1 상부 전극(312)의 일 측면을 따라 상기 제1 상부 전극(312)의 상면 일부까지 연장되어 있다.
- [0107] 이와 같은 도 7에 따른 전계 발광 표시 장치의 경우, 상기 제2 서브 전극(320), 보다 구체적으로 제2 상부 전극

(322)이 상기 제1 서브 전극(310)과 중첩되도록 형성된 것으로서, 공정 오차가 발생한다 하여도 상기 제2 서브 전극(320)과 상기 제1 서브 전극(310) 사이의 전기적 연결을 유지할 수 있도록 한 것이다.

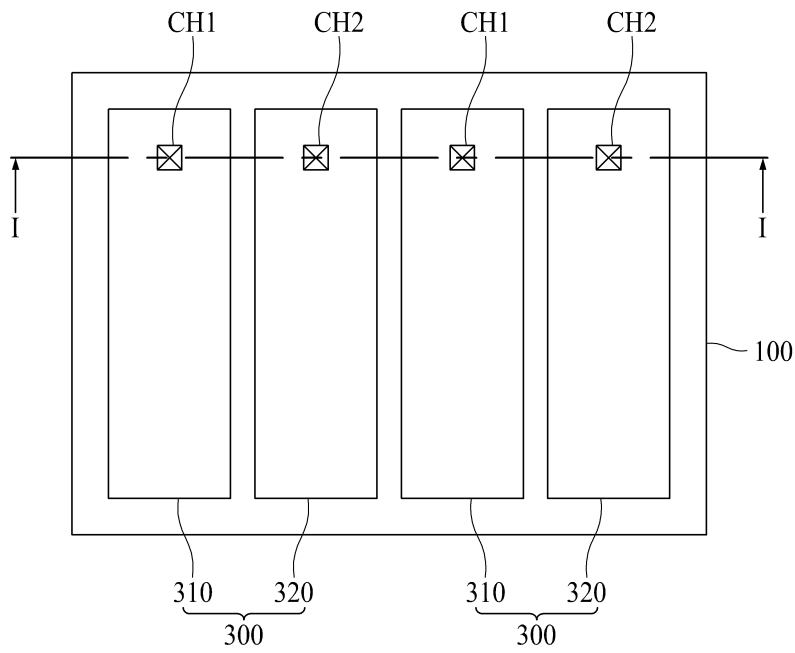
- [0108] 이와 같은 도 7에 따른 전계 발광 표시 장치는 전술한 도 3a 내지 도 3k 공정 중에서 일부 공정을 변경하여 제조될 수 있는데, 구체적으로, 전술한 도 3g 공정에서 제2 포토 레지스트(352)의 패턴을 적절히 변경함으로써 전술한 도 3i 공정에서 제2 상부 전극층(322a)이 제1 서브 전극(310)과 연결되도록 하는 공정을 통해 제조될 수 있다.
- [0109] 한편, 구체적으로 도시하지는 않았지만, 도 6 및 도 7에 따른 구조에 전술한 도 4와 같은 트렌치(T)를 형성함으로써 상기 트렌치(T) 영역에서 발광층(500)의 적어도 일부가 단절되도록 구성할 수도 있다.
- [0110] 도 8은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
- [0111] 도 8은 제2 콘택홀(CH2)이 형성되지 않은 점에서 전술한 도 5에 따른 전계 발광 표시 장치와 상이하며, 그 외의 구성은 전술한 도 5에 따른 전계 발광 표시 장치와 동일하다.
- [0112] 도 8의 경우는 제1 서브 전극(310) 형성 영역에는 제1 콘택홀(CH1)이 형성되어 있기 때문에 상기 제1 서브 전극(310)은 상기 제1 콘택홀(CH1)을 통해서 구동 박막 트랜지스터와 연결된다. 그러나, 제2 서브 전극(320) 형성 영역에 제2 콘택홀(CH2)이 구비되어 있지 않다. 다만, 제2 서브 전극(320)은 제1 서브 전극(310)과 연결되어 있으며, 그에 따라 상기 제2 서브 전극(320)은 상기 제1 서브 전극(310)을 통해서 상기 구동 박막 트랜지스터에 전기적으로 연결될 수 있다.
- [0113] 따라서, 상기 제1 서브 전극(310)과 상기 제2 서브 전극(320)은 하나의 구동 박막 트랜지스터에 의해서 동시에 구동될 수 있다.
- [0114] 이하에는 단면 구조를 통해서 도 8에 따른 전계 발광 표시 장치에 대해서 보다 구체적으로 설명하기로 한다.
- [0115] 도 9는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 도 8의 I-I라인의 단면에 해당한다.
- [0116] 도 9는 제2 콘택홀(CH2) 및 제2 충전층(420)이 형성되지 않은 점을 제외하고 전술한 도 6에 따른 전계 발광 표시 장치와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0117] 도 9에서 알 수 있듯이, 제2 서브 전극(320)과 중첩되는 영역에는 제2 콘택홀(전술한 도 6의 CH2 참조)이 형성되어 있지 않다. 따라서, 상기 제2 서브 전극(320)과 중첩되는 영역에서는 제2 콘택홀(전술한 도 6의 CH2 참조)을 매울 필요가 없기 때문에 제2 충전층(전술한 도 6의 420 참조)도 형성되어 있지 않다.
- [0118] 그에 따라, 제2 서브 전극(320)을 구성하는 제2 하부 전극(321)은 평탄화층(270)의 평평한 상면 상에 형성되어 있고, 상기 제2 하부 전극(321) 상에는 제2 상부 전극(322)이 형성되어 있다. 따라서, 상기 제2 하부 전극(321)과 상기 제2 상부 전극(322)은 모두 평평한 구조로 이루어진다. 특히, 상기 평탄화층(270)의 상면과 접하고 있는 상기 제2 하부 전극(321)의 하면 전체는 평평한 구조로 이루어진다.
- [0119] 상기 제2 서브 전극(320)은 상기 제1 서브 전극(310)과 연결되어 있으며, 그에 따라 상기 제1 서브 전극(310)과 제2 서브 전극(320)은 구동 박막 트랜지스터의 동일한 드레인 전극(240) 또는 동일한 소스 전극(230)에 전기적으로 연결될 수 있다.
- [0120] 이와 같은 도 9에 따른 전계 발광 표시 장치는 전술한 도 3a 내지 도 3k 공정 중에서 일부 공정을 변경하여 제조될 수 있는데, 구체적으로, 전술한 도 3a 공정에서 제2 콘택홀(CH2)을 형성하지 않고, 전술한 도 3g 공정에서 제2 충전층(420)을 형성하지 않고, 또한 전술한 도 3g 공정에서 제2 포토 레지스트(352)의 패턴을 적절히 변경함으로써 전술한 도 3i 공정에서 제2 상부 전극층(322a)이 제1 서브 전극(310)과 연결되도록 하는 공정을 통해 제조될 수 있다.
- [0121] 도 10은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 도 8의 I-I라인의 단면에 해당한다.
- [0122] 도 10은 제2 콘택홀(CH2) 및 제2 충전층(420)이 형성되지 않은 점을 제외하고 전술한 도 7에 따른 전계 발광 표시 장치와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0123] 도 10에서 알 수 있듯이, 제2 서브 전극(320)과 중첩되는 영역에는 제2 콘택홀(전술한 도 7의 CH2 참조)이 형성되어 있지 않다. 따라서, 상기 제2 서브 전극(320)과 중첩되는 영역에서는 제2 콘택홀(전술한 도 7의 CH2 참조)

조)을 매울 필요가 없기 때문에 제2 충전층(전술한 도 7의 420 참조)도 형성되어 있지 않다.

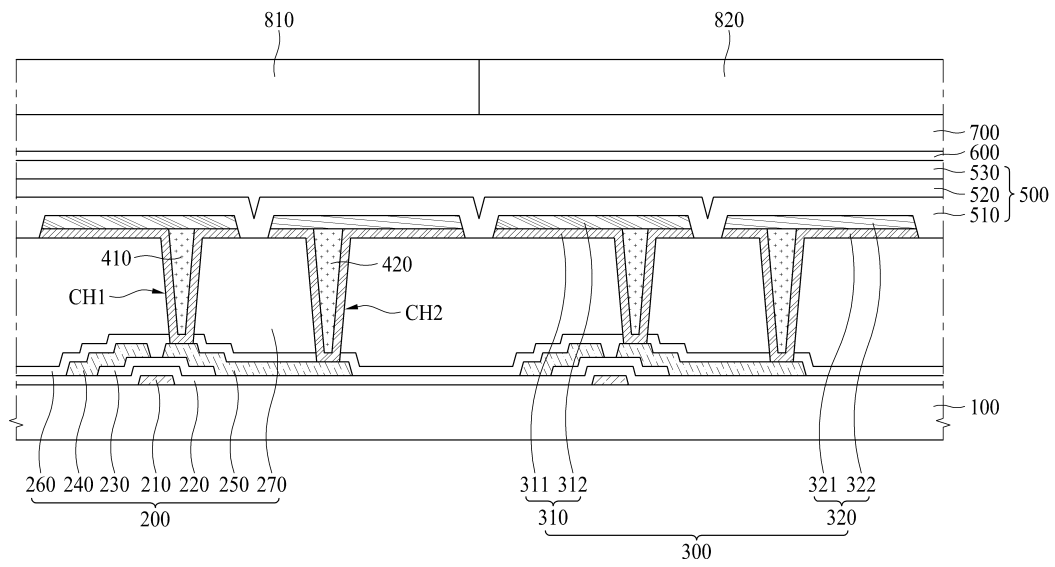
- [0124] 그에 따라, 제2 서브 전극(320)을 구성하는 제2 하부 전극(321)은 평탄화층(270)의 평탄한 상면 상에 형성되어 있고, 상기 제2 하부 전극(321) 상에는 제2 상부 전극(322)이 형성되어 있다. 상기 제2 하부 전극(321)과 상기 제2 상부 전극(322)은 모두 평탄한 구조로 이루어진다.
- [0125] 이와 같은 도 10에 따른 전계 발광 표시 장치는 전술한 도 3a 내지 도 3k 공정 중에서 일부 공정을 변경하여 제조될 수 있는데, 구체적으로, 전술한 도 3a 공정에서 제2 콘택홀(CH2)을 형성하지 않고, 전술한 도 3g 공정에서 제2 충전층(420)을 형성하지 않고, 또한 전술한 도 3g 공정에서 제2 포토 레지스트(352)의 패턴을 적절히 변경함으로써 전술한 도 3i 공정에서 제2 상부 전극층(322a)이 제1 서브 전극(310)과 연결되도록 하는 공정을 통해 제조될 수 있다.
- [0126] 도 11a내지 도 11c는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다. 도 11a는 개략적인 사시도이고, 도 11b는 VR(Virtual Reality) 구조의 개략적인 평면도이고, 도 11c는 AR(Augmented Reality) 구조의 개략적인 단면도이다.
- [0127] 도 11a에서 알 수 있듯이, 본 발명에 따른 헤드 장착형 표시 장치는 수납 케이스(10), 및 헤드 장착 밴드(30)를 포함하여 이루어진다.
- [0128] 상기 수납 케이스(10)는 그 내부에 표시 장치, 렌즈 어레이, 및 접안 렌즈 등의 구성을 수납하고 있다.
- [0129] 상기 헤드 장착 밴드(30)는 상기 수납 케이스(10)에 고정된다. 상기 헤드 장착밴드(30)는 사용자의 머리 상면과 양 측면들을 둘러쌀 수 있도록 형성된 것을 예시하였으나, 이에 한정되지 않는다. 상기 헤드 장착 밴드(30)는 사용자의 머리에 헤드 장착형 디스플레이를 고정하기 위한 것으로, 안경테 형태 또는 헬멧 형태의 구조물로 대체될 수 있다.
- [0130] 도 11b에서 알 수 있듯이, 본 발명에 따른 VR(Virtual Reality) 구조의 헤드 장착형 표시 장치는 좌안용 표시 장치(12)와 우안용 표시 장치(11), 렌즈 어레이(13), 및 좌안 접안 렌즈(20a)와 우안 접안 렌즈(20b)를 포함하여 이루어진다.
- [0131] 상기 좌안용 표시 장치(12)와 우안용 표시 장치(11), 상기 렌즈 어레이(13), 및 상기 좌안 접안 렌즈(20a)와 우안 접안 렌즈(20b)는 전술한 수납 케이스(10)에 수납된다.
- [0132] 상기 좌안용 표시 장치(12)와 우안용 표시 장치(11)는 동일한 영상을 표시할 수 있으며, 이 경우 사용자는 2D 영상을 시청할 수 있다. 또는, 상기 좌안용 표시 장치(12)는 좌안 영상을 표시하고 상기 우안용 표시장치(11)는 우안 영상을 표시할 수 있으며, 이 경우 사용자는 입체 영상을 시청할 수 있다. 상기 좌안용 표시 장치(12)와 상기 우안용 표시 장치(11) 각각은 전술한 도 1 내지 도 10에 따른 전계 발광 표시 장치로 이루어질 수 있다. 이때, 도 1 내지 도 10에서 화상이 표시되는 면에 해당하는 상측 부분, 예로서 컬러 필터층(810, 820)이 상기 렌즈 어레이(13)와 마주하게 된다.
- [0133] 상기 렌즈 어레이(13)는 상기 좌안 접안 렌즈(20a)와 상기 좌안용 표시 장치(12) 각각과 이격되면서 상기 좌안 접안 렌즈(20a)와 상기 좌안용 표시 장치(12) 사이에 구비될 수 있다. 즉, 상기 렌즈 어레이(13)는 상기 좌안 접안 렌즈(20a)의 전방 및 상기 좌안용 표시 장치(12)의 후방에 위치할 수 있다. 또한, 상기 렌즈 어레이(13)는 상기 우안 접안 렌즈(20b)와 상기 우안용 표시 장치(11) 각각과 이격되면서 상기 우안 접안 렌즈(20b)와 상기 우안용 표시 장치(11) 사이에 구비될 수 있다. 즉, 상기 렌즈 어레이(13)는 상기 우안 접안 렌즈(20b)의 전방 및 상기 우안용 표시 장치(11)의 후방에 위치할 수 있다.
- [0134] 상기 렌즈 어레이(13)는 마이크로 렌즈 어레이(Micro Lens Array)일 수 있다. 상기 렌즈 어레이(13)는 핀홀 어레이(Pin Hole Array)로 대체될 수 있다. 상기 렌즈 어레이(13)로 인해 좌안용 표시장치(12) 또는 우안용 표시 장치(11)에 표시되는 영상은 사용자에게 확대되어 보일 수 있다.
- [0135] 상기 좌안 접안 렌즈(20a)에는 사용자의 좌안(LE)이 위치하고, 상기 우안 접안 렌즈(20b)에는 사용자의 우안(RE)이 위치할 수 있다.
- [0136] 도 11c에서 알 수 있듯이, 본 발명에 따른 AR(Augmented Reality) 구조의 헤드 장착형 표시 장치는 좌안용 표시 장치(12), 렌즈 어레이(13), 좌안 접안 렌즈(20a), 투과 반사부(14), 및 투과창(15)을 포함하여 이루어진다. 도 6c에는 편이상 좌안쪽 구성만을 도시하였으며, 우안쪽 구성도 좌안쪽 구성과 동일하다.
- [0137] 상기 좌안용 표시 장치(12), 렌즈 어레이(13), 좌안 접안 렌즈(20a), 투과 반사부(14), 및 투과창(15)은 전술한

도면

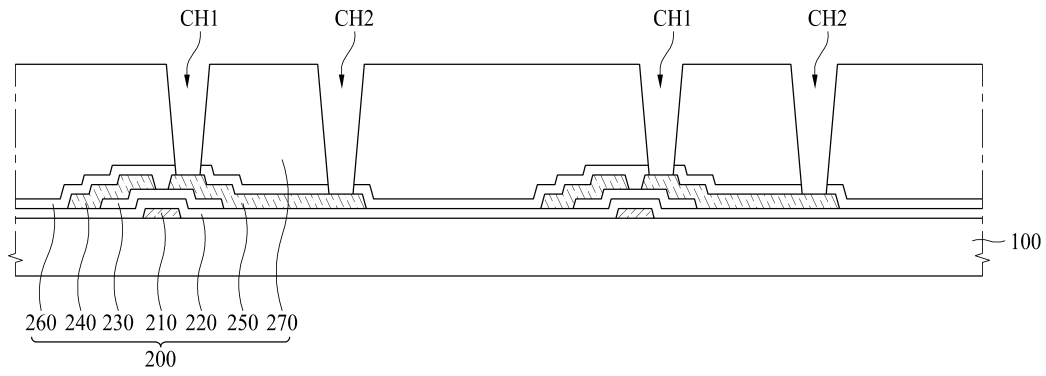
도면1



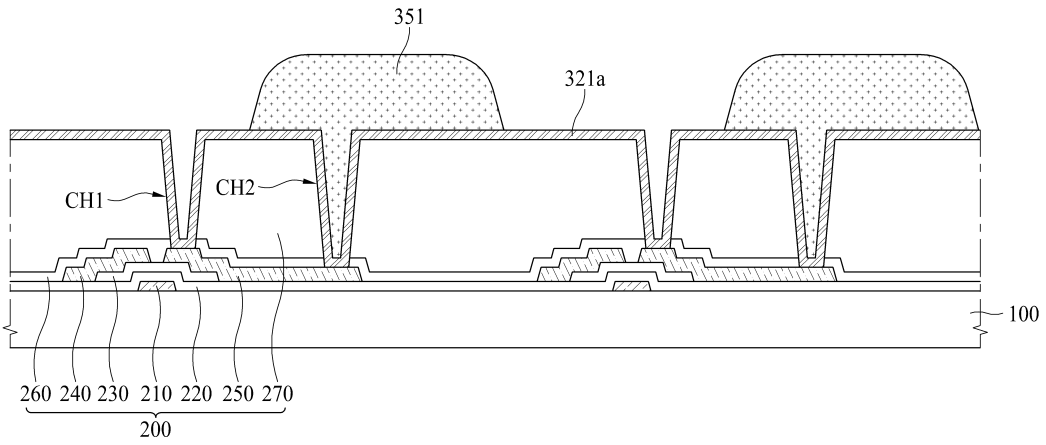
도면2



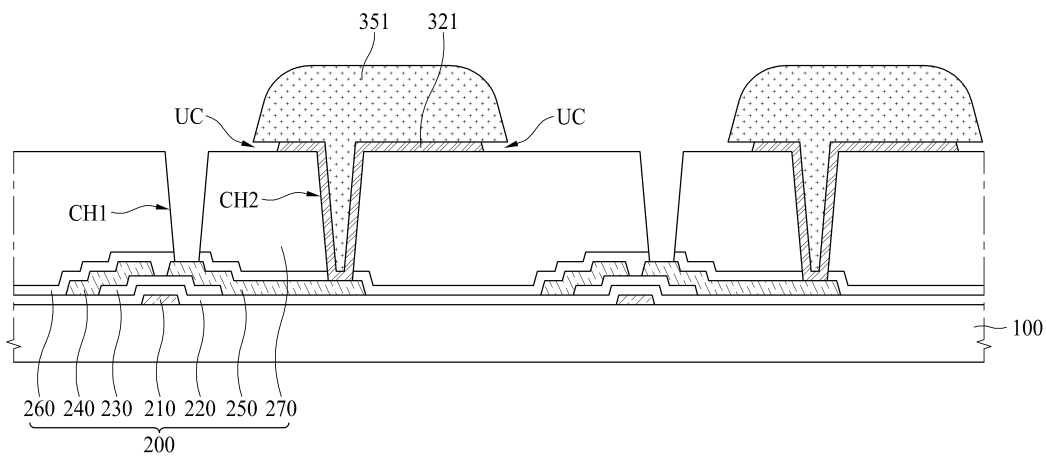
도면3a



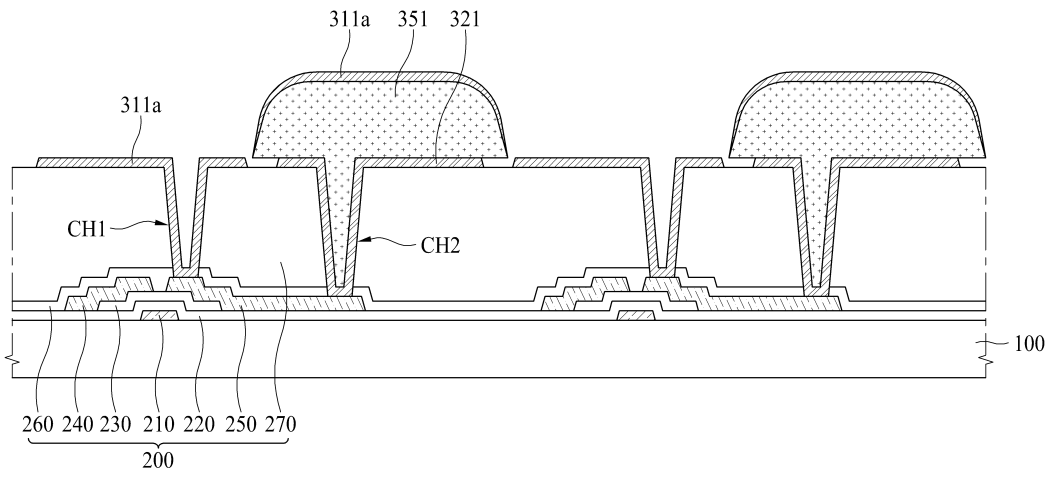
도면3b



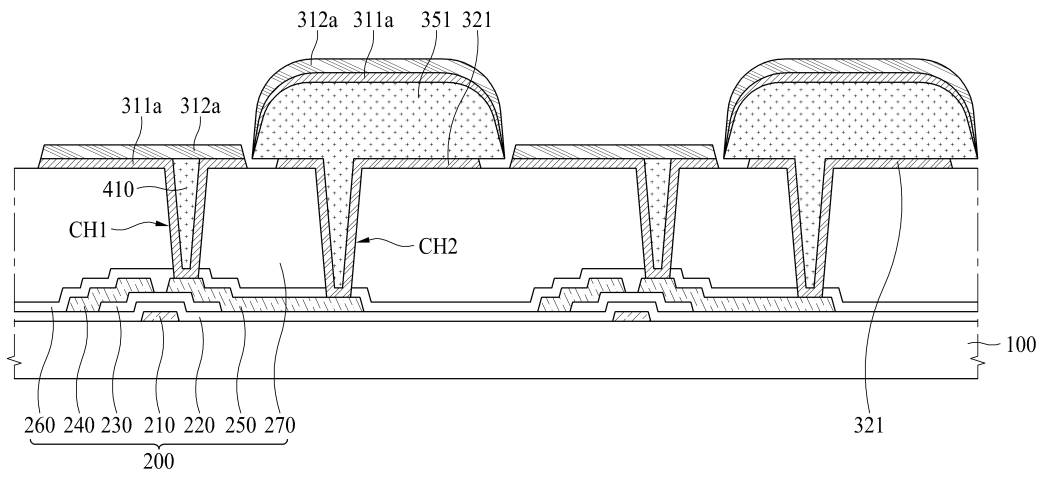
도면3c



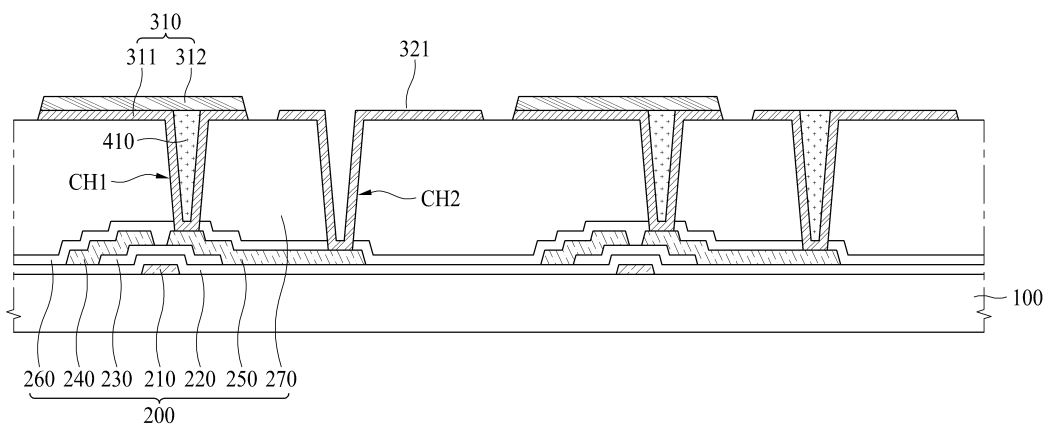
도면3d



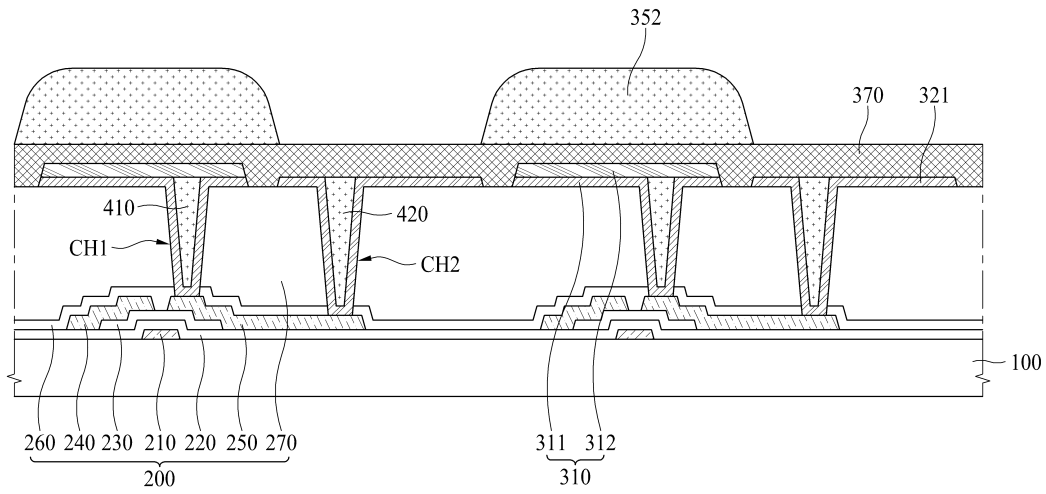
도면3e



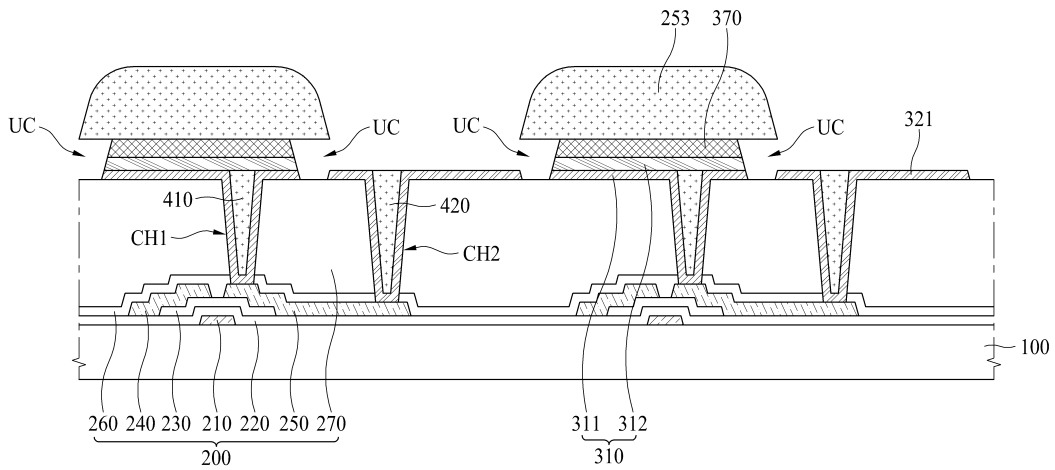
도면3f



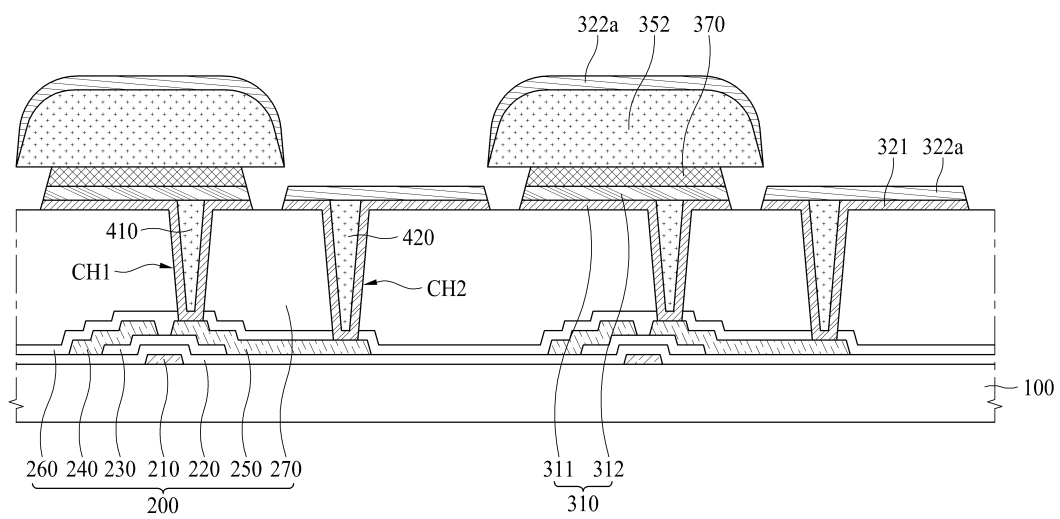
도면3g



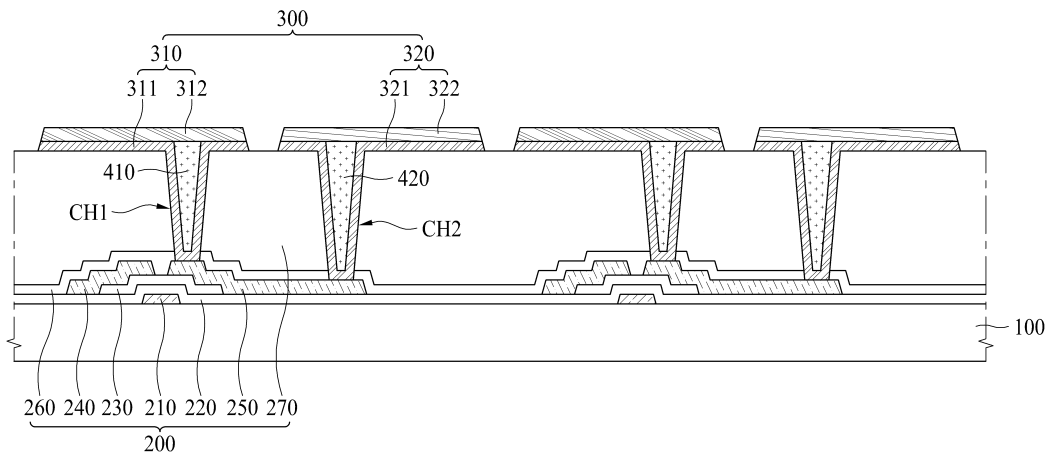
도면3h



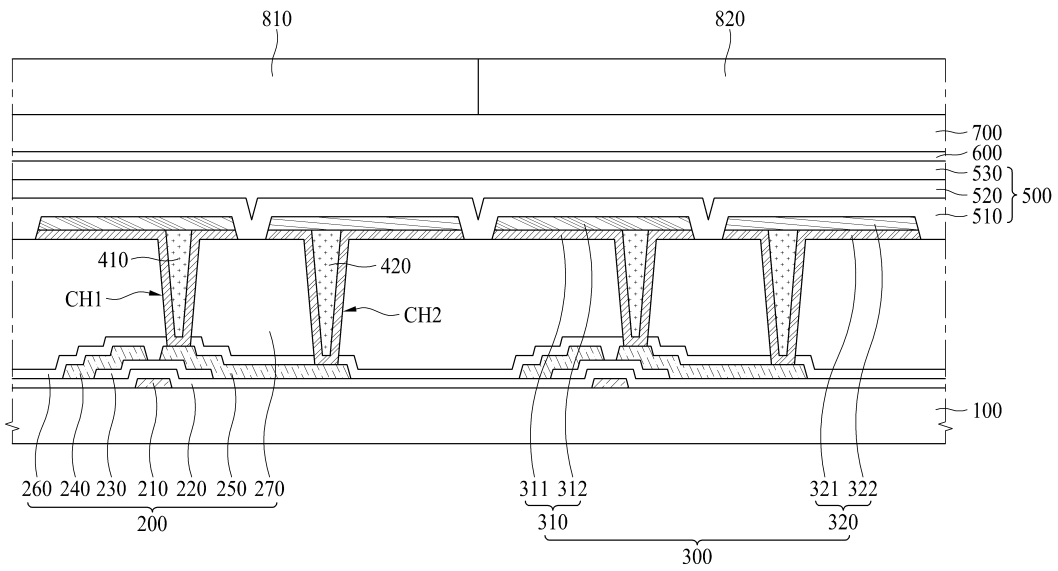
도면3i



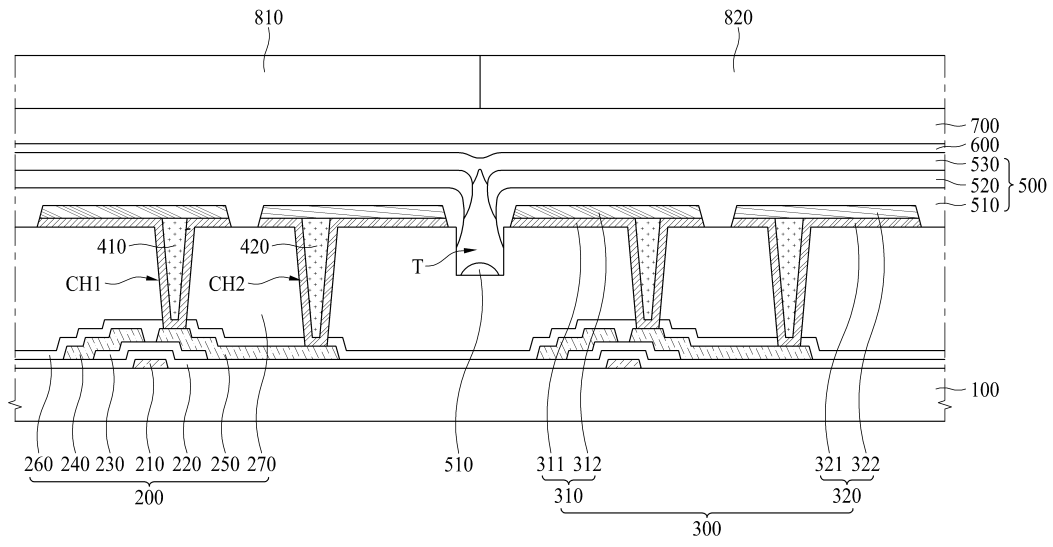
도면3j



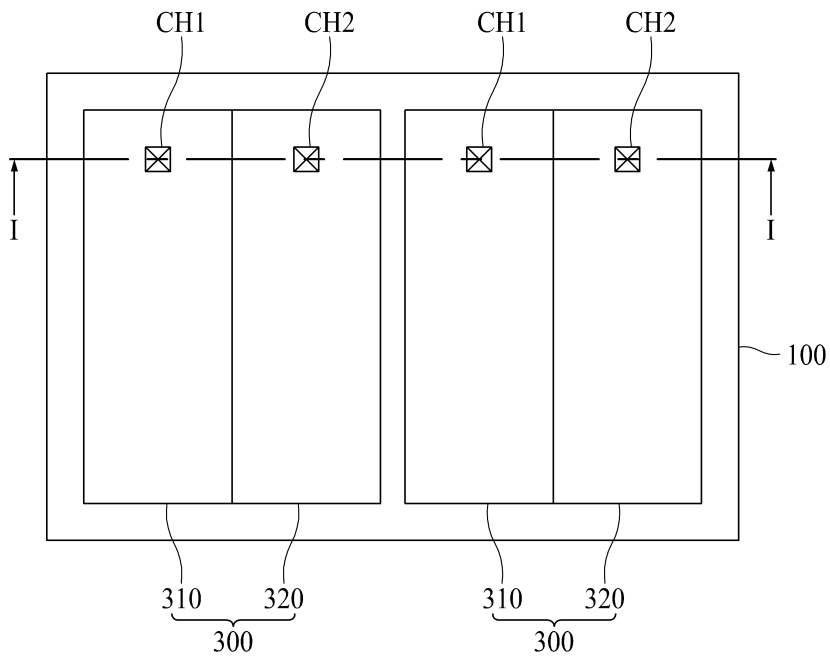
도면3k



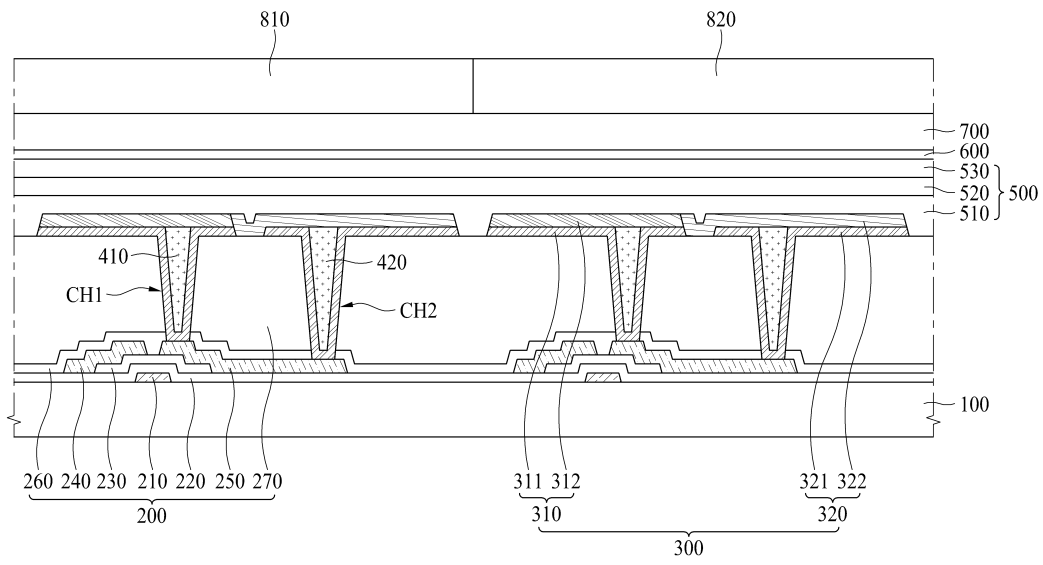
도면4



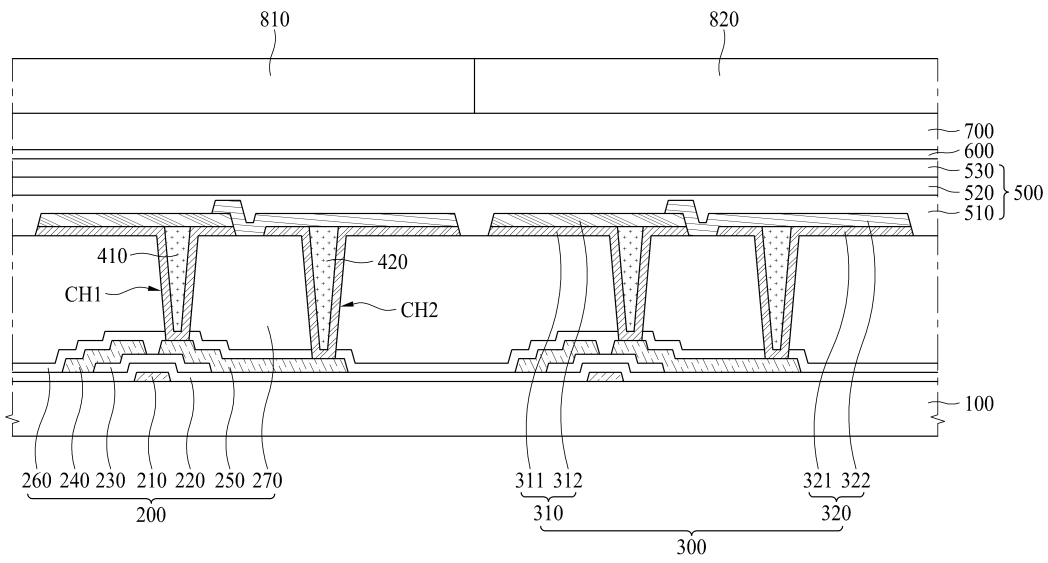
도면5



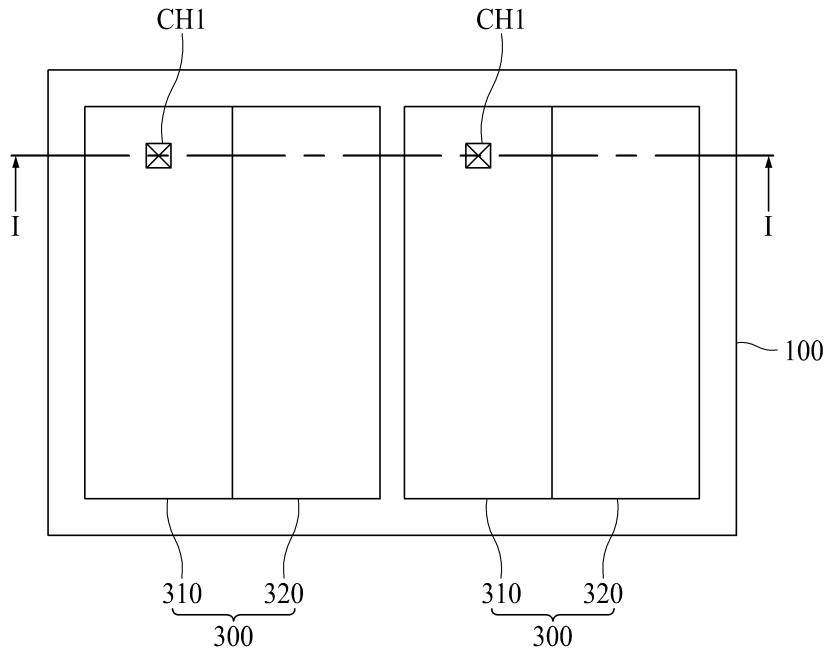
도면6



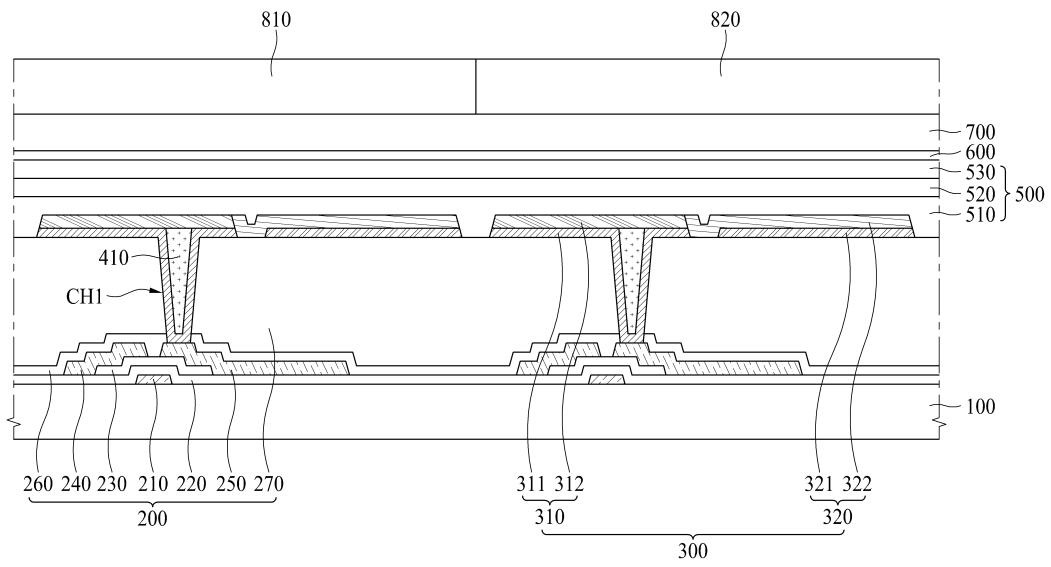
도면7



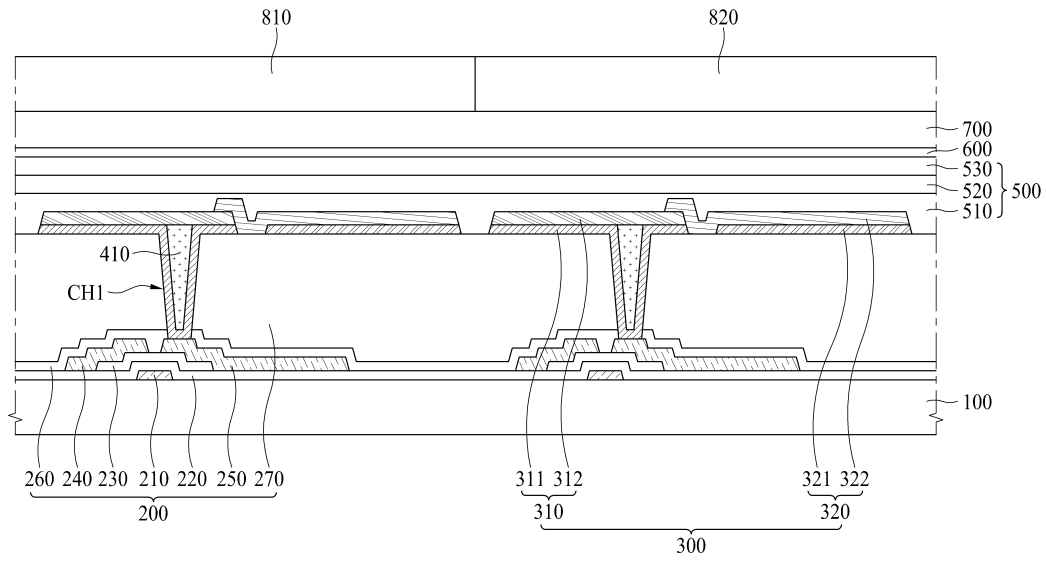
도면8



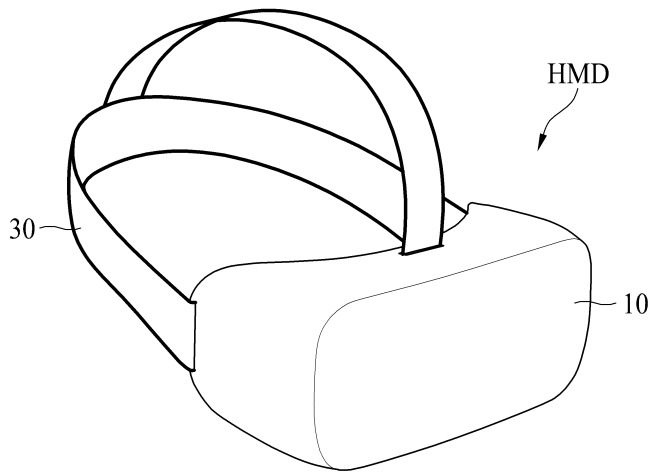
도면9



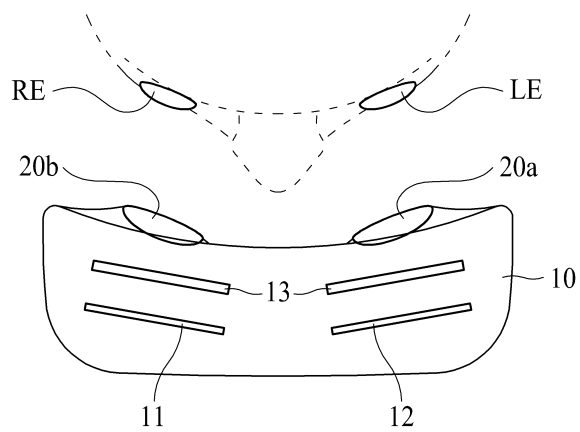
도면10



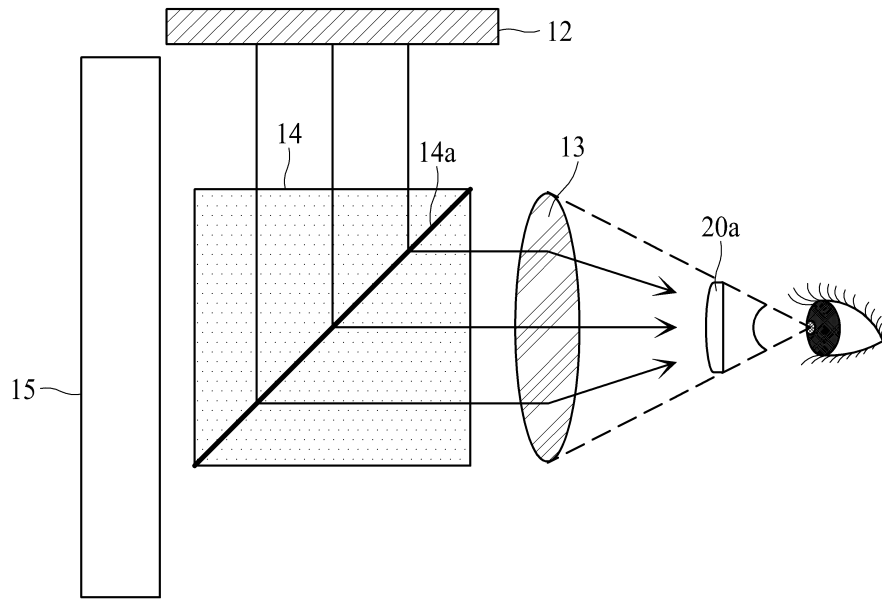
도면11a



도면11b



도면11c



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020200048580A	公开(公告)日	2020-05-08
申请号	KR1020180130787	申请日	2018-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최호원 이용백 조은일		
发明人	최호원 이용백 조은일		
IPC分类号	H01L27/32		
CPC分类号	H01L27/326 H01L27/3213 H01L27/3248 H01L51/52 H01L27/1218 H01L27/1251 H01L27/3211 H01L27/3262		
外部链接	Espacenet		

摘要(译)

一种电致发光显示装置，包括：基板，所述基板上的多个子像素，所述多个子像素的每一个中的第一电极，所述第一电极包括：第一子电极和第二子电极，第一电极上的发光层和发光层上的第二电极，其中第一子电极和第二子电极中的每一个的整个上表面接触发光层的下表面。

