



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0012062
(43) 공개일자 2020년02월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1222 (2013.01)
(21) 출원번호 10-2018-0086679
(22) 출원일자 2018년07월25일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조승환
경기도 용인시 수지구 죽전로 89, 432동 1601호
최중현
서울특별시 강동구 고덕로 210, 506동 107호
(뒷면에 계속)
(74) 대리인
박영우

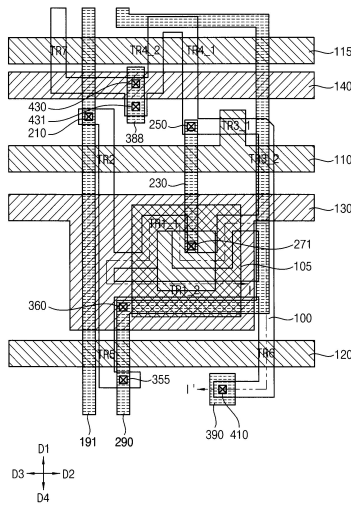
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 구동 트랜지스터 영역을 포함하는 서브 화소 회로 영역을 갖는 기관, 기관 상의 서브 화소 회로 영역에 배치되고, 구동 트랜지스터 영역에서 제1 길이를 갖는 절곡부 및 구동 트랜지스터 영역에서 절곡부와 인접하여 위치하고, 구동 트랜지스터 영역에서 제1 길이보다 짧은 제2 길이를 갖는 직선부 포함하는 액티브 패턴 및 액티브 패턴 상에 배치되는 서브 화소 구조물을 포함할 수 있다. 이에 따라, 유기 발광 표시 장치가 저계조로 구동 시 유기 발광 표시 장치는 저계조 얼룩 및 크로스-토크를 개선함과 동시에 소비 전력도 상대적으로 줄일 수 있다.

대표도 - 도10



(52) CPC특허분류
H01L 51/52 (2013.01)

(72) 발명자

박주찬

서울특별시 구로구 신도림로19길 144, 103동 1608
호

윤주선

서울특별시 강남구 도곡로93길 12, 202동 401호

이정규

경기도 광명시 디지털로 56, 106동 2203호

명세서

청구범위

청구항 1

구동 트랜지스터 영역을 포함하는 서브 화소 회로 영역을 갖는 기관;

상기 기관 상의 서브 화소 회로 영역에 배치되고,

상기 구동 트랜지스터 영역에서 제1 길이를 갖는 절곡부; 및

상기 구동 트랜지스터 영역에서 상기 절곡부와 인접하여 위치하고, 상기 구동 트랜지스터 영역에서 상기 제1 길이보다 짧은 제2 길이를 갖는 직선부 포함하는 액티브 패턴; 및

상기 액티브 패턴 상에 배치되는 서브 화소 구조물을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 기관 상의 상기 구동 트랜지스터 영역 상에 배치되는 게이트 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 기관 상의 구동 트랜지스터 영역에 배치되고, 병렬로 연결되는 제1 및 제2 구동 트랜지스터들을 더 포함하고,

상기 게이트 전극이 상기 액티브 패턴의 절곡부와 함께 상기 제1 구동 트랜지스터를 구성하고, 상기 게이트 전극이 상기 액티브 패턴의 직선부와 함께 상기 제2 구동 트랜지스터를 구성하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서, 상기 액티브 패턴의 절곡부가 상기 제1 구동 트랜지스터의 채널에 해당되고, 상기 액티브 패턴의 직선부가 상기 제2 구동 트랜지스터의 채널에 해당되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 액티브 패턴은 폴리 실리콘을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서, 상기 직선부는 인(phosphorous P) 또는 붕소(boron B)로 도핑된 것을 특징으로 하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서, 상기 직선부는 소스 및 드레인 영역들 및 상기 소스 및 드레인 영역들 사이에 위치하는 채널 영역을 포함하고,

인(P) 또는 붕소(B)가 상기 직선부의 채널 영역에 도핑된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서, 상기 액티브 패턴의 직선부는,

인(P) 또는 붕소(B)가 전체적으로 도핑된 제1 직선부; 및

상기 제1 직선부와 이격하여 배치되고, 상기 인(P) 또는 봉소(B)가 적어도 일부에 도핑된 제2 직선부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 기관 상의 상기 구동 트랜지스터 영역 상에 배치되는 게이트 전극; 및

상기 기관 상의 구동 트랜지스터 영역에 배치되고, 병렬로 연결되는 제1, 제2 및 제3 구동 트랜지스터들을 더 포함하고,

상기 게이트 전극이 상기 액티브 패턴의 절곡부와 함께 상기 제1 구동 트랜지스터를 구성하고, 상기 게이트 전극이 상기 액티브 패턴의 제1 직선부와 함께 상기 제2 구동 트랜지스터를 구성하며, 상기 게이트 전극이 상기 액티브 패턴의 제2 직선부와 함께 상기 제3 구동 트랜지스터를 구성하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서, 상기 액티브 패턴의 절곡부가 상기 제1 구동 트랜지스터의 채널에 해당되고, 상기 액티브 패턴의 제1 직선부가 상기 제2 구동 트랜지스터의 채널에 해당되며, 상기 액티브 패턴의 제2 직선부 중 상기 도핑된 부분이 상기 제3 구동 트랜지스터의 채널에 해당되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서, 상기 제3 구동 트랜지스터의 채널의 길이는 상기 제2 구동 트랜지스터의 채널의 길이보다 짧은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 1 항에 있어서, 상기 절곡부에 의해 평면 방향으로 적어도 하나의 리세스가 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 1 항에 있어서, 상기 서브 화소 회로 영역은,

상기 구동 트랜지스터 영역을 둘러싸는 스위칭 트랜지스터 영역을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서, 상기 액티브 패턴은,

상기 기관 상의 상기 스위칭 트랜지스터 영역에 배치되고, 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 제1 방향으로 연장하는 제1 연장부;

상기 제1 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출되고, 상기 절곡부의 제1 단부와 연결되는 제1 돌출부; 및

상기 제1 돌출부와 이격되고, 상기 제1 연장부로부터 상기 제2 방향으로 돌출되며, 상기 직선부의 제1 단부와 연결되는 제2 돌출부를 더 포함하고,

상기 제1 연장부, 상기 제1 돌출부, 상기 제2 돌출부, 상기 절곡부의 제1 단부 및 상기 직선부의 제1 단부는 일체로 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서, 상기 액티브 패턴은,

상기 스위칭 트랜지스터 영역에서 상기 제2 방향으로 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 상기 제1 방향으로 연장하는 제2 연장부;

상기 제2 연장부로부터 상기 제2 방향과 반대되는 제3 방향으로 돌출되고, 상기 절곡부의 상기 제1 단부와 반대되는 제2 단부와 연결되는 제3 돌출부; 및

상기 제3 돌출부와 이격되고, 상기 제2 연장부로부터 상기 제3 방향으로 돌출되며, 상기 직선부의 제1 단부와 반대되는 제2 단부와 연결되는 제4 돌출부를 더 포함하고,

상기 제2 연장부, 상기 제3 돌출부, 상기 제4 돌출부, 상기 절곡부의 제2 단부 및 상기 직선부의 제2 단부는 일체로 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 13 항에 있어서, 상기 액티브 패턴은,

상기 기관 상의 상기 스위칭 트랜지스터 영역에 배치되고, 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 제1 방향으로 연장하는 제1 연장부; 및

상기 제1 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출되고, 상기 절곡부의 제1 단부 및 상기 직선부의 제1 단부와 연결되는 제1 돌출부를 더 포함하고,

상기 제1 연장부, 상기 제1 돌출부, 상기 절곡부의 제1 단부 및 상기 직선부의 제1 단부는 일체로 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서, 상기 액티브 패턴은,

상기 스위칭 트랜지스터 영역에서 상기 제2 방향으로 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 상기 제1 방향으로 연장하는 제2 연장부;

상기 제2 연장부로부터 상기 제2 방향과 반대되는 제3 방향으로 돌출되고, 상기 절곡부의 상기 제1 단부와 반대되는 제2 단부와 연결되는 제2 돌출부; 및

상기 제2 돌출부와 이격되고, 상기 제2 연장부로부터 상기 제3 방향으로 돌출되며, 상기 직선부의 제1 단부와 반대되는 제2 단부와 연결되는 제3 돌출부를 더 포함하고,

상기 제2 연장부, 상기 제2 돌출부, 상기 제3 돌출부, 상기 절곡부의 제2 단부 및 상기 직선부의 제2 단부는 일체로 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 13 항에 있어서,

상기 기관 상의 스위칭 트랜지스터 영역에 배치되고, 상기 액티브 패턴의 제1 연장부 및 제2 연장부 상에서 상기 제2 방향으로 연장되는 제1 게이트 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 제1 게이트 배선과 상기 제1 연장부가 교차하는 부분에서 제1 스위칭 트랜지스터가 구성되고, 상기 제1 게이트 배선과 상기 제2 연장부가 교차하는 부분에서 제2 스위칭 트랜지스터가 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 1 항에 있어서, 상기 서브 화소 구조물은,

상기 액티브 패턴 상에 배치되는 하부 전극;

상기 하부 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 상부 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 서브 화소들을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로써 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다. 이 중, 유기 발광 표시 장치는 액정 표시 장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트 유닛을 필요로 하지 않아 초박형으로 구현할 수 있다는 장점이 있다. 이러한 유기 발광 표시 장치는 유기 박막에 음극과 양극을 통하여 주입된 전자와 정공이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한다.

[0003] 유기 발광 표시 장치는 복수개의 서브 화소들을 포함할 수 있다. 서브 화소들 각각에는 하나의 구동 트랜지스터가 배치될 수 있고, 구동 트랜지스터는 계조를 표현하기 위해 구동 범위(driving range)를 가질 수 있다. 여기서, 유기 발광 표시 장치가 저계조 얼룩(mura) 및 크로스-토크를 개선하기 위해 구동 트랜지스터의 구동 범위를 증가시키는 경우, 소비 전력이 증가되는 단점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 서브 화소들을 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 그러나, 본 발명이 상술한 목적에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 구동 트랜지스터 영역을 포함하는 서브 화소 회로 영역을 갖는 기관, 상기 기관 상의 서브 화소 회로 영역에 배치되고, 상기 구동 트랜지스터 영역에서 제1 길이를 갖는 절곡부 및 상기 구동 트랜지스터 영역에서 상기 절곡부와 인접하여 위치하고, 상기 구동 트랜지스터 영역에서 상기 제1 길이보다 짧은 제2 길이를 갖는 직선부 포함하는 액티브 패턴 및 상기 액티브 패턴 상에 배치되는 서브 화소 구조물을 포함할 수 있다.

[0007] 예시적인 실시예들에 있어서, 상기 기관 상의 상기 구동 트랜지스터 영역 상에 배치되는 게이트 전극을 더 포함할 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 기관 상의 구동 트랜지스터 영역에 배치되고, 병렬로 연결되는 제1 및 제2 구동 트랜지스터들을 더 포함하고, 상기 게이트 전극이 상기 액티브 패턴의 절곡부와 함께 상기 제1 구동 트랜지스터를 구성하고, 상기 게이트 전극이 상기 액티브 패턴의 직선부와 함께 상기 제2 구동 트랜지스터를 구성할 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 액티브 패턴의 절곡부가 상기 제1 구동 트랜지스터의 채널에 해당되고, 상기 액티브 패턴의 직선부가 상기 제2 구동 트랜지스터의 채널에 해당될 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 폴리 실리콘을 포함할 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 직선부는 인(phosphorous P) 또는 붕소(boron B)로 도핑될 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 직선부는 소스 및 드레인 영역들 및 상기 소스 및 드레인 영역들 사이에 위치하는 채널 영역을 포함하고, 인(P) 또는 붕소(B)가 상기 직선부의 채널 영역에 도핑될 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 액티브 패턴의 직선부는 인(P) 또는 붕소(B)가 전체적으로 도핑된 제1 직선부 및 상기 제1 직선부와 이격하여 배치되고, 상기 인(P) 또는 붕소(B)가 적어도 일부에 도핑된 제2 직선부를 포함할 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 기관 상의 상기 구동 트랜지스터 영역 상에 배치되는 게이트 전극 및 상기

기관 상의 구동 트랜지스터 영역에 배치되고, 병렬로 연결되는 제1, 제2 및 제3 구동 트랜지스터들을 더 포함하고, 상기 게이트 전극이 상기 액티브 패턴의 절곡부와 함께 상기 제1 구동 트랜지스터를 구성하고, 상기 게이트 전극이 상기 액티브 패턴의 제1 직선부와 함께 상기 제2 구동 트랜지스터를 구성하며, 상기 게이트 전극이 상기 액티브 패턴의 제2 직선부와 함께 상기 제3 구동 트랜지스터를 구성할 수 있다.

- [0015] 예시적인 실시예들에 있어서, 상기 액티브 패턴의 절곡부가 상기 제1 구동 트랜지스터의 채널에 해당되고, 상기 액티브 패턴의 제1 직선부가 상기 제2 구동 트랜지스터의 채널에 해당되며, 상기 액티브 패턴의 제2 직선부 중 상기 도핑된 부분이 상기 제3 구동 트랜지스터의 채널에 해당될 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 제3 구동 트랜지스터의 채널의 길이는 상기 제2 구동 트랜지스터의 채널의 길이보다 짧을 수 있다.
- [0017] 예시적인 실시예들에 있어서, 상기 절곡부에 의해 평면 방향으로 적어도 하나의 리세스가 형성될 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 서브 화소 회로 영역은 상기 구동 트랜지스터 영역을 둘러싸는 스위칭 트랜지스터 영역을 더 포함할 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 상기 기관 상의 상기 스위칭 트랜지스터 영역에 배치되고, 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 제1 방향으로 연장하는 제1 연장부, 상기 제1 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출되고, 상기 절곡부의 제1 단부와 연결되는 제1 돌출부 및 상기 제1 돌출부와 이격되고, 상기 제1 연장부로부터 상기 제2 방향으로 돌출되며, 상기 직선부의 제1 단부와 연결되는 제2 돌출부를 더 포함하고, 상기 제1 연장부, 상기 제1 돌출부, 상기 제2 돌출부, 상기 절곡부의 제1 단부 및 상기 직선부의 제1 단부는 일체로 형성될 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 상기 스위칭 트랜지스터 영역에서 상기 제2 방향으로 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 상기 제1 방향으로 연장하는 제2 연장부, 상기 제2 연장부로부터 상기 제2 방향과 반대되는 제3 방향으로 돌출되고, 상기 절곡부의 상기 제1 단부와 반대되는 제2 단부와 연결되는 제3 돌출부 및 상기 제3 돌출부와 이격되고, 상기 제2 연장부로부터 상기 제3 방향으로 돌출되며, 상기 직선부의 제1 단부와 반대되는 제2 단부와 연결되는 제4 돌출부를 더 포함하고, 상기 제2 연장부, 상기 제3 돌출부, 상기 제4 돌출부, 상기 절곡부의 제2 단부 및 상기 직선부의 제2 단부는 일체로 형성될 수 있다.
- [0021] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 상기 기관 상의 상기 스위칭 트랜지스터 영역에 배치되고, 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 제1 방향으로 연장하는 제1 연장부 및 상기 제1 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출되고, 상기 절곡부의 제1 단부 및 상기 직선부의 제1 단부와 연결되는 제1 돌출부를 더 포함하고, 상기 제1 연장부, 상기 제1 돌출부, 상기 절곡부의 제1 단부 및 상기 직선부의 제1 단부는 일체로 형성될 수 있다.
- [0022] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 상기 스위칭 트랜지스터 영역에서 상기 제2 방향으로 상기 절곡부 및 상기 직선부와 이격되어 배치되고, 상기 제1 방향으로 연장하는 제2 연장부, 상기 제2 연장부로부터 상기 제2 방향과 반대되는 제3 방향으로 돌출되고, 상기 절곡부의 상기 제1 단부와 반대되는 제2 단부와 연결되는 제2 돌출부 및 상기 제2 돌출부와 이격되고, 상기 제2 연장부로부터 상기 제3 방향으로 돌출되며, 상기 직선부의 제1 단부와 반대되는 제2 단부와 연결되는 제3 돌출부를 더 포함하고, 상기 제2 연장부, 상기 제2 돌출부, 상기 제3 돌출부, 상기 절곡부의 제2 단부 및 상기 직선부의 제2 단부는 일체로 형성될 수 있다.
- [0023] 예시적인 실시예들에 있어서, 상기 기관 상의 스위칭 트랜지스터 영역에 배치되고, 상기 액티브 패턴의 제1 연장부 및 제2 연장부 상에서 상기 제2 방향으로 연장되는 제1 게이트 배선을 더 포함할 수 있다.
- [0024] 예시적인 실시예들에 있어서, 상기 제1 게이트 배선과 상기 제1 연장부가 교차하는 부분에서 제1 스위칭 트랜지스터가 구성되고, 상기 제1 게이트 배선과 상기 제2 연장부가 교차하는 부분에서 제2 스위칭 트랜지스터가 구성될 수 있다.
- [0025] 예시적인 실시예들에 있어서, 상기 서브 화소 구조물은 상기 액티브 패턴 상에 배치되는 하부 전극, 상기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 포함할 수 있다.

발명의 효과

- [0026] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 병렬로 연결되며 서로 다른 채널 길이를 갖는 제1 구동 트랜지스터 및 제2 구동 트랜지스터를 포함함으로써, 유기 발광 표시 장치가 저계조로 구동 시 유기 발광

표시 장치는 저계조 얼룩 및 크로스-토크를 개선함과 동시에 소비 전력도 상대적으로 줄일 수 있다.

[0027] 다만, 본 발명의 효과가 상술한 효과로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다.
- 도 2는 도 1의 서브 화소 회로 영역에 배치된 서브 화소 회로 및 유기 발광 다이오드를 나타내는 회로도이다.
- 도 3은 도 1의 유기 발광 표시 장치에 포함된 기관의 서브 화소 회로 영역을 설명하기 위한 레이아웃 도면이다.
- 도 4는 도 3의 구동 트랜지스터 영역에 배치된 액티브 패턴을 설명하기 위한 레이아웃 도면이다.
- 도 5는 도 3의 액티브 패턴을 설명하기 위한 레이아웃 도면이다.
- 도 6 내지 도 10은 도 1의 유기 발광 표시 장치를 설명하기 위한 레이아웃 도면들이다.
- 도 11은 도 10의 유기 발광 표시 장치를 I-I' 라인을 따라 절단한 단면도이다.
- 도 12는 비교예들의 구동 트랜지스터의 구동 범위를 나타내는 그래프이다.
- 도 13은 도 10의 제1 및 제2 구동 트랜지스터의 구동 범위를 나타내는 그래프이다.
- 도 14는 도 13의 제2 구동 트랜지스터에 포함된 직선부의 도핑 여부에 따른 구동 범위를 설명하기 위한 그래프이다.
- 도 15는 도 10의 제1 및 제2 구동 트랜지스터의 구동 범위 및 비교예의 구동 트랜지스터의 구동 범위를 나타내는 그래프이다.
- 도 16은 예시적인 실시예들에 따른 유기 발광 표시 장치에 포함된 액티브 패턴의 일 예를 나타내는 레이아웃 도면이다.
- 도 17은 도 16의 유기 발광 표시 장치에 포함된 구동 트랜지스터의 구동 범위를 설명하기 위한 그래프이다.
- 도 18은 예시적인 실시예들에 따른 유기 발광 표시 장치에 포함된 액티브 패턴의 다른 예를 나타내는 레이아웃 도면이다.
- 도 19는 예시적인 실시예들에 따른 유기 발광 표시 장치에 포함된 액티브 패턴의 또 다른 예를 나타내는 레이아웃 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0030] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다.
- [0031] 도 1을 참조하면, 유기 발광 표시 장치(500)는 기관(50)을 포함할 수 있고, 기관(50)은 복수의 화소 회로 영역들(40)을 가질 수 있다. 여기서, 화소 회로 영역들(40)은 기관(50)의 상면에 평행한 제1 방향(D1) 및 제1 방향(D1)과 직교하는 제2 방향(D2)을 따라 기관(50) 상에 전체적으로 배열될 수 있다. 또한, 복수의 화소 회로 영역들(40) 각각은 제1, 제2 및 제3 서브 화소 회로 영역들(10, 20, 30)을 포함할 수 있고, 3개의 서브 화소 회로 영역들이 하나의 화소 회로 영역(40)으로 정의될 수 있다.
- [0032] 다만, 본 발명의 하나의 화소 회로 영역(40)이 3개의 서브 화소 회로 영역들을 포함하는 것으로 설명하였지만, 본 발명의 구성이 이에 한정되는 것은 아니며, 상기 하나의 화소 회로 영역(40)은 2개의 서브 화소 회로 영역들 또는 적어도 4개의 서브 화소 회로 영역들을 포함할 수도 있다.
- [0033] 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30)에는 제1, 제2 및 제3 서브 화소 회로들이 각기 배치될 수 있다. 예를 들면, 제1 서브 화소 회로 영역(10)에 배치된 제1 서브 화소 회로는 적색광을 방출할 수 있는 제1 서브 화소 구조물과 연결될 수 있고, 제2 서브 화소 회로 영역(20)에 배치된 제2 서브 화소 회로는 녹색광을 방출

할 수 있는 제2 서브 화소 구조물과 연결될 수 있으며, 제3 서브 화소 회로 영역(30)에 배치된 제3 서브 화소 회로는 청색광을 방출할 수 있는 제3 서브 화소 구조물과 연결될 수 있다. 또한, 기관(50) 상의 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30)에는 배선들이 배치될 수 있다. 예를 들면, 상기 배선들은 데이터 신호 배선들, 스캔 신호 배선들, 발광 신호 배선들, 초기화 신호 배선들, 전원 전압 배선들 등을 포함할 수 있다. 다시 말하면, 유기 발광 표시 장치(500)는 복수의 서브 화소 회로들, 복수의 서브 화소 구조물들 및 복수의 배선들 등을 포함할 수 있다.

[0034] 예시적인 실시예들에 있어서, 상기 제1 서브 화소 구조물은 제1 서브 화소 회로 영역(10)과 중첩하여 배치될 수 있고, 상기 제2 서브 화소 구조물은 제2 서브 화소 회로 영역(20)과 중첩하여 배치될 수 있으며, 상기 제3 서브 화소 구조물은 제3 서브 화소 회로 영역(30)과 중첩하여 배치될 수 있다. 선택적으로, 상기 제1 서브 화소 구조물이 제1 서브 화소 회로 영역(10)의 일부 및 제1 서브 화소 회로 영역(10)과 다른 서브 화소 회로 영역의 일부와 중첩하여 배치될 수도 있고, 상기 제2 서브 화소 구조물이 제2 서브 화소 회로 영역(20)의 일부 및 제2 서브 화소 회로 영역(20)과 다른 서브 화소 회로 영역의 일부와 중첩하여 배치될 수도 있으며, 상기 제3 서브 화소 구조물이 제3 서브 화소 회로 영역(30)의 일부 및 제3 서브 화소 회로 영역(30)과 다른 서브 화소 회로 영역의 일부와 중첩하여 배치될 수도 있다.

[0035] 예를 들면, 상기 제1 내지 제3 서브 화소 구조물들은 같은 크기의 직사각형이 차례로 배열되는 RGB 스트라이프(RGB stripe) 방식, 상대적으로 넓은 면적을 갖는 청색 서브 화소 구조물을 포함하는 S-스트라이프(s-stripe) 방식, 백색 서브 화소 구조물을 더 포함하는 WRGB 방식, RG-GB 반복 형태로 나열된 펜타일 방식 등을 이용하여 배열될 수 있다.

[0036] 또한, 복수의 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30) 각각에는 적어도 하나의 구동 트랜지스터, 적어도 하나의 스위칭 트랜지스터 및 적어도 하나의 커패시터가 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30) 각각에 병렬로 연결된 2개의 구동 트랜지스터 및 8개의 스위칭 트랜지스터 및 하나의 스토리지 커패시터가 배치될 수 있다.

[0037] 다만, 본 발명의 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30) 및 화소 회로 영역(40) 각각의 형상이 사각형의 평면 형상을 갖는 것으로 설명하였지만, 상기 형상이 이에 한정되는 것은 아니다. 예를 들면, 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30) 및 화소 회로 영역(40) 각각의 형상은 삼각형의 평면 형상, 마름모의 평면 형상, 다각형의 평면 형상, 원형의 평면 형상, 트랙형의 평면 형상 또는 타원형의 평면 형상을 가질 수도 있다.

[0038] 도 2는 도 1의 서브 화소 회로 영역에 배치된 서브 화소 회로 및 유기 발광 다이오드를 나타내는 회로도이다.

[0039] 도 2를 참조하면, 유기 발광 표시 장치(500)의 제1 내지 제3 서브 화소 회로 영역들(10, 20, 30) 각각에는 서브 화소 회로(SUB-PIXEL CIRCUIT), 배선들 및 유기 발광 다이오드(OLED)(예를 들어, 서브 화소 구조물)가 배치될 수 있다. 여기서, 서브 화소 회로(SUB-PIXEL CIRCUIT)는 제1 내지 제7 트랜지스터들(TR1_1, TR1_2, TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7) 및 스토리지 커패시터(CST) 등을 포함할 수 있고, 상기 배선들은 고전원 전압(ELVDD) 배선, 저전원 전압(ELVSS) 배선, 초기화 전압(VINT) 배선, 데이터 신호(DATA) 배선, 게이트 신호(GW) 배선, 초기화 신호(GI) 배선, 발광 제어 신호(EM) 배선, 다이오드 초기화 신호(GB) 배선 등을 포함할 수 있다. 여기서, 제1 트랜지스터들(TR1_1, TR1_2)은 구동 트랜지스터에 해당될 수 있고, 제2 내지 제7 트랜지스터들(TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7)은 스위칭 트랜지스터에 해당될 수 있다. 또한, 서브 화소 회로(SUB-PIXEL CIRCUIT)는 제1 내지 제7 트랜지스터들(TR1_1, TR1_2, TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7) 및 스토리지 커패시터(CST)를 서로 연결시키는 액티브 패턴(예를 들어, 도 3의 액티브 패턴(100))을 더 포함할 수 있다.

[0040] 유기 발광 다이오드(OLED)(예를 들어, 도 11의 서브 화소 구조물(200)에 해당)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 제2 단자는 저전원 전압(ELVSS)을 공급받을 수 있다. 예를 들면, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 캐소드 단자일 수 있다. 선택적으로, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 애노드 단자일 수도 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 애노드 단자는 도 11의 하부 전극(291)에 해당될 수 있고, 유기 발광 다이오드(OLED)의 캐소드 단자는 도 11의 상부 전극(340)에 해당될 수 있다.

- [0041] 제1 트랜지스터들(TR1_1, TR1_2)(예를 들어, 도 11에 도시된 제1 트랜지스터들(TR1_1, TR1_2)에 해당) 각각은 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제1 트랜지스터(TR1_1)(이하, 제1 구동 트랜지스터(TR1_1)) 및 제1 트랜지스터(TR1_2)(이하, 제2 구동 트랜지스터(TR1_2))는 구동 트랜지스터에 해당될 수 있고, 병렬로 연결될 수 있다. 예를 들면, 제1 구동 트랜지스터(TR1_1) 및 제2 구동 트랜지스터(TR1_2)는 동일한 게이트 단자(예를 들어, 도 6의 제1 게이트 전극(105)에 대응), 동일한 제1 단자(예를 들어, 도 6의 제1 영역에 대응) 및 동일한 제2 단자(예를 들어, 도 6의 제2 영역에 대응)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 구동 트랜지스터(TR1_1)의 채널의 길이(예를 들어, 도 4의 제1 길이(L1)에 해당)는 제2 구동 트랜지스터(TR1_2)의 채널의 길이(예를 들어, 도 4의 제2 길이(L2)에 해당)보다 길 수 있다. 또한, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자는 소스 단자이고, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자는 드레인 단자이고, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제2 단자는 소스 단자일 수 있다.
- [0042] 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 구동 전류(ID)를 생성할 수 있다. 예시적인 실시예들에 있어서, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 포화 영역에서 동작할 수 있다. 이러한 경우, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 게이트 단자와 소스 단자 사이의 전압 차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 선택적으로, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 선형 영역에서 동작할 수도 있다. 이러한 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.
- [0043] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 제2 트랜지스터(TR2)의 게이트 단자는 스캔 신호(GW) 배선(도 6의 제1 게이트 배선(110)에 대응)으로부터 스캔 신호(GW)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제1 단자는 데이터 신호(DATA) 배선(예를 들어, 도 8의 데이터 배선(191)에 대응)으로부터 데이터 신호(DATA)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0044] 제2 트랜지스터(TR2)는 스캔 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자로 공급할 수 있다. 이러한 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.
- [0045] 제3 트랜지스터들(TR3_1, TR3_2) 각각은 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제3 트랜지스터(TR3_1) 및 제3 트랜지스터(TR3_2)는 직렬로 연결될 수 있고, 듀얼 트랜지스터(dual transistor)로 동작할 수 있다. 예를 들면, 상기 듀얼 트랜지스터가 턴-오프될 경우, 누설 전류(leakage current)를 감소시킬 수 있다. 제3 트랜지스터들(TR3_1, TR3_2) 각각의 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제3 트랜지스터들(TR3_1, TR3_2) 각각의 제1 단자는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 연결될 수 있다. 제3 트랜지스터들(TR3_1, TR3_2) 각각의 제2 단자는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제2 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제3 트랜지스터들(TR3_1, TR3_2) 각각의 제1 단자는 소스 단자이고, 제3 트랜지스터들(TR3_1, TR3_2) 각각의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제3 트랜지스터들(TR3_1, TR3_2) 각각의 제1 단자는 드레인 단자이고, 제3 트랜지스터(TR3)의 제2 단자는 소스 단자일 수 있다.
- [0046] 제3 트랜지스터들(TR3_1, TR3_2) 각각은 스캔 신호(GW)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자와 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제2 단자를 연결할 수 있다. 이러한 경우, 제3 트랜지스터들(TR3_1, TR3_2) 각각은 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터들(TR3_1, TR3_2) 각각은 스캔 신호(GW)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)을 다이오드 연결시킬 수 있다. 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)이 다이오드 연결되므로, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자와 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자 사이에 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 스캔 신호(GW)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)

2)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

- [0047] 초기화 전압(VINT) 배선(예를 들어, 도 8의 초기화 전압 배선(140)에 대응)의 입력단은 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제1 단자 및 제7 트랜지스터(TR7)의 제1 단자와 연결될 수 있고, 초기화 전압(VINT) 배선의 출력단은 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제2 단자 및 스토리지 커패시터(CST)의 제1 단자와 연결될 수 있다.
- [0048] 제4 트랜지스터들(TR4_1, TR4_2) 각각은 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제4 트랜지스터(TR4_1) 및 제4 트랜지스터(TR4_2)는 직렬로 연결될 수 있고, 듀얼 트랜지스터로 동작할 수 있다. 예를 들면, 상기 듀얼 트랜지스터가 턴-오프될 경우, 누설 전류를 감소시킬 수 있다. 제4 트랜지스터들(TR4_1, TR4_2) 각각의 게이트 단자는 데이터 초기화 신호(GI) 배선(예를 들어, 도 6의 제2 게이트 배선(115)에 대응)으로부터 데이터 초기화 신호(GI)를 공급받을 수 있다. 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제2 단자는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제1 단자는 소스 단자이고, 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제1 단자는 드레인 단자이고, 제4 트랜지스터들(TR4_1, TR4_2) 각각의 제2 단자는 소스 단자일 수 있다.
- [0049] 제4 트랜지스터들(TR4_1, TR4_2) 각각은 데이터 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 공급할 수 있다. 이러한 경우, 제4 트랜지스터들(TR4_1, TR4_2) 각각은 선형 영역에서 동작할 수 있다. 즉, 제4 트랜지스터들(TR4_1, TR4_2) 각각은 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 예시적인 실시예들에 있어서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 공급될 수 있다. 다른 예시적인 실시예들에 있어서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 및 제2 구동 트랜지스터들의 게이트 단자에 공급될 수 있다.
- [0050] 예시적인 실시예들에 있어서, 데이터 초기화 신호(GI)는 일 수평 시간 전의 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들면, 유기 발광 표시 장치(500)가 포함하는 복수의 서브 화소들 중 제n(단, n은 2이상의 정수)행의 서브 화소에 공급되는 데이터 초기화 신호(GI)는 상기 서브 화소들 중 (n-1)행의 서브 화소에 공급되는 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 서브 화소들 중 (n-1)행의 서브 화소에 활성화화된 스캔 신호(GW)를 공급함으로써, 서브 화소들 중 n행의 서브 화소에 활성화된 데이터 초기화 신호(GI)를 공급할 수 있다. 그 결과, 서브 화소들 중 (n-1)행의 서브 화소에 데이터 신호(DATA)를 공급함과 동시에 서브 화소들 중 n행의 서브 화소가 포함하는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0051] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM) 배선(예를 들어, 도 6의 제3 게이트 배선(120))으로부터 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 고전원 전압(ELVDD)배선(예를 들어, 도 10의 고전원 전압 배선(290)에 대응)으로부터 고전원 전압(ELVDD)을 공급받을 수 있다. 제2 단자는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0052] 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자에 고전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 비활성화 구간 동안 고전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이러한 경우, 제5 트랜지스터(TR5)는 선형 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자에 고전원 전압(ELVDD)을 공급함으로써, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 비활성화 구간 동안 고전원 전압(ELVDD)의 공급을 차단함으로써, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자로 공급될 수

있다.

- [0053] 제6 트랜지스터(TR6)(예를 들어, 도 11에 도시된 제6 트랜지스터(TR6)에 해당)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0054] 제6 트랜지스터(TR6)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)이 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이러한 경우, 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)이 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 비활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)과 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자로 공급될 수 있다.
- [0055] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 다이오드 초기화 신호(GB)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0056] 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이러한 경우, 제7 트랜지스터(TR7)는 선형 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0057] 선택적으로, 데이터 초기화 신호(GI)와 다이오드 초기화 신호(GB)는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 이에 따라, 다이오드 초기화 신호(GB)를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.
- [0058] 스토리지 커패시터(CST)(예를 들어, 도 8의 제1 게이트 전극(105) 및 제2 게이트 전극(130))는 제1 단자 및 제2 단자를 포함할 수 있다. 스토리지 커패시터(CST)는 고전원 전압(ELVDD) 배선과 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자 사이에 연결될 수 있다. 예를 들면, 스토리지 커패시터(CST)의 제1 단자는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자에 연결될 수 있고, 스토리지 커패시터(CST)의 제2 단자는 고전원 전압(ELVDD) 배선에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 제어 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 제어 신호(EM)의 활성화 구간 동안 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)이 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)이 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다. 선택적으로, 서브 화소 회로(SUB-PIXEL CIRCUIT)는 제1 내지 제7 트랜지스터들(TR1_1, TR1_2, TR2, TR3, TR4, TR5, TR6, TR7)(예를 들어, 8개의 트랜지스터) 및 적어도 하나의 스토리지 커패시터(CST) 등을 포함할 수도 있다.
- [0059] 도 3은 도 1의 유기 발광 표시 장치에 포함된 기관의 서브 화소 회로 영역을 설명하기 위한 레이아웃 도면이고, 도 4는 도 3의 구동 트랜지스터 영역에 배치된 액티브 패턴들을 설명하기 위한 레이아웃 도면들이며, 도 5는 도 3의 액티브 패턴을 설명하기 위한 레이아웃 도면이다. 설명의 편의를 위해서, 도 3 내지 5에는 유기 발광 표시 장치(500)에 포함된 모든 구성 요소들이 도시되어 있지 않을 수 있다.
- [0060] 도 3, 4 및 5를 참조하면, 유기 발광 표시 장치(500)는 기관(미도시), 액티브 패턴(100) 등을 포함할 수 있다. 전술한 바와 같이, 상기 기관은 구동 트랜지스터 영역(60)을 포함하는 서브 화소 회로 영역(10)을 가질 수 있고, 상기 기관 상에 액티브 패턴(100)이 배치될 수 있다. 예시적인 실시예들에 있어서, 액티브 패턴(100)은

구동 트랜지스터 영역(60)에서 절곡부(150) 및 직선부(170)를 포함할 수 있고, 절곡부(150)에는 평면 방향으로 제1 리세스(155_1) 및 제2 리세스(155_2)가 형성될 수 있다. 또한, 액티브 패턴(100)의 절곡부(150)는 구동 트랜지스터 영역(60)에서 제1 길이(L1)를 가질 수 있고, 액티브 패턴(100)의 직선부(170)는 구동 트랜지스터 영역(60)에서 제2 길이(L2)를 가질 수 있다. 여기서, 제2 길이(L2)는 제1 길이(L1)보다 짧을 수 있다.

[0061] 유기 발광 표시 장치(500)의 구동 트랜지스터가 병렬로 연결되며 서로 다른 채널 길이를 갖는 제1 및 제2 구동 트랜지스터들을 포함함으로써, 유기 발광 표시 장치(500)가 저계조로 구동 시 유기 발광 표시 장치(500)는 저계조 얼룩 및 크로스-토크를 개선함과 동시에 소비 전력도 상대적으로 줄일 수 있다.

[0062] 도 3에 도시된 바와 같이, 유기 발광 표시 장치(500)(또는 기관(50))는 서브 화소 회로 영역(10)(예를 들어, 도 1의 제1, 제2 또는 제3 서브 화소 회로 영역에 대응)을 가질 수 있다. 예를 들면, 서브 화소 회로 영역(10)은 제1 서브 화소 회로 및 적색광을 발광할 수 있는 제1 서브 화소 구조물, 제2 서브 화소 회로 및 녹색광을 발광할 수 있는 제2 서브 화소 구조물 또는 제3 서브 화소 회로 및 청색광을 발광할 수 있는 제3 서브 화소 구조물이 배치되는 영역에 해당될 수 있다(도 1 참조). 서브 화소 회로 영역(10)은 구동 트랜지스터 영역(60)을 포함할 수 있고, 구동 트랜지스터 영역(60)을 제외한 영역(또는 구동 트랜지스터 영역(60)을 둘러싸는 영역)이 스위칭 트랜지스터 영역으로 정의될 수 있다. 서브 화소 회로 영역(10)에는 액티브 패턴(100)이 배치될 수 있다. 액티브 패턴(100)의 절곡부(150) 및 직선부(170)가 구동 트랜지스터 영역(60)에 위치할 수 있다. 상기 스위칭 트랜지스터 영역에는 아래에 설명될 스위칭 트랜지스터들이 배치될 수 있다.

[0063] 도 4에 도시된 바와 같이, 서브 화소 회로 영역(10)의 구동 트랜지스터 영역(60)에서, 절곡부(150)는 상기 기관의 평면을 따라 절곡된 형상(또는 함몰된 형상)을 가질 수 있다. 상기 절곡된 형상의 내측에 형성된 빈 공간이 리세스로 정의될 수 있고, 상기 절곡된 형상의 개수에 따라 평면 방향으로 형성되는 리세스의 개수가 결정될 수 있다. 예를 들면, 도 4에 도시된 절곡부(150)는 2개의 절곡된 형상을 가질 수 있고, 2개의 리세스(예를 들어, 제1 리세스(155_1) 및 제2 리세스(155_2))를 가질 수 있다. 선택적으로 절곡부(150)는 하나의 절곡된 형상 또는 적어도 3개의 절곡된 형상을 가질 수도 있다. 한편, 서브 화소 회로 영역(10)의 구동 트랜지스터 영역(60)에서, 직선부(170)는 절곡부(150)와 인접하여 위치할 수 있고, 직선부(170)는 상기 기관의 평면을 따라 직선의 형상을 가질 수 있다.

[0064] 도 4에 도시된 제1 길이(L1)는 구동 트랜지스터 영역(60)에 위치하는 액티브 패턴(100)의 절곡부(150)의 총 길이에 해당될 수 있고, 도 4에 도시된 제2 길이(L2)는 구동 트랜지스터 영역(60)에 위치하는 액티브 패턴(100)의 직선부(170)의 총 길이에 해당될 수 있다.

[0065] 액티브 패턴(100)의 절곡부(150)는 구동 트랜지스터 영역(60)에서 제1 길이(L1)를 가질 수 있고, 제1 길이(L1)가 제2 길이(L2)보다 상대적으로 길기 때문에 구동 트랜지스터 영역(60)에 배치되는 제1 구동 트랜지스터(TR1_1)는 상대적으로 큰 구동 범위를 가질 수 있다. 예를 들면, 액티브 패턴(100) 상의 구동 트랜지스터 영역(60)에는 아래에서 설명될 제1 게이트 전극(105)이 배치될 수 있고, 제1 게이트 전극(105) 아래에 중첩하여 위치하는 액티브 패턴(100)은 아래에 설명될 제1 구동 트랜지스터(TR1_1)의 채널로 기능할 수 있다. 즉, 제1 게이트 전극(105) 아래에 중첩하여 위치하는 액티브 패턴(100)의 길이가 제1 길이(L1)에 해당될 수 있다. 선택적으로, 제1 구동 트랜지스터(TR1_1)가 상대적으로 큰 구동 범위를 갖기 위해 절곡부(150)의 폭이 상대적으로 감소될 수도 있다. 다시 말하면, 절곡부(150)가 얇게 형성되는 경우, 제2 구동 트랜지스터(TR1_2)의 구동 범위가 증가될 수 있다. 한편, 액티브 패턴(100)의 직선부(170)는 구동 트랜지스터 영역(60)에서 제2 길이(L2)를 가질 수 있고, 제2 길이(L2)가 제1 길이(L1)보다 상대적으로 짧기 때문에 구동 트랜지스터 영역(60)에 배치되는 제2 구동 트랜지스터(TR1_2)는 상대적으로 작은 구동 범위를 가질 수 있다. 또한, 제2 구동 트랜지스터(TR1_2)의 구동 범위를 변경하기 위해 도핑 공정을 추가하여 제2 구동 트랜지스터(TR1_2)의 직선부(170)에만 인(phosphorous P) 또는 붕소(boron B)가 도핑될 수 있다. 예시적인 실시예들에 있어서, 제2 구동 트랜지스터(TR1_2)의 직선부(170)는 인(P)으로 도핑될 수 있다. 다시 말하면, 제2 구동 트랜지스터(TR1_2)의 문턱 전압이 상기 인(P) 도핑을 통해 네거티브 시프트될 수 있고, 제2 구동 트랜지스터(TR1_2)의 구동 범위가 변경될 수 있다. 여기서, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 병렬로 연결되기 때문에 제1 구동 트랜지스터(TR1_1)의 구동 범위 및 제2 구동 트랜지스터(TR1_2)의 구동 범위의 평균이 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 구동 범위로 정의될 수 있다.

[0066] 예를 들면, 종래의 유기 발광 표시 장치는 구동 트랜지스터의 콘택홀 형성 시 수행되는 어닐링 공정의 조절, 게이트 절연층의 두께 조절, 구동 트랜지스터의 액티브 패턴 길이의 증가 등을 수행하여 구동 트랜지스터의 구동 범위를 증가시킴으로써 유기 발광 표시 장치의 저계조 얼룩 및 크로스-토크를 개선할 수 있었다. 다만, 이러한

경우, 유기 발광 표시 장치의 저계조 구동 시 블랙 계조 전압(Vblack) 등이 증가하여 유기 발광 표시 장치의 소비 전력이 증가하는 단점이 발생할 수 있다.

- [0067] 예시적인 실시예들에 있어서, 유기 발광 표시 장치(500)가 변경된 구동 범위를 갖는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)을 포함함으로써 저계조 얼룩 및 크로스-토크를 개선함과 동시에 유기 발광 표시 장치(500)의 저계조 구동 시 소비 전력도 상대적으로 줄일 수 있는 유기 발광 표시 장치로 기능할 수 있다.
- [0068] 도 5에 도시된 바와 같이, 액티브 패턴(100)은 제1 연장부(158), 제1 돌출부(156_1), 제2 돌출부(156_2), 제2 연장부(159), 제3 돌출부(157_1) 및 제4 돌출부(157_2)를 더 포함할 수 있다.
- [0069] 제1 연장부(158)는 절곡부(150) 및 직선부(170)와 이격되어 배치되며 제1 방향(D1)으로 연장할 수 있다. 예를 들면, 제1 연장부(158)는 절곡부(150) 및 직선부(170)의 왼쪽에 위치할 수 있다.
- [0070] 제2 연장부(159)는 절곡부(150) 및 직선부(170)와 제2 방향(D2)으로 이격되어 배치되며 제1 방향(D1)으로 연장할 수 있다. 예를 들면, 제1 연장부(158)는 절곡부(150) 및 직선부(170)의 오른쪽에 위치할 수 있고, 제2 연장부(159)는 제1 연장부(158)와 실질적으로 평행할 수 있다.
- [0071] 제1 돌출부(156_1)는 제1 연장부(158)로부터 제1 방향(D1)에 직교하는 제2 방향(D2)으로 돌출될 수 있고, 절곡부(150)의 제1 단부와 연결될 수 있다.
- [0072] 제2 돌출부(156_2)는 제1 돌출부(156_1)로부터 이격될 수 있고, 제1 연장부(158)로부터 제2 방향(D2)으로 돌출될 수 있으며, 직선부(170)의 제1 단부와 연결될 수 있다.
- [0073] 제3 돌출부(157_1)는 제2 연장부(159)로부터 제2 방향(D2)과 반대되는 제3 방향(D3)으로 돌출될 수 있고, 절곡부(150)의 제1 단부와 반대되는 제2 단부와 연결될 수 있다.
- [0074] 제4 돌출부(157_2)는 제3 돌출부(157_1)와 이격될 수 있고, 제2 연장부(159)로부터 제3 방향(D3)으로 돌출될 수 있으며, 직선부(170)의 제1 단부와 반대되는 제2 단부와 연결될 수 있다.
- [0075] 절곡부(150), 직선부(170), 제1 연장부(158), 제1 돌출부(156_1), 제2 돌출부(156_2), 제2 연장부(159), 제3 돌출부(157_1) 및 제4 돌출부(157_2)는 일체로 형성될 수 있다.
- [0076] 도 5에 도시된 바와 같이, 액티브 패턴(100)은 추가적인 연장부들 및 돌출부들을 더 포함할 수 있고, 상기 추가적인 연장부들 및 돌출부들에 의해 도 5에 도시된 액티브 패턴(100)의 형상이 정의될 수 있다.
- [0077] 도 6 내지 도 10은 도 1의 유기 발광 표시 장치를 설명하기 위한 레이아웃 도면들이고, 도 11은 도 10의 유기 발광 표시 장치를 I-I' 라인을 따라 절단한 단면도이다.
- [0078] 도 6 및 도 11을 참조하면, 유기 발광 표시 장치(500)는 기판(50), 액티브 패턴(100), 게이트 절연층(160), 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120) 등을 포함할 수 있다.
- [0079] 기판(50)은 투명한 또는 불투명한 재료를 포함할 수 있다. 예를 들면, 기판(50)은 석영 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘(calcium fluoride) 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(sodalime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수 있다. 기판(50)은 구동 트랜지스터 영역(60)을 포함하는 서브 화소 회로 영역(10)을 가질 수 있다. 선택적으로, 기판(50)은 연성을 갖는 투명 수지 기판으로 이루어질 수도 있다.
- [0080] 기판(50) 상에 버퍼층(도시되지 않음)이 배치될 수도 있다. 상기 버퍼층은 기판(50) 상에 전체적으로 배치될 수 있다. 상기 버퍼층은 기판(50)으로부터 금속 원자들이나 불순물들이 트랜지스터들 및 서브 화소 구조물(200)로 확산되는 현상을 방지할 수 있으며, 액티브 패턴(100)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브 패턴(100)을 수득하게 할 수 있다. 또한, 상기 버퍼층은 기판(50)의 표면이 균일하지 않을 경우, 기판(50)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(50)의 유형에 따라 기판(50) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 배치되지 않을 수 있다. 예를 들면, 상기 버퍼층은 유기 물질 또는 무기 물질을 포함할 수 있다.
- [0081] 액티브 패턴(100)이 기판(50) 상에 배치될 수 있다. 액티브 패턴(100)은 기판(50) 상의 서브 화소 회로 영역(10)에 배치될 수 있다. 액티브 패턴(100)은 산화물 반도체, 무기물 반도체(예를 들면, 아몰퍼스 실리콘(amorphous silicon), 폴리 실리콘(poly silicon)) 또는 유기물 반도체 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 액티브 패턴(100)은 폴리 실리콘으로 구성될 수 있다.

- [0082] 예를 들면, 아몰퍼스 실리콘을 포함하는 예비 액티브층이 기판(50) 상에 전체적으로 형성된 후, 상기 예비 액티브층을 아몰퍼스 실리콘에서 폴리 실리콘으로 만드는 결정화 공정이 진행될 수 있다. 여기서, 결정화 공정은 MIC(metal induced crystallization) 방법, MILC(metal induced lateral crystallization) 방법, SGS(super grain silicon) 방법 등과 같은 금속 촉매를 이용한 결정화 방법 또는 저온의 레이저를 이용하는 ELA(excimer laser annealing) 방법을 이용하여 수행될 수 있다. 상기 결정화 공정이 진행된 후, 포토레지스트를 이용하여 상기 예비 액티브층을 패터닝할 수 있다. 상기 패터닝된 예비 액티브층이 액티브 패턴(100)으로 정의될 수 있다.
- [0083] 예시적인 실시예들에 있어서, 상기 패터닝 공정을 수행한 후 액티브 패턴(100)의 직선부(170)에만 인(P) 또는 붕소(B)를 이용한 도핑 공정이 수행될 수 있다. 예를 들면, 액티브 패턴(100) 상에 직선부(170)를 제외한 나머지 부분에 포토레지스트가 형성될 수 있고, 상기 포토레지스트는 직선부(170)를 노출시킬 수 있다. 다시 말하면, 노출된 직선부(170)에만 선택적으로 도핑 공정이 수행될 수 있다.
- [0084] 액티브 패턴(100)은 제1 내지 제10 영역들(a, b, c, d, e, f, g, h, i, j)(예를 들어, 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120)과 액티브 패턴(100)이 중첩하지 않는 영역)을 포함할 수 있다. 아래에 설명될 콘택홀을 형성하는 단계에서, 제1 내지 제10 영역들(a, b, c, d, e, f, g, h, i, j)에는 이온 도핑이 수행될 수 있고, 상대적으로 높은 전기 전도도를 가질 수 있다. 상기 이온은 붕소(boron B) 이온 또는 인(phosphorus P) 이온 등이 사용될 수 있다. 제1 내지 제10 영역들(a, b, c, d, e, f, g, h, i, j)은 제1 내지 제7 트랜지스터들(TR1_1, TR1_2, TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것으로, 영역 간 경계가 명확하게 구분되지 않을 수 있고, 서로 전기적으로 연결되어 있을 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터들(TR1_1, TR1_2)은 구동 트랜지스터에 해당될 수 있고, 제2 내지 제7 트랜지스터들(TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7)은 스위칭 트랜지스터에 해당될 수 있다. 여기서, 제1 트랜지스터들(TR1_1, TR1_2) 각각을 제1 구동 트랜지스터(TR1_1) 및 제2 구동 트랜지스터(TR1_2)로 정의할 수 있다.
- [0085] 액티브 패턴(100) 상에는 게이트 절연층(160)이 배치될 수 있다. 게이트 절연층(160)은 기판(50) 상의 서브 화소 회로 영역(10)에서 액티브 패턴(100)을 덮을 수 있으며, 기판(50) 상에 전체적으로 배치될 수 있다. 예를 들면, 게이트 절연층(160)은 기판(50) 상에서 액티브 패턴(100)을 충분히 덮을 수 있으며, 액티브 패턴(100)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 선택적으로, 게이트 절연층(160)은 기판(50) 상에서 액티브 패턴(100)을 덮으며, 균일한 두께로 액티브 패턴(100)의 프로파일을 따라 배치될 수 있다. 게이트 절연층(160)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층(160)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx), 실리콘 산질화물(SiOxNy), 실리콘 산탄화물(SiOxCy), 실리콘 탄질화물(SiCxNy), 실리콘 산탄화물(SiOxCy), 알루미늄 산화물(AlOx), 알루미늄 질화물(AlNx), 탄탈륨 산화물(TaOx), 하프늄 산화물(HfOx), 지르코늄 산화물(ZrOx), 티타늄 산화물(TiOx) 등을 포함할 수 있다.
- [0086] 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120)이 게이트 절연층(160) 상에 배치될 수 있다. 즉, 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120)은 동일한 층에 배치될 수 있다. 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120) 각각은 금(Au), 은(Ag), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 마그네슘(Mg), 칼슘(Ca), 리튬(Li), 크롬(Cr), 탄탈륨(Ta), 몰리브덴(Mo), 스칸듐(Sc), 네오디뮴(Nd), 이리듐(Ir), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlNx), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WNx), 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물(TiNx), 탄탈륨 질화물(TaNx), 스트론튬 루테튬 산화물(SrRuOy), 아연 산화물(ZnOx), 인듐 주석 산화물(ITO), 주석 산화물(SnOx), 인듐 산화물(InOx), 갈륨 산화물(GaOx), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 선택적으로, 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115) 및 제3 게이트 배선(120) 각각은 복수의 층들을 포함하는 다층 구조로 구성될 수도 있다.
- [0087] 제1 게이트 전극(105)은 서브 화소 회로 영역(10)의 제1 구동 트랜지스터 영역(60)에 배치될 수 있다. 제1 게이트 전극(105)은 제1 영역(a) 및 제2 영역(b)과 함께 제1 구동 트랜지스터(TR1_1) 및 제2 구동 트랜지스터(TR1_2)(예를 들어, 제1 트랜지스터들(TR1_1, TR1_2))를 구성할 수 있다. 예시적인 실시예들에 있어서, 제1 영역(a)은 소스 영역이고, 제2 영역(b)은 드레인 영역일 수 있다. 선택적으로, 제1 영역(a)은 드레인 영역이고,

제2 영역(b)은 소스 영역일 수 있다. 제1 영역(a) 및 제2 영역(b)은 이온 도핑이 수행될 수 있다. 반면에, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역(예를 들어, 구동 트랜지스터 영역(60))은 이온 도핑이 수행되지 않을 수 있다. 예를 들면, 제1 영역(a) 및 제2 영역(b)은 도체로 동작할 수 있고, 구동 트랜지스터 영역(60)의 절곡부(150)는 제1 구동 트랜지스터(TR1_1)의 채널 및 구동 트랜지스터 영역(60)의 직선부(170)는 제2 구동 트랜지스터(TR1_2)의 채널로 동작할 수 있다. 따라서, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 서브 화소 구조물(200)(예를 들어, 도 2의 유기 발광 다이오드(OLED))에 공급되는 도 2의 구동 전류(ID)를 생성할 수 있고, 서브 화소 구조물(200)은 구동 전류(ID)에 기초하여 광을 출력할 수 있다.

[0088] 제1 게이트 배선(110)은 액티브 패턴(100) 및 게이트 절연층(160) 상에서 제2 방향(D2)으로 연장되는 게이트 연장부 및 상기 게이트 연장부로부터 제1 방향(D1)으로 돌출된 게이트 돌출부를 포함할 수 있다. 상기 게이트 돌출부는 제4 영역(d) 및 제5 영역(e)과 함께 제3 트랜지스터(TR3_1)를 구성할 수 있다. 예를 들면, 상기 게이트 돌출부는 제3 트랜지스터(TR3_1)의 게이트 전극으로 기능할 수 있다. 상기 게이트 연장부는 제2 연장부(159)와 중첩하는 제1 부분 및 제1 연장부(158)와 중첩하는 제2 부분을 포함할 수 있다 (도 5 및 도 6 참조). 상기 게이트 연장부의 제1 부분은 제2 영역(b) 및 제5 영역(e)과 함께 제3 트랜지스터(TR3_2)(예를 들어, 제2 스위칭 트랜지스터)를 구성할 수 있고, 상기 게이트 연장부의 제2 부분은 제1 영역(a) 및 제3 영역(c)과 함께 제2 트랜지스터(TR2)(예를 들어, 제1 스위칭 트랜지스터)를 구성할 수 있다. 여기서, 제3 트랜지스터(TR3_1) 및 제3 트랜지스터(TR3_2)는 직렬로 연결될 수 있고, 듀얼 게이트 트랜지스터로 동작할 수 있다. 예를 들면, 상기 듀얼 게이트 트랜지스터가 턴-오프될 경우, 누설 전류를 감소시킬 수 있다. 따라서, 제3 트랜지스터(TR3_1) 및 제3 트랜지스터(TR3_2)는 제5 영역(e)을 통해 전기적으로 연결될 수 있다. 또한, 제1 트랜지스터(TR1), 제2 트랜지스터(TR2) 및 제5 트랜지스터(TR5)는 제1 영역(a)을 통해 전기적으로 연결될 수 있고, 제1 트랜지스터(TR1), 제3 트랜지스터(TR3_2) 및 제6 트랜지스터(TR6)는 제2 영역(b)을 통해 전기적으로 연결될 수 있다.

[0089] 제1 영역(a), 제2 영역(b), 제3 영역(c), 제4 영역(d) 및 제5 영역(e)은 이온 도핑이 수행될 수 있다. 반면에, 액티브 패턴(100) 중 제1 게이트 배선(110) 하부에 위치하는 영역들은 이온 도핑이 수행되지 않을 수 있다. 따라서, 제1 영역(a), 제2 영역(b), 제3 영역(c), 제4 영역(d) 및 제5 영역(e)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제1 게이트 배선(110) 하부에 위치하는 영역들은 각기 제2 트랜지스터(TR2)의 채널 및 제3 트랜지스터들(TR3_1, TR3_2)의 채널로 동작할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 배선(110)은 도 2의 스캔 신호(GW)를 공급받을 수 있다.

[0090] 예시적인 실시예들에 있어서, 제2 트랜지스터(TR2)의 제3 영역(c), 제3 트랜지스터(TR3_1)의 제4 영역(d) 및 제3 트랜지스터(TR3_2)의 제5 영역(e) 각각은 소스 영역일 수 있고, 제2 트랜지스터(TR2)의 제1 영역(a), 제3 트랜지스터(TR3_1)의 제5 영역(e) 및 제3 트랜지스터(TR3_2)의 제2 영역(b) 각각은 드레인 영역일 수 있다. 선택적으로, 제2 트랜지스터(TR2)의 제3 영역(c), 제3 트랜지스터(TR3_1)의 제4 영역(d) 및 제3 트랜지스터(TR3_2)의 제5 영역(e) 각각은 드레인 영역이고, 제2 트랜지스터(TR2)의 제1 영역(a), 제3 트랜지스터(TR3_1)의 제5 영역(e) 및 제3 트랜지스터(TR3_2)의 제2 영역(b) 각각은 소스 영역일 수 있다.

[0091] 제2 게이트 배선(115)은 액티브 패턴(100) 및 게이트 절연층(160) 상에서 제2 방향(D2)으로 연장될 수 있다. 제2 게이트 배선(115)은 제6 영역(f) 및 제10 영역(j)과 함께 제7 트랜지스터(TR7)를 구성할 수 있고, 제6 영역(f) 및 제7 영역(g)과 함께 제4 트랜지스터(TR4_1)를 구성할 수 있으며, 제7 영역(g) 및 제4 영역(d)과 함께 제4 트랜지스터(TR4_1)를 구성할 수 있다. 여기서, 제4 트랜지스터(TR4_1) 및 제4 트랜지스터(TR4_2)는 직렬로 연결될 수 있고, 듀얼 게이트 트랜지스터로 동작할 수 있다. 예를 들면, 상기 듀얼 게이트 트랜지스터가 턴-오프될 경우, 누설 전류를 감소시킬 수 있다. 따라서, 제4 트랜지스터(TR4_1) 및 제4 트랜지스터(TR4_1)는 제7 영역(g)을 통해 전기적으로 연결될 수 있다. 또한, 제7 트랜지스터(TR7) 및 제4 트랜지스터(TR4_1)는 제6 영역(f)을 통해 전기적으로 연결될 수 있고, 제10 영역(j)은 제9 영역(i)과 전기적으로 연결될 수 있다.

[0092] 제4 영역(d), 제6 영역(f), 제7 영역(g) 및 제10 영역(j)은 이온 도핑이 수행될 수 있다. 반면에, 액티브 패턴(100) 중 제2 게이트 배선(115) 하부에 위치하는 영역들은 이온 도핑이 수행되지 않을 수 있다. 따라서, 제4 영역(d), 제6 영역(f), 제7 영역(g) 및 제10 영역(j)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제2 게이트 배선(115) 하부에 위치하는 영역들은 제4 트랜지스터(TR4_1)의 채널, 제4 트랜지스터(TR4_2)의 채널 및 제7 트랜지스터(TR7)의 채널로 동작할 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 배선(115)은 도 2의 데이터 초기화 신호(GI)를 공급받을 수 있고, 제6 영역(f)은 도 2의 초기화 전압(VINT)을 공급받을 수 있다.

[0093] 예시적인 실시예들에 있어서, 제7 트랜지스터(TR7)의 제10 영역(j), 제4 트랜지스터(TR4_2)의 제6 영역(f) 및 제4 트랜지스터(TR4_1)의 제7 영역(g) 각각은 소스 영역일 수 있고, 제7 트랜지스터(TR7)의 제6 영역(f), 제4

트랜지스터(TR4_2)의 제7 영역(g) 및 제4 트랜지스터(TR4_1)의 제4 영역(d) 각각은 드레인 영역일 수 있다. 선택적으로, 제7 트랜지스터(TR7)의 제10 영역(j), 제4 트랜지스터(TR4_2)의 제6 영역(f) 및 제4 트랜지스터(TR4_1)의 제7 영역(g) 각각은 드레인 영역이고, 제7 트랜지스터(TR7)의 제6 영역(f), 제4 트랜지스터(TR4_2)의 제7 영역(g) 및 제4 트랜지스터(TR4_1)의 제4 영역(d) 각각은 소스 영역일 수 있다.

[0094] 제3 게이트 배선(120)은 제1 영역(a) 및 제8 영역(h)과 함께 제5 트랜지스터(TR5)를 구성할 수 있고, 제2 영역(b) 및 제9 영역(i)과 함께 제6 트랜지스터(TR6)를 구성할 수 있다. 제1 영역(a), 제2 영역(b), 제8 영역(h) 및 제9 영역(i)은 이온 도핑이 수행될 수 있다. 반면에, 액티브 패턴(100) 중 제3 게이트 배선(120) 하부에 위치하는 영역들은 이온 도핑이 수행되지 않을 수 있다. 따라서, 제1 영역(a), 제2 영역(b), 제8 영역(h) 및 제9 영역(i)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제3 게이트 배선(120) 하부에 위치하는 영역들은 각각 제5 트랜지스터(TR5)의 채널 및 제6 트랜지스터(TR6)의 채널로 동작할 수 있다. 예시적인 실시예들에 있어서, 제3 게이트 배선(120)은 도 2의 발광 제어 신호(EM)를 공급받을 수 있다.

[0095] 예시적인 실시예들에 있어서, 제5 트랜지스터(TR5)의 제8 영역(h) 및 제6 트랜지스터(TR6)의 제9 영역(i) 각각은 소스 영역일 수 있고, 제5 트랜지스터(TR5)의 제1 영역(a) 및 제6 트랜지스터(TR6)의 제2 영역(b) 각각은 드레인 영역일 수 있다. 선택적으로, 제5 트랜지스터(TR5)의 제8 영역(h) 및 제6 트랜지스터(TR6)의 제9 영역(i) 각각은 드레인 영역일 수 있고, 제5 트랜지스터(TR5)의 제1 영역(a) 및 제6 트랜지스터(TR6)의 제2 영역(b) 각각은 소스 영역일 수 있다.

[0096] 도 7, 8 및 도 11을 참조하면, 유기 발광 표시 장치(500)는 제1 층간 절연층(190), 제2 게이트 전극(130) 및 초기화 전압 배선(140)을 더 포함할 수 있다.

[0097] 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120) 상에는 제1 층간 절연층(190)이 배치될 수 있다. 제1 층간 절연층(190)은 게이트 절연층(160) 상의 서브 화소 회로 영역(10)에서 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120)을 덮을 수 있으며, 게이트 절연층(160) 상에 전체적으로 배치될 수 있다. 예를 들면, 제1 층간 절연층(190)은 게이트 절연층(160) 상에서 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120)을 충분히 덮을 수 있으며, 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 선택적으로, 제1 층간 절연층(190)은 게이트 절연층(160) 상에서 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120)을 덮으며, 균일한 두께로 제1 게이트 전극(105), 제1 게이트 배선(110), 제2 게이트 배선(115), 제3 게이트 배선(120)의 프로파일을 따라 배치될 수 있다. 제1 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0098] 제2 게이트 전극(130) 및 초기화 전압 배선(140)이 제1 층간 절연층(190) 상에 배치될 수 있다. 즉, 제2 게이트 전극(130) 및 초기화 전압 배선(140)은 동일한 층에 배치될 수 있다. 제2 게이트 전극(130) 및 초기화 전압 배선(140) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 제2 게이트 전극(130) 및 초기화 전압 배선(140)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 선택적으로, 제2 게이트 전극(130) 및 초기화 전압 배선(140) 각각은 복수의 층들을 포함하는 다층 구조로 구성될 수도 있다.

[0099] 제2 게이트 전극(130)은 제1 층간 절연층(190) 상에서 제2 방향(D2)으로 연장될 수 있다. 제2 게이트 전극(130)은 서브 화소 회로 영역(10)의 구동 트랜지스터 영역(60)에서 제1 게이트 전극(105)과 중첩할 수 있다. 이에 따라, 제2 게이트 전극(130)은 구동 트랜지스터 영역(60)에서 제1 게이트 전극(105)과 함께 도 2의 스토리지 커패시터(CST)를 구성할 수 있다. 제2 게이트 전극(130)은 도 2의 고전원 전압(ELVDD)을 공급받을 수 있다. 또한, 제2 게이트 전극(130)은 구동 트랜지스터 영역(60)에서 제1 게이트 전극(105)의 일부를 노출시키는 제1 개구를 가질 수 있다. 제1 게이트 전극(105)은 상기 제1 개구를 통해 이후 설명될 제1 연결 패턴을 통해 도 2의 초기화 전압(VINT)을 공급받을 수 있다.

[0100] 초기화 전압 배선(140)은 제1 층간 절연층(190) 상에서 제2 방향(D2)으로 연장될 수 있다. 초기화 전압 배선(140)은 제6 영역(f)과 중첩할 수 있고, 아래에 설명될 제2연결 패턴을 통해 서브 화소 회로 영역(10)의 제6 영역(f)에 초기화 전압(VINT)을 제공할 수 있다.

[0101] 도 9, 10 및 도 11을 참조하면, 유기 발광 표시 장치(500)는 제2 층간 절연층(195), 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390), 평탄화층(270), 화소 정의

막(310), 서브 화소 구조물(200), 봉지 기관(450)을 더 포함할 수 있다. 여기서, 서브 화소 구조물(200)은 하부 전극(291), 발광층(330) 및 상부 전극(340)을 포함할 수 있다.

[0102] 제2 게이트 전극(130) 및 초기화 전압 배선(140) 상에 제2 층간 절연층(195)이 배치될 수 있다. 제2 층간 절연층(195)은 제1 층간 절연층(190) 상의 서브 화소 회로 영역(10)에서 제2 게이트 전극(130) 및 초기화 전압 배선(140)을 덮을 수 있으며, 제1 층간 절연층(190) 상에 전체적으로 배치될 수 있다. 예를 들면, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에서 제2 게이트 전극(130) 및 초기화 전압 배선(140)을 충분히 덮을 수 있으며, 제2 게이트 전극(130) 및 초기화 전압 배선(140)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 선택적으로, 제2 층간 절연층(195)은 제1 층간 절연층(190) 상에서 제2 게이트 전극(130) 및 초기화 전압 배선(140)을 덮으며, 균일한 두께로 제2 게이트 전극(130) 및 초기화 전압 배선(140)의 프로파일을 따라 배치될 수 있다. 제2 층간 절연층(195)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0103] 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390)이 제2 층간 절연층(195) 상에 배치될 수 있다. 즉, 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390)은 동일한 층에 배치될 수 있다. 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 선택적으로, 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390) 각각은 복수의 층들을 포함하는 다층 구조로 구성될 수도 있다.

[0104] 데이터 배선(191)은 제2 층간 절연층(195) 상의 구동 트랜지스터 영역(60)에서 제1 방향(D1)으로 연장될 수 있고, 콘택홀(210)을 통해 액티브 패턴(100)의 제3 영역(c)에 접속될 수 있다. 데이터 배선(191)은 도 2의 데이터 신호(DATA)를 공급받을 수 있다. 이에 따라, 데이터 배선(191)은 콘택홀(210)을 통해 액티브 패턴(100)의 제3 영역(c)에 데이터 신호(DATA)를 공급할 수 있다. 여기서, 계조를 표현하기 위해 데이터 신호(DATA)의 전압 레벨이 변경될 수 있다.

[0105] 고전원 전압 배선(290)은 제2 층간 절연층(195) 상의 서브 화소 회로 영역(10)에서 데이터 배선(191)과 이격되어 제1 방향(D1)으로 연장될 수 있고, 콘택홀(355)을 통해 액티브 패턴(100)의 제8 영역(h)에 접속될 수 있고, 콘택홀(360)을 통해 서브 화소 회로 영역(10)에 위치하는 제2 게이트 전극(130)에 접속될 수 있다. 고전원 전압 배선(290)은 도 2의 고전원 전압(ELVDD)을 공급받을 수 있다. 이에 따라, 고전원 전압 배선(290)은 콘택홀(355)을 통해 액티브 패턴(100)의 제8 영역(h) 및 콘택홀(360)을 통해 제2 게이트 전극(130)에 고전원 전압(ELVDD)을 공급할 수 있다.

[0106] 제1 연결 패턴(230)은 제2 층간 절연층(195) 상의 서브 화소 회로 영역(10)에서 제1 방향(D1)으로 연장될 수 있고, 액티브 패턴(100)의 제4 영역(d)의 일부 및 구동 트랜지스터 영역(60)의 일부와 중첩할 수 있다. 제1 연결 패턴(230)은 액티브 패턴(100)의 제4 영역(d)과 콘택홀(250)을 통해 접속될 수 있고, 제1 게이트 전극(105)과 콘택홀(271)을 통해 접속될 수 있다. 액티브 패턴(100)의 제4 영역(d)은 초기화 전압(VINT)을 공급받을 수 있고, 제1 연결 패턴(230)을 통해 제1 게이트 전극(105)에 초기화 전압(VINT)이 인가될 수 있다.

[0107] 제2 연결 패턴(388)은 제2 층간 절연층(195) 상의 서브 화소 회로 영역(10)에서 초기화 전압 배선(140)의 일부 및 액티브 패턴(100)의 제6 영역(f)의 일부와 중첩하여 배치될 수 있다. 제2 연결 패턴(388)은 초기화 전압 배선(140)과 콘택홀(430)을 통해 접속될 수 있고, 액티브 패턴(100)의 제6 영역(f)과 콘택홀(431)을 통해 접속될 수 있다. 제2 연결 패턴(388)을 통해 초기화 전압(VINT)이 액티브 패턴(100)의 제6 영역(f)에 공급될 수 있다.

[0108] 제3 연결 패턴(390)은 제2 층간 절연층(195) 상의 서브 화소 회로 영역(10)에서 액티브 패턴(100)의 제9 영역(i)과 중첩하여 배치될 수 있다. 제3 연결 패턴(390)은 콘택홀(410)을 통해 액티브 패턴(100)의 제9 영역(i)에 접속될 수 있으며, 하부 전극(291)과 접촉할 수 있고, 하부 전극(291)에 구동 전류를 공급할 수 있다.

[0109] 제2 층간 절연층(195), 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390) 상에 평탄화층(270)이 배치될 수 있다. 평탄화층(270)은 서브 화소 회로 영역(10)에 배치된 제6 트랜지스터(TR6)와 연결된 제3 연결 패턴(390)의 일부를 노출시키는 제1 콘택홀을 가질 수 있다. 평탄화층(270)은 제2 층간 절연층(195) 상에서 고전원 전압 배선(290), 데이터 배선(191), 제1 연결 패턴(230), 제2 연결 패턴(388) 및 제3 연결 패턴(390)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경

우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 포함할 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리이미드계 수지, 실롯산계 수지, 아크릴계 수지, 에폭시계 수지 등을 포함할 수 있다.

[0110] 하부 전극(291)은 평탄화층(270) 상의 서브 화소 회로 영역(10)에 배치될 수 있다. 하부 전극(291)은 평탄화층(270)의 제1 콘택홀을 통해 제3 연결 패턴(390)과 직접적으로 접촉할 수 있고, 제3 연결 패턴(390)을 통해 서브 화소 회로 영역(10)에 배치된 제6 트랜지스터(TR6)와 전기적으로 연결될 수 있다. 이에 따라, 하부 전극(291)은 제3 연결 패턴(390)을 통해 도 2의 구동 전류(ID)를 공급받을 수 있다. 예시적인 실시예들에 있어서, 하부 전극(291)은 애노드 전극일 수 있다. 선택적으로, 하부 전극(291)은 캐소드 전극일 수도 있다. 하부 전극(291)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 하부 전극(291)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0111] 화소 정의막(310)은 하부 전극(291)의 일부 및 평탄화층(270) 상에 배치될 수 있다. 화소 정의막(310)은 하부 전극(291)의 양측부를 덮을 수 있고, 하부 전극(291)의 상면의 일부를 노출시키는 개구를 가질 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 포함할 수 있다.

[0112] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(291) 상에 배치될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 방출시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 배치(예를 들어, 봉지 기관(450)의 상면에 발광층(330)과 중첩되도록 배치)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색(Yellow) 컬러 필터, 청남색(Cyan) 컬러 필터 및 자주색(Magenta) 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지, 컬러 포토레지스트 등을 포함할 수 있다.

[0113] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 배치될 수 있다. 상부 전극(340)은 화소 정의막(310) 및 발광층(330)을 덮으며 기관(50) 상에 전체적으로 배치될 수 있다. 예시적인 실시예들에 있어서, 상부 전극(340)은 캐소드 전극일 수 있고, 도 2의 저전원 전압(ELVSS)을 공급받을 수 있다. 선택적으로 상부 전극(340)은 애노드 전극일 수도 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조로 구성될 수도 있다.

[0114] 상부 전극(340) 상에 봉지 기관(450)이 배치될 수 있다. 봉지 기관(350)은 실질적으로 기관(50)과 동일한 재료를 포함할 수 있다. 예를 들면, 봉지 기관(410)은 석영 기관, 합성 석영 기관, 불화칼슘 또는 불소가 도핑된 석영 기관, 소다 라임 유리 기관, 무알칼리 유리 기관 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 봉지 기관(450)은 투명 무기 물질 또는 플렉서블 플라스틱으로 구성될 수 있다. 예를 들면, 봉지 기관(450)은 연성을 갖는 투명 수지 기관을 포함할 수도 있다. 이 경우, 유기 발광 표시 장치(500)의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다. 상기 적층 구조는 제1 무기층, 유기층 및 제2 무기층으로 구성될 수 있다. 예를 들면, 상부 전극(340)의 프로파일을 따라 가요성을 갖는 제1 무기층이 배치될 수 있고, 상기 제1 무기층 상에 가요성을 갖는 유기층이 배치될 수 있으며, 상기 유기층 상에 가요성을 갖는 제2 무기층이 배치될 수 있다. 즉, 상기 적층 구조는 상부 전극(340)과 직접적으로 접촉하는 박막 봉지 구조물에 해당될 수 있다.

[0115] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(500)는 병렬로 연결되며 서로 다른 채널 길이를 갖는 제1 구동 트랜지스터(TR1_1) 및 제2 구동 트랜지스터(TR1_2)를 포함함으로써, 유기 발광 표시 장치(500)가 저계조로 구동 시 유기 발광 표시 장치(500)는 저계조 얼룩 및 크로스-토크를 개선함과 동시에 소비 전력도 상대적으로 줄일 수 있다.

[0116] 도 12는 비교예들의 구동 트랜지스터의 구동 범위를 나타내는 그래프이다. 예를 들면, 그래프(710)는 제1 유기 발광 표시 장치에 포함된 구동 트랜지스터의 제1 구동 범위(710)에 해당되고, 그래프(720)는 제2 유기 발광 표시 장치에 포함된 구동 트랜지스터의 제2 구동 범위(720)에 해당될 수 있다.

- [0117] 도 12를 참조하면, 제1 구동 범위(710)를 갖는 구동 트랜지스터를 포함하는 제1 유기 발광 표시 장치에서는 제1 유기 발광 표시 장치가 저계조로 구동 시 저계조 얼룩 및 크로스-토크가 발생할 수 있다.
- [0118] 상기 저계조 얼룩 및 상기 크로스-토크의 발생을 방지하기 위해 제2 구동 범위(720)를 갖는 구동 트랜지스터를 포함하는 제2 유기 발광 표시 장치가 제조될 수 있다. 예를 들면, 상기 제2 유기 발광 표시 장치에 포함된 구동 트랜지스터는 상기 제1 유기 발광 표시 장치에 포함된 구동 트랜지스터의 구동 게이트-소스 전압(Vgs)의 구동 범위(driving range)보다 상대적으로 증가된 구동 게이트-소스 전압(Vgs)의 구동 범위를 가질 수 있다. 이에 따라, 상기 제2 유기 발광 표시 장치에서는 상기 제2 유기 발광 표시 장치가 저계조로 구동 시 상기 저계조 얼룩 및 상기 크로스-토크가 발생하지 않을 수 있다. 다만, 구동 게이트-소스 전압(Vgs)의 구동 범위가 증가함에 따라 블랙 계조 전압(Vblack)이 증가(예를 들어, 최대 계조에 대응되는 구동 게이트-소스 전압(Vgs)과 최소 계조에 대응되는 구동 게이트-소스 전압(Vgs)의 차이가 증가)하여 상기 제2 유기 발광 표시 장치의 소비 전력이 증가할 수 있다.
- [0119] 도 13은 도 10의 제1 및 제2 구동 트랜지스터의 구동 범위를 나타내는 그래프이고, 도 14는 도 13의 제2 구동 트랜지스터에 포함된 직선부의 도핑 여부에 따른 구동 범위를 설명하기 위한 그래프이며, 도 15는 도 10의 제1 및 제2 구동 트랜지스터의 구동 범위 및 비교예의 구동 트랜지스터의 구동 범위를 나타내는 그래프이다. 예를 들면, 그래프(810)는 도 10의 제1 구동 트랜지스터(TR1_1)의 구동 범위에 해당되고, 그래프(820)는 도 10의 제2 구동 트랜지스터(TR1_2)의 구동 범위에 해당되며, 그래프(830)는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 구동 범위에 해당될 수 있다.
- [0120] 도 13을 참조하면, 제1 구동 트랜지스터(TR1_1)는 상대적으로 긴 채널 길이를 갖기 때문에 제1 구동 트랜지스터(TR1_1)의 구동 범위(810)는 상대적으로 증가된 구동 범위를 가질 수 있다.
- [0121] 제2 구동 트랜지스터(TR1_2)는 상대적으로 짧은 채널 길이를 갖기 때문에 제2 구동 트랜지스터(TR1_2)의 구동 범위(820)는 상대적으로 감소된 구동 범위를 가질 수 있다. 여기서, 도 13에 도시된 제2 구동 트랜지스터(TR1_2)의 구동 범위(820)를 구현하기 위해 제2 구동 트랜지스터(TR1_2)의 채널에 해당되는 직선부(170)가 인(P)으로 도핑되어야 한다.
- [0122] 예를 들면, 도 14에 도시된 바와 같이, 그래프(825)는 도핑 공정 전 직선부(170)를 포함하는 제2 구동 트랜지스터(TR1_2)의 구동 범위에 해당될 수 있다. 직선부(170)에 상기 도핑 공정이 수행되는 경우 그래프(825)가 네거티브 시프트될 수 있다. 다시 말하면, 상기 도핑 공정을 통해 제2 구동 트랜지스터(TR1_2)의 구동 범위가 그래프(825)에서 그래프(820)로 변경될 수 있다.
- [0123] 도 13을 다시 참조하면, 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 병렬로 연결되기 때문에 제1 구동 트랜지스터(TR1_1)의 구동 범위(810) 및 제2 구동 트랜지스터(TR1_2)의 구동 범위(820)의 평균이 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)의 구동 범위(830)로 정의될 수 있다.
- [0124] 도 15를 참조하면, 제2 구동 범위(720)를 갖는 구동 트랜지스터를 포함하는 제2 유기 발광 표시 장치와 비교했을 때, 구동 범위(830)를 갖는 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)을 포함하는 유기 발광 표시 장치(500)는 저계조에서 제2 구동 범위(720)와 실질적으로 동일한 구동 범위를 갖기 때문에 유기 발광 표시 장치(500)가 저계조로 구동 시 저계조 얼룩 및 크로스-토크가 발생하지 않을 수 있다. 또한, 유기 발광 표시 장치(500)는 고계조에서 상대적으로 감소된 구동 범위를 갖기 때문에 구동 게이트-소스 전압(Vgs)의 구동 범위가 상대적으로 감소됨에 따라 블랙 계조 전압(Vblack) 전압이 줄어들어 유기 발광 표시 장치(500)의 소비 전력이 상대적으로 감소할 수 있다.
- [0125] 도 16은 예시적인 실시예들에 따른 유기 발광 표시 장치에 포함된 액티브 패턴의 일 예를 나타내는 레이아웃 도면이고, 도 17은 도 16의 유기 발광 표시 장치에 포함된 구동 트랜지스터의 구동 범위를 설명하기 위한 그래프이다. 예를 들면, 도 16은 도 4의 구동 트랜지스터 영역에 배치된 액티브 패턴을 설명하기 위한 레이아웃 도면에 해당될 수 있다. 도 16에 예시한 유기 발광 표시 장치는 액티브 패턴(100)에 도핑된 부분을 제외하면 도 1 내지 도 11을 참조하여 설명한 유기 발광 표시 장치(500)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 16에 있어서, 도 1 내지 도 11을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0126] 도 16 및 17을 참조하면, 제2 구동 트랜지스터(TR1_2)의 구동 범위를 변경하기 위해 도핑 공정을 추가하여 제2 구동 트랜지스터(TR1_2)의 직선부(170)의 적어도 일부에 인(P) 또는 붕소(B)가 도핑될 수 있다.

- [0127] 예를 들면, 직선부(170)는 채널 영역(171) 및 채널 영역(171)을 둘러싸는 소스 및 드레인 영역들(172, 173)을 가질 수 있다. 예시적인 실시예들에 있어서, 제2 구동 트랜지스터(TR1_2)의 직선부(170)의 적어도 일부는 인(P)으로 도핑될 수 있다. 다시 말하면, 제2 구동 트랜지스터(TR1_2)의 직선부(170)의 채널 영역(171)에 인(P)이 도핑될 수 있고, 소스 및 드레인 영역들(172, 173)은 이온 도핑이 수행되어 상대적으로 높은 전기 전도도를 가질 수 있다. 제2 구동 트랜지스터(TR1_2)의 채널 길이가 상대적으로 줄어들어 따라, 도 17에 도시된 바와 같이, 제2 구동 트랜지스터(TR1_2)의 구동 범위(840)는 고계조에서 상대적으로 가파른 기울기를 가질 수 있다. 이러한 제1 및 제2 구동 트랜지스터들(TR1_1, TR1_2)은 상대적으로 큰 구동 전류를 사용하는 투명 유기 발광 표시 장치 등에 포함될 수 있다.
- [0128] 도 18은 예시적인 실시예들에 따른 유기 발광 표시 장치에 포함된 액티브 패턴의 다른 예를 나타내는 레이아웃 도면이다. 예를 들면, 도 18은 도 4의 구동 트랜지스터 영역에 배치된 액티브 패턴을 설명하기 위한 레이아웃 도면에 해당될 수 있다. 도 18에 예시한 유기 발광 표시 장치는 액티브 패턴(100)의 형상을 제외하면 도 16을 참조하여 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 18에 있어서, 도 16을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0129] 도 18을 참조하면, 절곡부(150)의 제1 단부와 직선부(170)의 소스 영역(172)이 일체로 형성될 수 있다.
- [0130] 예를 들면, 액티브 패턴(100)은 제1 연장부(158), 제1 돌출부 제2 연장부(159), 제2 돌출부(157_1) 및 제3 돌출부(157_2)를 포함할 수 있다(도 5 참조).
- [0131] 제1 연장부(158)는 절곡부(150) 및 직선부(170)와 이격되어 배치되며 제1 방향(D1)으로 연장할 수 있다. 예를 들면, 제1 연장부(158)는 절곡부(150) 및 직선부(170)의 왼쪽에 위치할 수 있다.
- [0132] 제2 연장부(159)는 절곡부(150) 및 직선부(170)와 제2 방향(D2)으로 이격되어 배치되며 제1 방향(D1)으로 연장할 수 있다. 예를 들면, 제1 연장부(158)는 절곡부(150) 및 직선부(170)의 오른쪽에 위치할 수 있고, 제2 연장부(159)는 제1 연장부(158)와 실질적으로 평행할 수 있다.
- [0133] 상기 제1 돌출부(156)는 제1 연장부(158)로부터 제2 방향(D2)으로 돌출될 수 있고, 절곡부(150)의 제1 단부 및 직선부(170)의 제1 단부(예를 들어, 직선부(170)의 소스 영역(172))와 연결될 수 있다.
- [0134] 제2 돌출부(157_1)는 제2 연장부(159)로부터 제3 방향(D3)으로 돌출될 수 있고, 절곡부(150)의 제2 단부와 연결될 수 있다.
- [0135] 제3 돌출부(157_2)는 제2 돌출부(157_1)와 이격될 수 있고, 제2 연장부(159)로부터 제3 방향(D3)으로 돌출될 수 있으며, 직선부(170)의 제2 단부(예를 들어, 직선부(170)의 드레인 영역(173))와 연결될 수 있다.
- [0136] 절곡부(150), 직선부(170), 제1 연장부(158), 상기 제1 돌출부, 제2 연장부(159), 제2 돌출부(157_1) 및 제3 돌출부(157_2)는 일체로 형성될 수 있다. 이러한 경우, 절곡부(150)의 제1 단부가 제1 방향(D1)에 반대되는 제4 방향(D4)으로 연장되어 직선부(170)의 제1 단부와 접촉함으로써 절곡부(150)의 총 길이가 상대적으로 증가될 수 있다.
- [0137] 다른 예시적인 실시예들에 있어서, 절곡부(150)는 제1 영역 및 제2 영역을 포함할 수 있고, 상기 제1 및 제2 영역들은 번갈아 가며 반복적으로 배열될 수 있다. 상기 제1 영역들은 제1 구동 트랜지스터(TR1_1)의 채널로 기능할 수 있고, 상기 제2 영역들에는 이온 도핑이 수행될 수 있다. 다시 말하면, 절곡부(150)는 채널에 해당되는 제1 영역과 상대적으로 높은 전기 전도도를 갖는 제2 영역이 번갈아 가며 반복적으로 배열될 수 있다. 이러한 경우, 상대적으로 짧은 채널들이 직렬로 연결되어 제1 구동 트랜지스터(TR1_1)의 히스테리시스 감소될 수 있다.
- [0138] 또 다른 예시적인 실시예들에 있어서, 절곡부(150)의 제1 단부와 직선부(170)의 소스 영역(172)이 일체로 형성되고, 절곡부(150)의 제2 단부와 제1 직선부(170)의 드레인 영역(173)이 일체로 형성될 수도 있다. 이러한 경우, 절곡부(150)의 절곡된 형상이 하나만 형성될 수 있고, 절곡부(150)가 하나의 리세스를 포함할 수 있다.
- [0139] 도 19는 예시적인 실시예들에 따른 유기 발광 표시 장치에 포함된 액티브 패턴의 또 다른 예를 나타내는 레이아웃 도면이다. 예를 들면, 도 19는 도 4의 구동 트랜지스터 영역에 배치된 액티브 패턴을 설명하기 위한 레이아웃 도면에 해당될 수 있다. 도 19에 예시한 유기 발광 표시 장치는 액티브 패턴(100)의 형상을 제외하면 도 1 내지 11을 참조하여 설명한 유기 발광 표시 장치(500)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 19에 있어서, 도 1 내지 11을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에

대해 중복되는 설명은 생략한다.

- [0140] 도 19를 참조하면, 액티브 패턴(100)은 구동 트랜지스터 영역(60)에 위치하는 절곡부(150), 제1 직선부(170) 및 제2 직선부(1170)를 가질 수 있다. 또한, 구동 트랜지스터 영역(60)에는 제1 게이트 전극(105)이 배치될 수 있고, 절곡부(150), 제1 직선부(170) 및 제2 직선부(1170)는 제1 게이트 전극(105) 함께 병렬로 연결된 3개의 구동트랜지스터를 구성할 수 있다. 예를 들면, 제1 게이트 전극(105)과 절곡부(150)가 제1 구동 트랜지스터(TR1_1)로 정의될 수 있고, 제1 게이트 전극(105)과 제1 직선부(170)가 제2 구동 트랜지스터(TR1_2)로 정의될 수 있으며, 제1 게이트 전극(105)과 제2 직선부(1170)가 제3 구동 트랜지스터(TR1_3)로 정의될 수 있다.
- [0141] 예시적인 실시예들에 있어서, 제1 직선부(170)는 전체적으로 인(P)으로 도핑될 수 있고, 제2 직선부(1170)의 적어도 일부가 인(P)으로 도핑될 수 있다. 다시 말하면,
- [0142] 제2 직선부(1170)는 채널 영역(171) 및 채널 영역(171)을 둘러싸는 소스 및 드레인 영역들(172, 173)을 가질 수 있고, 제3 구동 트랜지스터(TR1_3)의 직선부(1170)의 채널 영역(171)에 인(P)이 도핑될 수 있고, 소스 및 드레인 영역들(172, 173)은 이온 도핑이 수행되어 상대적으로 높은 전기 전도도를 가질 수 있다. 즉, 제3 구동 트랜지스터(TR1_3)의 채널의 길이는 제2 구동 트랜지스터(TR1_2)의 채널의 길이보다 짧을 수 있다.
- [0143] 유기 발광 표시 장치가 적어도 3개의 병렬로 연결된 구동 트랜지스터를 포함함으로써, 상기 구동 트랜지스터의 구동 범위가 변곡점(예를 들어, 저계조와 고계조의 경계)에서 점진적으로 변화할 수 있다. 다시 말하면, 이러한 제1, 제2 및 제3 구동 트랜지스터들(TR1_1, TR1_2, TR1_3)은 저계조, 중계조 및 고계조를 사용하는 유기 발광 표시 장치에 포함될 수 있다.
- [0144] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

- [0145] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전사용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

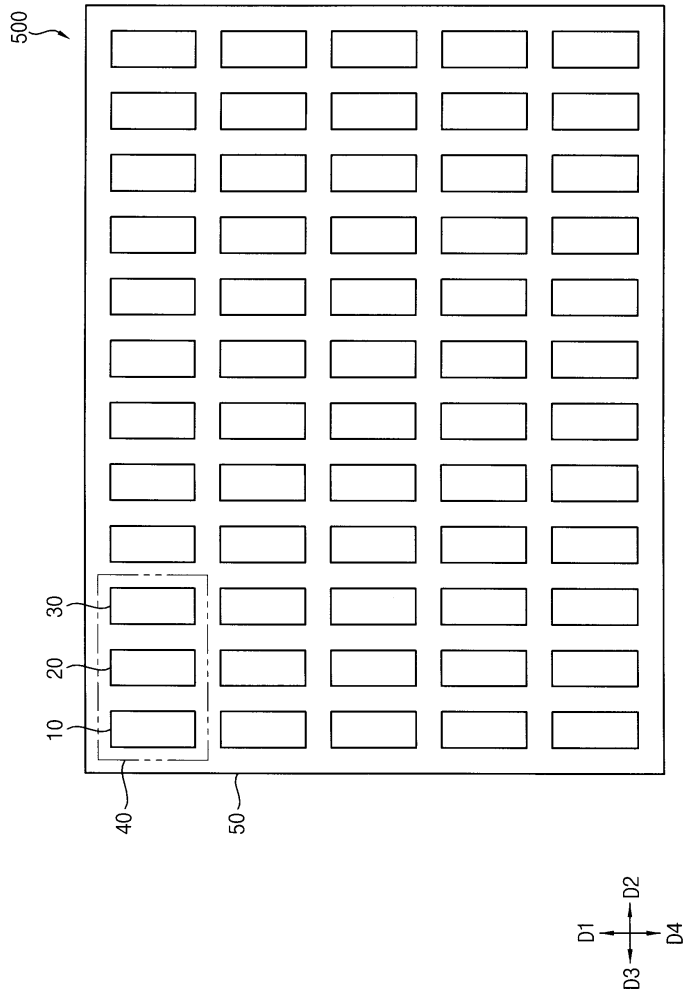
부호의 설명

- [0146] 10, 20, 30: 서브 화소 회로 영역 40: 화소 회로 영역
- 50: 기관 60: 구동 트랜지스터 영역
- 100: 액티브 패턴 105: 제1 게이트 전극
- 110: 제1 게이트 배선 115: 제2 게이트 배선
- 120: 제3 게이트 배선 130: 제2 게이트 전극
- 140: 초기화 전압 배선 150: 절곡부
- 155_1: 제1 리세스 155_2: 제2 리세스
- 156_1, 156_2, 157_1, 157_2: 제1 내지 제4 돌출부들
- 158, 159: 제1 및 제2 연장부들 190: 제1 층간 절연층
- 160: 게이트 절연층 170: 직선부
- 191: 데이터 배선 230: 제1 연결 패턴
- 270: 평탄화층 290: 고전원 전압 배선
- 291: 하부 전극 310: 화소 정의막
- 330: 발광층 340: 상부 전극
- 388: 제2 연결 패턴 390: 제3 연결 패턴

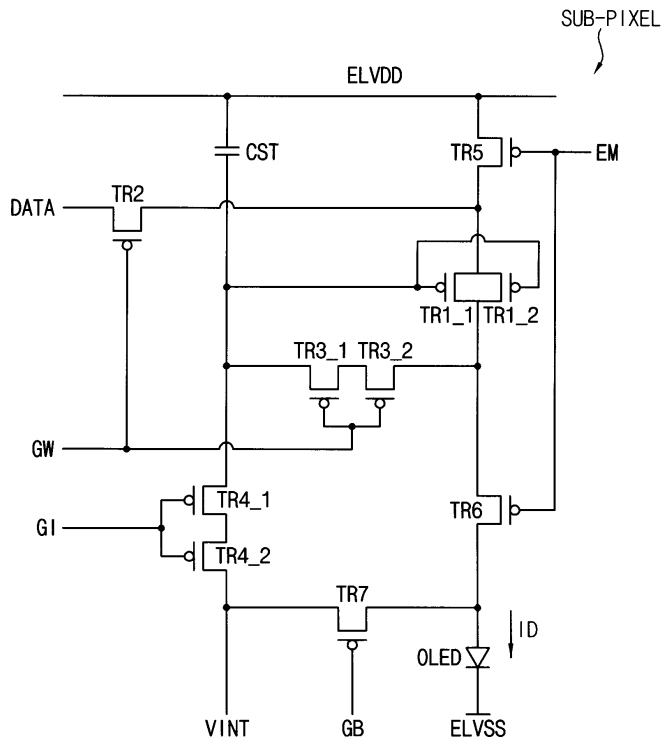
450: 봉지 기판 500: 유기 발광 표시 장치

도면

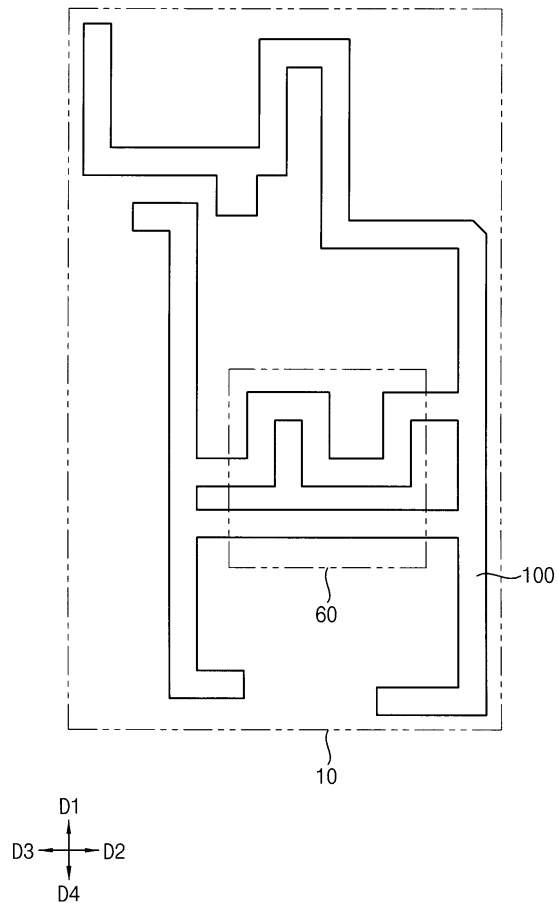
도면1



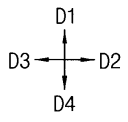
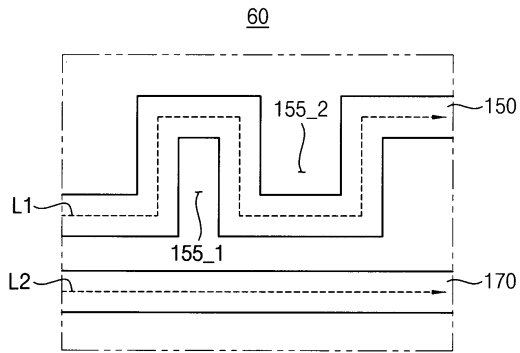
도면2



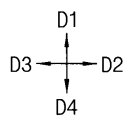
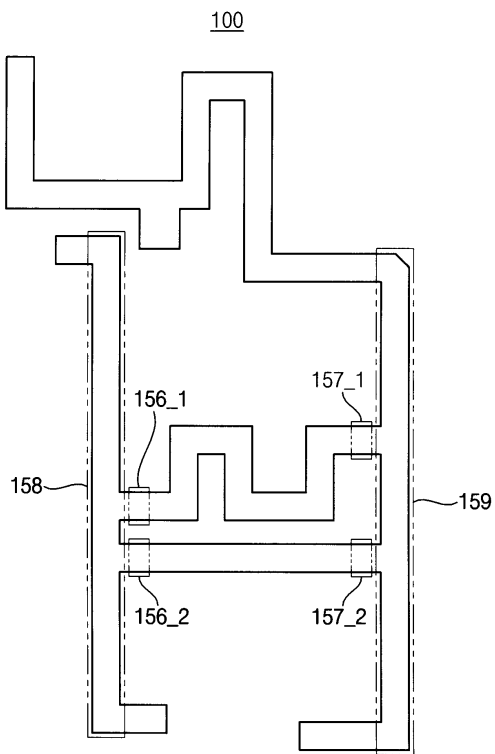
도면3



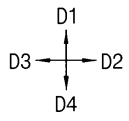
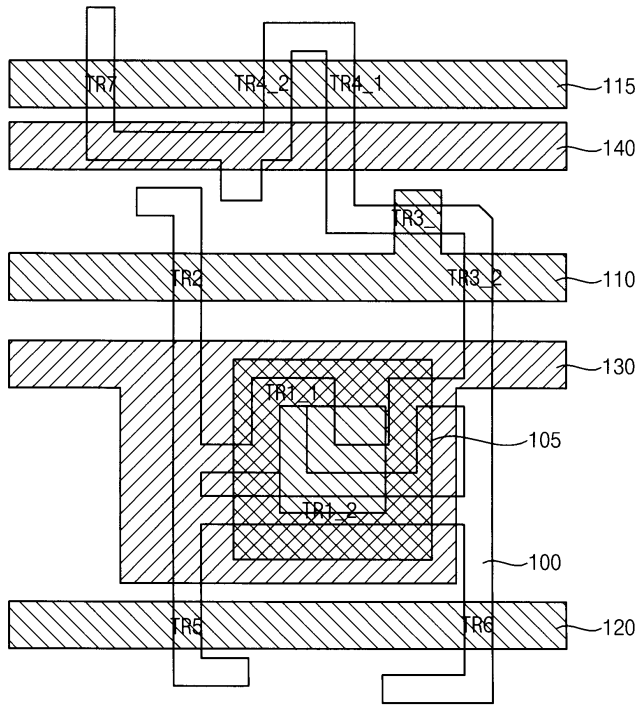
도면4



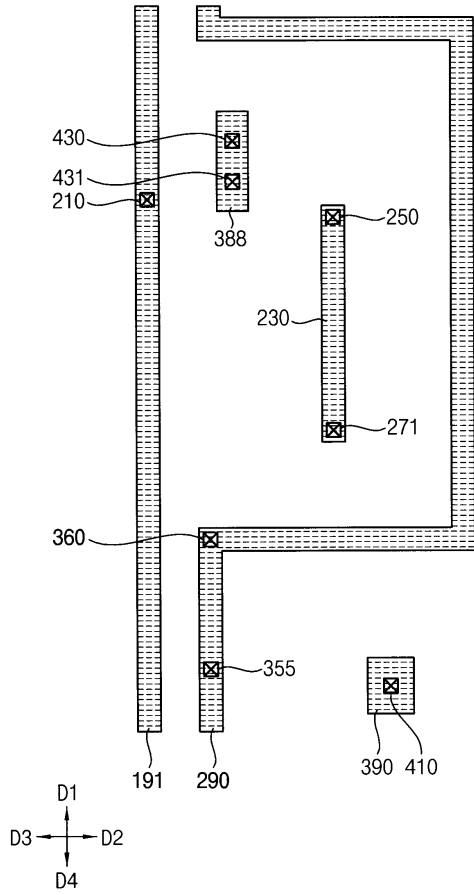
도면5



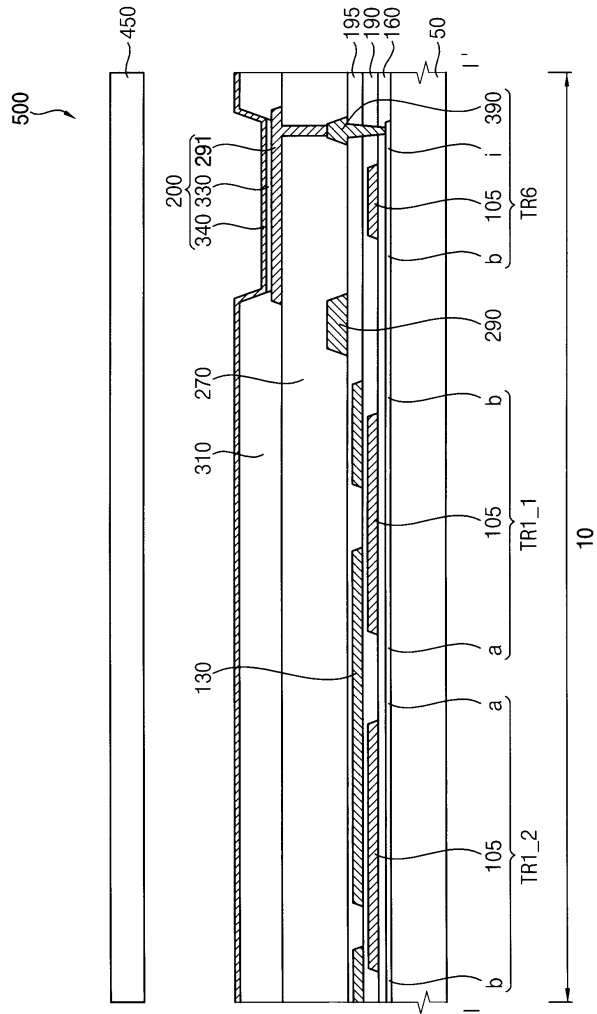
도면8



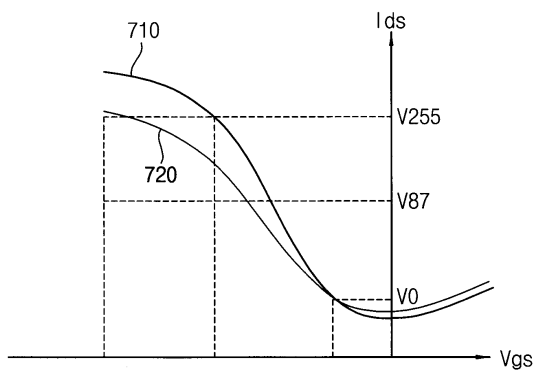
도면9



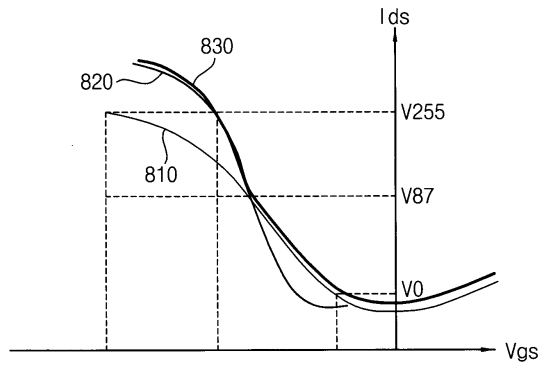
도면11



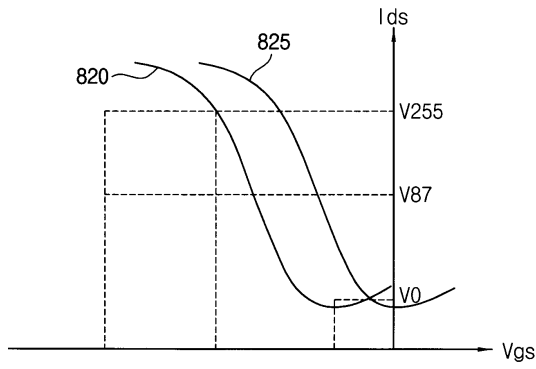
도면12



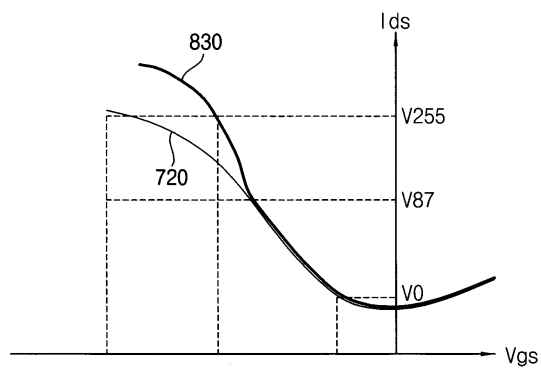
도면13



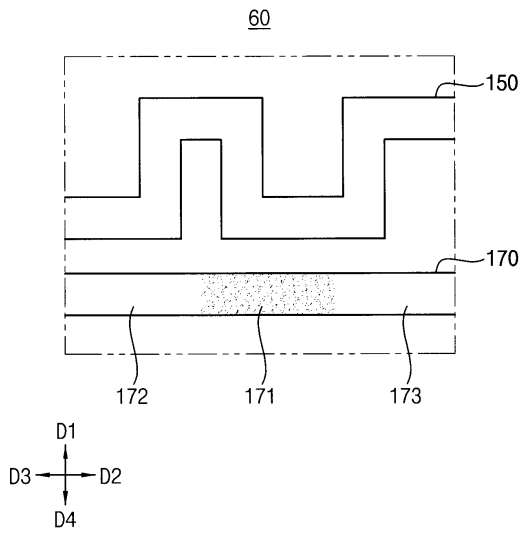
도면14



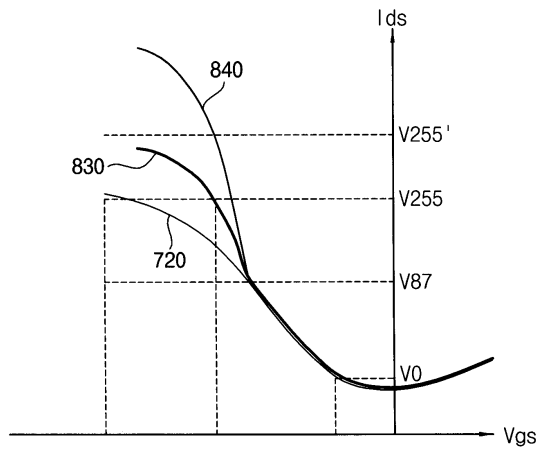
도면15



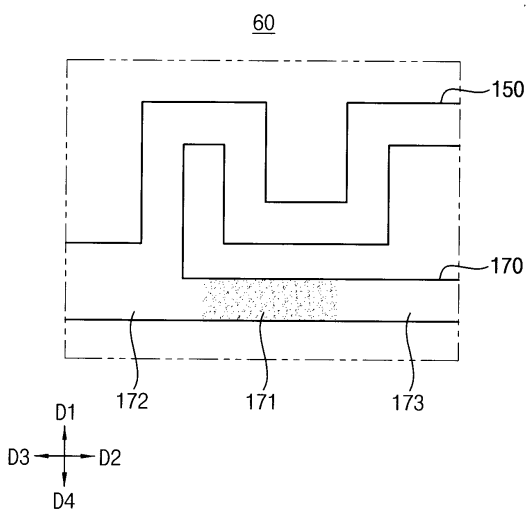
도면16



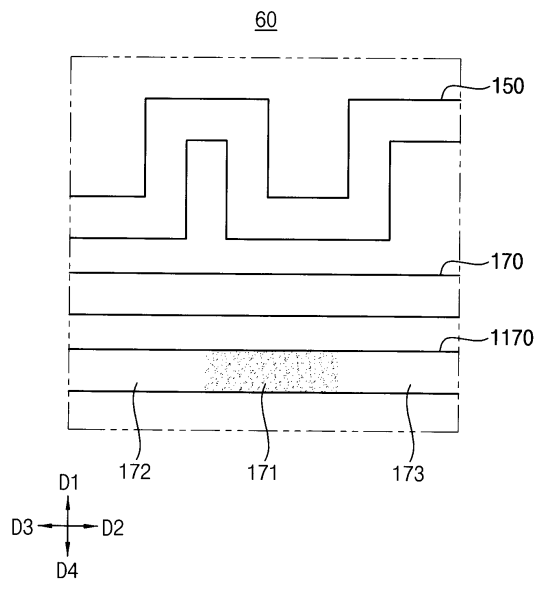
도면17



도면18



도면19



专利名称(译)	有机发光二极管显示装置		
公开(公告)号	KR1020200012062A	公开(公告)日	2020-02-05
申请号	KR1020180086679	申请日	2018-07-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	조승환 최종현 박주찬 윤주선 이정규		
发明人	조승환 최종현 박주찬 윤주선 이정규		
IPC分类号	H01L27/32 H01L27/12 H01L51/52		
CPC分类号	H01L27/3262 H01L27/1222 H01L51/52 G09G3/3225 H01L27/1218 H01L27/124 H01L27/127 H01L29/78696 H01L27/12 H01L27/13 H01L27/32		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

一种有机发光显示装置可以包括：基板，其具有包括驱动晶体管区域的子像素电路区域；以及设置在所述基板表面上的子像素电路区域。弯曲部分，其设置在基板上的子像素电路区域中，并且在驱动晶体管区域中具有第一长度；有源图案，其定位成与驱动晶体管区域中的弯曲部分相邻，并包括具有比驱动晶体管区域中的第一长度短的第二长度的笔直部分；设置在有源图案中的子像素结构。因此，当以低灰度级驱动有机发光显示装置时，有机发光显示装置可以改善低灰度级污点和串扰，同时相对降低功耗。

