



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0138586
(43) 공개일자 2019년12월13일

(51) 국제특허분류(Int. Cl.)
G09G 3/3258 (2016.01)

(52) CPC특허분류
G09G 3/3258 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2019-0063757

(22) 출원일자 2019년05월30일

심사청구일자 2019년05월30일

(30) 우선권주장

62/680,911 2018년06월05일 미국(US)

16/125,449 2018년09월07일 미국(US)

(71) 출원인

애플 인크.

미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원
애플 파크 웨이

(72) 발명자

치안, 추앙

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨
이 1

차이, 충-팅

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨
이 1

(뒷면에 계속)

(74) 대리인

장덕순, 백만기

전체 청구항 수 : 총 25 항

(54) 발명의 명칭 산화물 트랜지스터 임계 전압에 대한 감소된 민감도를 구비한 낮은 리프래시 레이트 디스플레이 픽셀을 갖는 전자 디바이스

(57) 요약

디스플레이는 낮은 리프래시 레이트로 동작하는 유기발광 다이오드 디스플레이 픽셀들의 어레이를 가질 수 있다. 각각의 디스플레이 픽셀은 하나 이상의 방출 트랜지스터들과 직렬로 결합된 구동 트랜지스터 및 각각의 유기발광 다이오드(OLED)를 포함할 수 있다. 낮은 리프래시 레이트 디스플레이 동작 동안 누설을 감소시키는 것을 돕기 위해 구동 트랜지스터의 드레인 단자와 게이트 단자 사이에 반전도성-산화물 트랜지스터가 결합될 수 있다. 반전도성-산화물 트랜지스터와 구동 트랜지스터의 게이트 단자 사이에 규소 트랜지스터가 추가로 개재될 수 있다. 반전도성-산화물 트랜지스터의 소스 단자 및/또는 드레인 단자에 하나 이상의 커패시터 구조물들이 결합되어, 반전도성 산화물 트랜지스터가 턴 오프됨에 따라 반전도성-산화물 트랜지스터를 통해 흐를 수 있는 재균형화 전류를 감소시킬 수 있다. 이러한 방식으로 구성되면, OLED를 통해 흐르는 임의의 방출 전류는 반전도성-산화물 트랜지스터의 임계 전압에서의 임의의 잠재적인 드리프트에 민감하지 않을 것이다.

(52) CPC특허분류

G09G 2300/0439 (2013.01)

G09G 2300/0809 (2013.01)

G09G 2310/0202 (2013.01)

G09G 2310/0243 (2013.01)

(72) 발명자

호시, 청-치

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨이
1

양, 슈안

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨이
1

창, 텅-쿠오

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨이
1

잠시디 로우드바리, 아바스

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨이
1

창, 시-창

미국 95014 캘리포니아주 쿠퍼티노 애플 파크 웨이
1

명세서

청구범위

청구항 1

디스플레이 픽셀로서,

발광 다이오드;

상기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 - 상기 구동 트랜지스터는 드레인 단자, 게이트 단자, 및 소스 단자를 포함함 -;

상기 구동 트랜지스터의 상기 드레인 단자와 상기 게이트 단자 사이에 결합된 제1 반도체 유형의 트랜지스터 - 상기 제1 반도체 유형의 상기 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 단자에서 누설을 감소시키도록 구성되고, 상기 제1 반도체 유형의 상기 트랜지스터는 임계 전압을 가짐 -; 및

상기 제1 반도체 유형과 상이한 제2 반도체 유형의 트랜지스터 - 상기 제2 반도체 유형의 상기 트랜지스터는 상기 제1 반도체 유형의 상기 트랜지스터와 상기 구동 트랜지스터의 상기 게이트 단자 사이에 개재되고, 상기 제2 반도체 유형의 상기 트랜지스터는 상기 제1 반도체 유형의 상기 트랜지스터의 상기 임계 전압에 대한, 상기 발광 다이오드를 통해 흐르는 방출 전류의 민감도를 감소시키도록 구성됨 -를 포함하는, 디스플레이 픽셀.

청구항 2

제1항에 있어서, 상기 제1 반도체 유형의 상기 트랜지스터는 반전도성-산화물에 채널이 형성되는 반전도성-산화물 박막 트랜지스터를 포함하는, 디스플레이 픽셀.

청구항 3

제2항에 있어서, 상기 제2 반도체 유형의 상기 트랜지스터는 규소에 채널이 형성되는 규소 박막 트랜지스터를 포함하는, 디스플레이 픽셀.

청구항 4

제3항에 있어서, 상기 제1 반도체 유형의 상기 트랜지스터 및 상기 제2 반도체 유형의 상기 트랜지스터는 둘 모두 n-채널 박막 트랜지스터들인, 디스플레이 픽셀.

청구항 5

제3항에 있어서, 상기 제1 반도체 유형의 상기 트랜지스터는 n-채널 박막 트랜지스터이고, 상기 제2 반도체 유형의 상기 트랜지스터는 p-채널 박막 트랜지스터인, 디스플레이 픽셀.

청구항 6

제3항에 있어서,

상기 구동 트랜지스터의 상기 게이트 단자에 결합된 저장 커패시터 - 상기 저장 커패시터는 상기 디스플레이 픽셀에 대한 데이터 신호를 저장하도록 구성됨 -; 및

상기 제1 반도체 유형의 상기 트랜지스터와 상기 제2 반도체 유형의 상기 트랜지스터 사이의 중간 노드에 결합된 정합 커패시터 - 상기 정합 커패시터는 상기 제1 반도체 유형의 상기 트랜지스터가 턴 오프(turn off)됨에 따라 상기 제1 반도체 유형의 상기 트랜지스터를 통해 흐르는 재균형화 전류(rebalancing current)를 감소시키도록 구성되고, 상기 정합 커패시터는 상기 저장 커패시터보다 작음 -를 추가로 포함하는, 디스플레이 픽셀.

청구항 7

제3항에 있어서,

상기 구동 트랜지스터의 상기 게이트 단자에 결합된 저장 커패시터 - 상기 저장 커패시터는 상기 디스플레이 픽셀에 대한 데이터 신호를 저장하도록 구성됨 -; 및

상기 구동 트랜지스터의 상기 드레인 단자에 결합된 정합 커패시터 - 상기 정합 커패시터는 상기 제1 반도체 유형의 상기 트랜지스터가 턴 오프됨에 따라 상기 제1 반도체 유형의 상기 트랜지스터를 통해 흐르는 재균형화 전류를 감소시키도록 구성됨 -를 추가로 포함하는, 디스플레이 픽셀.

청구항 8

제3항에 있어서, 상기 제1 반도체 유형의 상기 트랜지스터는 스캔 제어 신호를 수신하도록 구성된 게이트 단자를 가지며, 상기 제2 반도체 유형의 상기 트랜지스터는 상기 스캔 제어 신호와는 상이한 방출 제어 신호를 수신하도록 구성된 게이트 단자를 갖는, 디스플레이 픽셀.

청구항 9

제3항에 있어서, 상기 제1 반도체 유형의 상기 트랜지스터 및 상기 제2 반도체 유형의 상기 트랜지스터는 상기 동일한 스캔 제어 신호를 수신하도록 구성된 게이트 단자들을 가지며, 상기 제1 반도체 유형의 상기 트랜지스터는 제1 임계 전압을 가지며, 상기 제2 반도체 유형의 상기 트랜지스터는 상기 제1 임계 전압보다 큰 제2 임계 전압을 갖는, 디스플레이 픽셀.

청구항 10

제3항에 있어서,

상기 구동 트랜지스터 및 상기 발광 다이오드에 직렬로 결합된 제1 방출 트랜지스터;

상기 구동 트랜지스터 및 상기 발광 다이오드에 직렬로 결합된 제2 방출 트랜지스터;

상기 발광 다이오드에 직접 결합된 초기화 트랜지스터; 및

상기 구동 트랜지스터의 상기 소스 단자에 직접 결합된 데이터 로딩 트랜지스터를 추가로 포함하는, 디스플레이 픽셀.

청구항 11

디스플레이 픽셀을 동작시키는 방법으로서,

방출 단계 동안, 상기 디스플레이 픽셀 내의 구동 트랜지스터를 이용하여 방출 전류를 상기 디스플레이 픽셀 내의 발광 다이오드로 전달하는 단계 - 상기 구동 트랜지스터는 드레인 단자 및 게이트 단자를 포함함 -;

상기 구동 트랜지스터의 상기 드레인 단자와 상기 게이트 단자 사이에 결합된 제1 반도체 유형의 트랜지스터를 이용하여 상기 방출 단계 동안 상기 구동 트랜지스터의 상기 게이트 단자에서의 누설을 감소시키는 단계 - 상기 제1 반도체 유형의 상기 트랜지스터는 임계 전압을 가짐 -; 및

상기 제1 반도체 유형의 상기 트랜지스터와 상기 구동 트랜지스터의 상기 게이트 단자 사이에 개재된 제2 반도체 유형의 트랜지스터를 이용하여 상기 제1 반도체 유형의 상기 트랜지스터의 상기 임계 전압에 대한 상기 방출 전류의 민감도를 감소시키는 단계를 포함하는, 방법.

청구항 12

제11항에 있어서, 상기 제1 반도체 유형의 상기 트랜지스터는 반전도성-산화물 박막 트랜지스터를 포함하고, 상기 제2 반도체 유형의 상기 트랜지스터는 규소 박막 트랜지스터를 포함하는, 방법.

청구항 13

제12항에 있어서,

스캔 제어 신호를 상기 제1 반도체 유형의 상기 트랜지스터의 게이트 단자에 제공하는 단계;

상기 스캔 제어 신호와는 상이한 방출 제어 신호를 상기 제2 반도체 유형의 상기 트랜지스터의 게이트 단자에 제공하는 단계; 및

상기 스캔 제어 신호의 하강 에지 전에 상기 방출 제어 신호를 비활성설정(deasserting)하고 상기 스캔 제어 신호의 상기 하강 에지 후에 상기 방출 제어 신호를 활성설정(asserting)하는 단계를 추가로 포함하는, 방법.

청구항 14

제12항에 있어서,

스캔 제어 신호를 상기 제1 반도체 유형의 상기 트랜지스터의 게이트 단자에 제공하는 단계;

상기 스캔 제어 신호를 상기 제2 반도체 유형의 상기 트랜지스터의 게이트 단자에 제공하는 단계; 및

상기 스캔 제어 신호의 하강 에지에서 상기 제1 반도체 유형의 상기 트랜지스터를 턴 오프하기 전에 상기 제2 반도체 유형의 상기 트랜지스터를 턴 오프하는 단계를 추가로 포함하는, 방법.

청구항 15

전자 디바이스로서,

디스플레이 픽셀들의 어레이를 갖는 디스플레이를 포함하고, 상기 디스플레이 픽셀들의 어레이 내의 각각의 디스플레이 픽셀은:

발광 다이오드;

상기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 - 상기 구동 트랜지스터는 드레인 단자, 게이트 단자, 및 소스 단자를 포함함 -;

상기 구동 트랜지스터의 상기 드레인 단자와 상기 게이트 단자 사이에 결합된 반전도성-산화물 트랜지스터; 및

상기 반전도성-산화물 트랜지스터와 상기 구동 트랜지스터의 상기 게이트 단자 사이에 결합된 규소 트랜지스터를 포함하는, 전자 디바이스.

청구항 16

제15항에 있어서, 상기 디스플레이 픽셀들의 어레이 내의 각각의 디스플레이 픽셀은:

상기 구동 트랜지스터의 상기 게이트 단자에 직접 결합된 저장 커패시터; 및

상기 반전도성-산화물 트랜지스터에 직접 결합된 정합 커패시터 - 상기 정합 커패시터는 상기 반전도성-산화물 트랜지스터를 통해 흐르는 채균형화 전류를 감소시키도록 구성됨 -를 추가로 포함하는, 전자 디바이스.

청구항 17

제16항에 있어서, 상기 정합 커패시터는 실질적으로 상기 저장 커패시터보다 작은, 전자 디바이스.

청구항 18

제17항에 있어서, 상기 디스플레이 픽셀들의 어레이 내의 각각의 디스플레이 픽셀은:

상기 구동 트랜지스터 및 상기 발광 다이오드에 직렬로 결합된 제1 방출 트랜지스터;

상기 구동 트랜지스터 및 상기 발광 다이오드에 직렬로 결합된 제2 방출 트랜지스터;

상기 발광 다이오드에 직접 결합된 초기화 트랜지스터; 및

상기 구동 트랜지스터의 상기 소스 단자에 직접 결합된 데이터 로딩 트랜지스터를 추가로 포함하는, 전자 디바이스.

청구항 19

제18항에 있어서,

제1 스캔 제어 신호를 상기 반전도성-산화물 트랜지스터의 게이트 단자 및 상기 초기화 트랜지스터의 게이트 단자에 출력하도록 구성된 제1 스캔 라인 구동 회로;

제2 스캔 제어 신호를 상기 데이터 로딩 트랜지스터의 게이트 단자에 출력하도록 구성된 제2 스캔 라인 구동 회로;

제1 방출 제어 신호를 상기 제1 방출 트랜지스터의 게이트 단자에 출력하도록 구성된 제1 방출 라인 구동 회로;

제2 방출 제어 신호를 상기 제2 방출 트랜지스터의 게이트 단자에 출력하도록 구성된 제2 방출 라인 구동 회로; 및

제3 방출 제어 신호를 상기 규소 트랜지스터의 게이트 단자에 출력하도록 구성된 제3 방출 라인 구동 회로 - 상기 제3 방출 라인 구동 회로는 상기 제1 스캔 제어 신호를 상기 제1 스캔 라인 구동 회로로부터 수신하고 상기 제2 스캔 제어 신호를 상기 제2 스캔 라인 구동 회로로부터 수신하도록 구성됨 -를 추가로 포함하는, 전자 디바이스.

청구항 20

제19항에 있어서, 상기 제1 방출 라인 구동 회로는 제1 쌍의 클록 신호들을 수신하도록 구성되고, 상기 제2 방출 라인 구동기는 제2 쌍의 클록 신호들을 수신하도록 구성되고, 상기 제3 방출 라인 구동 회로는 상기 제1 방출 라인 구동 회로와 연관된 상기 제1 쌍의 클록 신호들 및 상기 제2 방출 라인 구동 회로와 연관된 상기 제2 쌍의 클록 신호들 중 선택된 하나를 수신하도록 추가로 구성된, 전자 디바이스.

청구항 21

제19항에 있어서, 상기 제3 방출 라인 구동 회로는 시작 펄스 신호를 수신하지 않는, 전자 디바이스.

청구항 22

휘도를 나타내는 디스플레이를 동작시키는 방법으로서,

상기 디스플레이의 상기 휘도를 제어하기 위하여 펄스 폭 변조(PWM) 방식을 사용하는 단계; 및

디스플레이 에이징 효과로 인해 상기 디스플레이의 상기 휘도가 저하되는 제1 기간 후에, 상기 휘도 저하를 보상하기 위하여 상기 PWM 방식에 대한 듀티 사이클을 증가시키는 단계를 포함하는, 방법.

청구항 23

제22항에 있어서, 상기 제1 기간은 적어도 100 시간인, 방법.

청구항 24

제22항에 있어서,

상기 제1 기간을 뒤따르는 제2 기간 후에, 상기 디스플레이에서의 임의의 휘도 저하를 보상하기 위하여 상기 PWM 방식에 대한 상기 듀티 사이클을 추가로 증가시키는 단계 - 상기 제2 기간은 상기 제1 기간과 동일함 -를 추가로 포함하는, 방법.

청구항 25

제22항에 있어서, 상기 PWM 방식을 사용하는 단계는:

펄스 폭 변조된 방출 제어 신호를 상기 디스플레이 상의 대응하는 방출 트랜지스터들에 공급하는 단계를 포함하고, 상기 PWM 방식의 상기 듀티 사이클을 증가시키는 단계는:

상기 디스플레이가 제1 디스플레이 밝기 설정에 있을 때 상기 방출 제어 신호의 상기 펄스 폭을 제1 양만큼 늘리는 단계; 및

상기 디스플레이가 제2 디스플레이 밝기 설정에 있을 때, 상기 방출 제어 신호의 상기 펄스 폭을 상기 제1 양과는 상이한 제2 양만큼 늘리는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 2018년 9월 7일자로 출원된 미국 특허 출원 제16/125,449호, 및 2018년 6월 5일자로 출원된 미국 가 특허 출원 제62/680,911호에 대한 우선권을 주장하며, 그로써 그 특허 출원 및 그 가특허 출원은 그들 전체가 본 명세서에 인용에 의해 포함된다.

[0002] 기술분야

[0003] 본원은 일반적으로 전자 디바이스에 관한 것으로, 보다 상세하게는 디스플레이를 구비한 전자 디바이스에 관한 것이다.

배경 기술

[0004] 전자 디바이스들은 종종 디스플레이들을 포함한다. 예를 들어, 셀룰러 전화기 및 휴대용 컴퓨터는 사용자에게 정보를 제시하기 위한 디스플레이들을 포함한다.

[0005] 유기발광 다이오드 디스플레이와 같은 디스플레이는 발광 다이오드에 기초한 디스플레이 픽셀들의 어레이를 가진다. 이러한 유형의 디스플레이에서, 각각의 디스플레이 픽셀은 발광 다이오드, 및 광을 생성하기 위한 발광 다이오드에 대한 신호의 인가를 제어하기 위한 박막 트랜지스터들을 포함한다.

[0006] 예를 들어, 디스플레이 픽셀은 종종 발광 다이오드를 통해 흐르는 전류량을 제어하는 구동 박막 트랜지스터 및 구동 박막 트랜지스터의 게이트 단자에 직접 연결된 스위칭 트랜지스터를 포함한다. 스위칭 트랜지스터는 반전도성-산화물 트랜지스터로서 구현되는데, 이는 통상적으로 턴 오프될 때 낮은 누설을 나타낸다. 반전도성-산화물 스위칭 트랜지스터의 이러한 낮은 누설 속성은, 구동 박막 트랜지스터가 전류를 발광 다이오드에 전달하여 광을 생성할 때, 디스플레이 픽셀의 주어진 방출 기간 동안 구동 박막 트랜지스터의 게이트 단자에서의 전압을 상대적으로 일정하게 유지하는 것을 돕는다.

[0007] 그러나, 반전도성-산화물 스위칭 트랜지스터는 디스플레이의 수명에 걸쳐 신뢰성 문제를 나타낸다. 특히, 반전도성-산화물 트랜지스터는 반전도성-산화물 트랜지스터가 반복적으로 턴 온 및 턴 오프되는 바와 같이 시간에 따라 드리프트되는 임계 전압을 갖는다. 반전도성-산화물 트랜지스터의 임계 전압이 변화함에 따라, 방출 직전에 구동 박막 트랜지스터의 게이트 단자에서의 전압이 또한 영향을 받을 것이다. 이는 발광 다이오드를 통해 흐르는 전류의 양에 직접적으로 영향을 미치며, 이는 디스플레이 픽셀에 의해 생성되는 광 또는 휘도의 양을 제어한다. 반전도성-산화물 스위칭 트랜지스터의 임계 전압에 대한 발광 다이오드 전류의 이러한 민감도는 비이상적인 디스플레이 거동들, 예컨대, 디스플레이에 걸친 휘도 불균일성, 디스플레이의 수명에 걸친 휘도 저하, 디스플레이의 수명에 걸친 바람직하지 않은 색변이(예컨대, 디스플레이 상의 시안(cyan)/그리니시(greenish) 색조(tint)를 생성함) 등의 위험을 증가시킨다.

발명의 내용

[0008] 전자 디바이스는 디스플레이 픽셀들의 어레이를 갖는 디스플레이를 포함할 수 있다. 디스플레이 픽셀들은 유기발광 다이오드 디스플레이 픽셀들일 수 있다. 각각의 디스플레이 픽셀은 발광 다이오드, 발광 다이오드와 직렬로 결합된 구동 트랜지스터, 구동 트랜지스터의 드레인 단자와 게이트 단자 사이에 결합된 제1 반도체 유형의 트랜지스터(예컨대, 반전도성-산화물 박막 트랜지스터), 제1 반도체 유형의 트랜지스터와 구동 트랜지스터의 게이트 단자 사이에 배치된 제2 반도체 유형의 트랜지스터(예컨대, 저온 폴리규소 트랜지스터와 같은 규소 박막 트랜지스터), 구동 트랜지스터 및 발광 다이오드에 직렬로 결합된 제1 방출 트랜지스터, 구동 트랜지스터 및 전력 라인에 직렬로 결합된 제2 방출 트랜지스터, 발광 다이오드에 직접 결합된 초기화 트랜지스터, 및 구동 트랜지스터의 소스 단자에 직접 결합된 데이터 로딩 트랜지스터를 포함할 수 있다. 특히, 반전도성-산화물 트랜지스터는 구동 트랜지스터의 게이트 단자에서의 누설을 감소시키도록 구성될 수 있고, 규소 트랜지스터는 반전도성-산화물 트랜지스터의 임계 전압에 대한, 발광 다이오드를 통해 흐르는 방출 전류의 민감도를 감소시키도록 구성될 수 있다.

[0009] 각각의 디스플레이 픽셀은 구동 트랜지스터의 게이트 단자에 결합된 저장 커패시터(예를 들어, 디스플레이 픽셀에 대한 데이터 신호를 저장하도록 구성된 저장 커패시터) 및 반전도성-산화물 트랜지스터의 소스 단자 또는 드레인 단자 중 어느 하나에 직접 결합된 정합 커패시터를 추가로 포함할 수 있다. 정합 커패시터는 반전도성-산화물 트랜지스터가 턴 오프됨에 따라 반전도성-산화물 트랜지스터를 통해 흐르는 재균형화 전류를 감소시키도록 구성될 수 있다. 정합 커패시터는 일반적으로 실질적으로 저장 커패시터보다 작을 수 있다(예컨대, 정합 커패시터는 저장 커패시터보다 적어도 두 배 작을 수 있고, 저장 커패시터보다 적어도 4 배 작거나, 적어도 8 배 작거나, 적어도 10 배 작거나, 2 내지 10 배 작거나, 10 내지 20 배 작거나, 20 내지 100 배 작거나, 100 내지 1000 배 작거나, 또는 1000 배 넘게 작을 수 있음).

[0010] 일 적합한 구성에서, 반전도성-산화물 트랜지스터는 스캔 제어 신호를 수신하도록 구성된 게이트 단자를 갖는 반면, 규소 트랜지스터는 스캔 제어 신호와는 상이한 방출 제어 신호를 수신하도록 구성된 게이트 단자를 갖는

다. 다른 적합한 구성에서, 반전도성-산화물 트랜지스터 및 규소 트랜지스터는 동일한 스캔 제어 신호를 수신하도록 구성된 게이트 단자들을 갖는다. 규소 트랜지스터의 임계 전압은 반전도성-산화물 트랜지스터의 임계 전압보다 높아서, 반전도성-산화물 트랜지스터가 스캔 제어 신호의 하강 에지에서 턴 오프되기 전에 규소 트랜지스터가 턴 오프되도록 보장할 수 있다. 이러한 방식으로 구성되고 동작되면, 전자 디바이스는 디스플레이에 걸친 휘도 균일성, 디스플레이의 수명에 걸친 휘도 저하 감소, 및 디스플레이의 수명에 걸친 색변이 감소를 나타낼 것이다.

[0011] 다른 적합한 구성에 따르면, 디스플레이는 디스플레이의 휘도를 조절하는 펄스 폭 변조(PWM) 방식을 이용하여 제어될 수 있다. PWM 방식의 듀티 사이클은 100 내지 1000 시간마다 한번씩 증가되어 디스플레이에 대한 임의의 휘도 저하를 보상할 수 있다.

[0012] 또 다른 적합한 구성에 따르면, 반전도성-산화물 트랜지스터를 제어하는 스캔 제어 신호는 디스플레이에서의 임의의 휘도 저하를 보상하기 위하여 반전도성 산화물 트랜지스터의 임계 전압의 변화에 적응될 수 있다. 예를 들어, 스캔 제어 신호의 높은 전압 레벨은 적어도 300 시간마다 한번씩 30 내지 70 mV만큼 감소되어 디스플레이의 휘도를 의도된 레벨에서 유지하도록 도울 수 있다. 다른 예를 들어, 스캔 제어 신호의 저전압 레벨은 적어도 300 시간마다 한번씩 30 내지 70 mV만큼 증가되어 디스플레이의 휘도를 바람직한 레벨에서 유지하도록 도울 수 있다.

도면의 간단한 설명

[0013] 도 1은 실시예에 따른 유기발광 다이오드(OLED) 디스플레이 픽셀들의 어레이를 갖는 유기발광 다이오드 디스플레이와 같은 예시적인 디스플레이의 도면이다.

도 2는 일 실시예에 따른 낮은 리프래시 레이트 디스플레이 구동 방식의 도면이다.

도 3a는 산화물 트랜지스터 임계 전압에 민감한 방출 전류를 생성하도록 구성된 유기발광 다이오드 디스플레이 픽셀의 회로도이다.

도 3b는 도 3a에 도시된 유기발광 다이오드 디스플레이 픽셀에서 반전도성-산화물 트랜지스터를 턴 오프할 때 전하 주입 및 클럭 피드스루(clock feedthrough)의 효과를 도시하는 도면이다.

도 4는 도 3a에 도시된 유기발광 다이오드 디스플레이 픽셀의 동작을 도시하는 타이밍도이다.

도 5a는 반전도성-산화물 트랜지스터의 임계 전압 및 규소 트랜지스터의 임계 전압이 시간에 따라 어떻게 변하는지를 도시하는 도면이다.

도 5b는 도 3a에 도시된 유기발광 다이오드 디스플레이 픽셀 내의 반전도성-산화물 트랜지스터의 임계 전압에 대한 OLED 방출 전류의 민감도를 예시하는 도면이다.

도 6a는 일 실시예에 따른, 산화물 트랜지스터 임계 전압에 대해 낮은 민감도를 갖는 방출 전류를 생성하도록 구성된 예시적인 유기발광 다이오드 디스플레이 픽셀의 회로도이다.

도 6b 내지 도 6g는 일부 실시예들에 따른, 도 6a의 디스플레이 픽셀 내의 산화물-반도체 트랜지스터가 턴 오프된 후의 재균형화 전류를 감소시키기 위한 상이한 커패시터 구성들을 도시하는 도면들이다.

도 7은 일 실시예에 따른 도 6a에 도시된 유기발광 다이오드 디스플레이 픽셀의 동작을 도시하는 타이밍도이다.

도 8은 산화물 트랜지스터 임계 전압에 대해 낮은 민감도를 갖는 방출 전류를 생성하도록 구성된 예시적인 유기발광 다이오드 디스플레이 픽셀의 회로도이며, 반전도성-산화물 트랜지스터 및 직렬 연결 규소 트랜지스터는 일 실시예에 따라 동일한 스캔 신호에 의해 제어된다.

도 9는 일 실시예에 따른 도 8에 도시된 유기발광 다이오드 디스플레이 픽셀의 동작을 도시하는 타이밍도이다.

도 10은 일 실시예에 따른, 대응하는 방출 및 스캔 제어 신호들을 생성하도록 구성된 예시적인 게이트 드라이버 회로들의 도면이다.

도 11a는 일 실시예에 따른, 다른 게이트 드라이버 회로들과 연관된 제어 신호들을 수신하는 방출 게이트 드라이버의 회로도이다.

도 11b는 일 실시예에 따른, 도 11a에 도시된 방출 게이트 드라이버의 동작을 예시하는 타이밍도이다.

도 12는 일 실시예에 따른, 도 11a에 도시된 방출 게이트 드라이버보다 더 적은 커패시터들을 갖는 방출 게이트 드라이버의 회로도이다.

도 13a는 일 실시예에 따른, 방출 신호들의 펄스 폭이 어떻게 디스플레이의 수명에 걸쳐 휘도 저하를 보상할 수 있는지 나타내는 타이밍도이다.

도 13b는 일 실시예에 따른, 방출 신호들의 듀티 사이클이 시간에 따라 어떻게 조정될 수 있는지 보여주는 그래프이다.

도 13c는 일 실시예에 따른, 방출 신호들의 펄스 폭 오프셋이 제1 밝기 설정에서 시간에 따라 어떻게 증가될 수 있는지 나타내는 도면이다.

도 13d는 일 실시예에 따른, 방출 신호들의 펄스 폭 오프셋이 제2 밝기 설정에서 시간에 따라 어떻게 증가될 수 있는지 나타내는 도면이다.

도 14a는 일 실시예에 따른, 액티브-하이(active-high) 스캔 제어 신호의 도면이다.

도 14b는 일 실시예에 따른, 액티브-하이 스캔 제어 신호의 포지티브 전압 레벨이 어떻게 디스플레이 휘도 저하를 완화시키도록 조정될 수 있는지 나타내는 타이밍도이다.

도 14c는 일 실시예에 따른, 액티브-하이 스캔 제어 신호의 포지티브 전압 레벨을 감소시키는 것이 어떻게 디스플레이 휘도를 증가시키는 것을 도울 수 있는지 나타내는 그래프이다.

도 15a는 일 실시예에 따른, 액티브-로우(active-low) 스캔 제어 신호의 도면이다.

도 15b는 일 실시예에 따른, 액티브-로우 스캔 제어 신호의 저전압 레벨이 어떻게 디스플레이 휘도 저하를 완화시키도록 조정될 수 있는지 나타내는 타이밍도이다.

도 15c는 일 실시예에 따른, 액티브-로우 스캔 제어 신호의 저전압 레벨을 증가시키는 것이 어떻게 디스플레이 휘도를 증가시키는 것을 도울 수 있는지 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0014] 전자 디바이스의 디스플레이는 디스플레이 픽셀들의 어레이 상에 이미지들을 디스플레이하기 위한 구동 회로부가 제공될 수 있다. 예시적인 디스플레이가 도 1에 도시된다. 도 1에 도시된 바와 같이, 디스플레이(14)는 기판(24)과 같은 하나 이상의 층을 가질 수 있다. 기판(24)과 같은 층들은 평면 글래스 층과 같은 재료의 평면 직사각형 층들로 형성될 수 있다. 디스플레이(14)는 사용자를 위한 이미지들을 디스플레이하기 위한 디스플레이 픽셀들(22)의 어레이를 가질 수 있다. 디스플레이 픽셀들(22)의 어레이는 기판(24) 상에 디스플레이 픽셀 구조체들의 행과 열로 형성될 수 있다. 이러한 구조체들은 폴리규소 박막 트랜지스터, 반도체성 산화물 박막 트랜지스터 등과 같은 박막 트랜지스터를 포함할 수 있다. 디스플레이 픽셀들(22)의 어레이 내에 임의의 적합한 수의 행들 및 열들이 있을 수 있다(예컨대, 10 개 이상, 100 개 이상, 또는 1000 개 이상).

[0015] 디스플레이 구동 집적회로(16)와 같은 디스플레이 구동 회로부는 솔더 또는 전도성 접착제를 이용하여 기판(24) 상에 금속 트레이스와 같은 전도성 경로들에 결합될 수 있다. 디스플레이 구동 집적회로(16)(종종 타이밍 제어 칩으로 지칭됨)는 경로(25)를 통해 시스템 제어 회로부와 통신하기 위한 통신 회로부를 포함할 수 있다. 경로(25)는 가요성 인쇄 회로 상의 트레이스들 또는 기타 케이블로 형성될 수 있다. 시스템 제어 회로부는 셀룰러 전화기, 컴퓨터, 컴퓨터 태블릿, 텔레비전, 셋톱 박스, 미디어 플레이어, 손목 시계, 휴대용 전자 디바이스, 또는 디스플레이(14)가 사용되고 있는 기타 전자 장비와 같은 전자 디바이스 내의 메인 로직 보드 상에 위치할 수 있다. 동작 동안, 시스템 제어 회로부는 디스플레이 구동 집적회로(16)에 디스플레이(14) 상에서 표시될 이미지들에 관한 정보를 경로(25)를 통해 공급할 수 있다. 디스플레이 픽셀들(22)상에 이미지들을 표시하기 위해, 디스플레이 구동 집적 회로(16)는 행 구동 회로부(18) 및 열 구동 회로부(20)와 같은 디스플레이 구동 회로부에 클럭 신호들 및 기타 제어 신호들을 공급할 수 있다. 행 구동 회로부(18) 및/또는 열 구동 회로부(20)는 기판(24) 상에 하나 이상의 집적 회로들 및/또는 하나 이상의 박막 트랜지스터 회로들로 형성될 수 있다.

[0016] 행 구동 회로부(18)는 디스플레이(14)의 좌측 에지 및 우측 에지 상에, 디스플레이(14)의 한쪽 에지 상에, 또는 디스플레이(14) 내의 어느 곳이든 위치할 수 있다. 동작 동안, 행 구동 회로부(18)는 수평 라인들(28) 상에 행 제어 신호들을 제공할 수 있다(때때로 행 라인들 또는 "스캔" 라인들로 지칭됨). 행 구동 회로부(18)는 때때로 스캔 라인 구동 회로부로 지칭될 수 있다. 행 구동 회로부(18)는 또한, 원하는 경우, 방출 제어 라인들과 같은

기타 행 제어 신호들을 제공하는 데 사용될 수 있다.

- [0017] 열 구동 회로부(20)는 디스플레이 구동 집적 회로(16)로부터의 데이터 신호들(D)을 복수의 대응하는 수직 라인들(26) 상으로 제공하는 데 사용될 수 있다. 열 구동 회로부(20)는 때때로 데이터 라인 구동 회로부 또는 소스 구동 회로부로 지칭될 수 있다. 수직 라인들(26)은 때때로 데이터 라인으로 지칭된다. 보상 동작 동안, 열 구동 회로부(20)는 수직 라인들(26)과 같은 경로들을 사용하여 기준 전압을 공급할 수 있다. 프로그래밍 동작 동안, 디스플레이 데이터는 라인들(26)을 이용하여 디스플레이 픽셀들(22) 내에 로딩된다.
- [0018] 각각의 데이터 라인(26)은 디스플레이 픽셀들(22)의 각각의 열과 연관된다. 수평 신호 라인들(28)의 세트들은 디스플레이(14)에 걸쳐 수평으로 이어진다. 전력 공급 경로들 및 다른 라인들이 또한 픽셀들(22)에 신호들을 공급할 수 있다. 수평 신호 라인들(28)의 각각의 세트는 디스플레이 픽셀들(22)의 각각의 행과 연관된다. 각각의 행 내의 수평 신호 라인들의 수는 수평 신호 라인들에 의해 독립적으로 제어되고 있는 디스플레이 픽셀들(22) 내의 트랜지스터들의 수에 의해 결정될 수 있다. 상이한 구성들의 디스플레이 픽셀들은 상이한 수의 제어 라인들, 데이터 라인들, 전력 공급 라인들 등에 의해 동작될 수 있다.
- [0019] 행 구동 회로부(18)는 디스플레이(14) 내의 행 라인들(28) 상에 제어 신호들을 활성화설정(assert)할 수 있다. 예를 들어, 구동 회로부(18)는 디스플레이 구동 집적 회로(16)로부터 클럭 신호들 및 기타 제어 신호들을 수신할 수 있고, 수신된 신호들에 응답하여, 디스플레이 픽셀들(22)의 각 행의 제어 신호들을 활성화설정할 수 있다. 디스플레이 픽셀들(22)의 행들은, (예를 들어) 디스플레이 픽셀들의 어레이의 상부에서 시작하여 어레이의 저부에서 종료되는 이미지 데이터의 각각의 프레임에 대하여 프로세싱함으로써, 순차적으로 처리될 수 있다. 소정 행 내의 스캔 라인들이 활성화설정되어 있는 동안, 회로부(16)에 의해 열 구동 회로부(20)에 제공된 제어 신호들 및 데이터 신호들은 회로부(20)로 하여금 연관된 데이터 신호들(D)을 역다중화하고 데이터 라인들(26) 상으로 구동하도록 하여, 그 행 내의 디스플레이 픽셀들이 데이터 라인들(D) 상에 나타나는 디스플레이 데이터로 프로그래밍되도록 할 것이다. 이어서, 디스플레이 픽셀들은 로딩된 디스플레이 데이터를 디스플레이할 수 있다.
- [0020] 디스플레이(14)와 같은 유기발광 다이오드(OLED) 디스플레이에서, 각각의 디스플레이 픽셀은 발광을 위한 각각의 유기발광 다이오드를 포함한다. 구동 트랜지스터는 유기발광 다이오드로부터 출력되는 광의 양을 제어한다. 디스플레이 픽셀 내의 제어 회로부는, 유기발광 다이오드로부터의 출력 신호의 강도가 디스플레이 픽셀에 로딩된 데이터 신호의 크기에 비례하는 반면, 구동 트랜지스터의 임계 전압에는 독립적으로 되도록, 임계 전압 보상 동작을 수행하도록 구성된다.
- [0021] 디스플레이(14)는 낮은 리프레시 레이트 동작을 지원하도록 구성될 수 있다. 상대적으로 낮은 리프레시 레이트(예컨대, 1 Hz, 2 Hz, 1 내지 10 Hz의 리프레시 레이트, 100 Hz 미만, 60 Hz 미만, 30 Hz 미만, 10 Hz 미만, 5 Hz 미만, 1 Hz 미만, 또는 다른 적합하게 낮은 레이트)를 이용하여 디스플레이(14)를 동작시키는 것은 정적인 또는 거의 정적인 콘텐츠를 출력하는 애플리케이션들 및/또는 최소 전력 소모를 요구하는 애플리케이션들에 적합할 수 있다. 도 2는 일 실시예에 따른 낮은 리프레시 레이트 디스플레이 구동 방식의 도면이다. 도 2에 도시된 바와 같이, 디스플레이(14)는 짧은 데이터 리프레시 단계(기간 $T_{리프레시}$ 에 의해 표시됨)와 긴 블랭킹 기간 $T_{블랭크}$ 사이에서 교번할 수 있다. 기간 $T_{리프레시}$ 동안, 각각의 디스플레이 픽셀 내의 데이터 값은 리프레시, "리페인트(repainted)," 또는 업데이트될 수 있다.
- [0022] 예를 들어, 각각의 데이터 리프레시 기간 $T_{리프레시}$ 는 60 Hz 데이터 리프레시 동작에 따라 대략 16.67 밀리초(ms)일 수 있는 반면, 각각의 기간 $T_{블랭크}$ 는, 디스플레이(14)의 전체 리프레시 레이트가 (낮은 리프레시 레이트 디스플레이 동작의 예로서) 1 Hz보다 낮도록, 대략 1 초일 수 있다. 이와 같이 구성되면, $T_{블랭크}$ 의 듀레이션은 조정하여 디스플레이(14)의 전체 리프레시 레이트를 튜닝할 수 있다. 예를 들어, $T_{블랭크}$ 의 듀레이션이 0.5초로 튜닝되는 경우, 전체 리프레시 레이트는 2 Hz로 증가될 것이다. 다른 예를 들어, $T_{블랭크}$ 의 듀레이션이 0.25초로 튜닝된다면, 전체 리프레시 레이트는 4 Hz로 증가될 것이다. 본 명세서에 기재된 실시예들에서, 블랭킹 구간 $T_{블랭크}$ 는 $T_{리프레시}$ 의 듀레이션의 적어도 두 배, $T_{리프레시}$ 의 듀레이션의 적어도 10 배, $T_{리프레시}$ 의 듀레이션의 적어도 20 배, $T_{리프레시}$ 의 듀레이션의 적어도 30 배, $T_{리프레시}$ 의 듀레이션의 적어도 60 배, $T_{리프레시}$ 의 듀레이션의 2 내지 100 배, $T_{리프레시}$ 의 듀레이션의 100 배 초과 등일 수 있다.
- [0023] 낮은 리프레시 레이트 동작을 지원하는 데 사용될 수 있는 디스플레이(14) 내의 예시적인 유기발광 다이오드 디스플레이 픽셀(22)의 개략도가 도 3a에 도시된다. 도 3a에 도시된 바와 같이, 디스플레이 픽셀(22)은 저장 커패시터(Cst) 및 n-형(즉, n-채널) 트랜지스터들(T1, T2, T3, T4, T5, T6)과 같은 트랜지스터들을 포함할 수 있다. 픽셀(22)의 트랜지스터들은 규소(예컨대, 저온 처리를 이용하여 증착되는 폴리실리콘, 때때로 LTPS 또는 저온 폴리실리콘으로 지칭됨)와 같은 반도체, 반전도성 산화물(예컨대, 인듐 갈륨 아연 산화물(IGZO)), 또

는 기타 적합한 반도체 재료로 형성된 박막 트랜지스터들일 수 있다. 다시 말하면, 이들 박막 트랜지스터의 활성 영역 및/또는 채널 영역은 폴리실리콘 또는 반전도성 산화물 재료로 형성될 수 있다.

[0024] 디스플레이 픽셀(22)은 발광 다이오드(304)를 포함할 수 있다. 포지티브 전력 공급 전압(VDEL)(예컨대, 1 V, 2 V, 1 V 초과, 0.5 내지 5 V, 1 내지 10 V, 또는 기타 적합한 포지티브 전압)이 포지티브 전력 공급 단자(300)에 공급될 수 있고, 접지 전력 공급 전압(VSSEL)(예컨대, 0 V, -1 V, -2 V, 또는 기타 적합한 네거티브 전압)은 접지 전력 공급 단자(302)에 공급될 수 있다. 트랜지스터(T2)의 상태는 단자(300)에서 단자(302)로 다이오드(304)를 통해 흐르는 전류량을 제어하고, 그럼으로써 디스플레이 픽셀(22)로부터의 발광(306)의 양을 제어한다. 따라서, 트랜지스터(T2)는 때때로 "구동 트랜지스터"로 지칭된다. 다이오드(304)는 연관된 기생 커패시턴스(C_{OLED})(도시되지 않음)를 가질 수 있다.

[0025] 단자(308)는 다이오드(304)가 사용되지 않을 때 다이오드(304)를 턴 오프하는 것을 돕기 위해 초기화 전압(Vini)(예컨대, 1 V, 2 V, 1 V 미만, 1 내지 5 V, 또는 다른 적합한 전압과 같은 포지티브 전압)을 공급하는 데 사용된다. 도 1의 행 구동 회로부(18)와 같은 디스플레이 구동 회로부로부터의 제어 신호들은 단자들(312, 313, 314, 315)과 같은 제어 단자들에 공급된다. 단자들(312, 313)은 각각 제1 및 제2 스캔 제어 단자들의 역할을 할 수 있는 반면, 단자들(314, 315)은 각각 제1 및 제2 방출 제어 단자들의 역할을 할 수 있다. 스캔 제어 신호들(Scan1, Scan2)은 스캔 단자들(312, 313)에 각각 적용될 수 있다. 방출 제어 신호들(EM1, EM2)은 단자들(314, 315)에 각각 공급될 수 있다. 데이터 신호 단자(310)와 같은 데이터 입력 단자는 디스플레이 픽셀(22)에 대한 이미지 데이터를 수신하기 위해 도 1의 각각의 데이터 라인(26)에 결합된다.

[0026] 트랜지스터들(T4, T2, T5), 및 다이오드(304)는 전력 공급 단자들(300, 302) 사이에 직렬로 결합될 수 있다. 특히, 트랜지스터(T4)는 포지티브 전력 공급 단자(300)에 결합된 드레인 단자, 방출 제어 신호(EM2)를 수신하는 게이트 단자, 및 트랜지스터들(T2, T3)에 결합된 소스 단자(노드(N1)로 라벨링됨)를 갖는다. 트랜지스터의 "소스" 및 "드레인" 단자들의 용어는 때때로 상호교환가능하게 사용될 수 있다. 구동 트랜지스터(T2)는 노드(N1)에 결합된 드레인 단자, 노드(N2)에 결합된 게이트 단자, 및 노드(N3)에 결합된 소스 단자를 갖는다. 트랜지스터(T5)는 노드(N3)에 결합된 드레인 단자, 방출 제어 신호(EM1)를 수신하는 게이트 단자, 및 노드(N4)에 결합된 소스 단자를 갖는다. 노드(N4)는 유기발광 다이오드(304)를 통해 접지 전력 공급 단자(302)에 결합된다.

[0027] 트랜지스터(T3), 커패시터(Cst), 및 트랜지스터(T6)는 노드(N1)와 단자(308) 사이에 직렬로 결합된다. 특히, 트랜지스터(T3)는 노드(N1)에 결합된 드레인 단자, 스캔 라인(312)으로부터 스캔 제어 신호(Scan1)를 수신하는 게이트 단자, 및 노드(N2)에 결합된 소스 단자를 갖는다. 저장 커패시터(Cst)는 노드(N2)에 결합된 제1 단자 및 노드(N4)에 결합된 제2 단자를 갖는다. 트랜지스터(T6)는 노드(N4)에 결합된 드레인 단자, 스캔 라인(312)을 통해 스캔 제어 신호(Scan1)를 수신하는 게이트 단자, 및 단자(308)를 통해 초기화 전압(Vini)을 수신하는 소스 단자를 갖는다.

[0028] 트랜지스터(T1)는 데이터 라인(310)을 통해 데이터 신호를 수신하는 드레인 단자, 스캔 라인(313)을 통해 스캔 제어 신호(Scan2)를 수신하는 게이트 단자, 및 노드(N3)에 결합된 소스 단자를 갖는다. 이러한 방식으로 연결되면, 방출 제어 신호(EM2)는 트랜지스터(T4)를 인에이블하도록 활성설정될 수 있고(예를 들어, 신호(EM2)가 트랜지스터(T4)를 턴 온하기 위해 고전압 레벨로 구동될 수 있음); 방출 제어 신호(EM1)는 트랜지스터(T5)를 활성화하도록 활성설정될 수 있고; 스캔 제어 신호(Scan2)는 트랜지스터(T1)를 턴 온하도록 활성설정될 수 있고; 스캔 제어 신호(Scan1)는 트랜지스터들(T3, T6)을 동시에 켜도록 활성설정될 수 있다. 트랜지스터들(T4, T5)은 때때로 방출 트랜지스터들로 지칭될 수 있다. 트랜지스터(T6)는 때때로 초기화 트랜지스터로 지칭될 수 있다. 트랜지스터(T1)는 때때로 데이터 로딩 트랜지스터로 지칭될 수 있다.

[0029] 하나의 적합한 구성에서, 트랜지스터(T3)는 반전도성-산화물 트랜지스터로서 구현될 수 있는 반면, 나머지 트랜지스터들(T1, T2, 및 T4 내지 T6)은 규소 트랜지스터들이다. 반전도성-산화물 트랜지스터는 규소 트랜지스터보다 상대적으로 더 낮은 누설을 나타내므로, 반전도성-산화물 트랜지스터로서 트랜지스터(T3)를 구현하는 것은(예컨대, 신호(Scan1)가 비활성설정되거나 로우 상태로 구동될 때 전류가 T3를 통해 누설되는 것을 방지함으로써) 낮은 리프래시 레이트에서 플리커(flicker)를 감소시키는 것을 도울 것이다.

[0030] 도 4는 도 3a에 도시된 유기발광 다이오드 디스플레이 픽셀(22)의 동작을 도시하는 타이밍도이다. 시간(t1) 이전에, 신호들(Scan1, Scan2)은 비활성설정되는 반면(예컨대, 스캔 제어 신호들은 둘 모두 저전압 레벨들에 있음), 신호들(EM1 및 EM2)은 활성설정된다(예컨대, 방출 제어 신호들은 둘 모두 고전압 레벨들에 있음). 방출 제어 신호들(EM1, EM2) 둘 모두가 하이 상태(high)일 때, 방출 전류가 구동 트랜지스터(T2)를 통해 대응하는 유기발광 다이오드(304) 안으로 흘러들어가서 광(306)을 생성할 것이다(도 3a 참조). 방출 전류는 때때로 OLED

전류 또는 OLED 방출 전류로 지칭되며, OLED 전류가 다이오드(304)에서 능동적으로 광을 생성하는 기간은 방출 단계로 지칭된다.

[0031] 시간(t1)에서, 방출 제어 신호(EM1)는 비활성설정되어(즉, 로우 상태로 구동되어) 방출 단계를 일시적으로 보류하고, 이는 데이터 리프래시 또는 데이터 프로그래밍 단계를 시작한다. 시간(t2)에서, 신호(Scan1)는 하이 상태의 펄스가 생성되어 트랜지스터들(T3, T6)을 활성화시킬 수 있으며, 이는 커패시터(Cst)에 걸친 전압을 사전 결정된 전압차(예컨대, $V_{DEL} - V_{ini}$)로 초기화할 수 있다.

[0032] 시간(t3)에서, 신호(Scan2)는 활성화설정되어 있고, 신호들(EM1, EM2)은 둘 모두 비활성설정되어 있는 동안, 스캔 제어 신호(Scan1)는 하이 상태의 펄스가 생성되어 바람직한 데이터 신호를 데이터 라인(310)으로부터 디스플레이 픽셀(22) 안으로 로딩한다. 시간(t4)에서, 스캔 제어 신호(Scan1)는 비활성설정되는데(예컨대, 로우 상태로 구동됨), 이는 데이터 프로그래밍 단계의 종료를 의미한다. 시간(t4)에서 신호(Scan1)의 하강 에지는 중요한 사건일 수 있는데, 그 이유는 트랜지스터(T3)의 불활성화와 연관된 임의의 의도치 않은 기생 효과들이 노드(N2)에서의 전압에 영향을 미칠 것이고, 이는 활성화 OLED 전류에 직접 영향을 줄 것이며, 그에 따라 대응하는 방출 단계에서(예컨대, 시간(t5)에서 방출 제어 신호들이 다시 활성화설정될 때) 픽셀(22)에 의해 생성되는 결과적인 휘도에 직접 영향을 줄 것이다.

[0033] 도 3b는 도 3a의 디스플레이 픽셀(22) 내의 반전도성-산화물 트랜지스터(T3)를 턴 오프할 때 클록 피드스루 및 전하 주입의 효과를 도시하는 도면이다. 도 3b에 도시된 바와 같이, 반전도성-산화물 트랜지스터(T3)는 그것의 게이트 단자와 소스 단자 사이에 결합된 기생 게이트-소스 커패시터(Cgs) 및 그것의 게이트 단자와 드레인 단자 사이에 결합된 기생 게이트-드레인 커패시터(Cgd)를 갖는다. 신호(Scan1)가 로우 상태로 구동될 때, Scan1 펄스의 하강 에지는 기생 커패시터(Cgs)를 통해 노드(N2)에 결합될 수 있다. 이러한 과도 기생 결합 이벤트의 결과로서, 노드(N2)는 순간 전압 시프트를 경험할 수 있다. 하강 신호 에지 거동이 트랜지스터(T3)의 게이트 단자로부터 트랜지스터(T3)의 소스 단자에 결합되는 이러한 효과는 때때로 "클록 피드스루"로 지칭된다. Scan1 클록 피드스루의 양은 기생 커패시터(Cgs)의 함수이며, 이는 시간에 따라 상대적으로 고정된 트랜지스터(T3)의 물리적 특성이다.

[0034] 신호(Scan1)가 하이 상태로부터 로우 상태로 전이됨에 따라, 전하가 또한 반전도성-산화물 트랜지스터(T3)의 게이트 단자로부터 그것의 소스 단자(전하 주입 경로(392)에 의해 표시된 바와 같음) 및 그것의 드레인 단자(전하 주입 경로(390)에 의해 표시된 바와 같음)로 흐를 수 있고, 이는 때때로 "전하 주입"으로 지칭되는 현상이다. 노드(N2) 내에 주입되는 전하(392)의 양 및 노드(N1) 내에 주입되는 전하(390)의 양은 일반적으로 노드들(N1, N2) 사이의 커패시터의 상대적인 차이에 의존할 수 있다. 노드(N1)에서의 총 유효 커패시터와 노드(N2)에서의 총 유효 커패시터 사이의 차이가 작다면, 전하 주입 양들(390, 392)은 상대적으로 유사할 것이며, 따라서 노드(N1) 및 N2에서의 종료 전압은 동일할 것이다. 그러나, 노드(N1)에서의 총 유효 커패시터와 노드(N2)에서의 총 유효 커패시터 사이의 차이가 크다면, 전하 주입 양들(390, 392)은 상이할 것이다.

[0035] 신호(Scan1)가 활성화설정되면, 노드(N1)에서의 전압(V_{N1})과 노드(N2)에서의 전압(V_{N2})은 동일하다. 그러나, 트랜지스터(T3)가 스위치 오프됨에 따라 클록 피드스루 및 전하 주입의 조합은 V_{N1} 이 V_{N2} 로부터 부정합되게 할 수 있다. 신호(Scan1)가 하강하고 있을 때, V_{N1} 이 V_{N2} 와 동일하지 않으면, 전류(I_{12})와 같은 소스-드레인 재균형화 전류 또는 재결합 전류는 노드(N1)에서 노드(N2)로 또는 노드(N2)로부터 노드(N1)로 흐를 수 있으며, 이는 트랜지스터(T3)가 셧오프된 후에도 노드(N2)에서의 전압이 변경되게 할 것이다.

[0036] 클록 피드스루 및 전하 주입 둘 모두가 노드(N2)에서의 전압에 영향을 미쳐, 이것이 구동 트랜지스터(T2)의 게이트 단자에 단락되기 때문에 두 기생 효과들은 OLED 디스플레이 픽셀(22)에 의해 생성되는 휘도에 잠재적으로 영향을 줄 수 있는데, 이는 OLED 방출 전류의 양이 트랜지스터(T2)의 게이트 전압에 의해 적어도 부분적으로 설정되기 때문이다. 노드(N2)에서의 전압 섭동의 양 및 이에 따라 재균형화 전류(I_{12})의 크기는 반전도성-산화물 트랜지스터(T3)의 임계 전압의 함수일 수 있다(즉, I_{12} 는 반전도성-산화물 트랜지스터 임계 전압(V_{th_ox})에 의존함). 반전도성-산화물 트랜지스터로서 트랜지스터(T3)를 구현하는 것은 구동 트랜지스터(T2)의 게이트 단자에서의 누설 전류를 최소화하는 것을 돕지만, 반전도성-산화물 트랜지스터(T3)는 신뢰성 문제를 겪을 수 있다.

[0037] 디스플레이 픽셀(22)의 데이터 프로그래밍 동작 동안, 스캔 클록 신호(Scan1)는 고전압 레벨(VSH)(예컨대, 10 V, 10 V 초과, 1 내지 10 V, 5 V 초과, 1 내지 5 V, 10 내지 15 V, 20 V, 20 V 초과, 또는 다른 적합한 포지티브/상승된 전압 레벨)로 풀업될 수 있고, 또한 저전압 레벨(VSL)(예컨대, -5 V, -1 V, 0 내지 -5 V, -5 내지 -10 V, 0 V 미만, -1 V 미만, -4 V 미만, -5 V 미만, -10 V 미만, 또는 다른 적합한 네거티브/하강 전압 레

벨)로 풀다운될 수 있다. 특히, 방출 단계 동안 반전도성-산화물 트랜지스터(T3)의 게이트 단자에서의 네거티브 전압(VSL)의 인가는 트랜지스터(T3)에 걸쳐 네거티브 게이트-소스 전압 스트레스를 주며, 이는 산화물 열화(때때로 에이징 효과로 지칭됨)를 야기할 수 있고, 시간에 따라 V_{th_ox} 가 드리프트되게 할 것이다. 도 5a는 반전도성-산화물 트랜지스터(T3)의 임계 전압이 시간에 따라 어떻게 변하는지를 도시하는 도면이다. 트레이스(500)는 디스플레이(14)의 수명 동안 반전도성-산화물 트랜지스터(T3)의 임계 전압을 나타낸다. 트레이스(500)에 의해 도시된 바와 같이, V_{th_ox} 는 시간에 따라 변화할 것이다(예컨대, 1 내지 4 주의 정상 디스플레이 동작 동안, 1 내지 12 개월의 정상 디스플레이 동작, 적어도 1 년의 디스플레이 동작 동안, 1 내지 5 년의 디스플레이 동작 동안, 1 내지 10 년의 디스플레이 동작 동안 등).

[0038] 도 5b는 V_{th_ox} 에서의 전압 변화의 양의 함수로서 OLED 방출 전류(I_{OLED})의 백분을 변화를 도시한다. 트레이스(502)는 도 3a의 유기발광 다이오드 디스플레이 픽셀(22)에서 트랜지스터(T3)의 임계 전압(V_{th_ox})에 대한 I_{OLED} 의 민감도를 예시한다. 도 5b의 트레이스(502)에 의해 도시된 바와 같이, V_{th_ox} 가 정상 임계 전압 양으로부터 1.5 V 멀어지는 경우 전류 I_{OLED} 는 대략 50% 증가할 수 있으며, V_{th_ox} 가 정상 임계 전압 양으로부터 -1.5 V 멀어지는 경우 전류 I_{OLED} 는 대략 40% 감소할 수 있다. 트레이스(502)에 의해 표현되는 바와 같이 V_{th_ox} 의 변화에 대한 OLED 전류의 이러한 상대적으로 높은 민감도는 비이상적인 거동들, 예컨대, 디스플레이에 걸친 휘도 불균일성, 휘도 저하, V_{th_ox} 가 시간에 따라 드리프트함에 따른 디스플레이에서의 바람직하지 않은 색변이를 야기할 수 있다.

[0039] 반전도성-산화물 트랜지스터(T3)와 연관된 신뢰성 문제를 완화시키는 것을 돕기 위해, n-채널 LTPS 트랜지스터(T7)와 같은 규소 트랜지스터가 반전도성-산화물 트랜지스터(T3)와 노드(N2) 사이에 개재될 수 있다(예컨대, 도 6a의 OLED 디스플레이 픽셀(22) 참조). 도 6a에 도시된 바와 같이, 규소 트랜지스터(T7)는 중간 노드(N5)에서 트랜지스터(T3)의 소스 단자에 연결되는 드레인 단자, 노드(N2)에서 구동 트랜지스터(T2)의 게이트 단자에 연결되는 소스 단자, 및 다른 방출 라인(316)을 통해 방출 제어 신호(EM3)를 수신하는 게이트 단자를 갖는다. 신호(EM3)는 트랜지스터(T7)를 선택적으로 턴 온시키기 위해 활성화설정될 수 있고(예를 들어, 하이 상태로 구동됨), 트랜지스터(T7)를 선택적으로 턴 오프하기 위해 비활성설정(예를 들어, 로우 상태로 구동됨)될 수 있다. 도 3a의 픽셀 회로와 동일한 도면 부호로 표시된 도 6a의 픽셀(22)의 나머지 부분은 유사한 배열을 사용하여 상호연결되고, 본 실시 형태를 불명료하게 하는 것을 피하기 위해 상세히 반복될 필요는 없다.

[0040] 도 7은 도 6a에 도시된 유형의 OLED 디스플레이 픽셀(22)의 동작을 예시하는 타이밍도이다. 시간(t_1) 이전에, 신호들(Scan1, Scan2)은 비활성설정되고(예를 들어, 스캔 제어 신호들은 둘 모두 VSL로 로우 상태로 구동됨), 신호들(EM1, EM2, 및 EM3)은 활성화설정된다(예컨대, 방출 제어 신호들은 포지티브 전력 공급 전압 레벨들에 있음). 방출 제어 신호들(EM1, EM2)이 둘 모두가 하이 상태이면, 방출 전류는 구동 트랜지스터(T2)를 통해 대응하는 유기발광 다이오드(304) 안으로 흘러들어가서 방출 단계 동안 광을 생성할 것이다. 방출 제어 신호(EM3)가 활성화설정되면, 노드(N5)는 규소 트랜지스터(T7)를 통해 노드(N2)에 효과적으로 단락된다.

[0041] 시간(t_1)에서, 방출 제어 신호(EM1)는 비활성설정되어(예컨대, 로우 상태로 구동되어) 방출 단계를 일시적으로 보류하고, 이는 데이터 프로그래밍 단계를 시작한다. 시간(t_2)에서, 신호(Scan1)는 하이 상태의 펄스가 생성되어 트랜지스터들(T3, T6)을 활성화시킬 수 있으며, 이는 커패시터(Cst)에 걸친 전압을 사전결정된 전압차(예컨대, $V_{DEL} - V_{ini}$)로 초기화할 수 있다. 시간(t_3)에서, 신호(Scan2)는 활성화설정되어 있고, 신호들(EM1, EM2)은 둘 모두 비활성설정되어 있는 동안, 스캔 제어 신호(Scan1)는 하이 상태의 펄스가 생성되어 바람직한 데이터 신호를 데이터 라인(310)으로부터 디스플레이 픽셀(22) 안으로 로딩한다.

[0042] 시간(t_5)에서, 스캔 제어 신호(Scan1)는 비활성설정되는데(예컨대, 로우 상태로 구동됨), 이는 데이터 프로그래밍 단계의 종료를 의미한다. 도 7에 도시된 바와 같이, 방출 제어 신호(EM3)는 신호(Scan1)의 하강 클록 에지를 둘러싸는 ΔPW 의 펄스 폭을 갖도록 일시적으로 로우 상태로 펄스 생성될 수 있다(예컨대, 신호(EM3)는 Scan1의 하강 에지 전에 시간(t_4)에서 비활성설정될 수 있고, Scan1이 로우 상태가 된 후에 시간(t_6)에서 재활성설정될 수 있음). 이러한 방식으로 동작되면, 규소 트랜지스터(T7)는 반전도성-산화물 트랜지스터(T3)가 시간(t_5)에서 턴 오프되기 전에 먼저 턴 오프된다. 방출 단계 동안 트랜지스터(T7)를 턴 온시키는 것이 플리커를 감소시키는 것을 도울 수 있는데, 그 이유는 트랜지스터(T7)가 스위칭 온되면 트랜지스터(T7)를 통해 누설되는 어떠한 전류도 없을 것이기 때문이다.

[0043] 반전도성-산화물 트랜지스터(T3)가 시간(t_5)에서 턴 오프됨에 따라, 신호(Scan1)의 하강 에지로부터 유도된 클록 피드스루 및 전하 주입은 노드(N5)에서의 전압(V_{N5})이 노드(N1)에서의 전압(V_{N1})으로부터 부정합되게 할 수

있고, 이는 전류(I_{15})가 트랜지스터(T3)를 통해 흘러 노드들(N1, N5)을 다시 균형화할 것이다. 트랜지스터(T7)가 나중에 시간(t_6)에서 턴 온되면, V_{N5} (이는 트랜지스터(T3)의 임계 전압(V_{th_ox})의 함수임)는 V_{N2} 와 재균형을 이룰 것이며, 이는 구동 트랜지스터(T2)의 게이트 전압이 V_{th_ox} 내의 임의의 드리프트에 민감하게 되는 위험을 겪는다는 것을 의미한다.

[0044] 재균형화 전류(I_{15})를 최소화하는 것을 돕고 따라서 V_{th_ox} 에 대한 OLED 전류의 이러한 민감도를 완화시키기 위해, 커패시터(C_{n5})와 같은 정합 커패시터가 노드(N5)에 부착될 수 있다(예를 들어, 도 6a 참조). 커패시터(C_{n5})는 노드(N5)에서의 총 유효 커패시턴스를 노드(N1)에서의 총 유효 커패시턴스와 균등화하는 커패시턴스 값을 갖는다. 다시 말하면, 커패시터(C_{n5})는 시간(t_4)에서 Scan1 하강 에지 직후에 V_{N1} 이 V_{N5} 와 상대적으로 동일하도록 허용하는 값을 가짐으로써, 반전도성-산화물 트랜지스터(T3)를 통해 흐르는 임의의 잠재적인 재균형화 전류(I_{15})를 최소화하여야 한다. 따라서, 반전도성-산화물 트랜지스터(T3)의 V_{th_ox} 의 함수인, 트랜지스터(T3)를 통한 재균형화 전류(I_{15})의 양을 감소시키는 것은 V_{th_ox} 에 대한 (OLED 방출 전류를 직접 제어하는)노드(N2)에서의 구동 트랜지스터 게이트 전압의 민감도를 완화시킨다. 커패시터(C_{n5})는 저장 커패시터(C_{st})보다 실질적으로 작을 수 있다(예를 들어, C_{n5} 는 C_{st} 보다 적어도 2 배 더 작거나, 적어도 4 배 더 작거나, 적어도 8 배 더 작거나, 적어도 10 배 더 작거나, 2 내지 10 배 더 작거나, 10 내지 20 배 더 작거나, 20 내지 100 배 더 작거나, 100 내지 1000 배 더 작거나, C_{st} 보다 1000 배 더 작을 수 있음).

[0045] 따라서, 규소 트랜지스터(T7)의 추가는 노드들(N1, N5) 사이의 커패시턴스 정합을 가능하게 한다. 도 3a의 픽셀(22)내의 반전도성-산화물 트랜지스터(T3)의 소스 단자 및 드레인 단자에서의 커패시턴스를 정합시키는 것은 C_{st} 의 커패시턴스가 상대적으로 크기 때문에 실현가능하지 않다. 따라서, 노드(N1)에서의 커패시턴스를 C_{st} 에 정합시키려는 임의의 시도는 큰 커패시터를 추가하는 것을 필요로 할 것이며, 이는 픽셀 영역을 극적으로 증가시킬 것이다. 반전도성-산화물 트랜지스터(T3)와 비교하여, 규소 트랜지스터(T7)는 적어도 클록 피드스루 및 전하 주입에 관하여 개선된 물리적 특성을 나타낸다.

[0046] 일반적으로, 규소 트랜지스터(T7)는 반전도성-산화물 트랜지스터(T3)와 비교하여 실질적으로 더 낮은 기생 게이트-소스 커패시턴스(C_{gs})를 나타내는데, 이는 방출 제어 신호가 시간(t_6)에서 활성설정됨에 따라 클록 피드스루의 효과를 감소시킨다. 하나의 적합한 구성에서, 규소 트랜지스터(T7)는 최소 C_{gs} 들을 최적화하기 위해 상부-게이트 규소 트랜지스터(예컨대, LTPS 반도체 재료 위에 형성된 금속 게이트 전도체를 갖는 박막 트랜지스터)로서 구현될 수 있다. 상부-게이트 규소 트랜지스터와 대조적으로, 하부 게이트 규소 트랜지스터(예컨대, LTPS 반도체 재료 아래에 형성된 금속 게이트 전도체를 갖는 박막 트랜지스터)는 상대적으로 더 큰 C_{gs} 를 나타내는 경향이 있다.

[0047] 디스플레이의 수명에 걸쳐 드리프트하는 임계 전압(V_{th_ox})을 갖는 반전도성-산화물 트랜지스터(T3)와는 대조적으로, 규소 트랜지스터(T7)는 시간에 걸쳐 상대적으로 일정하게 유지되는 임계 전압(V_{th_ltps})을 갖는다(예컨대, 도 5a의 트레이스(550) 참조). 이는, 적어도 채널 무결성의 관점에서, 규소 트랜지스터들이 일반적으로 반전도성-산화물 트랜지스터들보다 더 신뢰성이 높기 때문이다. 따라서, 트랜지스터(T7)가 시간(t_6)에서 턴 온될 때에도, 노드(N2)로의 전하 주입의 양 및 트랜지스터(T7)를 통해 노드(N2)로 흐르는 재균형화 전류(I_{52})의 양은 시간에 따라 일정하고 예측가능할 것이다.

[0048] 이러한 방식으로 구성되면, 방출 제어 신호들(EM1, EM2)이 둘 모두 하이 상태인 시간(t_7)에서 도 6a의 디스플레이 픽셀(22)에 의해 생성된 대응하는 OLED 전류는 실질적으로 V_{th_ox} 의 변화에 덜 민감하며, 이는 도 5b의 트레이스(552)에 의해 도시된 바와 같다. 트레이스(552)에 의해 도시된 바와 같이, V_{th_ox} 가 ± 1.5 V 만큼 벗어나더라도, I_{OLED} 에서의 결과적인 변화는 트레이스(502)의 민감도보다 적어도 20% 작거나, 10% 작거나, 5% 작거나, 1% 작거나, 10배 작거나, 트레이스(502)의 민감도보다 20 배 더 작을 것이다. 트랜지스터(T3)의 V_{th_ox} 에서의 편차에 대한 OLED 전류 민감도를 완화시키는 것은 디스플레이에 걸친 휘도 균일성을 제공하고, 디스플레이의 수명에 걸친 휘도 저하를 감소시키고, 디스플레이의 수명에 걸쳐 색변이를 감소시키고, 디스플레이의 다른 비-이상적 거동들을 감소시킨다.

[0049] 도 6a의 예에서, 커패시터(C_{n5})(예컨대, 신호(Scan1)가 비활성설정된 후에 재균형화 전류가 반전도성-산화물 트랜지스터(T3)를 통해 흐르는 것을 것을 방지하기 위한 목적으로, 노드(N5)에서의 총 커패시턴스를 노드(N1)에서의 총 커패시턴스와 대략적으로 등화시키도록 구성된 개별 커패시터 구조체)는 노드(N5)와 포지티브 전력 공급 라인(300) 사이에 연결된다. 이러한 특정 구성은 단지 예시적인 것이다. 도 6b 내지 도 6g는 도 6a의 트랜지

스터(T3)가 턴 오프된 후에 재균형화 전류를 감소시키기 위한 상이한 커패시터 구성들을 도시하는 도면들이다.

- [0050] 도 6b는 커패시터(Cn5)가 노드(N5)에 연결된 제1 단자 및 접지 라인(302)에 연결된 제2 단자(즉, 접지 전력 공급 전압(VSSEL)이 제공되는 접지 라인)를 갖는 다른 적합한 구성을 도시한다. 도 6c는 커패시터(Cn5)가 노드(N5)에 연결된 제1 단자 및 방출 라인(316)에 연결된 제2 단자(즉, 방출 제어 신호(EM3)가 제공되는 단자)를 갖는 다른 적합한 구성을 도시한다. 도 6d는 커패시터(Cn5)가 노드(N5)에 연결된 제1 단자 및 스캔 라인(312)에 연결된 제2 단자(즉, 스캔 제어 신호(Scan1)가 제공되는 단자)를 갖는 또 다른 적합한 구성을 도시한다.
- [0051] 추가적인 커패시터스 정합/밸런싱 커패시터(Cn5)가 노드(N5)에 결합되는 도 6a 내지 도 6d에 도시된 예들은 단지 예시적인 것이다. 추가적인 커패시터가 항상 노드(N5)에 결합될 필요가 없다. 다른 적합한 실시예들에서, 신호(Scan1)가 비활성설정된 후에 재균형화 전류가 반전도성-산화물 트랜지스터(T3)를 통해 흐르는 것을 방지하기 위한 추가적인 커패시터스 균형화 커패시터가 대신에 노드(N1)에 부착될 수 있다(예컨대, 도 6e 내지 도 6g의 커패시터(Cn1) 참조). 도 6e는 커패시터(Cn1)가 노드(N1)에 연결된 제1 단자 및 스캔 라인(312)에 연결된 제2 단자(즉, 스캔 제어 신호(Scan1)가 제공되는 단자)를 갖는 하나의 적합한 구성을 도시한다. 도 6f는 커패시터(Cn1)가 노드(N1)에 연결된 제1 단자 및 포지티브 전력 공급 라인(300)에 연결된 제2 단자(즉, 포지티브 전력 공급 전압(VDD)이 제공되는 단자)를 갖는 다른 적합한 구성을 도시한다. 도 6g는 커패시터(Cn1)가 노드(N1)에 연결된 제1 단자 및 접지 라인(302)에 연결된 제2 단자를 갖는 또 다른 적합한 구성을 도시한다.
- [0052] 추가적인 커패시터스가 노드들(N5, N1)에 결합되는 도 6a 내지 도 6g의 예들은 단지 예시적인 것이다. 원하는 경우, 추가적인 커패시터스가 노드(N5) 및 노드(N1) 둘 모두에 결합될 수 있다(즉, 단일 실시예에서 제1 추가 커패시터가 노드(N5)에 부착될 수 있는 반면, 제2 추가 커패시터는 노드(N1)에 부착될 수 있다). 일반적으로, 트랜지스터(T3)가 턴 오프될 때 V_{N5} 가 실질적으로 V_{N1} 과 동일함을 보장하기 위한 그리고 신호(Scan1)가 비활성설정된 후에 트랜지스터(T3)를 통해 흐르는 재균형화 전류를 최소화하기 위한 다른 적합한 방식들이 구현될 수 있다.
- [0053] 일반적으로, 구동 트랜지스터(T2) 및 반전도성-산화물 트랜지스터(T3)는 n-채널 박막 트랜지스터들로서 구현되어야 한다. 원하는 경우, 나머지 트랜지스터들(T1, T4 내지 T7)은 옵션적으로 p-채널 박막 트랜지스터들로서 구현될 수 있다. n-채널 트랜지스터들과 대조적으로, p-채널 트랜지스터들은 액티브-로우 스위치들이다(즉, p-채널 트랜지스터는 게이트를 턴 온시키기 위하여 그것의 게이트에서 저전압 신호를 수신해야 함). 따라서, 트랜지스터(T4)가 (예를 들어) p-채널 트랜지스터로서 구현되는 경우, 신호(EM2)의 파형은 도 7에 도시된 것의 반전 버전일 것이다.
- [0054] 다른 적합한 구성에서, 트랜지스터들(T3, T6)은 반전도성-산화물 트랜지스터들로서 구현될 수 있는 반면, 나머지 트랜지스터들(T1, T2, T4, T5, T7)은 규소 트랜지스터이다. 트랜지스터들(T3, T6)은 둘 모두 신호(Scan1)에 의해 제어되므로, 그것들을 동일한 트랜지스터 유형으로서 형성하는 것은 제조를 단순화하는 것을 도울 수 있다.
- [0055] 또 다른 적합한 구성에서, 트랜지스터들(T3, T6, 및 T2)은 반전도성-산화물 트랜지스터들로서 구현될 수 있는 반면, 나머지 트랜지스터들(T1, T4, T5, T7)은 규소 트랜지스터이다. 구동 트랜지스터(T2)는 픽셀(22)의 방출 전류에 중요한 임계 전압을 갖는다. 구동 트랜지스터(T2)를 상부-게이트 반전도성-산화물 트랜지스터로서 형성하는 것은 히스테리시스를 감소시키는 것을 도울 수 있다(예컨대, 상부-게이트 IGZO 트랜지스터는 규소 트랜지스터보다 임계 전압 히스테리시스를 덜 경험함). 원하는 경우, 트랜지스터들(T1 내지 T6)은 모두 반전도성-산화물 트랜지스터일 수 있다.
- [0056] 규소 트랜지스터(T7)가 별개의 방출 제어 신호(EM3)를 수신하는 도 6a의 예는 단지 예시적인 것이다. 이러한 추가적인 방출 라인을 제거하기 위해, 규소 트랜지스터(T7)는 스캔 제어 신호(Scan1)에 의해 제어될 수 있다(예를 들어, 도 8의 OLED 디스플레이 픽셀(22) 참조). 도 8의 픽셀(22)의 나머지 부분은 유사한 배열을 사용하여 상호연결되고, 본 실시 형태를 불명료하게 하는 것을 피하기 위해 상세히 반복될 필요는 없다.
- [0057] 도 9는 도 8에 도시된 유형의 OLED 디스플레이 픽셀(22)의 동작을 예시하는 타이밍도이다. 시간(t_1) 이전에, 신호들(Scan1, Scan2)은 비활성설정되는(예를 들어, 스캔 제어 신호들은 둘 모두 VSL에 있음) 반면, 신호들(EM1, EM2)은 활성화설정된다(예컨대, 방출 제어 신호들은 둘 모두 포지티브 전력 공급 전압 레벨에 있음). 방출 제어 신호들(EM1, EM2)이 둘 모두가 하이 상태이면, 방출 전류는 구동 트랜지스터(T2)를 통해 대응하는 유기발광 다이오드(304) 안으로 흘러들어가서 방출 단계 동안 광을 생성할 것이다.
- [0058] 시간(t_1)에서, 방출 제어 신호(EM1)는 비활성설정되어(예컨대, 로우 상태로 구동되어) 방출 단계를 일시적으로

보류하고, 이는 데이터 프로그래밍 단계를 개시한다. 시간(t2)에서, 신호(Scan1)는 하이 상태의 펄스가 생성되어 트랜지스터들(T3, T6, T7)을 활성화시킬 수 있으며, 이는 커패시터(Cst)에 걸친 전압을 사전결정된 전압차(예컨대, $V_{DEL} - V_{ini}$)로 초기화할 수 있다. 시간(t3)에서, 신호(Scan2)는 활성화설정되어 있고, 신호들(EM1, EM2)은 둘 모두 비활성설정되어 있는 동안, 스캔 제어 신호(Scan1)는 하이 상태의 펄스가 생성되어 바람직한 데이터 신호를 데이터 라인(310)으로부터 디스플레이 픽셀(22) 안으로 로딩한다.

[0059] 시간(t4)에서, 스캔 제어 신호(Scan1)는 비활성설정되는데(예컨대, 로우 상태로 구동됨), 이는 데이터 프로그래밍 단계의 종료를 의미한다. 스캔 제어 신호(Scan1)는 도 8의 실시예에서 트랜지스터들(T3, T7) 둘 모두를 제어하므로, 트랜지스터들(T3, T7) 둘 모두는 Scan1의 하강 에지에서 턴 오프될 수 있다. 그러나, 반전도성-산화물 트랜지스터(T3)의 기생 효과로부터 노드(N2)를 격리시키는 것을 돕기 위해 트랜지스터(T3)가 턴 오프되기 전에 트랜지스터(T7)가 우선 턴 오프되는 것이 일반적으로 바람직하다. 트랜지스터(T3)가 신호(Scan1)의 하강 에지에서 턴 오프되기 전에 트랜지스터(T7)가 턴 오프되는 것을 보장하기 위해, 트랜지스터들(T3, T7)에는 상이한 임계 전압 레벨들이 제공될 수 있다. 트랜지스터들(T3, T7) 둘 모두가 n-채널 트랜지스터들로서 구현된다고 가정하면, 트랜지스터(T7)의 임계 전압이 선호하게는 트랜지스터(T3)의 임계 전압보다 커서 트랜지스터(T7)가 먼저 턴 오프될 것이다. 이는 또한 도 6a 내지 도 6g의 실시예들에 대하여 사실일 수 있다. 이러한 이벤트들의 시퀀스가 도 9에 확대도(900)로 도시되어 있다. 예를 들어, 신호(Scan1)가 시간(t4)에서 VSH로부터 VSL로 전이됨에 따라, 규소 트랜지스터(T7)는 시간(t4')에서 먼저 턴 오프될 것인 반면, 반전도성-산화물 트랜지스터(T3)는 후속적으로 시간(t4'')에서 턴 오프될 것이다.

[0060] 트랜지스터(T7)가 시간(t4) 내지 시간(t4') 사이에 턴 오프되기 전에, 트랜지스터(T7)가 여전히 온 상태이기 때문에 노드(N2)에서의 전압에 영향을 줄, 트랜지스터(T3)를 통해 흐르는 전류(I_{15})가 여전히 있을 것이다. 트랜지스터(T7)가 온 상태인 동안 전류(I_{15})가 트랜지스터(T3)를 통해 흘러 노드들(N1, N5)을 재균형화하는 경우, 구동 트랜지스터(T2)의 게이트 전압은 V_{th_ox} 내의 임의의 드리프트에 민감하게 반응할 위험을 겪을 것이다. 전류(I_{15})를 최소화하는 것을 돕고 따라서 V_{th_ox} 에 대한 OLED 전류의 이러한 민감도를 완화시키기 위해, 커패시터(Cn5)와 같은 정합 커패시터가 노드(N5)에 부착될 수 있다(예를 들어, 도 8 참조). 커패시터(Cn5)는 노드(N5)에서의 총 유효 커패시턴스를 노드(N1)에서의 총 유효 커패시턴스와 균등화하는 커패시턴스 값을 갖는다. 다시 말하면, 커패시터(Cn5)는 시간(t4)에서 Scan1 하강 에지 직후에 V_{N1} 이 V_{N5} 와 상대적으로 동일하도록 허용하는 값을 가짐으로써, 반전도성-산화물 트랜지스터(T3)를 통해 흐르는 임의의 잠재적인 재균형화 전류(I_{15})를 최소화하여야 한다. 따라서, 반전도성-산화물 트랜지스터(T3)의 V_{th_ox} 의 함수인, 트랜지스터(T3)를 통한 재균형화 전류(I_{15})의 양을 감소시키는 것은 V_{th_ox} 에 대한 (OLED 방출 전류를 직접 제어하는)노드(N2)에서의 구동 트랜지스터 게이트 전압의 민감도를 완화시킨다. 더욱이, 커패시터(Cn5)의 값은 플리커를 감소시키도록 추가로 튜닝될 수 있다.

[0061] 따라서, 규소 트랜지스터(T7)의 추가는 노드들(N1, N5) 사이의 커패시턴스 정합을 가능하게 한다. 도 3a의 픽셀(22)내의 반전도성-산화물 트랜지스터(T3)의 소스 단자 및 드레인 단자에서의 커패시턴스를 정합시키는 것은 Cst의 커패시턴스가 상대적으로 크기 때문에 실현가능하지 않다. 따라서, 노드(N1)에서의 커패시턴스를 Cst에 정합시키려는 임의의 시도는 큰 커패시터를 추가하는 것을 필요로 할 것이며, 이는 픽셀 영역을 극적으로 증가시킬 것이다. 반전도성-산화물 트랜지스터(T3)와 비교하여, 규소 트랜지스터(T7)는 적어도 클록 피드스루 및 전하 주입에 관하여 개선된 물리적 특성을 나타낸다.

[0062] 일반적으로, 규소 트랜지스터(T7)는 반전도성-산화물 트랜지스터(T3)와 비교하여 실질적으로 더 낮은 기생 게이트-소스 커패시턴스(C_{gs})를 나타내는데, 이는 방출 제어 신호가 시간(t6)에서 활성화설정됨에 따라 클록 피드스루의 효과를 감소시킨다. 하나의 적합한 구성에서, 규소 트랜지스터(T7)는 최소 C_{gs} 들을 최적화하기 위해 상부-게이트 규소 트랜지스터(예컨대, LTPS 반도체 재료 위에 형성된 금속 게이트 전도체를 갖는 박막 트랜지스터)로서 구현될 수 있다. 디스플레이의 수명에 걸쳐 드리프트하는 임계 전압(V_{th_ox})을 갖는 반전도성-산화물 트랜지스터(T3)와는 대조적으로, 규소 트랜지스터(T7)는 시간에 걸쳐 상대적으로 일정하게 유지되는 임계 전압(V_{th_ltps})을 갖는다(예컨대, 도 5a의 트레이스(550) 참조). 이는, 적어도 채널 무결성의 관점에서, 규소 트랜지스터들이 일반적으로 반전도성-산화물 트랜지스터들보다 더 신뢰성이 높기 때문이다. 따라서, 트랜지스터(T7)가 시간(t4')에서 턴 오프될 때에도, 노드(N2)로의 전하 주입의 양 및 트랜지스터(T7)를 통해 노드(N2)로 흐르는 재균형화 전류(I_{52})의 양은 시간에 따라 일정하고 예측가능할 것이다.

[0063] 이러한 방식으로 구성되면, 방출 제어 신호들(EM1, EM2)이 둘 모두 하이 상태인 시간(t5)에서 도 8의 디스플레이

이 픽셀(22)에 의해 생성된 대응하는 OLED 전류는 실질적으로 V_{th_ox} 의 변화에 덜 민감하며, 이는 도 5b의 트랜지스터(552)에 의해 도시된 바와 같다. 트랜지스터(T3)의 V_{th_ox} 에서의 편차에 대한 OLED 전류 민감도를 완화시키는 것은 디스플레이에 걸친 휘도 균일성을 제공하고, 디스플레이의 수명에 걸친 휘도 저하를 감소시키고, 디스플레이의 수명에 걸쳐 색변이를 감소시키고, 디스플레이의 다른 비-이상적 거동들을 감소시킨다.

[0064] 도 8의 예에서, 커패시터(C_{n5})(예컨대, 신호(Scan1)가 비활성설정됨에 따라 재균형화 전류가 반전도성-산화물 트랜지스터(T3)를 통해 흐르는 것을 것을 방지하기 위한 목적으로, 노드(N5)에서의 총 커패시턴스를 노드(N1)에서의 총 커패시턴스와 등화시키도록 구성된 개별 커패시터 회로)는 노드(N5)와 스캔 라인(312) 사이에 연결된다. 이러한 특정 구성은 단지 예시적인 것이다. 원하는 경우, 하나 이상의 추가적인 커패시터 컴포넌트들이 임의의 적합한 방식으로 노드(N5) 및/또는 노드(N1)에 결합될 수 있다(예를 들어, 도 6a 내지 도 6g).

[0065] 트랜지스터(T7)와 같은 구조 트랜지스터 및 커패시터(C_{n5} 또는 C_{n1})와 같은 커패시터가, 반전도성-산화물 트랜지스터(T3)의 V_{th_ox} 의 잠재적인 변화들에 대한 OLED 방출 전류의 민감도를 감소시키는 데 사용되는, 도 6 내지 도 9와 관련하여 기술된 다양한 실시예들은 단지 예시적인 것이다. 일반적으로, 이들 기술은 하나 이상의 구동 트랜지스터 및 적어도 3 개의 수반되는 스위칭 트랜지스터들, 적어도 4 개의 수반되는 스위칭 트랜지스터들, 적어도 5 개의 수반되는 스위칭 트랜지스터들, 적어도 6 개의 수반되는 스위칭 트랜지스터들, 1 내지 10 개의 관련 스위칭 트랜지스터들, 10 개 이상의 관련 스위칭 트랜지스터 등을 포함하는 임의의 유형의 디스플레이 픽셀에 적용되어, 플리커를 감소시키고, 휘도 균일성을 제공하고, 낮은 리프레시 레이트 디스플레이의 수명에 걸쳐 휘도 저하 및 색변이를 방지하는 것을 도울 수 있다.

[0066] 도 6a에 도시된 유형의 픽셀(22)을 제어하기 위한 다양한 스캔 제어 신호들 및 방출 제어 신호들은 행 구동 회로부(18)(도 1)의 일부로서 형성된 각각의 스캔 라인 구동 회로들 및 방출 라인 구동 회로들을 사용하여 생성될 수 있다. 도 10은 대응하는 방출 및 스캔 제어 신호들을 생성하도록 구성된 예시적인 게이트 드라이버 회로들의 도면이다. 도 10에 도시된 바와 같이, 행 구동 회로(18)는 방출 제어 신호(EM1)를 생성하도록 구성된 제1 방출 라인 구동기(1002), 방출 제어 신호(EM2)를 생성하도록 구성된 제2 방출 라인 구동기(1004), 방출 제어 신호(EM3)를 생성하도록 구성된 제3 방출 라인 구동기(1006), 스캔 제어 신호(Scan1)를 생성하도록 구성된 제1 스캔 라인 구동기(1008), 및 스캔 제어 신호(Scan2)를 생성하도록 구성된 제2 스캔 라인 구동기(1010)를 포함할 수 있다.

[0067] 방출 라인 구동기들은 각각 방출 클럭 신호들의 각각의 쌍을 사용하여 제어될 수 있다. 예를 들어, 제1 방출 라인 구동기(1002)는 제1 클럭 쌍(EM1_CLK1, EM1_CLK2)을 사용하여 제어될 수 있는 반면, 제2 방출 라인 구동기(1004)는 제2 클럭 쌍(EM2_CLK1, EM2_CLK2)을 사용하여 제어될 수 있다. 특히, 방출 라인 구동기(1006)는 방출 클럭 쌍들 중 하나를 사용하여 제어될 수 있다. 도 10의 예에서, 방출 라인 구동기(1006)는, 라우팅 경로들(1020, 1022)에 의해 각각 도시된 바와 같이, 제2 클럭 쌍(EM2_CLK1, EM2_CLK2)을 이용하여 제어된다. 방출 라인 구동기(1006)는 또한, 피드백 라우팅 경로들(1030, 1032)에 의해 각각 나타낸 바와 같이, 스캔 제어 신호들(Scan1, Scan2)을 사용하여 제어될 수 있다. 이러한 방식으로 방출 라인 구동기(1006)를 제어하기 위해 다른 게이트 드라이버들로부터 제어 신호들을 사용하고 공유하는 것은 회로 영역을 극적으로 감소시킬 수 있다. 또한, 구동기들(1002, 1004, 1008, 1010)은 각각 시작 펄스 신호를 요구할 수 있지만, 구동기(1006)는 별개의 시작 펄스 신호를 요구하지 않는데, 이는 또한 설계 복잡성을 단순화하는 것을 돕는다.

[0068] 도 11a는 방출 라인 구동기(1006)의 하나의 적합한 구현예를 도시한 회로도이다. 도 11a에 도시된 바와 같이, 방출 라인 구동기(1006)는 제1 전력 공급 라인(104)(예컨대, 전압 VSH가 제공되는 전력 공급 라인)과 제2 전력 공급 라인(106)(예컨대, 전압 VEL이 제공되는 전력 공급 라인) 사이에 직렬로 결합되는 풀-업 출력 트랜지스터(110) 및 풀-다운 출력 트랜지스터(112)를 포함할 수 있다. 전압 VSH는 스캔 라인 구동기들(1008 및/또는 1010) 중 하나로부터 차용되는 포지티브 전력 공급 라인일 수 있는 반면, 전압 VEL은 다른 방출 라인 구동기들(1002 및/또는 1004) 중 하나로부터 차용되는 네가티브 전력 공급 라인일 수 있다. 일반적으로, 전압 VSH는 VDDEL 보다 클 수 있는 반면, 전압 VEL은 VSSEL 보다 작을 수 있다. 일례로서, VDDEL이 8.5 V인 경우, VSH는 10.5 V일 수 있다. 다른 예로서, VSSEL이 0 V인 경우, VEL은 -3 V일 수 있다. 이 예들은 단지 예시적인 것이며 본 실시예들의 범주를 제한하는 역할을 하지 않는다. 원하는 경우, VSH는 고정된 전력 공급 전압일 필요는 없으며, 증가된 유연성을 위해 독립적으로 조정될 수 있다. 트랜지스터(110)의 게이트 단자는 노드(Q)로 라벨링될 수 있는 반면, 트랜지스터(112)의 게이트 단자는 노드(QB)로 라벨링될 수 있다. 제1 커패시터(CQ)가 트랜지스터(110)의 게이트 단자 및 소스 단자에 걸쳐 결합되는 반면, 제2 커패시터(CQB)는 트랜지스터(112)의 게이트 단자 및 소스 단자에 걸쳐 결합된다.

- [0069] 노드(QB)는 트랜지스터(126)를 사용하여 로우 상태로 구동되거나 비활성설정될 수 있다. 트랜지스터(126)는 EM_CLK2(예를 들어, 도 10의 EM1_CLK2 또는 EM2_CLK2 중 어느 하나)를 수신하는 게이트 단자를 갖는다. 한편, 노드(QB)는 제3 전력 공급 라인(102)(예를 들어, 전압 VEH가 제공되는 전력 공급 라인)과 노드(QB) 사이에 직렬로 연결된 트랜지스터들(120, 122, 124)을 사용하여 하이 상태로 구동되거나 또는 활성설정될 수 있다. 전압 VEH는 방출 라인 구동기들(1002 및/또는 1004) 중 하나로부터 차용되는 포지티브 전력 공급 라인일 수 있다. 일반적으로, 전압 VEH는 VDDEL보다 클 수 있고, 또한 VSH보다 클 수 있다. 일례로서, VSH가 10.5 V인 경우, VEH는 12.5 V일 수 있다. 트랜지스터(120)는 EM_CLK1(예컨대, 도 10의 EM1_CLK1 또는 EM2_CLK1 중 어느 하나)을 수신하는 게이트 단자를 갖는다. 트랜지스터(122)는 Scan2를 수신하는 게이트 단자를 갖는다. 트랜지스터(124)는 Scan1을 수신하는 게이트 단자를 갖는다. 이러한 방식으로 직렬로 연결되면, 트랜지스터들(120, 122, 124)은, 신호들(EM_CLK1, Scan1, Scan2) 모두가 동시에 하이 상태에 있을 때에만 노드(QB)를 하이 상태로 구동하는 로직 AND 회로(119)를 형성할 수 있다.
- [0070] 노드(Q)는 노드(Q)와 전력 공급 라인(102) 사이에 결합된 트랜지스터(130)를 사용하여 하이 상태로 구동되거나 또는 활성설정될 수 있다. 트랜지스터(130)는 EM_CLK2를 수신하는 게이트 단자를 갖는다. 한편, 노드(Q)는 노드(Q)와 전력 공급 라인(106) 사이에 직렬로 결합된 트랜지스터들(132, 134)을 사용하여 로우 상태로 구동되거나 비활성설정될 수 있다. 트랜지스터(132)는 전력 공급 라인(102)으로부터 고정된 전력 공급 전압 VEH를 수신하는 게이트 단자를 갖는다(즉, 트랜지스터(132)는 항상 온 상태임). 트랜지스터(134)는 스캔 제어 라인(Scan1)을 수신하는 게이트 단자를 갖는다. 이러한 방식으로 구성되면, 구동기(1006)에서 수신된 모든 제어 신호들은 다른 게이트 드라이버 회로들로부터 차용되어, 디스플레이 경계 영역 요건들을 극적으로 감소시킨다.
- [0071] 도 11b는 도 11a와 관련하여 기술된 유형의 방출 라인 구동기(1006)의 동작을 예시하는 타이밍도이다. 도 11b에 도시된 바와 같이, 신호들(Scan1, Scan2)은 상이한 펄스 폭을 갖고, 신호(EM_CLK1)는 신호(EM_CLK2)의 지연된 버전이다. 시간(t1)에서, 신호(Scan1)는 먼저 하이 상태의 펄스가 생성될 수 있는 반면, 신호(Scan2)는 이미 하이 상태이다. 신호(Scan1)를 활성설정하는 것은 트랜지스터(134)를 턴 온시키고, 이는 노드(Q)를 전압 VEL을 향해 구동시키고 트랜지스터(110)를 턴 오프시킨다. 이는 트랜지스터(112)가 후속적으로 턴 온될 때 임의의 잠재적인 구동 경쟁을 제거하는 것을 돕는다.
- [0072] 시간(t2)에서, 신호(EM_CLK1)는 하이 상태의 펄스가 생성되고, 이는 트랜지스터(120)를 턴 온시킨다. 신호들(EM_CLK1, Scan1, Scan 2) 모두가 이 순간에 하이 상태이기 때문에, AND 로직(119)은 노드(QB)를 하이 상태로 끌어올리도록 활성화되며, 이는 풀-다운 트랜지스터(112)를 턴 온시켜 신호(EM3)를 로우 상태로 구동시킨다(화살표(150)로 표시됨).
- [0073] 신호(EM3)는 신호(EM_CLK2)가 하이 상태의 펄스가 생성되는, 시간(t3)까지 비활성설정된 상태로 유지될 것이다. 신호(EM_CLK2)가 하이 상태의 펄스가 생성되면, 트랜지스터(126)는 턴 온되어 노드(QB)를 VEL을 향해 끌어내리고, 이는 트랜지스터(112)를 턴 오프시킨다. 이는 트랜지스터(110)와의 임의의 잠재적인 구동 경쟁을 제거하는데 도움을 준다. EM_CLK2를 활성설정하는 것은 또한 트랜지스터(130)를 턴 온시켜 노드(Q)를 VEH를 향해 끌어올리며, 이는 트랜지스터(110)를 턴 온시켜서 신호(EM3)를 방출 기간의 남은 기간 동안 다시 하이 상태로 구동한다(화살표(152)로 표시된 바와 같음).
- [0074] 도 11a에 도시된 바와 같은 방출 게이트 구동기(1006)의 구현은 저주파수 디스플레이 동작에 특히 적합할 수 있는데, 그 이유는 큰 커패시터(CQ)가 풀-업 출력 트랜지스터(110)의 게이트 단자에 존재하면 높은 전압 레벨에서 신호(EM3)를 유지하는 것이 더 용이하기 때문이다. 그러나, 일반적으로, 도 11a의 방출 게이트 구동기(1006)는 임의의 적합한 주파수의 디스플레이 동작을 지원하는 데 사용될 수 있다.
- [0075] 도 12는 방출 라인 구동기(1006)의 다른 적합한 구현예를 도시하는 회로도이다. 도 11a와 관련하여 이미 기술된 것과 동일한 도면 부호와 연결을 갖는 구조적 컴포넌트들은 이것들이 실질적으로 유사한 기능을 제공하기 때문에 반복될 필요가 없다. 그러나, 노드(Q)는 2-스테이지 서브-구동 회로를 사용하여 제어된다는 것에 유의한다. 도 12에 도시된 바와 같이, 구동기(1006)는 제2 서브-구동기 스테이지(160-2)와 직렬로 연결된 제1 서브-구동기 스테이지(160-1)를 포함할 수 있다. 제1 스테이지(160-1)는 전력 공급 라인들(102, 106) 사이에서 트랜지스터(172)와 직렬로 연결된 트랜지스터(170)를 포함한다. 트랜지스터(170)는 EM_CLK2를 수신하는 게이트 단자를 갖는 반면, 트랜지스터(172)는 Scan1을 수신하는 게이트 단자를 갖는다. 스테이지(160-1)의 출력은 노드(Q')로 라벨링된다. 제2 스테이지(160-2)는 전력 공급 라인들(102, 106) 사이에서 트랜지스터(182)와 직렬로 연결된 트랜지스터(180)를 포함한다. 트랜지스터(180)는 노드(Q')에 직접 연결되는 게이트 단자를 갖는 반면, 트랜지스터(182)는 또한 Scan1을 수신하는 게이트 단자를 갖는다. 스테이지(160-2)의 출력은 노드(Q)에 직접

연결된다.

- [0076] 방출 라인 구동기(1006)를 제어하는 신호들은 이미 도 11b에 관하여 도시되고 기술된 것들과 동일하며, 그 상세 사항들은 간결함을 위해 반복될 필요가 없다. EM_CLK2를 수신하는 트랜지스터(130)가 노드(Q)에 직접 결합되는 도 11b의 설계와는 대조적으로, 도 12의 이중-스테이지 구현은 노드(Q)로부터 트랜지스터(170)의 게이트 단자로부터 커플링되는 클록을 격리하는 것을 도울 수 있다. 결과적으로, 노드(Q)에서 요구되는 총 커패시턴스는 훨씬 더 작게 될 수 있다. 특히, 도 12의 설계는, 트랜지스터(110)의 게이트 및 소스 단자들에 걸쳐 별개의 커패시터(CQ)를 필요로 하지 않아서, 실질적으로 회로 영역을 감소시킴을 유의한다.
- [0077] 트랜지스터(T7)와 같은 구조 트랜지스터를 사용하여 산화물 트랜지스터(T3)와 연관된 임계 전압 변동을 격리시키는 것을 수반하는 도 6 내지 도 12의 실시예들은 단지 예시적인 것이다. 다른 적합한 구성에 따르면, 방출 신호들의 펄스 폭은 시간에 따라 증분식으로 조정되어 산화물 트랜지스터(T3)와 연관된 예상 임계 전압 시프트를 보상하는 것을 도울 수 있다. 방출 동작 동안, 방출 제어 신호들(예를 들어, 도 3의 예에서 방출 제어 신호들(EM1, EM2) 참조)은 디스플레이의 휘도를 제어하기 위해 펄스 폭 변조(PWM) 방식을 사용하여 토글링될 수 있다. 방출 제어 신호들의 펄스 폭을 늘리는 것은 PWM 듀티 사이클을 증가시킬 것이고, 이는 디스플레이의 대응하는 휘도를 증가시킨다. 대조적으로, 방출 제어 신호의 펄스 폭을 줄이는 것은 PWM 듀티 사이클을 감소시킬 것이고, 이는 디스플레이의 대응하는 휘도를 감소시킨다.
- [0078] 도 13a는 일 실시예에 따른, 방출 신호들의 펄스 폭이 어떻게 디스플레이(14)의 수명에 걸쳐 휘도 저하를 보상할 수 있는지 나타내는 타이밍도이다. 도 13a에 도시된 바와 같이, 방출 제어 신호들(EM)(PWM 방식을 사용하여 제어되는 임의의 수의 방출 제어 신호들을 나타냄)은 시간(T0)에서 공칭 펄스 폭(PW)을 가질 수 있다(즉, 디스플레이가 여전히 상대적으로 새로운 경우).
- [0079] 일부 기간 후 및 시간(T1)에, 디스플레이(14)의 휘도는 산화물 트랜지스터(T3)의 임계 전압 드리프트 또는 일부 다른 시간적 에이징 효과로 인해 얼마간의 양만큼 저하됐을 수 있다. T0과 T1 사이의 시간의 양은 적어도 50 시간, 적어도 100 시간, 100 내지 500 시간, 500 시간 초과, 또는 디스플레이(14)가 바람직하지 않은 휘도 변화를 겪을 수 있는 기타 적합한 동작 기간일 수 있다. 휘도 저하를 완화시키기 위해, 방출 제어 신호들(EM)의 펄스 폭이 펄스 폭 오프셋 양(ΔT)만큼 늘어나서, 총 펄스 폭이 이제 ($PW + \Delta T$)로 증가될 수 있다. 이러한 방식으로 EM의 펄스 폭을 늘리는 것은 듀티 사이클을 증가시키며, 이는 열화된 휘도를 다시 시간(T0)의 그것의 의도된/원래 레벨로 상승시킨다.
- [0080] 일부 기간 후 및 시간(T2)에, 디스플레이(14)의 휘도는 (예를 들어) 산화물 트랜지스터(T3)의 임계 전압 드리프트 또는 일부 다른 시간적 에이징 효과로 인해 얼마간 더 열화됐을 수 있다. T1과 T2 사이의 시간의 양은 적어도 50 시간, 적어도 100 시간, 100 내지 500 시간, 500 시간 초과, 또는 디스플레이(14)가 바람직하지 않은 휘도 변화를 겪을 수 있는 기타 적합한 동작 기간일 수 있다. 휘도 저하를 완화시키기 위해, 방출 제어 신호들(EM)의 펄스 폭이 또 하나의 펄스 폭 오프셋 양(ΔT)만큼 더 늘어나서, 총 펄스 폭이 이제 ($PW + 2 * \Delta T$)로 증가될 수 있다. 이러한 방식으로 EM의 펄스 폭을 늘리는 것은 듀티 사이클을 더 증가시키며, 이는 열화된 휘도를 다시 시간(T0)의 그것의 의도된/원래 레벨로 상승시킨다.
- [0081] 이러한 프로세스는 디스플레이(14)의 수명 사이클의 종료까지 무한히 계속될 수 있다. 시간(TN)에서, 총 펄스 폭이($PW + N * \Delta T$)으로 늘어날 것임에 유의한다. 일부 지점에서(즉, 듀티 사이클이 그것의 100%의 한계치까지 밀려났을 때), 듀티 사이클은 더 이상 증가될 수 없다. 따라서, 시간(TN)은 적어도 2 년의 정상 동작 사용, 2 내지 5 년의 정상 작동, 5 내지 10 년의 정상 동작 사용, 또는 10 년 초과와 정상 동작 사용에 대응하여야 한다.
- [0082] 도 13b는 일 실시예에 따른, 방출 신호들의 듀티 사이클이 시간에 따라 어떻게 조정될 수 있는지 보여주는 그래프이다. 도 13b에 도시된 바와 같이, 시간(T0)에서, 방출 제어 신호들의 펄스 폭은 그것의 공칭 값이고, 따라서 듀티 사이클은 공칭 듀티 사이클 레벨(DCnom)으로 설정된다. 시간(T1)에서, 방출 제어 신호들의 펄스 폭이 제1 오프셋 양만큼 늘어나며, 이는 듀티 사이클을 DC1으로 늘리게 된다. 시간(T2)에서, 방출 제어 신호들의 펄스 폭이 제2 오프셋 양만큼 늘어나며, 이는 듀티 사이클을 DC2로 늘리게 된다. 시간(T3)에서, 방출 제어 신호들의 펄스 폭이 제3 오프셋 양만큼 늘어나며, 이는 듀티 사이클을 DC3로 늘리게 된다. 이러한 프로세스는 PWM 듀티 사이클이 100% 최대치에 이를 때까지 무한히 계속될 수 있다.
- [0083] 도 13c는 시간에 따른 EM 신호 펄스 폭 오프셋들의 영향을 보여주는 도면이다. 트레이스(1302)는 펄스 폭이 고정된 레벨로 유지되는 경우(즉, 듀티 사이클이 결코 변화하지 않는 경우) 시간에 따른 휘도 저하의 백분율을 도

시한다. 시간(T1)에서, 제1 양의 펄스 폭 오프셋(A1)이 공칭 펄스 폭 값(PW)에 적용될 수 있고, 이는 휘도를 다시 트레이스(1304)상의 제1 대응 지점까지 올릴 것이다. 시간(T2)에서, 제2 양의 누적 펄스 폭 오프셋(A2)이 공칭 펄스 폭 값(PW)에 적용될 수 있으며, 이는 휘도를 다시 트레이스(1304)상의 제2 대응 지점까지 밀어 올릴 것이다. 시간(T3)에서, 제3 양의 누적 펄스 폭 오프셋(A3)이 공칭 펄스 폭 값(PW)에 적용될 수 있으며, 이는 휘도를 다시 트레이스(1304)상의 제3 대응 지점까지 밀어 올릴 것이다. 시간(T4)에서, 제4 양의 누적 펄스 폭 오프셋(A4)이 공칭 펄스 폭 값(PW)에 적용될 수 있으며, 이는 휘도를 다시 트레이스(1304)상의 제4 대응 지점까지 밀어 올릴 것이다. 이러한 프로세스는 EM의 듀티 사이클이 100%에 도달할 때까지 무한히 계속될 수 있다.

[0084] 도 13c의 예는 제1 디스플레이 휘도 대역(예컨대, 제1 사용자-선택 또는 외부-공급된 밝기 설정)에 대응할 수 있다. 일반적으로, 펄스 폭 오프셋 양은 상이한 디스플레이 휘도 대역들에서 변할 수 있다(즉, 상이한 디스플레이 밝기 설정들은 상이한 양의 펄스 폭 증대를 요구할 수 있다). 도 13c와 유사하게, 도 13d의 트레이스(1302)는 펄스 폭이 제1 휘도 대역에서 고정된 레벨로 유지되는 경우 시간에 따른 휘도 저하의 백분율을 도시한다. 도 13d의 트레이스(1306)는, 펄스 폭이 제1 휘도 대역보다 더 높은 휘도 출력을 갖는 제2 휘도 대역에서 고정된 레벨로 유지되는 경우 시간에 따른 휘도 저하의 백분율을 도시한다.

[0085] 시간(T1)에서, 제1 양의 펄스 폭 오프셋(B1)이 공칭 펄스 폭 값(PW)에 적용될 수 있고, 이는 휘도를 다시 트레이스(1304')상의 제1 대응 지점까지 올릴 것이다. 시간(T2)에서, 제2 양의 누적 펄스 폭 오프셋(B2)이 공칭 펄스 폭 값(PW)에 적용될 수 있으며, 이는 휘도를 다시 트레이스(1304')상의 제2 대응 지점까지 밀어 올릴 것이다. 시간(T3)에서, 제3 양의 누적 펄스 폭 오프셋(B3)이 공칭 펄스 폭 값(PW)에 적용될 수 있으며, 이는 휘도를 다시 트레이스(1304')상의 제3 대응 지점까지 밀어 올릴 것이다. 시간(T4)에서, 제4 양의 누적 펄스 폭 오프셋(B4)이 공칭 펄스 폭 값(PW)에 적용될 수 있으며, 이는 휘도를 다시 트레이스(1304')상의 제4 대응 지점까지 밀어 올릴 것이다. 이러한 프로세스는 EM의 듀티 사이클이 100%에 도달할 때까지 무한히 계속될 수 있다.

[0086] 트레이스(1304')는 트레이스(1304)와 실질적으로 유사할 수 있다는 것에 유의한다. 그러나, 도 13c 및 도 13d에서 나란히 도시된 바와 같이, EM 펄스 폭 오프셋의 양은 상이한 밝기 설정에서 상이하다(즉, A1은 B1과 동일하지 않고, A2는 B2와 동일하지 않고, A3은 B3과 동일하지 않고, A4는 B4와 동일하지 않고, A5는 B5와 동일하지 않음 등). 다시 말하면, PWM 오프셋은 상이한 밝기 레벨들에 대해 개별적으로 제어될 수 있다. 원하는 경우, PWM 오프셋 양은 디스플레이(14)의 제어를 단순화하기 위해 모든 휘도 대역들에 보편적으로 적용될 수 있다(즉, 모든 외부-공급된 밝기 설정에 대해 단일 PWM 증대 시퀀스가 적용됨).

[0087] 일반적으로, 디스플레이 휘도를 유지하기 위하여 도 13a 내지 도 13d와 관련하여 기술된 방법은 그것의 밝기/휘도를 제어하기 위한 펄스 폭 변조 방식을 사용하는 임의의 적합한 유형의 디스플레이(예컨대, OLED 디스플레이, LCD 디스플레이, 플라즈마 디스플레이, 또는 다른 유형의 디스플레이)에 적용될 수 있다.

[0088] 도 3b와 관련하여 기술된 바와 같이, OLED 전류의 양 및 그에 따른 디스플레이 휘도는 전하 주입, 및 산화물 트랜지스터(T3)와 같은 문체성 트랜지스터가 턴 오프되어 있음에 따라 발생하는 소스-드레인 재균형화 전류의 함수이다. 본 실시예들에서, 산화물 트랜지스터(T3)는 액티브-하이 스캔 제어 신호에 의해 제어된다(즉, 스캔 제어 신호(Scan1)는 트랜지스터(T3)를 턴 온시키도록 하이 상태로 구동되고 트랜지스터(T3)를 턴 오프시키도록 로우 상태로 구동됨). 도 14a에 도시된 바와 같이, 신호(Scan1)는 (다른 트랜지스터들 중에서) 트랜지스터(T3)를 턴 오프하기 위해 비활성설정되거나 포지티브 전압 레벨(VSH)에서 네거티브 전압 레벨(VSL)로 구동될 수 있다. 일반적으로, 게이트 노드(N2)에 주입되는 전하의 양(예를 들어, 도 3a 참조)은 다음과 같이 표현될 수 있다:

$$Q_{ch} = C_{ox}(VSH - V_D - V_{th_ox}) \quad (1)$$

[0090] 유사하게, 소스-드레인 전하 재균형화 전류의 양은 다음과 같이 표현될 수 있다:

$$I_{12} = \frac{\mu_n C_{ox}}{2} * \frac{W}{L} [2(VSH - V_S - V_{th_ox}) * V_{DS} - V_{DS}^2] \quad (2)$$

[0092] 수학식 1 및 수학식 2의 볼드부에 도시된 바와 같이, 전하 주입량(Q_{ch}) 및 재균형화 전류 레벨(I_{12}) 둘 모두는 VSH와 V_{th_ox} 사이의 차이에 적어도 부분적으로 비례한다. V_{th_ox} 가 시간에 따라 감소한다고 가정하면(도 5a의 예에 도시된 바와 같이), Q_{ch} 및 I_{12} 를 일정하게 유지하는 방법은 V_{th_ox} 의 드리프트와 유사한 페이스로 VSH를 감소시키는 것을 수반할 것이다.

- [0093] 도 14b는 일 실시예에 따른, 액티브-하이 스캔 제어 신호(Scan1)의 VSH가 어떻게 V_{th_ox} 의 변화들에 적응하도록 조정되고 그에 따라 디스플레이 휘도 저하를 완화시킬 수 있는지를 도시하는 타이밍도이다. 시간(T0)에서(즉, 디스플레이가 여전히 상대적으로 새로운 때), VSH는 공칭 포지티브 전력 공급 레벨(VSHnom)로 바이어스될 수 있다.
- [0094] 일부 기간 후 및 시간(T1)에, 디스플레이(14)의 휘도는 산화물 트랜지스터(T3)의 임계 전압 드리프트로 인해 얼마간의 양만큼 저하됐을 수 있다. T0과 T1 사이의 시간의 양은 적어도 50 시간, 적어도 100 시간, 100 내지 500 시간, 500 시간 초과, 또는 디스플레이(14)가 바람직하지 않은 휘도 변화를 겪을 수 있는 기타 적합한 동작 기간일 수 있다. 휘도 저하를 완화시키기 위해, VSH는 전압 오프셋 양(ΔV)만큼 감소되어 V_{th_ox} 의 변화를 따라잡을 수 있다. 오프셋 양(ΔV)는 10 mV, 10 내지 50 mV, 50 내지 100 mV, 또는 V_{th_ox} 의 전압 드리프트에 적응하기 위한 기타 적합한 오프셋 양일 수 있다.
- [0095] 일부 기간 후 및 시간(T2)에, 디스플레이(14)의 휘도는 산화물 트랜지스터(T3)의 임계 전압 드리프트의 추가 감소로 인해 일부 더 열화될 수 있다. T1과 T2 사이의 시간의 양은 적어도 50 시간, 적어도 100 시간, 100 내지 500 시간, 500 시간 초과, 또는 디스플레이(14)가 바람직하지 않은 휘도 변화를 겪을 수 있는 기타 적합한 동작 기간일 수 있다. 휘도 저하를 완화시키기 위해, VSH는 또 다른 전압 오프셋 양(ΔV)만큼 더 감소되어 V_{th_ox} 의 변화를 따라잡을 수 있다. 이러한 프로세스는 디스플레이(14)의 수명 사이클의 끝까지 무한히 계속될 수 있는데, 2 년의 정상 동작 사용, 2 내지 5 년의 정상 동작, 5 내지 10 년의 정상 동작 사용, 또는 10 년 초과와 정상 동작 사용동안 지속될 수 있다.
- [0096] 도 14c는 스캔 제어 신호(Scan1)의 VSH를 감소시키는 것이 어떻게 디스플레이 휘도를 상승시키는 것을 도울 수 있는지를 도시하는 그래프이다. 곡선(1402)에 도시된 바와 같이, 디스플레이의 수명에 걸쳐 선형 또는 단계적 방식으로 VSH를 감소시키는 것은 V_{th_ox} 의 변화들에 의해 야기되는 원하지 않는 휘도 저하를 보상하기 위해 그것의 휘도를 상승시키는 것을 도울 수 있다. 일반적으로, 도 14b 및 도 14c에 도시된 기법들은 디스플레이의 휘도에 영향을 미칠 수 있는 가변적인 임계 전압을 구비한 트랜지스터를 갖는 임의의 디스플레이 픽셀에 적용될 수 있다.
- [0097] 산화물 트랜지스터(T3)가 액티브-하이 스캔 제어 신호에 의해 제어되는 위의 예들은 단지 예시적인 것이며, 본 실시예들의 범주를 제한하도록 의도되지 않는다. 다른 적합한 실시예들에 따라, 산화물 트랜지스터(T3)는 액티브-로우 스캔 제어 신호에 의해 제어되는 p-채널 박막 트랜지스터이다(즉, 스캔 제어 신호(Scan1)가 로우 상태로 구동되어 트랜지스터(T3)를 턴 온시키고, 하이 상태로 구동되어 트랜지스터(T3)를 턴 오프시킴). 도 15a에 도시된 바와 같이, 신호(Scan1)는 (다른 트랜지스터들 중에서) 트랜지스터(T3)를 턴 오프하기 위해 비활성설정되거나 네거티브 전압 레벨(VSL)에서 포지티브 전압 레벨(VSH)로 구동될 수 있다. 전술된 수학적 1 및 수학적 2는 또한 극성들이 바뀌는 것을 제외하고는 p-채널 트랜지스터에 대해 유효할 것이다. 다시 말하면, Q_{ch} 및 I_{12} 를 일정하게 유지하는 것은, V_{th_ox} 에서의 드리프트와 유사한 페이스로 VSL을 실제로 증가시키는 것을 수반할 것이다(p 형 트랜지스터의 경우 V_{th_ox} 가 시간에 따라 증가한다고 가정함).
- [0098] 도 15b는 일 실시예에 따른, 액티브-로우 스캔 제어 신호(Scan1)의 VSL이 어떻게 V_{th_ox} 의 변화들에 적응하도록 조정되고 그에 따라 디스플레이 휘도 저하를 완화시킬 수 있는지를 도시하는 타이밍도이다. 시간(T0)에서(즉, 디스플레이가 여전히 상대적으로 새로운 때), VSL은 공칭 접지 전력 공급 레벨(VSLnom)로 바이어스될 수 있다.
- [0099] 일부 기간 후 및 시간(T1)에, 디스플레이(14)의 휘도는 산화물 트랜지스터(T3)의 임계 전압 드리프트로 인해 얼마간의 양만큼 저하됐을 수 있다. T0과 T1 사이의 시간의 양은 적어도 50 시간, 적어도 100 시간, 100 내지 500 시간, 500 시간 초과, 또는 디스플레이(14)가 바람직하지 않은 휘도 변화를 겪을 수 있는 기타 적합한 동작 기간일 수 있다. 휘도 저하를 완화시키기 위해, VSL은 전압 오프셋 양(ΔV)만큼 증가되어 V_{th_ox} 의 변화를 따라잡을 수 있다. 오프셋 양(ΔV)는 10 mV, 10 내지 50 mV, 30 내지 70 mV, 50 내지 100 mV, 또는 V_{th_ox} 의 전압 드리프트에 적응하기 위한 기타 적합한 오프셋 양일 수 있다.
- [0100] 일부 기간 후 및 시간(T2)에, 디스플레이(14)의 휘도는 산화물 트랜지스터(T3)의 임계 전압 드리프트의 추가 증가로 인해 일부 더 열화될 수 있다. T1과 T2 사이의 시간의 양은 적어도 50 시간, 적어도 100 시간, 100 내지 500 시간, 500 시간 초과, 또는 디스플레이(14)가 바람직하지 않은 휘도 변화를 겪을 수 있는 기타 적합한 동작 기간일 수 있다. 휘도 저하를 완화시키기 위해, VSL은 또 다른 전압 오프셋 양(ΔV)만큼 더 증가되어 V_{th_ox} 의 변화를 따라잡을 수 있다. 이러한 프로세스는 디스플레이(14)의 수명 사이클의 끝까지 무한히 계속될 수 있는데, 2 년의 정상 동작 사용, 2 내지 5 년의 정상 동작, 5 내지 10 년의 정상 동작 사용, 또는 10 년 초과와 정상

상 동작 사용동안 지속될 수 있다.

- [0101] 도 15c는 스캔 제어 신호(Scan1)의 VSL을 증가시키는 것이 어떻게 디스플레이 휘도를 상승시키는 것을 도울 수 있는지를 도시하는 그래프이다. 곡선(1502)에 도시된 바와 같이, 디스플레이의 수명에 걸쳐 선형 또는 단계적 방식으로 VSL을 상승시키는 것은 V_{th_ox} 의 변화들에 의해 야기되는 원하지 않는 휘도 저하를 보상하기 위해 그것의 휘도를 상승시키는 것을 도울 수 있다. 일반적으로, 도 15b 및 도 15c에 도시된 기법들은 디스플레이의 휘도에 영향을 미칠 수 있는 가변적인 임계 전압을 구비한 트랜지스터를 갖는 임의의 디스플레이 픽셀에 적용될 수 있다.
- [0102] 일 실시예에 따르면, 디스플레이 픽셀이 제공되며, 이 디스플레이 픽셀은 발광 다이오드, 발광 다이오드에 직렬로 결합되는 구동 트랜지스터 - 구동 트랜지스터는 드레인 단자, 게이트 단자, 및 소스 단자를 포함함 -, 구동 트랜지스터의 드레인 단자와 게이트 단자 사이에 결합되는 제1 반도체 유형의 트랜지스터 - 제1 반도체 유형의 트랜지스터는 구동 트랜지스터의 게이트 단자에서 누설을 감소시키도록 구성되고, 제1 반도체 유형의 트랜지스터는 임계 전압을 가짐 -, 및 제1 반도체 유형과 상이한 제2 반도체 유형의 트랜지스터 - 제2 반도체 유형의 트랜지스터는 제1 반도체 유형의 트랜지스터와 구동 트랜지스터의 게이트 단자 사이에 개재되고, 제2 반도체 유형의 트랜지스터는 제1 반도체 유형의 트랜지스터의 임계 전압에 대한, 발광 다이오드를 통해 흐르는 방출 전류의 민감도를 감소시키도록 구성됨 -을 포함한다.
- [0103] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터는 반전도성-산화물에 채널이 형성되는 반전도성-산화물 박막 트랜지스터를 포함한다.
- [0104] 다른 실시예에 따르면, 제2 반도체 유형의 트랜지스터는 규소에 채널이 형성되는 규소 박막 트랜지스터를 포함한다.
- [0105] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터 및 제2 반도체 유형의 트랜지스터는 둘 모두 n-채널 박막 트랜지스터이다.
- [0106] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터는 n-채널 박막 트랜지스터이고, 제2 반도체 유형의 트랜지스터는 p-채널 박막 트랜지스터이다.
- [0107] 다른 실시예에 따르면, 디스플레이 픽셀은 구동 트랜지스터의 게이트 단자에 결합된 저장 커패시터 - 저장 커패시터는 디스플레이 픽셀에 대한 데이터 신호를 저장하도록 구성됨 -, 및 제1 반도체 유형의 트랜지스터와 제2 반도체 유형의 트랜지스터 사이의 중간 노드에 결합된 정합 커패시터 - 정합 커패시터는 제1 반도체 유형의 트랜지스터가 턴 오프됨에 따라 제1 반도체 유형의 트랜지스터를 통해 흐르는 재균형화 전류를 감소시키도록 구성됨 -를 포함한다.
- [0108] 다른 실시예에 따르면, 정합 커패시터는 저장 커패시터보다 작다.
- [0109] 다른 실시예에 따르면, 디스플레이 픽셀은 구동 트랜지스터의 게이트 단자에 결합된 저장 커패시터 - 저장 커패시터는 디스플레이 픽셀에 대한 데이터 신호를 저장하도록 구성됨 -, 및 구동 트랜지스터의 드레인 단자에 결합된 정합 커패시터 - 정합 커패시터는 제1 반도체 유형의 트랜지스터가 턴 오프됨에 따라 제1 반도체 유형의 트랜지스터를 통해 흐르는 재균형화 전류를 감소시키도록 구성됨 -를 포함한다.
- [0110] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터는 스캔 제어 신호를 수신하도록 구성된 게이트 단자를 갖고, 제2 반도체 유형의 트랜지스터는 스캔 제어 신호와 상이한 방출 제어 신호를 수신하도록 구성된 게이트 단자를 갖는다.
- [0111] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터 및 제2 반도체 유형의 트랜지스터는 동일한 스캔 제어 신호를 수신하도록 구성된 게이트 단자들을 갖는다.
- [0112] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터는 제1 임계 전압을 갖고, 제2 반도체 유형의 트랜지스터는 제1 임계 전압보다 큰 제2 임계 전압을 갖는다.
- [0113] 다른 실시예에 따르면, 디스플레이 픽셀은 구동 트랜지스터 및 발광 다이오드에 직렬로 결합된 제1 방출 트랜지스터, 구동 트랜지스터 및 발광 다이오드에 직렬로 결합된 제2 방출 트랜지스터, 발광 다이오드에 직접 결합된 초기화 트랜지스터, 및 구동 트랜지스터의 소스 단자에 직접 결합된 데이터 로딩 트랜지스터를 포함한다.
- [0114] 일 실시예에 따르면, 디스플레이 픽셀을 동작시키는 방법이 제공되며, 이 방법은 방출 단계 동안, 디스플레이 픽셀 내의 구동 트랜지스터를 이용하여 방출 전류를 디스플레이 픽셀 내의 발광 다이오드로 전달하는 단계 - 구

동 트랜지스터는 드레인 단자 및 게이트 단자를 포함함 -, 구동 트랜지스터의 드레인 단자와 게이트 단자 사이에 결합된 제1 반도체 유형의 트랜지스터를 이용하여 방출 단계 동안 구동 트랜지스터의 게이트 단자에서 누설을 감소시키는 단계 - 제1 반도체 유형의 트랜지스터는 임계 전압을 가짐 -, 및 제1 반도체 유형의 트랜지스터와 구동 트랜지스터의 게이트 단자 사이에 개재된 제2 반도체 유형의 트랜지스터를 이용하여 제1 반도체 유형의 트랜지스터의 임계 전압에 대한 방출 전류의 민감도를 감소시키는 단계를 포함한다.

[0115] 다른 실시예에 따르면, 제1 반도체 유형의 트랜지스터는 반전도성-산화물 박막 트랜지스터를 포함하고, 제2 반도체 유형의 트랜지스터는 규소 박막 트랜지스터를 포함한다.

[0116] 다른 실시예에 따르면, 방법은 스캔 제어 신호를 제1 반도체 유형의 트랜지스터의 게이트 단자에 제공하는 단계, 스캔 제어 신호와는 상이한 방출 제어 신호를 제2 반도체 유형의 트랜지스터의 게이트 단자에 제공하는 단계, 및 스캔 제어 신호의 하강 에지 전에 방출 제어 신호를 비활성설정하고 스캔 제어 신호의 하강 에지 후에 방출 제어 신호를 활성설정하는 단계를 포함한다.

[0117] 다른 실시예에 따르면, 방법은 스캔 제어 신호를 제1 반도체 유형의 트랜지스터의 게이트 단자에 제공하는 단계, 스캔 제어 신호를 제2 반도체 유형의 트랜지스터의 게이트 단자에 제공하는 단계, 제1 반도체 유형의 트랜지스터를 스캔 제어 신호의 하강 에지에서 턴 오프하기 전에 제2 반도체 유형의 트랜지스터를 턴 오프하는 단계를 포함한다.

[0118] 일 실시예에 따르면, 전자 디바이스가 제공되며, 이 전자 디바이스는 디스플레이 픽셀들의 어레이를 갖는 디스플레이를 포함하며, 디스플레이 픽셀들의 어레이 내의 각각의 디스플레이 픽셀은 발광 다이오드, 발광 다이오드에 직렬로 결합되는 구동 트랜지스터 - 구동 트랜지스터는 드레인 단자, 게이트 단자, 및 소스 단자를 포함함 -, 구동 트랜지스터의 드레인 단자와 게이트 단자 사이에 결합된 반전도성-산화물 트랜지스터, 및 반전도성-산화물 트랜지스터와 구동 트랜지스터의 게이트 단자 사이에 결합되는 규소 트랜지스터를 포함한다.

[0119] 다른 실시예에 따르면, 디스플레이 픽셀들의 어레이 내의 각각의 디스플레이 픽셀은 구동 트랜지스터의 게이트 단자에 직접 결합되는 저장 커패시터, 및 반전도성-산화물 트랜지스터에 직접 결합되는 정합 커패시터를 포함하고, 정합 커패시터는 반전도성-산화물 트랜지스터를 통해 흐르는 재균형화 전류를 감소시키도록 구성된다.

[0120] 다른 실시예에 따르면, 정합 커패시터는 실질적으로 저장 커패시터보다 작다.

[0121] 다른 실시예에 따르면, 디스플레이 픽셀들의 어레이 내의 각각의 디스플레이 픽셀은 구동 트랜지스터 및 발광 다이오드에 직렬로 결합된 제1 방출 트랜지스터, 구동 트랜지스터 및 발광 다이오드에 직렬로 결합된 제2 방출 트랜지스터, 발광 다이오드에 직접 결합된 초기화 트랜지스터, 및 구동 트랜지스터의 소스 단자에 직접 결합된 데이터 로딩 트랜지스터를 포함한다.

[0122] 다른 실시예에 따르면, 전자 디바이스는 제1 스캔 제어 신호를 반전도성-산화물 트랜지스터의 게이트 단자 및 초기화 트랜지스터의 게이트 단자에 출력하도록 구성된 제1 스캔 라인 구동 회로, 제2 스캔 제어 신호를 데이터 로딩 트랜지스터의 게이트 단자에 출력하도록 구성된 제2 스캔 라인 구동 회로, 제1 방출 제어 신호를 제1 방출 트랜지스터의 게이트 단자에 출력하도록 구성된 제1 방출 라인 구동 회로, 제2 방출 제어 신호를 제2 방출 트랜지스터의 게이트 단자에 출력하도록 구성된 제2 방출 라인 구동 회로, 및 제3 방출 제어 신호를 규소 트랜지스터의 게이트 단자에 출력하도록 구성된 제3 방출 라인 구동 회로를 포함하며, 제3 방출 라인 구동 회로는 제1 스캔 제어 신호를 제1 스캔 라인 구동 회로로부터 수신하고 제2 스캔 제어 신호를 제2 스캔 라인 구동 회로로부터 수신하도록 구성된다.

[0123] 다른 실시예에 따르면, 제1 방출 라인 구동 회로는 제1 쌍의 클록 신호들을 수신하도록 구성되고, 제2 방출 라인 구동기는 제2 쌍의 클록 신호들을 수신하도록 구성되고, 제3 방출 라인 구동 회로는 제1 방출 라인 구동 회로와 연관된 제1 쌍의 클록 신호들 및 제2 방출 라인 구동 회로와 연관된 제2 쌍의 클록 신호들 중 선택된 하나를 수신하도록 추가로 구성된다.

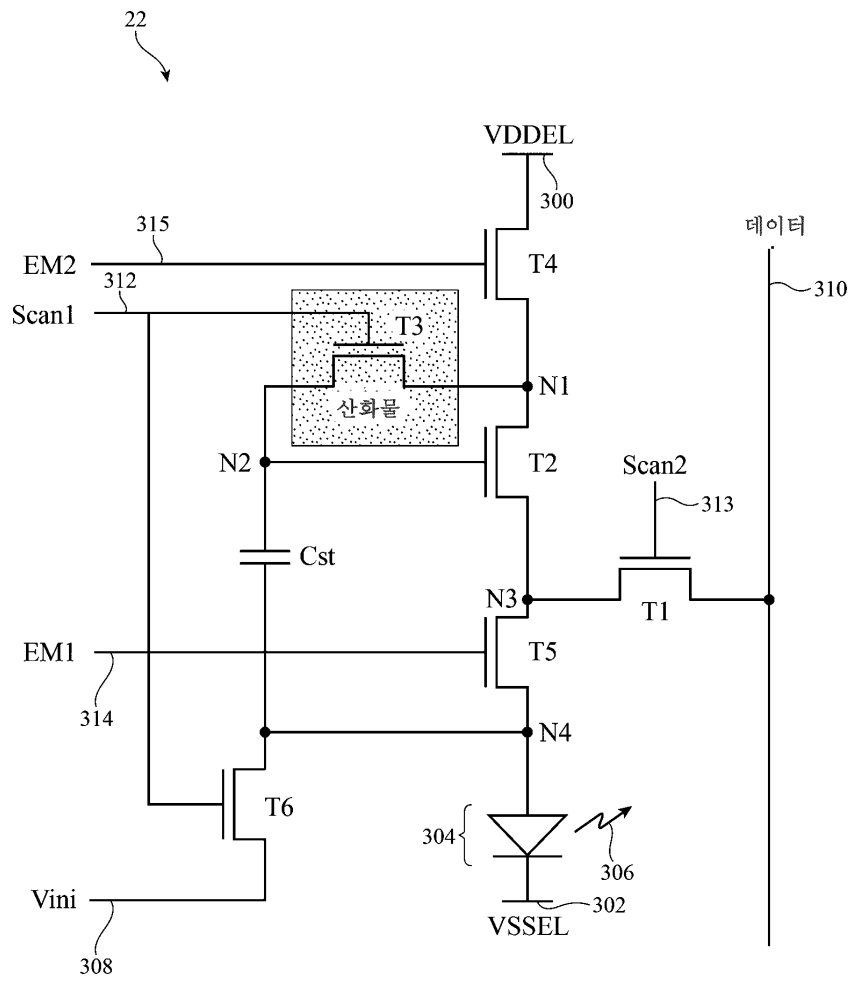
[0124] 다른 실시예에 따르면, 제3 방출 라인 구동 회로는 시작 펄스 신호를 수신하지 않는다.

[0125] 다른 실시예에 따르면, 제3 방출 라인 구동 회로는 풀-업 트랜지스터, 풀-업 트랜지스터에 직렬로 연결된 풀-다운 트랜지스터, 및 클록 신호들의 선택된 쌍의 제1 클록 신호를 수신하도록 구성된 게이트 단자를 갖는 제1 트랜지스터, 제1 스캔 제어 신호를 수신하도록 구성된 게이트 단자를 갖는 제2 트랜지스터, 제2 스캔 제어 신호를 수신하도록 구성된 게이트 단자를 갖는 제3 트랜지스터 - 제1, 제2, 및 제3 트랜지스터들은 동시에 풀-다운 트랜지스터를 턴 온시키는 데 사용됨 -, 및 클록 신호들의 선택된 쌍의 제2 클록 신호를 수신하도록 구성된 게이트 단자를 갖는 제4 트랜지스터를 포함한다.

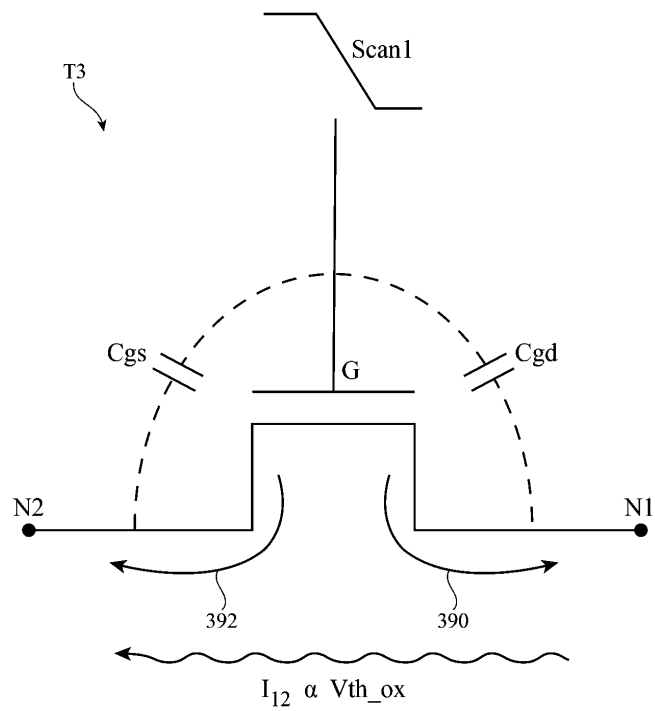
트 단자를 갖는 제4 트랜지스터 - 제4 트랜지스터는 풀-다운 트랜지스터를 턴 오프시키는 데 사용됨 -를 포함한다.

- [0126] 다른 실시예에 따르면, 제3 방출 라인 구동 회로는 클록 신호들의 선택된 쌍의 제2 클록 신호를 수신하도록 구성된 게이트 단자를 갖는 제5 트랜지스터 - 제5 트랜지스터는 풀-업 트랜지스터를 턴 온시키는 데 사용됨 -, 고정된 전력 공급 전압을 수신하도록 구성된 게이트 단자를 갖는 제6 트랜지스터, 및 제1 스캔 제어 신호를 수신하도록 구성된 게이트 단자를 갖는 제7 트랜지스터 - 제6 및 제7 트랜지스터들은 동시에 풀-업 트랜지스터를 턴 오프시키는 데 사용됨 -를 포함한다.
- [0127] 다른 실시예에 따르면, 제3 방출 라인 구동 회로는 클록 신호들의 선택된 쌍의 제1 스캔 제어 신호 및 제2 클록 신호를 수신하도록 구성된 제1 스테이지, 및 제1 스캔 제어 신호 및 제1 스테이지로부터의 신호들을 수신하도록 구성된 제2 스테이지를 포함하며, 제2 스테이지는 풀-업 트랜지스터의 게이트 단자에 직접 연결된 출력을 가지며, 풀-업 트랜지스터의 게이트 단자에 결합된 개별적인 커패시터는 없다.
- [0128] 일 실시예에 따르면, 휘도를 나타내는 디스플레이를 동작시키는 방법이 제공되며, 이 방법은 디스플레이의 휘도를 제어하기 위하여 펄스 폭 변조(PWM) 방식을 이용하는 단계, 및 디스플레이의 휘도가 디스플레이 에이징 효과로 인해 저하되는 제1 기간 후에, 휘도 저하를 보상하기 위하여 PWM 방식에 대한 듀티 사이클을 증가시키는 단계를 포함한다.
- [0129] 다른 실시예에 따르면, 제1 기간은 적어도 100 시간이다.
- [0130] 다른 실시예에 따르면, 방법은 제1 기간을 뒤따르는 제2 기간 후에, 디스플레이에서의 임의의 휘도 저하를 보상하기 위하여 상기 PWM 방식에 대한 상기 듀티 사이클을 추가로 증가시키는 단계를 포함하고, 제2 기간은 상기 제1 기간과 동일하다.
- [0131] 다른 실시예에 따르면, PWM 방식을 사용하는 단계는 펄스 폭 변조된 방출 제어 신호를 디스플레이 상의 대응하는 방출 트랜지스터들에 공급하는 단계를 포함한다.
- [0132] 다른 실시예에 따르면, PWM 방식의 듀티 사이클을 증가시키는 단계는 디스플레이가 제1 디스플레이 밝기 설정에 있을 때 방출 제어 신호의 펄스 폭을 제1 양만큼 늘리는 단계, 및 디스플레이가 제2 디스플레이 밝기 설정에 있을 때 방출 제어 신호의 펄스 폭을 제1 양과는 상이한 제2 양만큼 늘리는 단계를 포함한다.
- [0133] 일 실시예에 따르면, 구동 트랜지스터 및 구동 트랜지스터의 게이트 단자에 결합된 반전도성-산화물 트랜지스터를 구비한 디스플레이 픽셀을 동작시키는 방법이 제공되며, 이 방법은 스캔 제어 신호를 반전도성-산화물 트랜지스터의 게이트 단자에 공급하는 단계 - 반전도성-산화물 트랜지스터는 시간에 따라 변화하는 임계 전압을 가지며, 반전도성-산화물 트랜지스터의 임계 전압의 변화는 디스플레이에 대한 휘도 저하를 야기함 -, 스캔 제어 신호를 제1 전압 레벨로 구동함으로써 스캔 제어 신호를 활성화설정하여 반전도성-산화물 트랜지스터를 턴 온시키는 단계, 스캔 제어 신호를 제1 전압 레벨에서 제2 전압 레벨로 구동함으로써 스캔 제어 신호를 비활성설정하여 반전도성-산화물 트랜지스터를 턴 오프시키는 단계, 및 스캔 제어 신호의 제1 전압 레벨을 반전도성-산화물 트랜지스터의 임계 전압의 변화에 적응시켜 휘도 저하를 보상하는 단계를 포함한다.
- [0134] 다른 실시예에 따르면, 스캔 제어 신호의 제1 전압 레벨을 적응시키는 단계는 정상 디스플레이 동작의 적어도 매 300 시간마다 한번씩 30 내지 70 mV만큼 제1 전압 레벨을 감소시키는 단계를 포함한다.
- [0135] 다른 실시예에 따르면, 스캔 제어 신호의 제1 전압 레벨을 적응시키는 단계는 정상 디스플레이 동작의 적어도 매 300 시간마다 한번씩 30 내지 70 mV만큼 제1 전압 레벨을 증가시키는 단계를 포함한다.
- [0136] 전술한 것은 단지 예시일 뿐이며, 설명된 실시예들에 대해 다양한 수정들이 이루어질 수 있다. 전술한 실시예들은 개별적으로 또는 임의의 조합으로 구현될 수 있다.

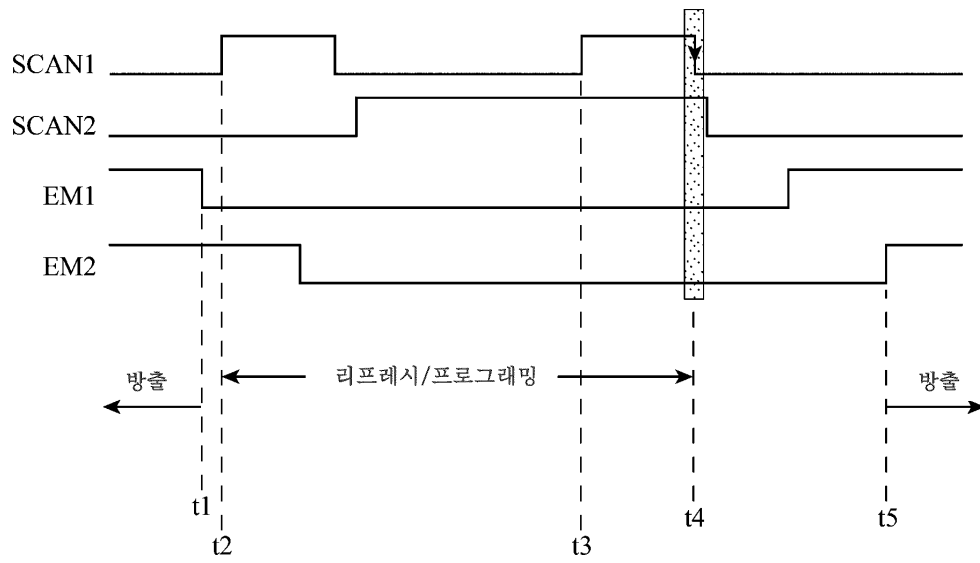
도면3a



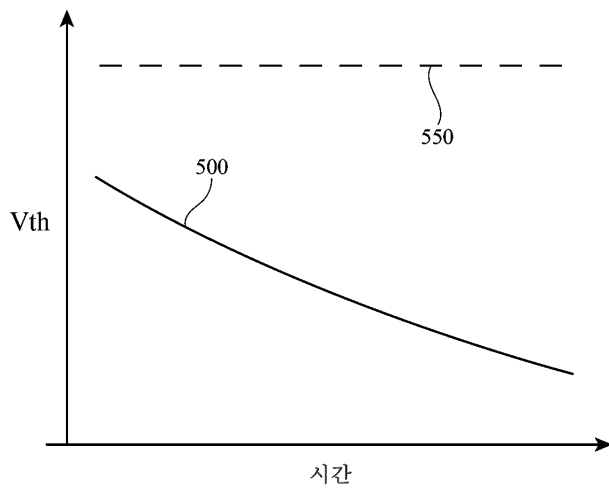
도면3b



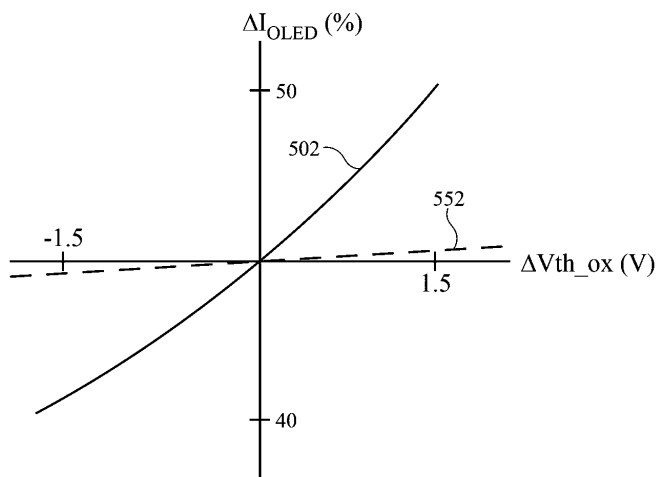
도면4



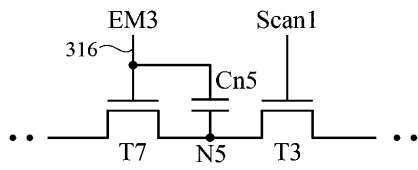
도면5a



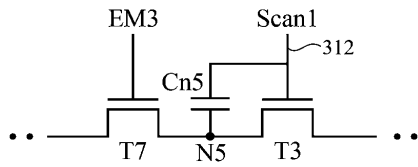
도면5b



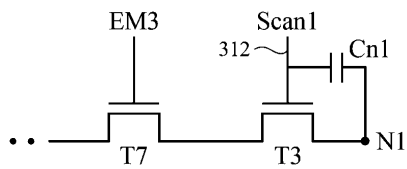
도면6c



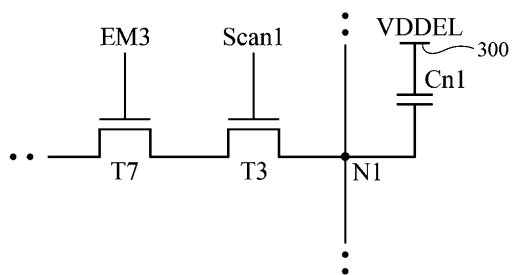
도면6d



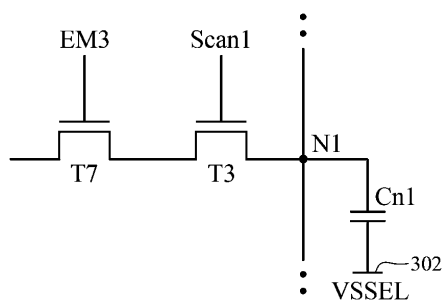
도면6e



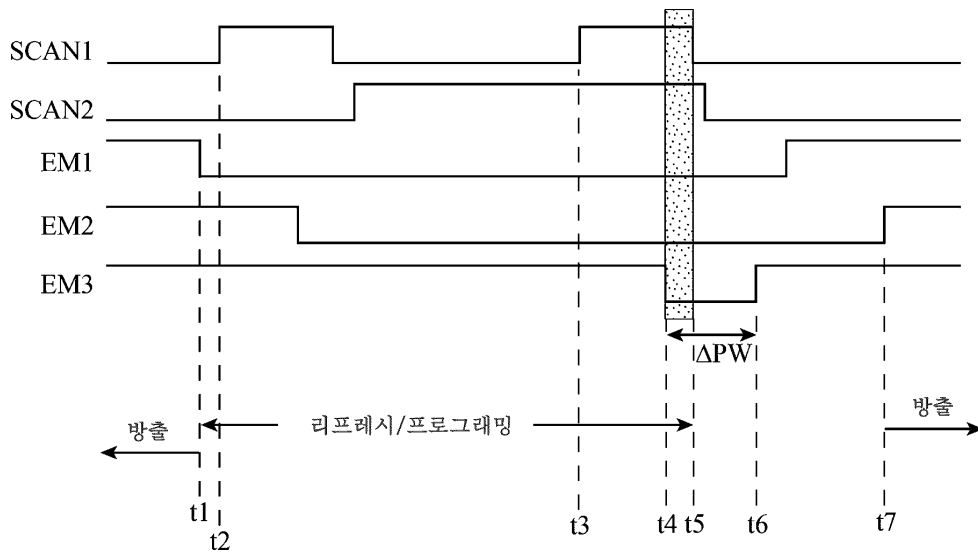
도면6f



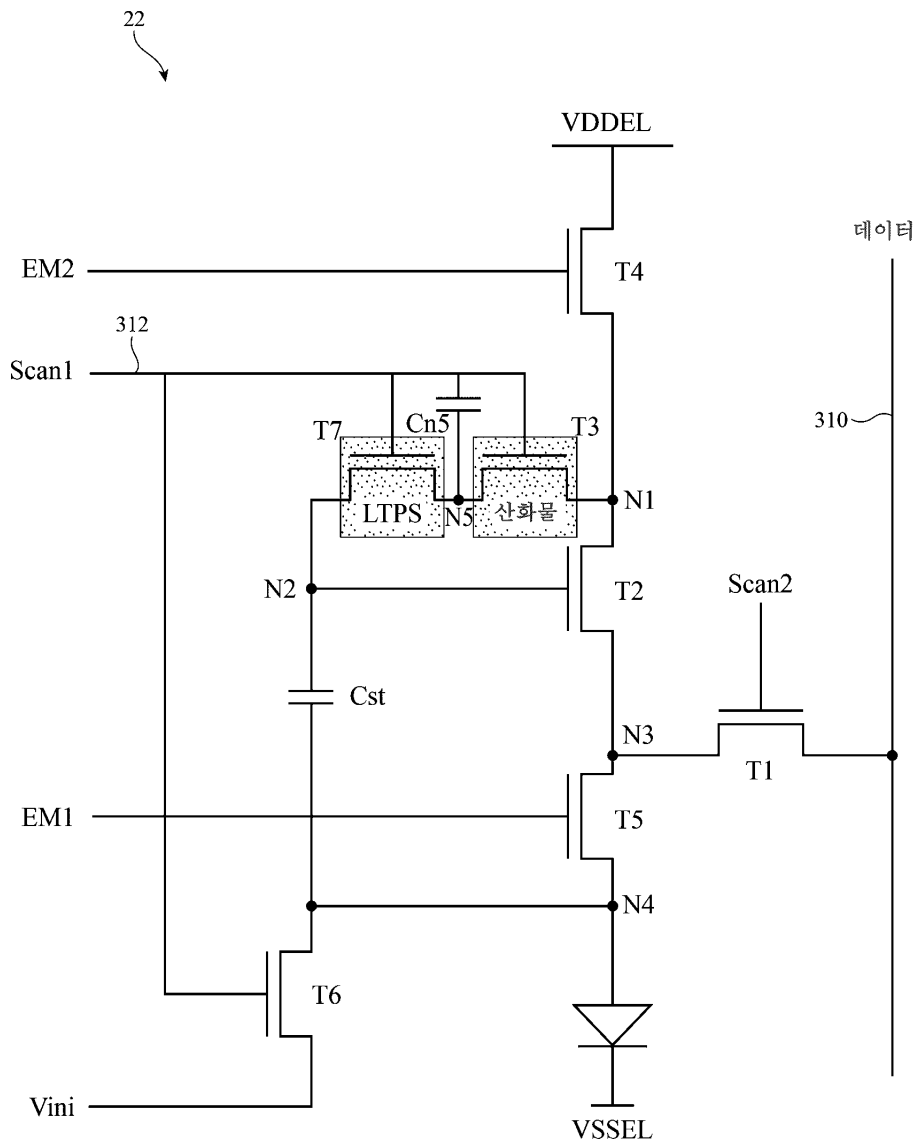
도면6g



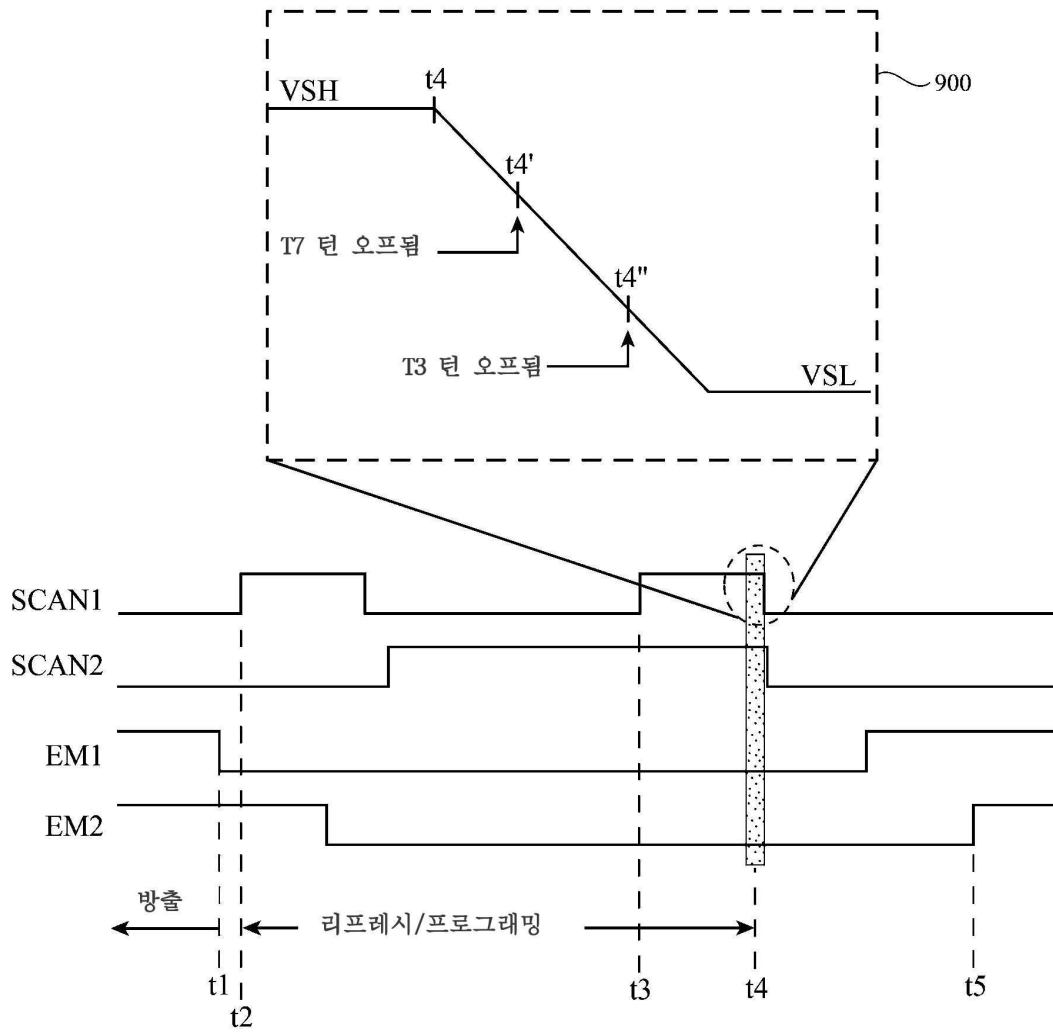
도면7



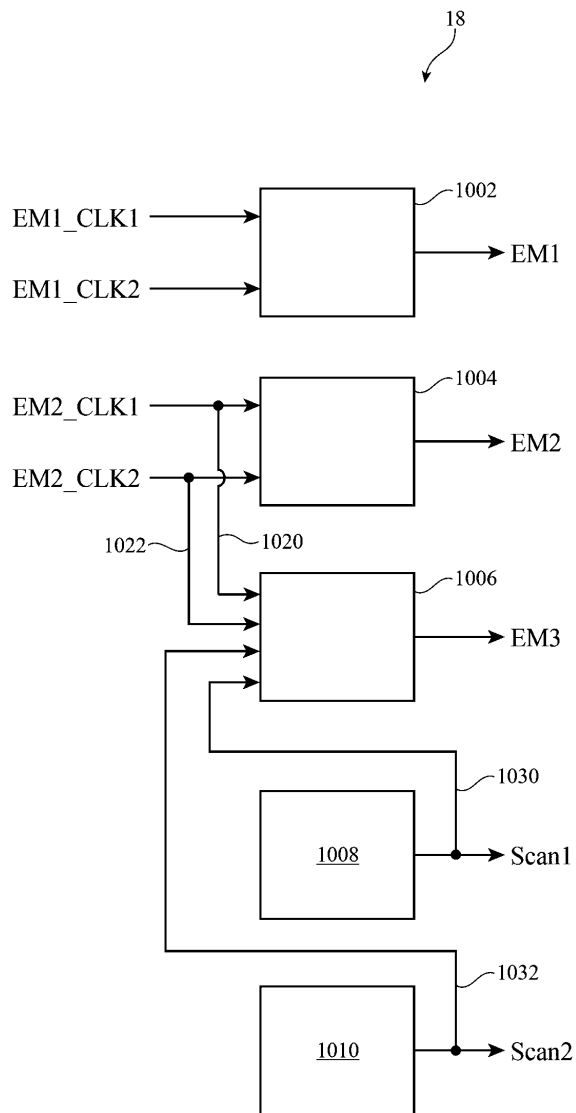
도면8



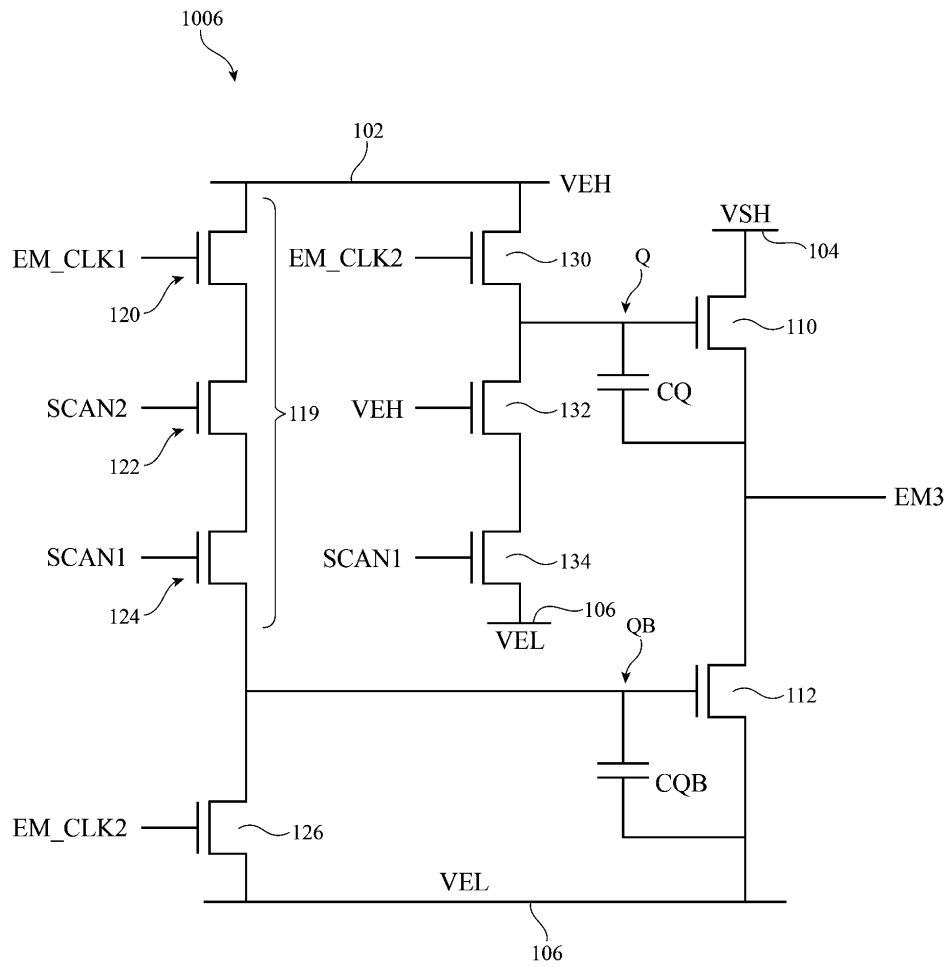
도면9



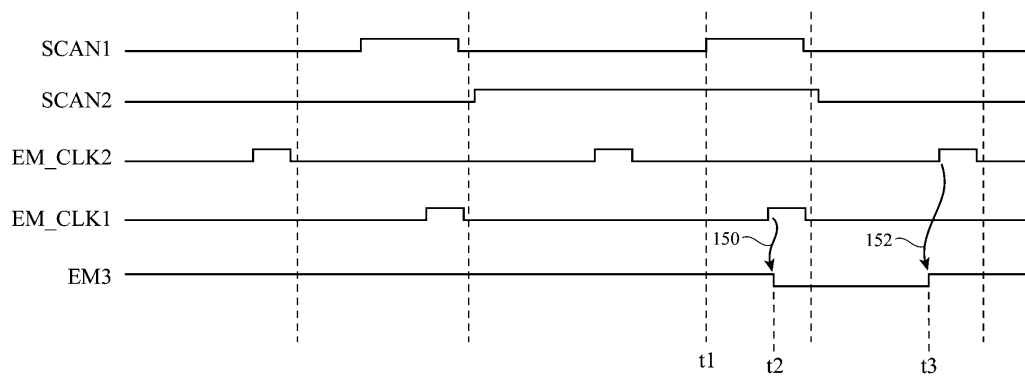
도면10



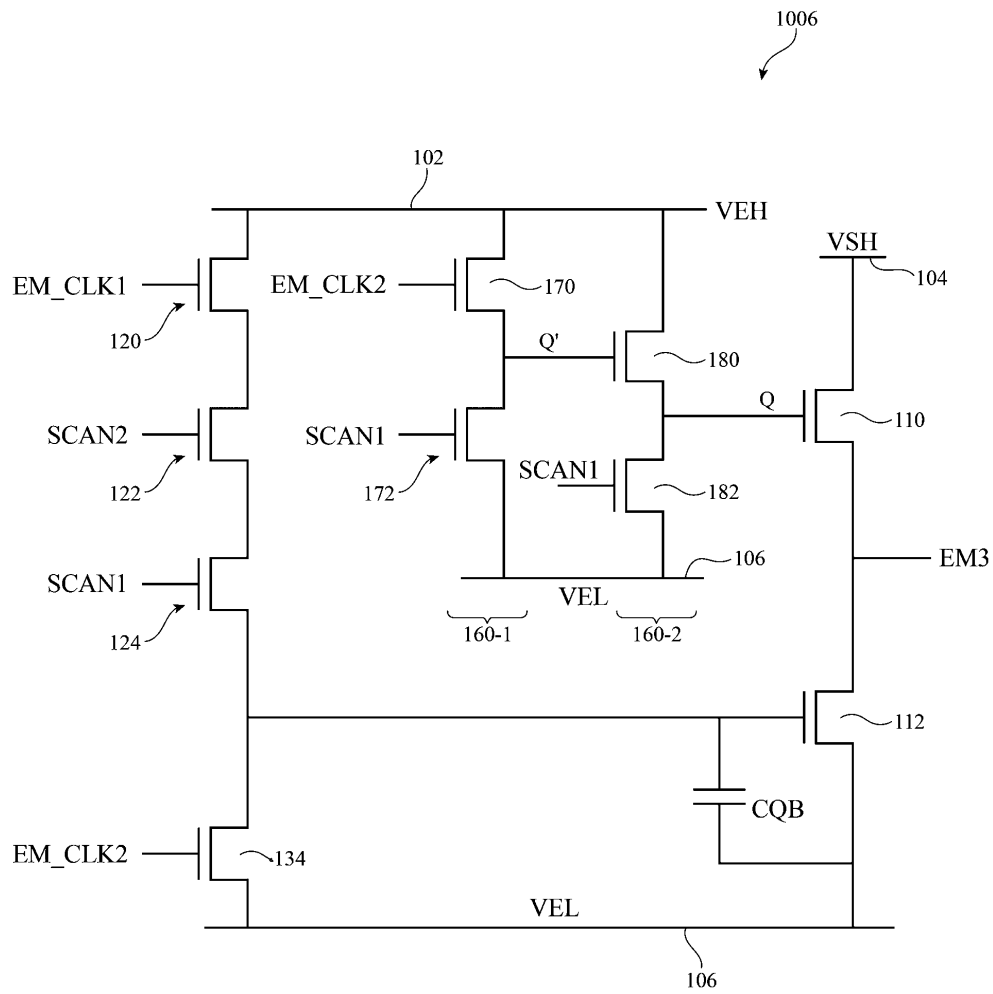
도면11a



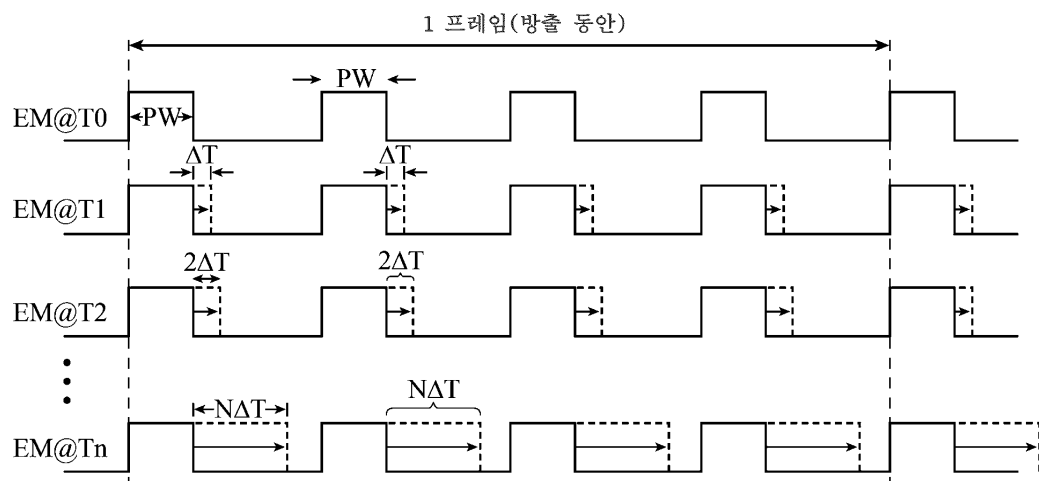
도면11b



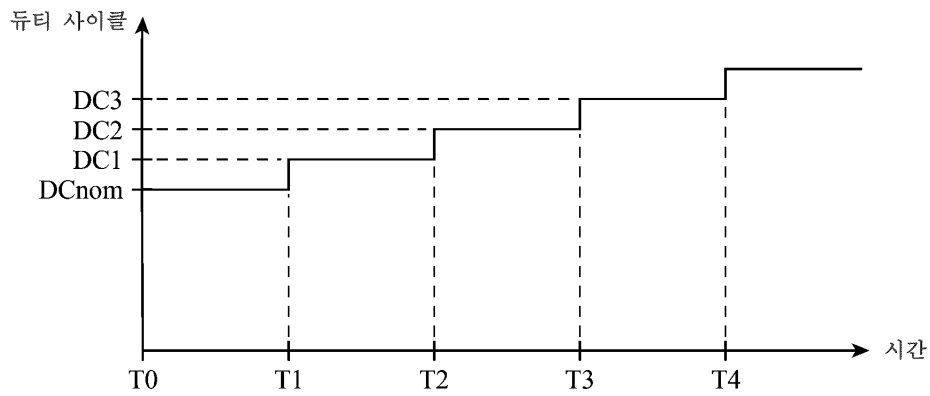
도면12



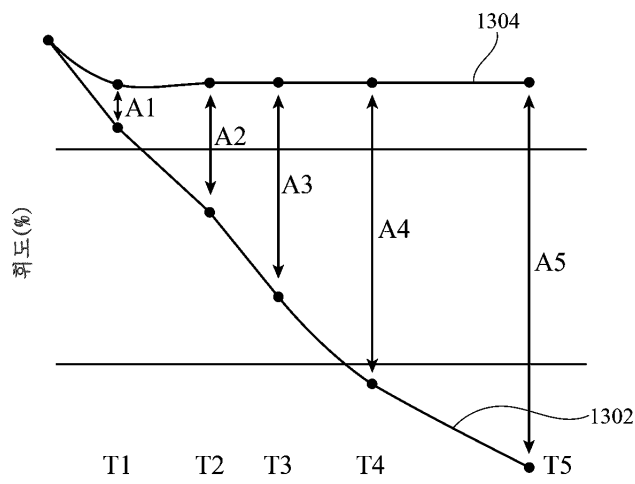
도면13a



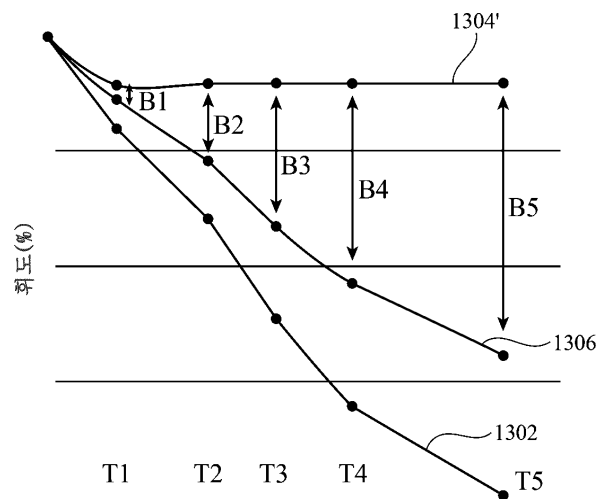
도면13b



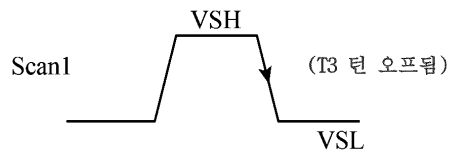
도면13c



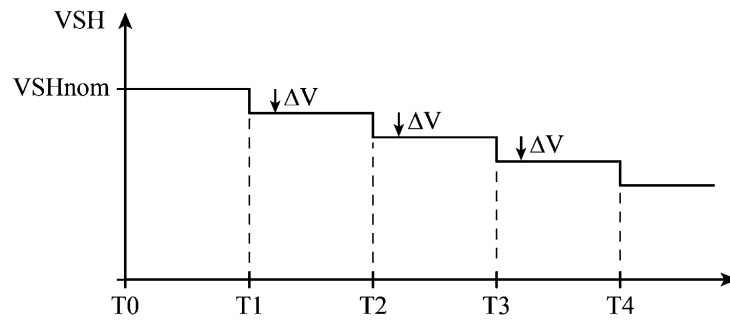
도면13d



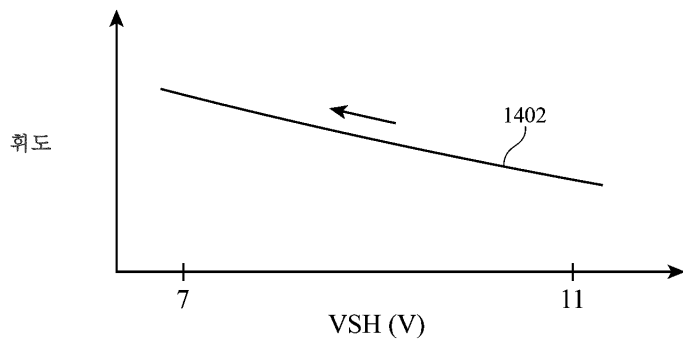
도면14a



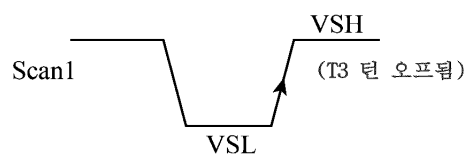
도면14b



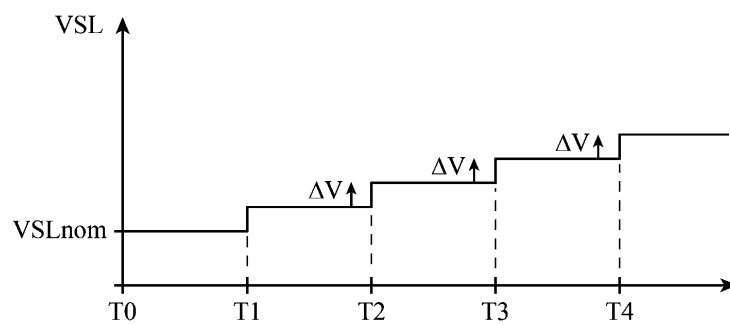
도면14c



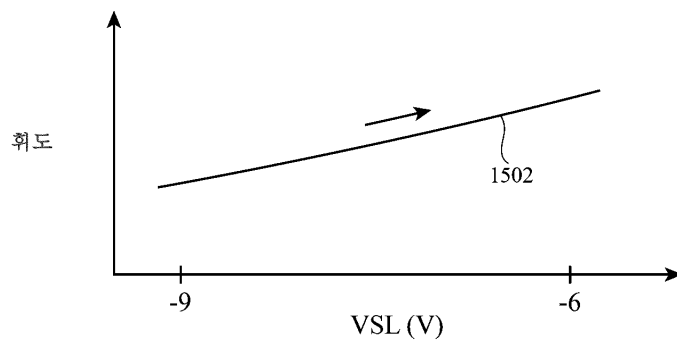
도면15a



도면15b



도면15c



专利名称(译)	具有低刷新率的电子设备显示像素对氧化物晶体管阈值电压的敏感性降低		
公开(公告)号	KR1020190138586A	公开(公告)日	2019-12-13
申请号	KR1020190063757	申请日	2019-05-30
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
发明人	치안, 추앙 차이, 충-팅 흐시, 청-치 양, 슈안 창, 텅-쿠오 잡시디 로우드바리, 아바스 창, 시-창		
IPC分类号	G09G3/3258		
CPC分类号	G09G3/3258 G09G2230/00 G09G2300/0439 G09G2300/0809 G09G2310/0202 G09G2310/0243 G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/08 G09G2320/0233 G09G2320/0242 G09G2320/045 G09G2320/0214 G09G2320/043 G09G2300/0871 G09G2320/064		
代理人(译)	Jangdeoksun Baekmangi		
优先权	62/680911 2018-06-05 US 16/125449 2018-09-07 US		
外部链接	Espacenet		

摘要(译)

电子设备技术领域本发明涉及一种电子设备，其具有低刷新率显示像素，该像素具有对氧化物晶体管阈值电压的降低的灵敏度，从而减少了异常显示行为。根据本发明，显示器包括以低刷新率操作的有机发光二极管 (OLED) 显示像素的阵列。每个显示像素包括串联耦合到一个或多个放电晶体管的驱动晶体管以及每个OLED。为了在低刷新率显示操作期间帮助减少泄漏，可以在驱动晶体管的漏极和栅极端子之间耦合半导体氧化物晶体管。此外，在半导体氧化物晶体管和驱动晶体管的栅极端子之间插入硅晶体管。一个或多个电容器结构耦合到半导体氧化物晶体管的源极端子和/或漏极端子，以在半导体氧化物晶体管关断时减小流过半导体氧化物晶体管的再平衡电流。通过这样的配置，流过OLED的任意放电电流可能对半导体氧化物晶体管的阈值电压中的任意电势漂移不敏感。

$$Q_{ch} = C_{ox}(V_{SH} - V_D - V_{th_ox})$$