



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0052822
(43) 공개일자 2019년05월17일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2017-0148579
(22) 출원일자 2017년11월09일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박재희
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인료알

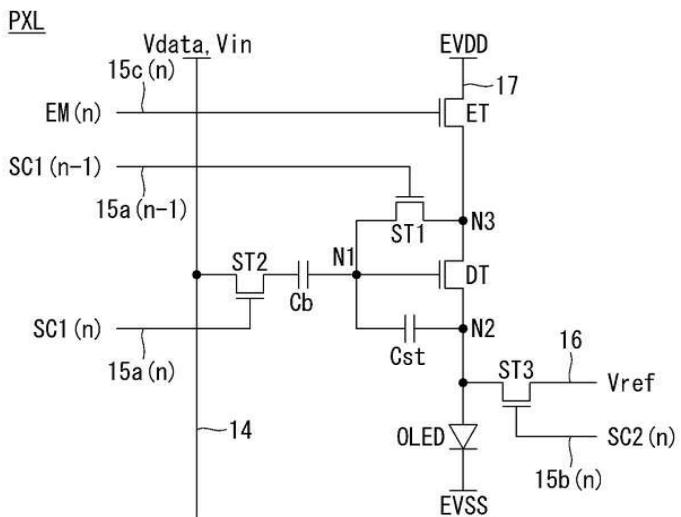
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요 약

본 명세서에 따른 전계 발광 표시장치에서 제n 수평 화소 라인(n은 자연수)에 배치된 각 화소는, 노드 N1에 게이트전극이 접속되고, 노드 N2 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자; 상기 노드 N1에 일측 전극이 접속된 커패시터 Cb; 상기 커패시터 Cb의 타측 전극과 상기 데이터라인 사이에 접속된 스위치 소자 ST2; 상기 노드 N2와 제1 전원라인 사이에 접속된 스위치 소자 ST3; 및 상기 노드 N2와 저전위 전원전압의 임력단 사이에 접속되며, 상기 구동 전류에 따라 발광하는 발광 소자를 포함하고, 상기 스위치 소자 ST2가 터온 되는 동안 상기 스위치 소자 ST3가 터온 된다.

대 표 도 - 도3



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

데이터전압이 공급되는 데이터라인과 기준 전압이 공급되는 제1 전원라인과 고전위 전원전압이 공급되는 제2 전원라인에 복수의 화소들이 연결된 표시패널을 구비하고,

상기 화소들 중에서 제n 수평 화소 라인(n 은 자연수)에 배치된 각 화소는,

노드 N1에 게이트전극이 접속되고, 노드 N2 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자;

상기 노드 N1에 일측 전극이 접속된 커패시터 Cb;

상기 커패시터 Cb의 타측 전극과 상기 데이터라인 사이에 접속된 스위치 소자 ST2;

상기 노드 N2와 상기 제1 전원라인 사이에 접속된 스위치 소자 ST3; 및

상기 노드 N2와 저전위 전원전압의 입력단 사이에 접속되며, 상기 구동 전류에 따라 발광하는 발광 소자를 포함하고,

상기 스위치 소자 ST2가 턴 온 되는 동안 상기 스위치 소자 ST3가 턴 온 되는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 스위치 소자 ST2의 턴 온에 의해 상기 데이터전압이 상기 노드 N1의 전위에 반영되는 동안, 상기 노드 N2의 전위는 상기 스위치 소자 ST3의 턴 온에 의해 상기 기준 전압으로 고정되는 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제n 수평 화소 라인에 배치된 각 화소는,

상기 노드 N1과 상기 노드 N3 사이에 접속된 스위치 소자 ST1;

상기 노드 N1과 상기 노드 N2 사이에 접속된 커패시터 Cst; 및

상기 제2 전원라인과 상기 노드 N3 사이에 접속된 스위치 소자 ET를 더 포함하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

1 프레임 기간은,

상기 구동 소자의 문턱전압을 샘플링하는 샘플링 기간;

상기 샘플링 기간에 이어 상기 데이터전압을 상기 노드 N1의 전위에 반영하는 데이터 기입 기간; 및

상기 데이터 기입 기간에 이어 상기 문턱전압이 보상된 상기 구동전류에 따라 상기 발광 소자를 발광시키는 발광 기간을 포함하는 전계 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 샘플링 기간 동안 상기 구동 소자의 문턱전압은 샘플링되어 상기 노드 N1에 저장되는 전계 발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 스위치 소자 ST1은 제n-1 스캔신호1에 따라 스위칭되고,

상기 스위치 소자 ST2는 상기 제n-1 스캔신호1에 비해 온 구간의 위상이 늦은 제n 스캔신호1에 따라 스위칭되고,

상기 스위치 소자 ST3은 상기 제n-1 스캔신호1 및 상기 제n 스캔신호1와 온 구간이 중첩되는 제n 스캔신호2에 따라 스위칭되고,

상기 스위치 소자 ET는 상기 제n 스캔신호2와 온 구간의 위상이 반대되는 제n 에미션신호에 따라 스위칭되는 전계 발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 제n-1 스캔신호1은 상기 샘플링 기간 동안 온 레벨로 입력되고 상기 데이터 기입 기간과 상기 발광 기간 동안 오프 레벨로 입력되고,

상기 제n 스캔신호1은 상기 샘플링 기간 동안 오프 레벨로 입력되고 상기 데이터 기입 기간 동안 온 레벨로 입력되고 상기 발광 기간 동안 오프 레벨로 입력되고,

상기 제n 스캔신호2는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 온 레벨로 입력되고 상기 발광 기간 동안 오프 레벨로 입력되고,

상기 제n 에미션신호는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 오프 레벨로 입력되고 상기 발광 기간 동안 온 레벨로 입력되는 전계 발광 표시장치.

청구항 8

제 4 항에 있어서,

상기 스위치 소자 ST1은 제n-1 스캔신호에 따라 스위칭되고,

상기 스위치 소자 ST2와 상기 스위치 소자 ST3은 상기 제n-1 스캔신호에 비해 온 구간의 위상이 늦은 제n 스캔신호에 따라 스위칭되고,

상기 스위치 소자 ET는 상기 제n 스캔신호와 온 구간의 위상이 반대되는 제n 에미션신호에 따라 스위칭되는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제n 스캔신호의 온 구간은 상기 제n-1 스캔신호의 온 구간과 일부가 중첩되는 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제n-1 스캔신호는 상기 샘플링 기간 동안 온 레벨로 입력되고 상기 데이터 기입 기간과 상기 발광 기간 동안 오프 레벨로 입력되고,

상기 제n 스캔신호는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 온 레벨로 입력되고 상기 발광 기간 동안 오프 레벨로 입력되고,

상기 제n 에미션신호는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 오프 레벨로 입력되고 상기 발광 기간 동안 온 레벨로 입력되는 전계 발광 표시장치.

청구항 11

제 1 항에 있어서,

상기 커패시터 C_b 의 용량은 상기 커패시터 C_{st} 의 용량보다 큰 전계 발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 커패시터 C_b 의 용량은 상기 커패시터 C_{st} 의 용량보다 2배 내지 6배 큰 전계 발광 표시장치.

청구항 13

제 4 항에 있어서,

상기 데이터 기입 기간 동안, 상기 데이터전압에 앞서 초기화전압이 상기 데이터라인에 인가되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001]

본 명세서는 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002]

전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003]

유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동TFT(Thin Film Transistor)와, 구동 TFT의 게이트-소트 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다.

[0004]

화소들 간 휘도, 색감 차이 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱 전압과 같은 화소의 구동 특성이 모든 화소들에서 동일해야 한다. 하지만, 공정 편차에 의해 화소들 간 구동 특성에 편차가 있을 수 있다. 또한, 표시장치의 구동 시간에 따라 화소들 간의 열화 진행 속도가 다르게 되어 화소들 간에 구동 특성에서 차이가 커질 수 있다. 이러한, 구동 특성 편차에 의해 OLED로 흐르는 구동 전류량이 변화될 수 있고, 그 결과 화소들 간에 화질의 불균일이 생길 수 있다.

[0005]

이에 표시장치의 화질과 수명을 개선하기 위하여 화소들 간의 구동 특성 차이를 보상하기 위한 내부 보상 회로가 유기발광 표시장치에 적용되고 있다. 내부 보상 회로는 화소 내에 적용될 수 있다. 유기 발광 표시장치는 화소 내의 보상 회로를 이용하여 구동 TFT의 문턱전압에 따라 변하는 구동 TFT의 게이트-소스 간 전압을 샘플링하고 샘플링된 전압으로 구동 TFT의 문턱전압 변화를 보상한다.

발명의 내용

해결하려는 과제

[0006]

그런데, 화소 내에 보상 회로가 적용된 종래 전계 발광 표시장치는 다음과 같은 문제가 있다.

[0007]

첫째, 종래 전계 발광 표시장치에서, 구동 TFT의 게이트전극에 데이터전압이 기입될 때 구동 TFT의 소스전극 전위가 변하여 데이터 전달율이 저하될 수 있다. 데이터 전달율은 데이터전압의 변화량이 구동 TFT의 게이트-소스 간 전압의 변화량에 미치는 비율을 나타낸다. 데이터 전달율이 낮으면 데이터전압을 출력하는 소스 드라이버의 출력 전압 범위를 넓혀야 하므로, 소비전력이 증대될 수 있다.

[0008]

둘째, 종래 전계 발광 표시장치는 데이터 전달율을 높이기 위해 구동 TFT의 소스전극에 병렬 접속된 스토리지

커패시터와 추가 커패시터를 구비한다. 추가 커패시터는 구동 TFT의 소스전극과 고전위 전원전압 사이에 접속되어, 구동 TFT의 게이트전극에 데이터전압이 기입될 때 구동 TFT의 소스전위 변화량을 최소화한다. 추가 커패시터는 공정 조건에 따라 화소별로 편차가 생길 수 있다. 이러한 화소 구조에서는 추가 커패시터의 편차에 따라 구동 TFT의 게이트-소스 간 전압과 구동 전류량이 민감하게 변할 수 있어, 화질의 균일성을 얻기가 어렵다.

[0009] 셋째, 종래 전계 발광 표시장치는 샘플링 기간에서 구동 TFT의 문턱전압을 구동 TFT의 소스전극에 저장하기 때문에, 샘플링 기간에 이은 데이터 기입 기간에서 구동 TFT가 턴 온 될 때 구동 TFT의 소스전위 변화에 의해 구동 TFT의 문턱전압 손실이 불가피하여 보상의 정확도가 떨어진다.

[0010] 따라서, 본 명세서는 각 화소 내에 적용된 보상 회로를 변경하여 데이터 전달율을 개선하고 문턱전압 보상의 정확도와 화질 균일성을 향상시킬 수 있도록 한 전계 발광 표시장치를 제공한다.

과제의 해결手段

[0011] 본 명세서에 따른 전계 발광 표시장치는 데이터라인과 기준 전압이 공급되는 제1 전원라인과 고전위 전원전압이 공급되는 제2 전원라인에 복수의 화소들이 연결된 표시패널을 구비한다. 상기 화소들 중에서 제n 수평 화소 라인(n은 자연수)에 배치된 각 화소는, 노드 N1에 게이트전극이 접속되고, 노드 N2 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자; 상기 노드 N1에 일측 전극이 접속된 커패시터 Cb; 상기 커패시터 Cb의 타측 전극과 상기 데이터라인 사이에 접속된 스위치 소자 ST2; 상기 노드 N2와 상기 제1 전원라인 사이에 접속된 스위치 소자 ST3; 및 상기 노드 N2와 저전위 전원전압의 입력단 사이에 접속되며, 상기 구동 전류에 따라 발광하는 발광 소자를 포함하고, 상기 스위치 소자 ST2가 턴 온 되는 동안 상기 스위치 소자 ST3가 턴 온 된다.

[0012] 상기 제n 수평 화소 라인에 배치된 각 화소에서, 상기 스위치 소자 ST2의 턴 온에 의해 상기 데이터전압이 상기 노드 N1의 전위에 반영되는 동안, 상기 노드 N2의 전위는 상기 스위치 소자 ST3의 턴 온에 의해 상기 기준 전압으로 고정된다.

[0013] 상기 제n 수평 화소 라인에 배치된 각 화소는, 상기 노드 N1과 상기 노드 N3 사이에 접속된 스위치 소자 ST1; 상기 노드 N1과 상기 노드 N2 사이에 접속된 커패시터 Cst; 및 상기 제2 전원라인과 상기 노드 N3 사이에 접속된 스위치 소자 ET를 더 포함한다.

[0014] 1 프레임 기간은, 상기 구동 소자의 문턱전압을 샘플링하는 샘플링 기간; 상기 샘플링 기간에 이어 상기 데이터 전압을 상기 노드 N1의 전위에 반영하는 데이터 기입 기간; 및 상기 데이터 기입 기간에 이어 상기 문턱전압이 보상된 상기 구동전류에 따라 상기 발광 소자를 발광시키는 발광 기간을 포함한다.

[0015] 상기 샘플링 기간 동안 상기 구동 소자의 문턱전압은 샘플링되어 상기 노드 N1에 저장된다.

[0016] 상기 스위치 소자 ST1은 제n-1 스캔신호1에 따라 스위칭되고, 상기 스위치 소자 ST2는 상기 제n-1 스캔신호1에 비해 온 구간의 위상이 늦은 제n 스캔신호1에 따라 스위칭되고, 상기 스위치 소자 ST3은 상기 제n-1 스캔신호1 및 상기 제n 스캔신호1와 온 구간이 중첩되는 제n 스캔신호2에 따라 스위칭되고, 상기 스위치 소자 ET는 상기 제n 스캔신호2와 온 구간의 위상이 반대되는 제n 에미션신호에 따라 스위칭된다.

[0017] 상기 제n-1 스캔신호1은 상기 샘플링 기간 동안 온 레벨로 입력되고 상기 데이터 기입 기간과 상기 발광 기간 동안 오프 레벨로 입력되고, 상기 제n 스캔신호1은 상기 샘플링 기간 동안 오프 레벨로 입력되고 상기 데이터 기입 기간 동안 온 레벨로 입력되고 상기 발광 기간 동안 오프 레벨로 입력되고, 상기 제n 스캔신호2는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 온 레벨로 입력되고 상기 발광 기간 동안 오프 레벨로 입력되고, 상기 제n 에미션신호는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 오프 레벨로 입력되고 상기 발광 기간 동안 온 레벨로 입력된다.

[0018] 상기 스위치 소자 ST1은 제n-1 스캔신호에 따라 스위칭되고, 상기 스위치 소자 ST2와 상기 스위치 소자 ST3은 상기 제n-1 스캔신호에 비해 온 구간의 위상이 늦은 제n 스캔신호에 따라 스위칭되고, 상기 스위치 소자 ET는 상기 제n 스캔신호와 온 구간의 위상이 반대되는 제n 에미션신호에 따라 스위칭된다.

[0019] 상기 제n 스캔신호의 온 구간은 상기 제n-1 스캔신호의 온 구간과 일부가 중첩된다.

[0020] 상기 제n-1 스캔신호는 상기 샘플링 기간 동안 온 레벨로 입력되고 상기 데이터 기입 기간과 상기 발광 기간 동안 오프 레벨로 입력되고, 상기 제n 스캔신호는 상기 샘플링 기간과 상기 데이터 기입 기간 동안 온 레벨로 입력되고 상기 발광 기간 동안 오프 레벨로 입력되고, 상기 제n 에미션신호는 상기 샘플링 기간과 상기 데이터 기

입 기간 동안 오프 레벨로 입력되고 상기 발광 기간 동안 온 레벨로 입력된다.

[0021] 상기 커패시터 Cb의 용량은 상기 커패시터 Cst의 용량보다 크다.

[0022] 상기 커패시터 Cb의 용량은 상기 커패시터 Cst의 용량보다 2배 내지 6배 크다.

[0023] 상기 데이터 기입 기간 동안, 상기 데이터전압에 앞서 초기화전압이 상기 데이터라인에 인가된다.

발명의 효과

[0024] 본 명세서의 전계 발광 표시장치에 따르면, 각 화소 내에 적용된 보상 회로를 변경하여 데이터 전달율을 개선하고 문턱전압 보상의 정확도와 화질 균일성을 향상시킬 수 있다.

[0025] 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0026] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시장치를 나타낸 블록도이다.

도 2는 본 명세서의 일 실시예에 따른 전계 발광 표시장치의 화소 어레이를 나타낸 도면이다.

도 3은 도 2에 도시된 화소의 일 등가회로를 나타낸 도면이다.

도 4는 도 3의 화소에 입력되는 구동 신호들을 나타낸 파형도이다.

도 5a는 도 4의 샘플링 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 5b는 도 4의 데이터 기입 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 5c는 도 4의 발광 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 6은 도 4의 샘플링 기간, 및 데이터 기입 기간에 대응되는 화소의 특정 노드들의 전위와 게이트-소스간 전압을 나타낸 도표이다.

도 7은 본 명세서에 따른 문턱전압 변화에 따른 구동 전류 편차를 종래 기술과 비교한 시뮬레이션 결과이다.

도 8은 본 명세서에 따른 커패시터 Cb 편차에 따른 구동 전류 편차를 종래 기술과 비교한 시뮬레이션 결과이다.

도 9 및 도 10은 Cb/Cst에 따른 데이터 전달율과 게이트-소스 간 전압의 변화 추이를 보여주는 시뮬레이션 결과이다.

도 11은 본 명세서의 다른 실시예에 따른 전계 발광 표시장치의 화소 어레이를 나타낸 도면이다.

도 12는 도 11에 도시된 화소의 일 등가회로를 나타낸 도면이다.

도 13은 도 12의 화소에 입력되는 구동 신호들을 나타낸 파형도이다.

도 14a는 도 12의 샘플링 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 14b는 도 12의 데이터 기입 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 14c는 도 12의 발광 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 본 명세서의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 명세서의 권리 범위는 청구항의 범주에 의해 정의될 뿐이다.

[0028] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것임으로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요

하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0029] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0030] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0031] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0032] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0033] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0034] 본 명세서에서 표시패널의 기판 상에 형성되는 화소 회로는 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. N 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압 보다 낮은 전압을 가진다. N 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 한편, P 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. P 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.

[0035] 이하, 첨부된 도면을 참조하여 본 명세서의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 이하의 실시예에서, 전계 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.

[0036] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시장치이다.

[0037] 도 1을 참조하면, 본 명세서에 따른 전계 발광 표시장치는 화소들(PXL)이 구비된 표시패널(10), 화소들(PXL)에 연결된 신호라인들을 구동하는 표시패널 구동회로(12, 13), 및 표시패널 구동회로(12, 13)를 제어하는 타이밍 콘트롤러(11)를 포함한다.

[0038] 표시패널 구동회로(12, 13)는 표시패널(10)의 화소들(PXL)에 입력 영상 데이터(DATA)를 기입한다. 표시패널 구동회로(12, 13)는 화소들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 드라이버(12)와, 화소들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.

[0039] 표시패널(10)은 화소 어레이(Pixel array)가 구비된 액티브 영역(AA)과, 액티브 영역(AA) 바깥의 비 표시영역을 포함할 수 있다. 액티브 영역(AA)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소들(PXL)이 매트릭스 형태로 배치된다. 화소들(PXL)은 OLED를 포함할 수 있다. 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으

로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0040] 화소들(PXL) 각각은 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 컬러 구현을 위하여 하나의 단위 화소를 구성할 수 있다. 단위 화소에서 구현되는 컬러는 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 결정될 수 있다. 한편, 단위 화소에서 백색 화소는 생략될 수 있다.

[0041] 화소들(PXL) 각각은 구동 소자와 발광 소자와 내부 보상회로를 포함한다. 내부 보상회로는 복수의 스위치 소자들과 복수의 커패시터들로 구현될 수 있다. 화소들(PXL) 각각은 데이터 전달율을 개선하고 커패시터 편차에 둔감하며 구동 소자의 문턱전압 보상이 충분히 이뤄질 수 있도록 도 3 또는 도 12와 같이 구성될 수 있다.

[0042] 도 3 또는 도 12와 같은 화소(PXL)의 경우, 구동 소자의 게이트전극에 데이터전압이 기입되는 동안에 구동 소자의 소스전극 전위가 기준 전압으로 고정되므로, 데이터 전달율이 개선될 수 있다. 데이터 전달율은 데이터전압의 변화량이 구동 소자의 게이트-소스 간 전압의 변화량에 미치는 비율을 나타낸다. 데이터 전달율이 개선되면 데이터전압을 출력하는 소스 드라이버(12)의 출력 전압 범위를 넓히지 않아도 되므로, 소비전력을 줄이는 데 효과적이다.

[0043] 도 3 또는 도 12와 같은 화소(PXL)의 경우, 구동 TFT의 게이트-소스 간 전압과 구동 전류량이 커패시터 Cb의 편차에 민감하게 영향 받지 않도록 하는 커패시터 접속 구성을 갖는다.

[0044] 도 3 또는 도 12와 같은 화소(PXL)의 경우, 샘플링 기간에서 구동 소자의 문턱전압을 구동 소자의 게이트전극에 저장하기 때문에, 샘플링 기간에 이은 데이터 기입 기간에서 구동소자가 턴 온 될 때 구동 소자의 소스전위가 변화되더라도 구동 소자의 문턱전압 왜곡이 억제될 수 있다.

[0045] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0046] 타이밍 콘트롤러(11)는 입력 프레임 주파수를 i (i 는 0 보다 큰 양의 정수)배 채배하여 입력 프레임 주파수 $\times i$ Hz의 프레임 주파수로 표시패널 구동회로(12,13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0047] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.

[0048] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 드라이버(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 콘트롤러(11)와 소스 드라이버(12)사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.

[0049] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable)는 생략될 수 있다. 게이트 스타트 펄스는 매 프레임 기간마다 프레임 기간 초기에 발생되어 게이트 드라이버(13) 각각의 쉬프트 레지스터에 입력된다. 게이트 스타트 펄스는 매 프레임 기간마다 스캔 신호(SC(1)~SC(4))와 에미션 신호들(EM1(1)~EM1(4), EM2(1)~EM2(4))가 출력되는 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭은 게이트 드라이버(13)의 쉬프트 레지스터에 입력되어 게이트 신호의 쉬프트 타이밍(shift timing)을 제어한다.

[0050] 소스 드라이버(12)는 매 프레임마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 데이터 전압(Vdata)으로 변환한 후, 그 데이터 전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 입력 영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터 전압(Vdata)을 출력한다.

- [0051] 소스 드라이버(12)와 표시패널(10)의 데이터 라인들(14) 사이에는 멀티플렉서(미도시)가 더 배치될 수 있다. 멀티플렉서는 소스 드라이버(12)에서 하나의 출력 채널을 통해 출력되는 데이터 전압을 복수개의 데이터라인들로 분배함으로써, 데이터라인의 개수 대비 소스 드라이버(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.
- [0052] 소스 드라이버(12)는 전원 생성부를 더 포함할 수 있다. 전원 생성부는 초기화 전압을 생성하여 데이터라인(14)에 공급하고, 기준 전압(Vref)을 생성하여 기준 전원 라인(16)에 공급하고, 고전위 전원 전압(EVDD)을 생성하여 고전위 전원 라인(17)에 공급할 수 있다. 전원 생성부는 저전위 전원 전압(EVSS)을 더 생성할 수 있다. 한편, 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버(12)에 전기적으로 연결될 수도 있다. 샘플링 기간 및 데이터 기입 기간 동안에 불필요한 OLED의 발광이 방지되도록, 기준 전압(Vref)은 OLED의 동작점 전압보다 충분히 낮은 전압 범위 내에서 설정될 수 있다.
- [0053] 게이트 드라이버(13)는 스캔 신호를 생성하는 스캔 구동부와 에미션 신호를 생성하는 에미션 구동부를 포함할 수 있다. 스캔 구동부와 에미션 구동부는 화소 구조에 따라 다양한 변형이 가능하다.
- [0054] 스캔 구동부는 복수의 스테이지들을 가지며, 타이밍 콘트롤러(11)의 제어 하에 온 구간이 순차 쇠프트되는 스캔 신호들을 게이트 라인들에 출력할 수 있다. 스캔 구동부는 쇠프트 레지스터(Shift register)로 구현되고 다수의 출력 노드들을 통해 게이트 라인들에 연결될 수 있다.
- [0055] 에미션 구동부는 복수의 스테이지들을 가지며, 타이밍 콘트롤러(11)의 제어 하에 온 구간이 순차 쇠프트되는 에미션 신호들을 게이트 라인들에 출력할 수 있다. 에미션 구동부는 쇠프트 레지스터(Shift register)로 구현되고 다수의 출력 노드들을 통해 게이트 라인들에 연결될 수 있다.
- [0056] 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 화소 어레이와 함께 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 탑입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.
- [0057] 도 2는 본 명세서의 일 실시예에 따른 전계 발광 표시장치의 화소 어레이를 나타낸 도면이다.
- [0058] 도 2를 참조하면, 액티브 영역(AA)의 화소 어레이(Pixel array)에는 다수의 수평 화소 라인들(HL1~HL4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a, 15b, 15c)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 화소들(PXL)에 의해 구현되는 1라인 분량의 화소 집합을 의미한다. 화소 어레이에는 기준 전압(Vref)을 화소들(PXL)에 공급하는 기준 전원라인(16), 고전위 전원 전압(EVDD)을 화소들(PXL)에 공급하는 고전위 전원라인(17)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.
- [0059] 액티브 영역(AA)에 포함된 게이트 라인들(15) 각각은 스캔 신호1(SC1)이 공급되는 제1 게이트 라인(15a), 스캔 신호2(SC2)가 공급되는 제2 게이트 라인(15b), 및 에미션 신호(EM)가 공급되는 제3 게이트 라인(15c)을 포함한다. 제n 수평 화소 라인(L(n))에 배치된 각 화소(PXL)에는 제n 수평 화소 라인(L(n))에 할당된 제n 스캔 신호 1, 2(SC1(n), SC2(n))와 제n 에미션 신호(EM (n)) 이외에 제n-1 수평 화소 라인(L(n-1))에 할당된 제n-1 스캔 신호1(SC1(n-1))이 더 공급될 수 있다.
- [0060] 제n 수평 화소라인(Ln)의 화소들(PXL)에 인가되는 3개의 스캔신호들을 제n-1 스캔신호1(SC1(n-1))과 제n 스캔신호1(SC1(n))과 제n 스캔신호2(SC2(n))로 구성하면, 2개의 게이트 구동부로 제n 수평 화소라인(Ln)의 화소들(PXL)을 구동시킬 수 있으므로, 게이트 드라이버(13)의 구성을 간소화할 수 있는 이점이 있다. 이 경우, 제n 스캔 신호1(SC1(n))와 제n-1 스캔 신호1(SC1(n-1))는 단일의 게이트 구동부에서 연속적으로 출력되는 게이트 신호이기 때문에 펠스 폭은 동일하고 위상이 서로 다를 수 있다.
- [0061] 도 3은 도 2에 도시된 화소의 일 등가회로이다.
- [0062] 도 3을 참조하면, 본 명세서의 일 실시예에 따른 화소(PXL)는, OLED, 다수의 TFT들(Thin Film Transistor)(ST1~ST3, DT, ET) 및 커페시터들(Cst, Cb)을 포함한다. TFT들(ST1~ST3, DT, ET)은 NMOS형 LTPS TFT로 구현될 수 있고, 이를 통해 빠른 응답 특성을 확보할 수 있다. 다만, 본 명세서의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들(ST1~ST3, ET) 중에서 적어도 하나의 TFT는 오프 커런트 특성이 좋은 NMOS형 옥사이드 TFT로 구현될 수도 있다.
- [0063] 이하, 제n 수평 화소 라인 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.

- [0064] OLED는 구동 TFT(DT)에 흐르는 구동 전류에 따라 발광하는 발광 소자이다. OLED의 애노드 전극은 노드 N2에 연결되고, OLED의 캐소드 전극은 저전위 전원전압(EVSS)의 입력단에 연결된다. 애노드 전극과 캐소드 전극 사이에는 유기 화합물층이 구비된다.
- [0065] 구동 TFT(DT)는 게이트-소스 간 전압에 따라 OLED에 인가되는 구동 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N1에 접속된 게이트 전극, 노드 N2에 접속된 제1 전극(소스 전극), 및 노드 N3에 접속된 제2 전극(드레인 전극)을 포함한다.
- [0066] 제1 스위치 TFT(ST1)는 노드 N1과 노드 N3 사이에 접속되며, 제n-1 스캔 신호1(SC1(n-1))에 따라 동작되는 스위치 소자이다. 제1 스위치 TFT(ST1)는 도 4의 샘플링 기간(①) 동안 턴 온 되어 구동 TFT(DT)를 다이오드 연결(diode connection) 시킨다. 구동 TFT(DT)의 다이오드 연결에 의해 구동 TFT(DT)의 문턱전압이 샘플링되어 노드 N1에 저장된다. 제1 스위치 TFT(ST1)의 게이트 전극은 제n-1 스캔 신호1(SC1(n-1))이 인가되는 n-1번째 제1 게이트라인(15a(n-1))에 접속되고, 제1 스위치 TFT(ST1)의 제1 전극은 노드 N3에 접속되며, 제1 스위치 TFT(ST1)의 제2 전극은 노드 N1에 접속된다.
- [0067] 제1 커패시터(Cst)는 노드 N1과 노드 N2 사이에 접속된다. 제1 커패시터(Cst)는 도 4의 발광 기간(③) 동안 구동 TFT(DT)의 게이트-소스 간 전압을 유지시킨다.
- [0068] 제2 커패시터(Cb)의 일측 전극은 노드 N1에 접속되고, 제2 커패시터(Cb)의 타측 전극은 제2 스위치 TFT(ST2)에 접속된다. 제2 커패시터(Cb)는 도 4의 데이터 기입 기간(②) 동안 제2 스위치 TFT(ST2)를 통해 인가되는 초기화 전압(Vin)과 데이터전압(Vdata)을 노드 N1의 전위에 반영한다.
- [0069] 제2 스위치 TFT(ST2)는 데이터라인(14)과 제2 커패시터(Cb)의 타측 전극 사이에 접속되며, 제n 스캔 신호1(SC1(n))에 따라 동작되는 스위치 소자이다. 제2 스위치 TFT(ST2)는 도 4의 데이터 기입 기간(②) 동안 턴 온 되어 초기화 전압(Vin)과 데이터전압(Vdata)을 제2 커패시터(Cb)의 타측 전극에 인가한다. 제2 스위치 TFT(ST2)의 게이트 전극은 제n 스캔 신호1(SC1(n))가 인가되는 n번째 제1 게이트라인(15a(n))에 접속되고, 제1 스위치 TFT(ST1)의 제1 전극은 데이터라인(14)에 접속되며, 제1 스위치 TFT(ST1)의 제2 전극은 제2 커패시터(Cb)의 타측 전극에 접속된다.
- [0070] 제3 스위치 TFT(ST3)는 기준 전원라인(16)과 노드 N2 사이에 접속되며, 제n 스캔 신호2(SC2(n))에 따라 동작되는 스위치 소자이다. 제3 스위치 TFT(ST3)는 도 4의 샘플링 기간(①)과 데이터 기입 기간(②) 동안 턴 온 되어 노드 N2에 기준 전압(Vref)을 인가한다. 제3 스위치 TFT(ST3)의 게이트 전극은 제n 스캔 신호2(SC2(n))가 인가되는 n번째 제2 게이트라인(15b(n))에 접속되고, 제3 스위치 TFT(ST3)의 제1 전극은 기준 전원라인(16)에 접속되며, 제3 스위치 TFT(ST3)의 제2 전극은 노드 N2에 접속된다.
- [0071] 제4 스위치 TFT(ET)는 고전위 전원라인(17)과 노드 N3 사이에 접속되며, 제n 에미션 신호(EM(n))에 따라 동작되는 스위치 소자이다. 제4 스위치 TFT(ET)는 도 4의 샘플링 기간(①)과 데이터 기입 기간(②) 동안 턴 오프 되어 노드 N3에 인가되는 고전위 전원전압(EVDD)을 차단하고, 도 4의 발광 기간(③) 동안 턴 온 되어 노드 N3에 고전위 전원전압(EVDD)을 인가한다. 제4 스위치 TFT(ET)의 게이트 전극은 제n 에미션 신호(EM(n))가 인가되는 n번째 제3 게이트라인(15c(n))에 접속되고, 제4 스위치 TFT(ET)의 제1 전극은 고전위 전원라인(17)에 접속되며, 제4 스위치 TFT(ET)의 제2 전극은 노드 N3에 접속된다.
- [0072] 제4 스위치 TFT(ET)의 동작을 제어하는 제n 에미션 신호(EM(n))는 도 4의 발광 기간(③) 동안 계속해서 온 레벨로 입력될 수도 있고, 발광 기간(③) 내에서 미리 정해진 시간 동안 오프 레벨로 입력될 수도 있다. 이를 통해, 제n 에미션 신호(EM(n))는 미리 설정된 PWM(Pulse Width Modulation) 드티비(duty ratio)로 제4 스위치 TFT(ET)의 온/오프를 스위칭할 수 있다. 발광 기간(③) 동안 제n 에미션 신호(EM(n))에 의해 화소들(PXL)이 20% 내지 90% 정도의 드티비 범위내에서, 예컨대 50% 정도의 드티비로 점등 및 소등을 반복하면 플리커와 잔상을 최소화할 수 있다. 본 발명의 기술적 사상은 특정 드티비에 제한되지 않는다.
- [0073] 한편, 제4 스위치 TFT(ET)는 생략될 수 있다. 이 경우, 고전위 전원전압(EVDD)은 2 레벨로 공급될 수 있다. 도 4의 샘플링 기간(①)과 데이터 기입 기간(②) 동안 오프 레벨로 공급되고, 도 4의 발광 기간(③) 동안 온 레벨로 공급될 수 있다.
- [0074] 도 4는 도 3의 화소에 입력되는 구동 신호들을 나타낸 파형도이다. 도 5a, 도5b, 및 도 5c는 각각 도 4의 샘플링 기간, 데이터 기입 기간, 및 발광 기간 동안 화소의 동작을 나타낸 등가 회로도이다. 그리고, 도 6은 도 4의 샘플링 기간, 및 데이터 기입 기간에 대응되는 화소의 특정 노드들의 전위와 게이트-소스간 전압을 나타낸 도표

이다.

[0075] 도 4를 참조하면, 제n 수평 화소 라인(Ln) 상에 배치된 각 화소(PXL)를 구동하기 위한 1 프레임 기간은 샘플링 기간(①), 샘플링 기간(①)에 이은 데이터 기입 기간(②), 및 데이터 기입 기간(②)에 이은 발광 기간(③)을 포함할 수 있다.

[0076] 도 4를 참조하면, 제n 스캔 신호1(SC1(n))는 제n-1 스캔 신호1(SC1(n-1))에 비해 온 구간의 위상이 늦다. 제n 스캔 신호2(SC2(n))는 제n-1 스캔 신호1(SC1(n-1)) 및 제n 스캔 신호1(SC1(n))과 온 구간이 중첩된다. 제n 에미션 신호(EM(n))는 제n 스캔 신호2(SC2(n))와 온 구간의 위상이 반대된다.

[0077] 도 4를 참조하면, 샘플링 기간(①)에서, 제n-1 스캔 신호1(SC1(n-1))와 제n 스캔 신호2(SC2(n))는 온 레벨(ON)로 입력되고, 제n 스캔 신호1(SC1(n))와 제n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다. 샘플링 기간(①)은 구동 TFT(DT)의 문턱전압을 샘플링하기 위한 것이다.

[0078] 도 5a를 참조하면, 샘플링 기간(①) 동안 온 레벨(ON)의 제n-1 스캔 신호1(SC1(n-1))에 응답하여 제1 스위치 TFT(ST1)가 턴 온 되고, 온 레벨(ON)의 제n 스캔 신호2(SC2(n))에 응답하여 제3 스위치 TFT(ST3)가 턴 온 된다.

[0079] 샘플링 기간(①) 동안 제1 스위치 TFT(ST1)가 턴 온에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 서로 쇼트되어 구동 TFT(DT)가 다이오드처럼 동작하게 된다. 즉, 구동 TFT(DT)의 게이트전극과 드레인전극이 서로 쇼트되어 구동 TFT(DT)가 다이오드 연결된다. 이때, 제3 스위치 TFT(ST3)의 턴 온에 의해 노드 N2에 기준 전압(Vref)이 인가되면, 다이오드로 동작하는 구동 TFT(DT)에 의해 노드 N1 및 노드 N3의 전압이 “Vref+Vth”가 된다. 여기서 “Vth”는 구동 TFT(DT)의 문턱전압이다. 따라서, 도 6과 같이 샘플링 기간(①) 동안 노드 N1의 전위는 “Vref+Vth”이 되고, 노드 N2의 전위는 “Vref”가 되며, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 구동 TFT(DT)의 문턱전압(Vth)이 된다. 이러한 구동 TFT(DT)의 문턱전압(Vth)은 노드 N1에 저장된다.

[0080] 한편, 샘플링 기간(①) 동안 구동 TFT(DT)의 문턱전압(Vth)이 정확히 샘플링될 수 있도록 오프 레벨(OFF)의 제n 스캔 신호1(SC1(n))에 응답하여 제2 스위치 TFT(ST2)가 턴 오프 되고 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ET)가 턴 오프 된다.

[0081] 도 4를 참조하면, 데이터 기입 기간(②)에서, 제n 스캔 신호1(SC1(n))와 제n 스캔 신호2(SC2(n))는 온 레벨(ON)로 입력되고, 제n-1 스캔 신호1(SC1(n-1))와 제n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다. 데이터 기입 기간(②)은 데이터전압(Vdata)을 노드 N1의 전위에 반영하기 위한 것이다.

[0082] 도 5b를 참조하면, 데이터 기입 기간(②) 동안 온 레벨(ON)의 제n 스캔 신호1(SC1(n))에 응답하여 제2 스위치 TFT(ST2)가 턴 온 되고, 온 레벨(ON)의 제n 스캔 신호2(SC2(n))에 응답하여 제3 스위치 TFT(ST3)가 온 상태를 유지한다. 그리고, 데이터 기입 기간(②) 동안 오프 레벨(OFF)의 제n-1 스캔 신호1(SC1(n-1))에 응답하여 제1 스위치 TFT(ST1)가 턴 오프 되고, 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ET)가 오프 상태를 유지한다.

[0083] 데이터 기입 기간(②) 내에서 데이터라인(14)에는 데이터전압(Vdata)에 앞서 일정 시간(XX) 동안 초기화 전압(Vin)이 인가되어, 데이터라인(14)과 제2 커패시터(Cb)의 타측 전극 전위를 리셋시킨다. 이렇게 리셋 동작을 수행하는 이유는 문턱전압 보상 및 계조 표현의 오류를 최소화하기 위함이다.

[0084] 데이터 기입 기간(②) 동안 제2 스위치 TFT(ST2)의 턴 온에 의해 제2 커패시터(Cb)의 타측 전극에 초기화 전압(Vin)과 데이터전압(Vdata)이 연속해서 인가된다. 데이터전압(Vdata)이 인가될 때 제2 커패시터(Cb)의 타측 전극 전위는 “C'(Vdata-Vin)”이 된다. 여기서, C'는 “CB/(CB+CST)”이다. CB는 제2 커패시터(Cb)의 정전 용량이고, CST는 제1 커패시터(Cst)의 정전 용량이다.

[0085] 이때, 노드 N1은 제1 스위치 TFT(ST1)의 턴 오프에 의해 플로팅된 상태로 제2 커패시터(Cb)에 커플링되어 있으므로, 도 6과 같이 노드 N1의 전위가 “Vref+Vth+C'(Vdata-Vin)”으로 변하게 된다.

[0086] 데이터 기입 기간(②) 동안에도 제3 스위치 TFT(ST3)는 온 상태를 유지한다. 따라서, 데이터 기입 기간(②) 동안 노드 N1의 전위 변화에도 불구하고, 노드 N2의 전위는 도 6과 같이 “Vref”로 고정된다. 구동 TFT(DT)의 게이트전극에 데이터전압(Vdata)이 기입되는 동안에 구동 TFT(DT)의 소스전극 전위가 기준 전압(Vref)으로 고정되므로, 데이터 전달율이 개선될 수 있다. 데이터 기입 기간(②) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 도 6과 같이 “Vth+C'(Vdata-Vin)”으로 프로그래밍되며, 이 프로그래밍된 게이트-소스 간 전압(Vgs)은 제1

커패시터(Cst)에 저장된다.

[0087] 도 4를 참조하면, 발광 기간(③)에서, 제n-1 스캔 신호1(SC1(n-1))와 제n 스캔 신호1(SC1(n))와 제n 스캔 신호2(SC2(n))는 오프 레벨(OFF)로 입력되고, 제n 에미션 신호(EM(n))는 온 레벨(ON)로 입력된다. 발광 기간(③)은 구동 TFT(DT)에 흐르는 구동 전류에 따라 OLED를 발광시키기 위한 것이다.

[0088] 도 5c를 참조하면, 발광 기간(③) 동안 온 레벨(ON)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ET)가 턴 온 되고, 오프 레벨의 스캔신호들(SC1(n-1), SC1(n), SC2(n))에 응답하여 제1 내지 제3 스위치 TFT들(ST1~ST3)이 턴 오프 된다.

[0089] 발광 기간(③) 동안 제4 스위치 TFT(ET)의 턴 온에 의해 노드 N3에 고전위 전원전압(EVDD)이 인가된다. 발광 기간(③) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 제1 커패시터(Cst)에 의해 “ $V_{th} + C'(V_{data} - V_{in})$ ”을 유지한다. 따라서, 발광 기간(③) 동안 구동 TFT(DT)에는 게이트-소스 간 전압(Vgs)에서 문턱전압(V_{th})을 뺀 값, 즉 “ $C'(V_{data} - V_{in})$ ”의 제곱에 비례하는 구동전류가 흐른다. 발광 기간(③) 동안 OLED에 흐르는 구동 전류(Ioled)는 수학식 1과 같이 구동 TFT(DT)의 문턱전압 (V_{th})에 무관한 함수가 된다. 이를 통해, 문턱전압(V_{th}) 변화가 구동전류(Ioled)에 미치는 영향이 제거되는 것이다.

[수학식 1]

$$I_{oled} = K(V_{gs} - |V_{th}|)^2$$

$$= K(V_{th} + C'(V_{data} - V_{in}) - |V_{th}|)^2$$

$$= K(C'(V_{data} - V_{in}))^2$$

[0094] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이다.

[0095] 도 7은 본 명세서에 따른 문턱전압 변화에 따른 구동 전류 편차를 종래 기술과 비교한 시뮬레이션 결과이다.

[0096] 전술한 바와 같이, 본 발명은 샘플링 기간에서 구동 소자의 문턱전압을 종래 기술과 같이 구동 소자의 노드 N2에 연결된 소스전극에 저장하는 것이 아니라 노드 N1에 연결된 게이트전극에 저장한다. 따라서, 본 발명은 데이터 기입 기간에서 구동소자가 턴 온 될 때 구동 소자의 소스전위가 변화되더라도 구동 소자의 문턱전압 왜곡을 억제할 수 있고, 문턱전압을 정확히 보상할 수 있다. 다시 말해, 본 발명에 따르면, 문턱전압 보상의 정확도가 향상되고, 도 7과 같이 문턱전압 변화에 따른 구동 전류 편차가 종래 기술에 비해 획기적으로 줄어들게 된다.

[0097] 도 8은 본 명세서에 따른 커패시터 Cb 편차에 따른 구동 전류 편차를 종래 기술과 비교한 시뮬레이션 결과이다.

[0098] 전술한 바와 같이, 본 발명은 구동 TFT의 게이트-소스 간 전압과 구동 전류량이 제2 커패시터(Cb)의 공정 편차에 민감하게 영향 받지 않도록 하는 커패시터 접속 구성을 갖는다. 제2 커패시터(Cb)의 공정 편차에 따른 구동 TFT의 게이트-소스 간 전압의 변화량(ΔV_{gs})은 “ $CB/(CB+CST)*V_{data}$ ”이다. 여기서, CB는 제2 커패시터(Cb)의 정전 용량이고, CST는 제1 커패시터(Cst)의 정전 용량이다. 게이트-소스 간 전압의 변화량(ΔV_{gs}) 수식에서 분모와 분자 모두에 CB가 포함되어 있으므로 CB 편차에 따른 게이트-소스 간 전압의 변화량(ΔV_{gs})과 구동 전류 변화량(ΔI_{oled})은 도 8과 같이 종래 기술에 비해 획기적으로 줄어들게 된다.

[0099] 도 9 및 도 10은 Cb/Cst에 따른 데이터 전달율과 게이트-소스 간 전압의 변화 추이를 보여주는 시뮬레이션 결과이다.

[0100] 도 9 및 도 10을 참조하면, 제1 및 제2 커패시터(Cst,Cb) 간의 비율, Cb/Cst에 따라 데이터 전달율과 구동 TFT의 게이트-소스 간 전압(V_{gs})이 바뀐다. 데이터 전달율을 개선하기 위해서는 제2 커패시터(Cb)의 용량을 제1 커패시터(Cst)의 용량보다 크게 설계하는 것이 바람직하다. 다만 화소의 개구율을 고려할 때 제2 커패시터(Cb)의 용량을 너무 크게 설계하기는 어렵다. 실험에 의하면, 제2 커패시터(Cb)의 용량을 제1 커패시터(Cst)의 용량보다 2배 내지 6배 크게 설계하는 것이 바람직함을 알 수 있었다. 이 경우, 화소 개구율을 크게 저하시키지 않으면서 데이터 전달율이 개선될 수 있었다.

[0101] 도 11은 본 명세서의 다른 실시예에 따른 전계 발광 표시장치의 화소 어레이를 나타낸 도면이다.

[0102] 도 11을 참조하면, 액티브 영역(AA)의 화소 어레이(Pixel array)에는 다수의 수평 화소 라인들(HL1~HL4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a, 15b)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 화소 어레이에는 기준 전압(V_{ref})을 화소들(PXL)에 공급하는 기준 전원라인(16), 고전

위 전원 전압(EVDD)을 화소들(PXL)에 공급하는 고전위 전원라인(17)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.

[0103] 액티브 영역(AA)에 포함된 게이트 라인들(15) 각각은 스캔 신호(SC)가 공급되는 제1 게이트 라인(15a), 에미션 신호(EM)가 공급되는 제2 게이트 라인(15b)을 포함한다. 제n 수평 화소 라인(L(n))에 배치된 각 화소(PXL)에는 제n 수평 화소 라인(L(n))에 할당된 제n 스캔 신호(SC(n))와 제n 에미션 신호 (EM(n)) 이외에 제n-1 수평 화소 라인(L(n-1))에 할당된 제n-1 스캔 신호(SC(n-1))가 더 공급될 수 있다.

[0104] 제n 스캔 신호(SC(n))의 온 구간과 제n-1 스캔 신호(SC(n-1))의 온 구간을 부분적으로 중첩시키면 화소들(PXL)에 인가되는 스캔 신호를 3개에서 2개로 줄일 수 있다. 그리고, 제n 수평 화소라인(Ln)의 화소들(PXL)에 인가되는 2개의 스캔신호들을 제n-1 스캔신호(SC(n-1))과 제n 스캔신호(SC(n))로 구성하면, 1개의 게이트 구동부로 제n 수평 화소라인(Ln)의 화소들(PXL)을 구동시킬 수 있으므로, 게이트 드라이버(13)의 구성은 간소화할 수 있는 이점이 있다. 이 경우, 제n-1 스캔 신호(SC(n-1))와 제n 스캔 신호(SC(n))는 단일의 게이트 구동부에서 연속적으로 출력되는 게이트 신호이기 때문에 펄스 폭은 동일하고 위상이 서로 다를 수 있다.

[0105] 도 12는 도 11에 도시된 화소의 일 등가회로를 나타낸 도면이다.

[0106] 도 12를 참조하면, 본 명세서의 다른 실시예에 따른 화소(PXL)는 도 3의 화소(PXL)와 비교하여 제2 및 제3 스위치 TFT들(ST2, ST3)을 동일한 제n 스캔 신호(SC(n))로 제어하는 것과 제4 스위치 TFT(ET)의 게이트전극이 n번째 제2 게이트라인(15b(n))에 접속되는 것만 다르고, 나머지는 도 3의 화소(PXL)와 실질적으로 동일하다.

[0107] 제2 스위치 TFT(ST2)는 데이터라인(14)과 제2 커패시터(Cb)의 타측 전극 사이에 접속되며, 제n 스캔 신호 (SC(n))에 따라 동작되는 스위치 소자이다. 제2 스위치 TFT(ST2)는 도 13의 샘플링 기간(①)과 데이터 기입 기간(②) 동안 턴 온 되어 초기화 전압(Vin)과 데이터전압(Vdata)을 제2 커패시터(Cb)의 타측 전극에 인가한다. 제2 스위치 TFT(ST2)의 게이트 전극은 제n 스캔 신호(SC(n))가 인가되는 n번째 제1 게이트라인(15a(n))에 접속되고, 제1 스위치 TFT(ST1)의 제1 전극은 데이터라인(14)에 접속되며, 제1 스위치 TFT(ST1)의 제2 전극은 제2 커패시터(Cb)의 타측 전극에 접속된다.

[0108] 제3 스위치 TFT(ST3)는 기준 전원라인(16)과 노드 N2 사이에 접속되며, 제n 스캔 신호(SC(n))에 따라 동작되는 스위치 소자이다. 제3 스위치 TFT(ST3)는 도 13의 샘플링 기간(①)과 데이터 기입 기간(②) 동안 턴 온 되어 노드 N2에 기준 전압(Vref)을 인가한다. 제3 스위치 TFT(ST3)의 게이트 전극은 제n 스캔 신호(SC(n))가 인가되는 n번째 제1 게이트라인(15a(n))에 접속되고, 제3 스위치 TFT(ST3)의 제1 전극은 기준 전원라인(16)에 접속되며, 제3 스위치 TFT(ST3)의 제2 전극은 노드 N2에 접속된다.

[0109] 제4 스위치 TFT(ET)는 고전위 전원라인(17)과 노드 N3 사이에 접속되며, 제n 에미션 신호(EM(n))에 따라 동작되는 스위치 소자이다. 제4 스위치 TFT(ET)는 도 4의 샘플링 기간(①)과 데이터 기입 기간(②) 동안 턴 오프 되어 노드 N3에 인가되는 고전위 전원전압(EVDD)을 차단하고, 도 4의 발광 기간(③) 동안 턴 온 되어 노드 N3에 고전위 전원전압(EVDD)을 인가한다. 제4 스위치 TFT(ET)의 게이트 전극은 제n 에미션 신호(EM(n))가 인가되는 n번째 제2 게이트라인(15b(n))에 접속되고, 제4 스위치 TFT(ET)의 제1 전극은 고전위 전원라인(17)에 접속되며, 제4 스위치 TFT(ET)의 제2 전극은 노드 N3에 접속된다.

[0110] 도 13은 도 12의 화소에 입력되는 구동 신호들을 나타낸 파형도이다. 도 14a, 도 14b, 및 도 14c는 각각 도 13의 샘플링 기간, 데이터 기입 기간, 및 발광 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

[0111] 도 13을 참조하면, 제n 수평 화소 라인(Ln) 상에 배치된 각 화소(PXL)를 구동하기 위한 1 프레임 기간은 샘플링 기간(①), 샘플링 기간(①)에 이은 데이터 기입 기간(②), 및 데이터 기입 기간(②)에 이은 발광 기간(③)을 포함할 수 있다.

[0112] 도 13을 참조하면, 제n 스캔 신호(SC(n))는 제n-1 스캔 신호(SC(n-1))에 비해 온 구간의 위상이 늦다. 제n 스캔 신호(SC(n))의 온 구간은 제n-1 스캔 신호(SC(n-1))의 온 구간과 일부가 중첩된다. 제n 에미션 신호(EM(n))는 제n 스캔 신호(SC(n))와 온 구간의 위상이 반대된다.

[0113] 도 13을 참조하면, 샘플링 기간(①)에서, 제n-1 스캔 신호(SC(n-1))와 제n 스캔 신호(SC(n))는 온 레벨(ON)로 입력되고, 제n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다. 샘플링 기간(①)은 구동 TFT(DT)의 문턱전압을 샘플링하기 위한 것이다.

[0114] 도 14a를 참조하면, 샘플링 기간(①) 동안 온 레벨(ON)의 제n-1 스캔 신호 (SC(n-1))에 응답하여 제1 스위치 TFT(ST1)가 턴 온 되고, 온 레벨(ON)의 제n 스캔 신호(SC(n))에 응답하여 제2 및 제3 스위치 TFT들(ST2, ST3)

이 턴 온 된다.

[0115] 샘플링 기간(①) 동안 제1 스위치 TFT(ST1)가 턴 온에 의해 구동 TFT(DT)의 게이트전극과 드레인전극이 서로 쇼트되어 구동 TFT(DT)가 다이오드처럼 동작하게 된다. 즉, 구동 TFT(DT)의 게이트전극과 드레인전극이 서로 쇼트되어 구동 TFT(DT)가 다이오드 연결된다. 이때, 제3 스위치 TFT(ST3)의 턴 온에 의해 노드 N2에 기준 전압(Vref)이 인가되면, 다이오드로 동작하는 구동 TFT(DT)에 의해 노드 N1 및 노드 N3의 전압이 “Vref+Vth”가 된다. 여기서 “Vth”는 구동 TFT(DT)의 문턱전압이다. 따라서, 도 6과 같이 샘플링 기간(①) 동안 노드 N1의 전위는 “Vref+Vth”이 되고, 노드 N2의 전위는 “Vref”가 되며, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 구동 TFT(DT)의 문턱전압(Vth)이 된다. 이러한 구동 TFT(DT)의 문턱전압(Vth)은 노드 N1에 저장된다.

[0116] 한편, 샘플링 기간(①) 동안 제2 스위치 TFT(ST2)의 턴 온에 의해 제2 커패시터(Cb)의 타측 전극에 제n-1 수평화소 라인(Ln-1)에 기입될 데이터전압이 인가된다. 샘플링 기간(①) 동안 구동 TFT(DT)의 문턱전압(Vth)이 정확히 샘플링될 수 있도록 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ET)가 턴 오프 된다.

[0117] 도 13을 참조하면, 데이터 기입 기간(②)에서, 제n 스캔 신호(SC(n))는 온 레벨(ON)로 입력되고, 제n-1 스캔 신호(SC(n-1))와 제n 에미션 신호(EM(n))는 오프 레벨(OFF)로 입력된다. 데이터 기입 기간(②)은 데이터전압(Vdata)을 노드 N1의 전위에 반영하기 위한 것이다.

[0118] 도 14b를 참조하면, 데이터 기입 기간(②) 동안 온 레벨(ON)의 제n 스캔 신호(SC(n))에 응답하여 제2 및 제3 스위치 TFT들(ST2, ST3)이 온 상태를 유지한다. 그리고, 데이터 기입 기간(②) 동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제1 스위치 TFT(ST1)가 턴 오프 되고, 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ET)가 오프 상태를 유지한다.

[0119] 데이터 기입 기간(②) 내에서 데이터라인(14)에는 데이터전압(Vdata)에 앞서 일정 시간(XX) 동안 초기화 전압(Vin)이 인가되어, 데이터라인(14)과 제2 커패시터(Cb)의 타측 전극 전위를 리셋시킨다. 이렇게 리셋 동작을 수행하는 이유는 문턱전압 보상 및 계조 표현의 오류를 최소화하기 위함이다.

[0120] 데이터 기입 기간(②) 동안 제2 스위치 TFT(ST2)의 턴 온에 의해 제2 커패시터(Cb)의 타측 전극에 초기화 전압(Vin)과 데이터전압(Vdata)이 연속해서 인가된다. 데이터전압(Vdata)이 인가될 때 제2 커패시터(Cb)의 타측 전극 전위는 “Vdata-Vin”이 된다. 이때, 노드 N1은 제1 스위치 TFT(ST1)의 턴 오프에 의해 플로팅된 상태로 제2 커패시터(Cb)에 커플링되어 있으므로, 도 6과 같이 노드 N1의 전위가 “Vref+Vth+Vdata-Vin”으로 변하게 된다.

[0121] 데이터 기입 기간(②) 동안에도 제3 스위치 TFT(ST3)는 온 상태를 유지한다. 따라서, 데이터 기입 기간(②) 동안 노드 N1의 전위 변화에도 불구하고, 노드 N2의 전위는 도 6과 같이 “Vref”로 고정된다. 구동 TFT(DT)의 게이트전극에 데이터전압(Vdata)이 기입되는 동안에 구동 TFT(DT)의 소스전극 전위가 기준 전압(Vref)으로 고정되므로, 데이터 전달율이 개선될 수 있다. 데이터 기입 기간(②) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 도 6과 같이 “Vth+Vdata-Vin”으로 프로그래밍되며, 이 프로그래밍된 게이트-소스 간 전압(Vgs)은 제1 커패시터(Cst)에 저장된다.

[0122] 도 13을 참조하면, 발광 기간(③)에서, 제n-1 스캔 신호(SC(n-1))와 제n 스캔 신호(SC(n))는 오프 레벨(OFF)로 입력되고, 제n 에미션 신호(EM(n))는 온 레벨(ON)로 입력된다. 발광 기간(③)은 구동 TFT(DT)에 흐르는 구동 전류에 따라 OLED를 발광시키기 위한 것이다.

[0123] 도 14c를 참조하면, 발광 기간(③) 동안 온 레벨(ON)의 제n 에미션 신호(EM(n))에 응답하여 제4 스위치 TFT(ET)가 턴 온 되고, 오프 레벨의 스캔신호들(SC(n-1), SC(n))에 응답하여 제1 내지 제3 스위치 TFT들(ST1~ST3)이 턴 오프 된다.

[0124] 발광 기간(③) 동안 제4 스위치 TFT(ET)의 턴 온에 의해 노드 N3에 고전위 전원전압(EVDD)이 인가된다. 발광 기간(③) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 제1 커패시터(Cst)에 의해 “Vth+Vdata-Vin”을 유지한다. 따라서, 발광 기간(③) 동안 구동 TFT(DT)에는 게이트-소스 간 전압(Vgs)에서 문턱전압(Vth)을 뺀 값, 즉 “Vdata-Vin”의 제곱에 비례하는 구동전류가 흐른다. 발광 기간(③) 동안 OLED에 흐르는 구동 전류(Ioled)는 전술한 수학식 1과 같이 구동 TFT(DT)의 문턱전압(Vth)에 무관한 함수가 된다. 이를 통해, 문턱전압(Vth) 변화가 구동전류(Ioled)에 미치는 영향이 제거되는 것이다.

[0125] 전술한 바와 같이, 본 명세서의 전계 발광 표시장치에 따르면, 각 화소 내에 적용된 보상 회로를 변경하여 데이터 전달율을 개선하고 문턱전압 보상의 정확도와 화질 균일성을 향상시킬 수 있다.

[0126]

이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야 할 것이다.

부호의 설명

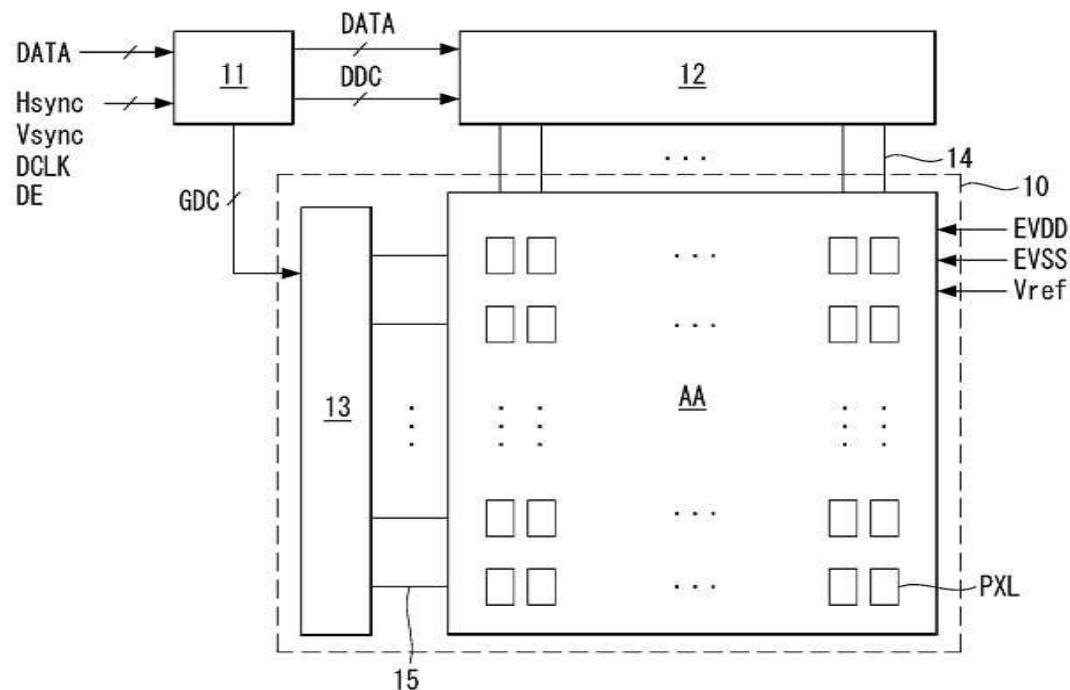
[0127]

10 : 표시패널 11 : 타이밍 콘트롤러

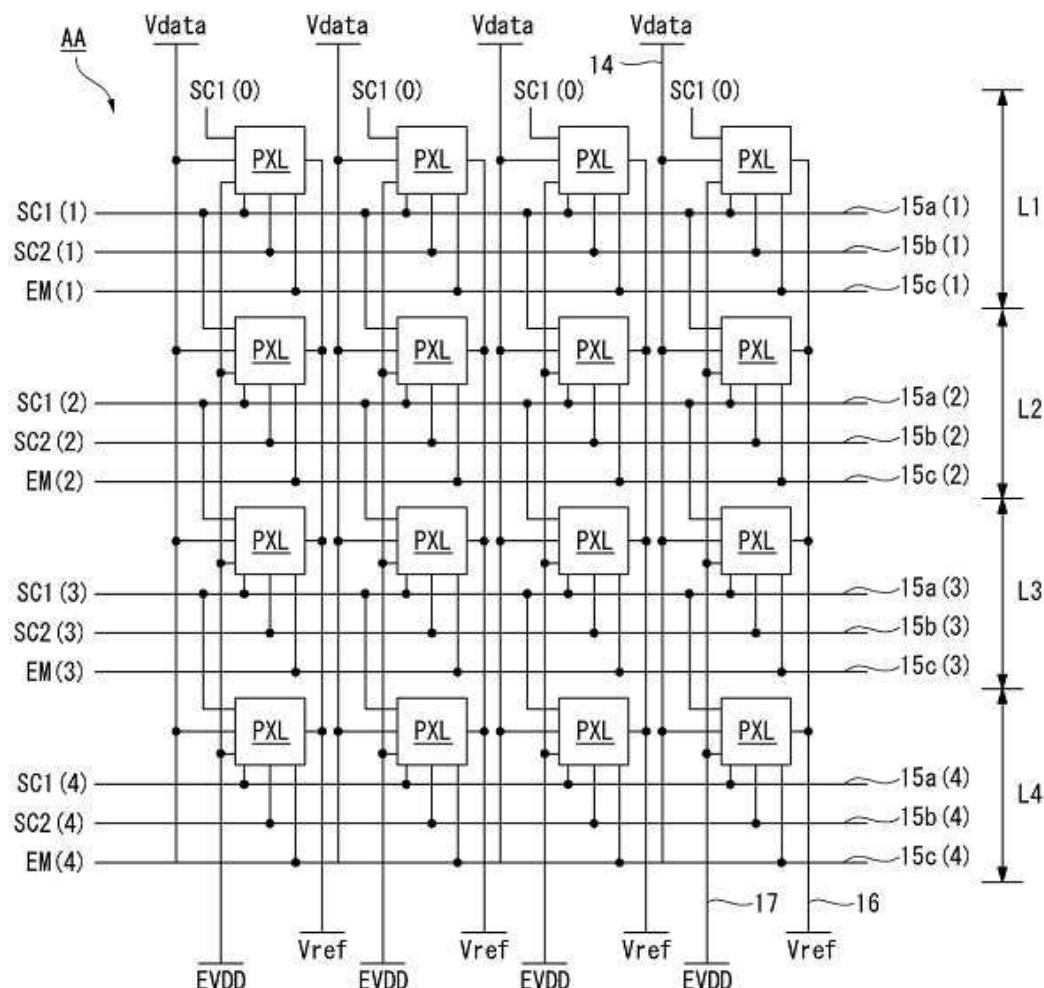
12 : 소스 드라이버 13 : 게이트 드라이버

도면

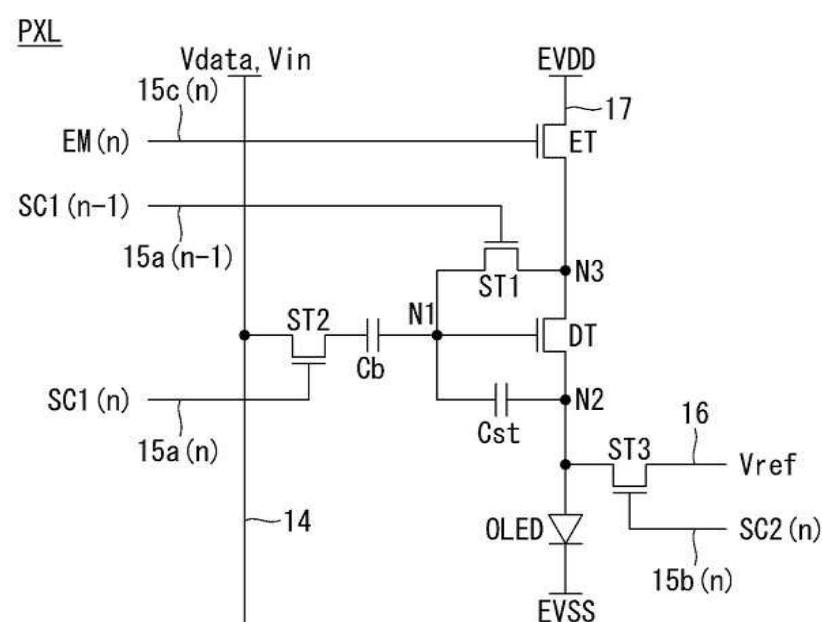
도면1



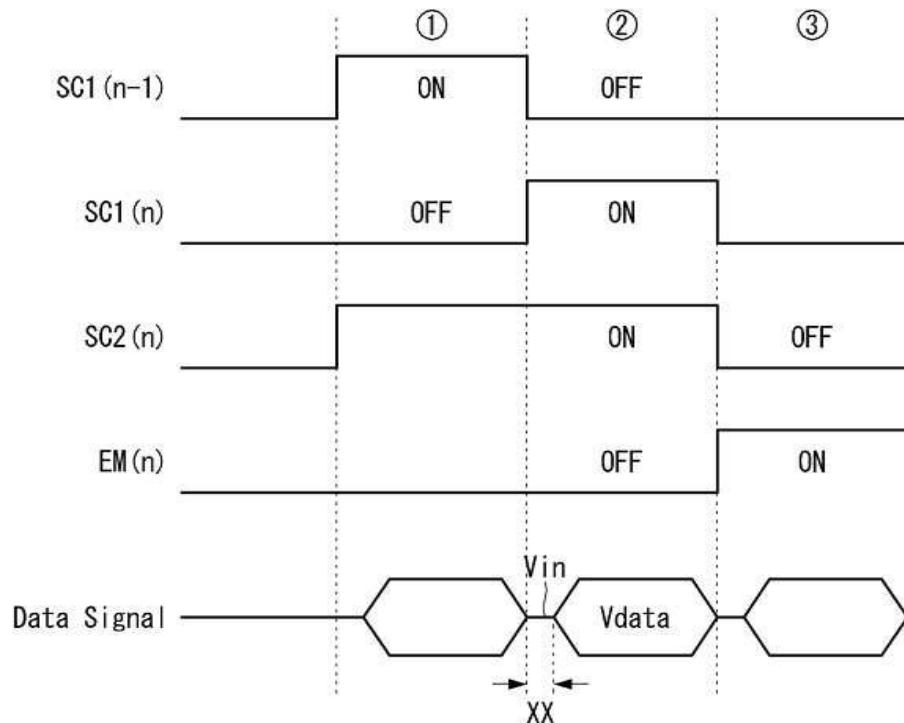
도면2



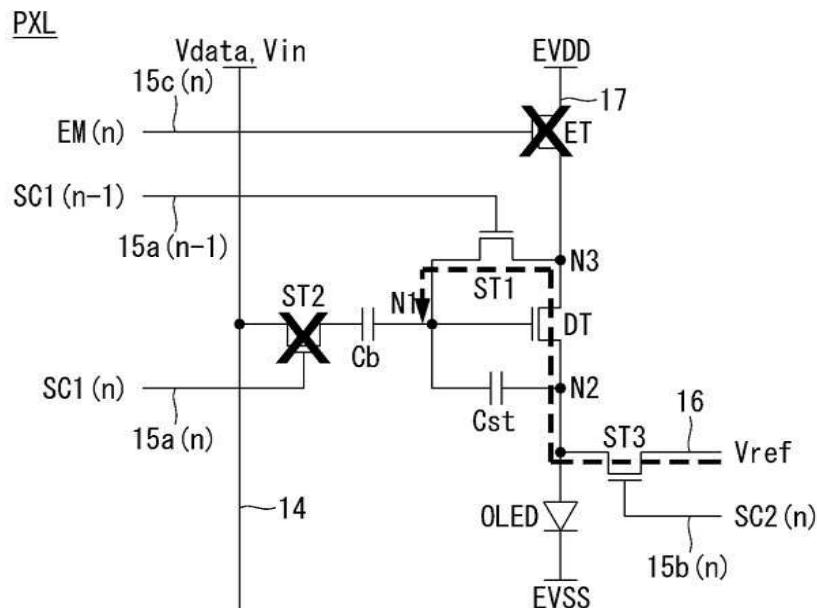
도면3



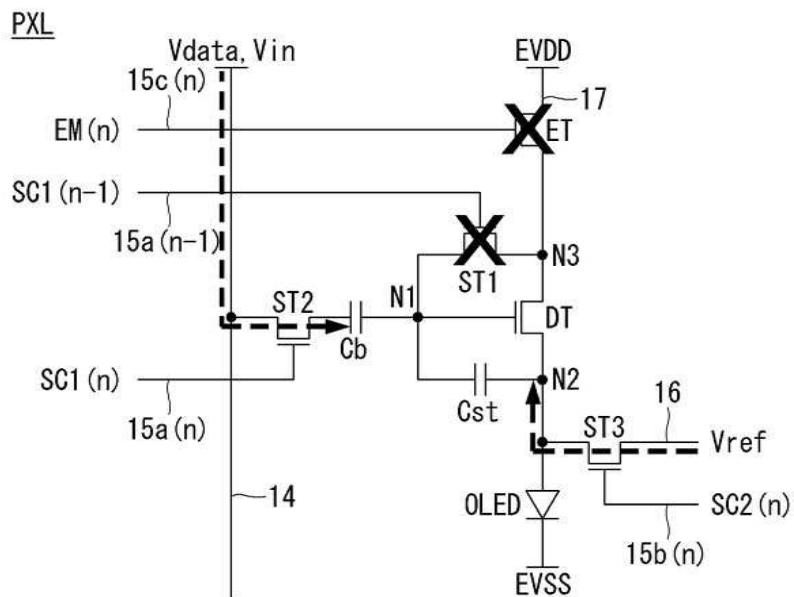
도면4



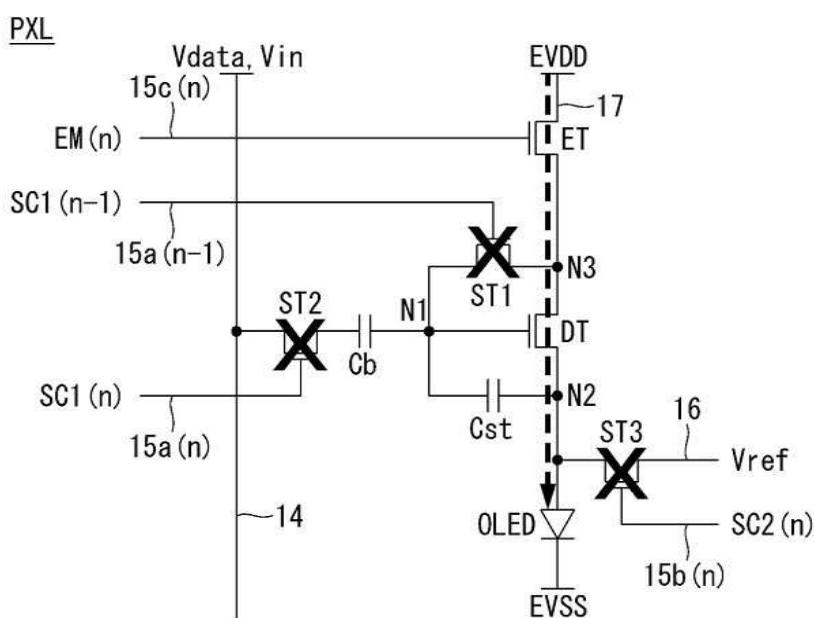
도면5a



도면5b



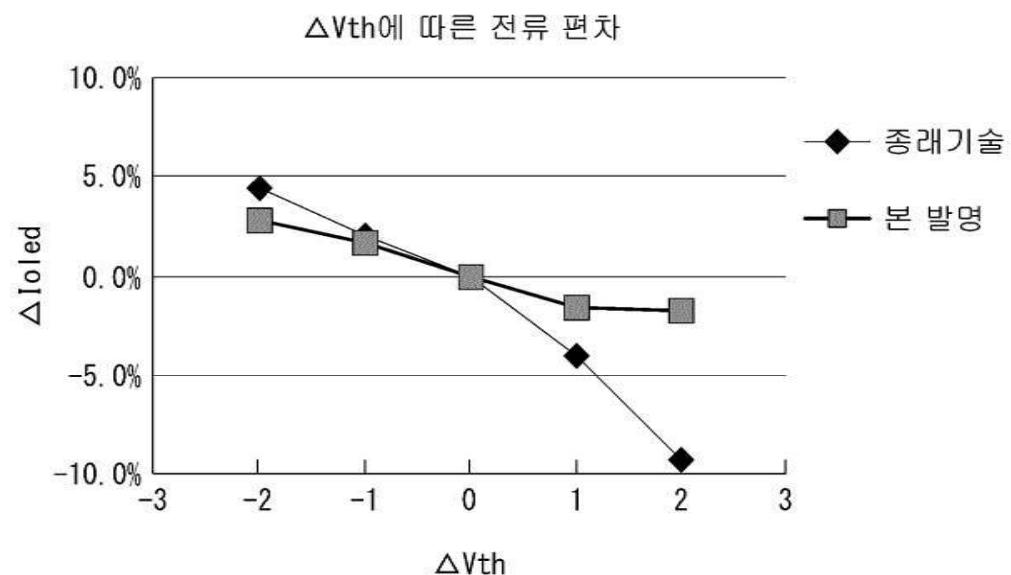
도면5c



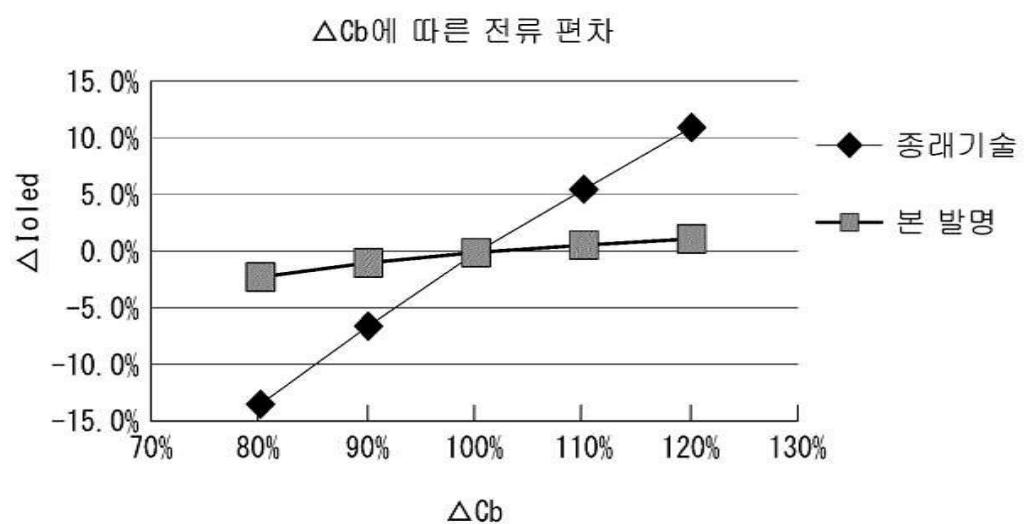
도면6

구간	①	②
Vg (N1)	Vref+Vth	Vref+Vth+C' (Vdata-Vin)
Vg (N2)	Vref	Vref
Vgs	Vth	Vth+C' (Vdata-Vin)

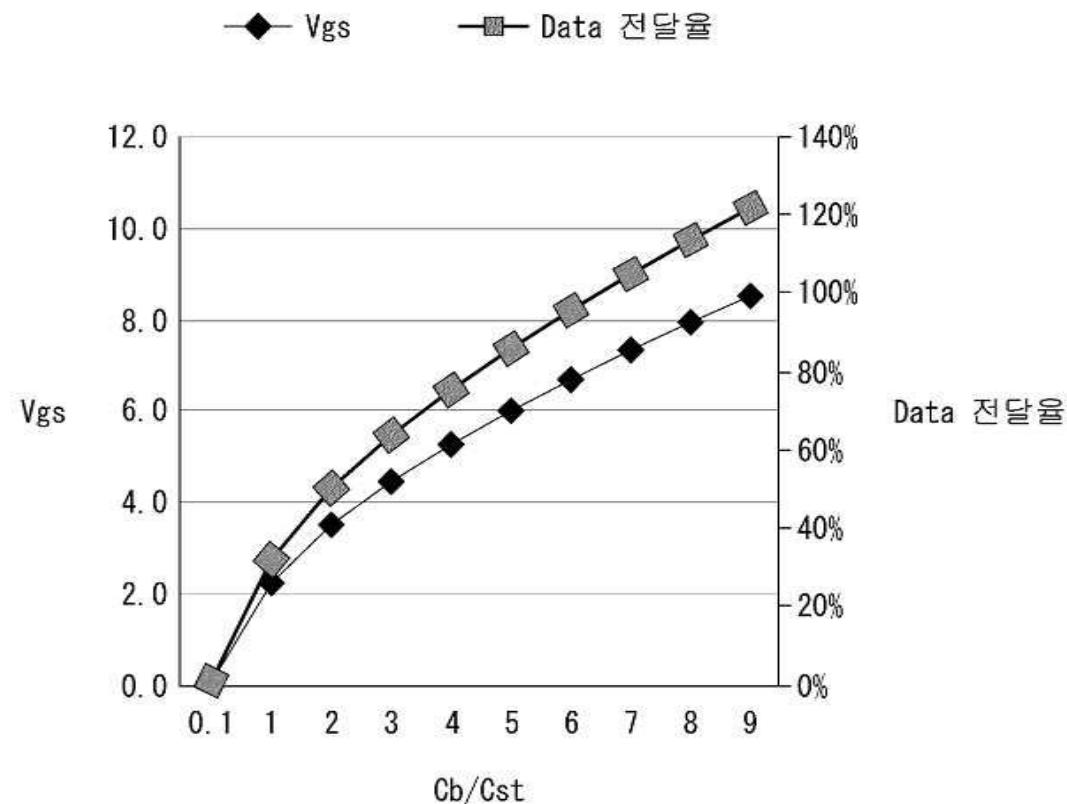
도면7



도면8

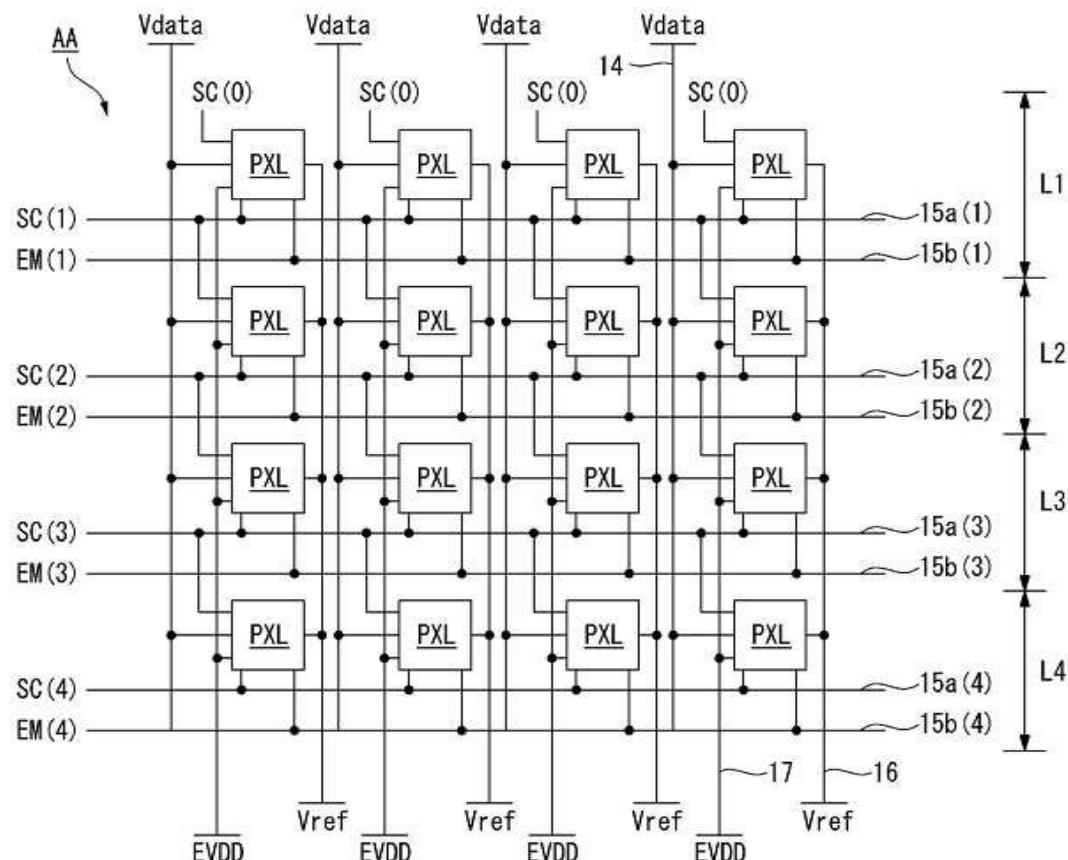
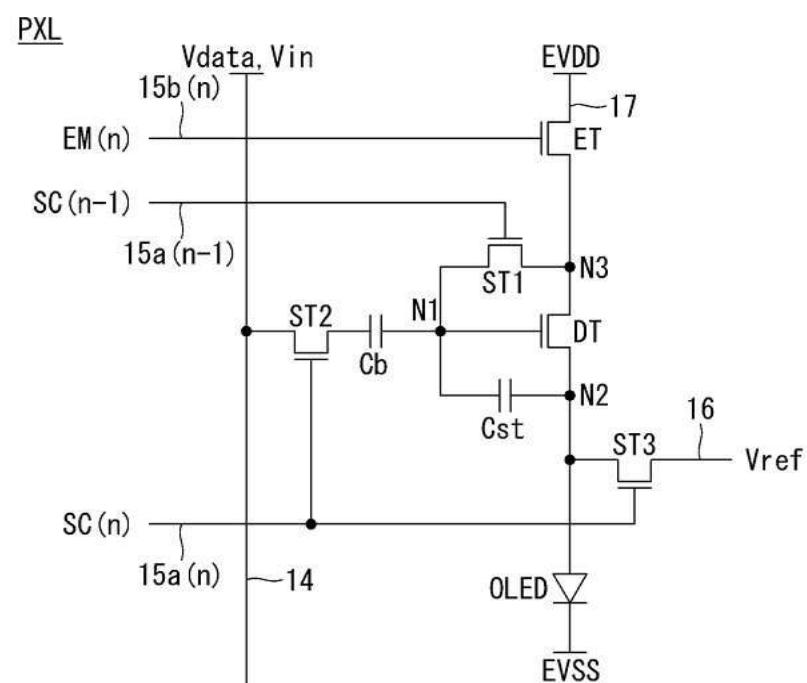


도면9

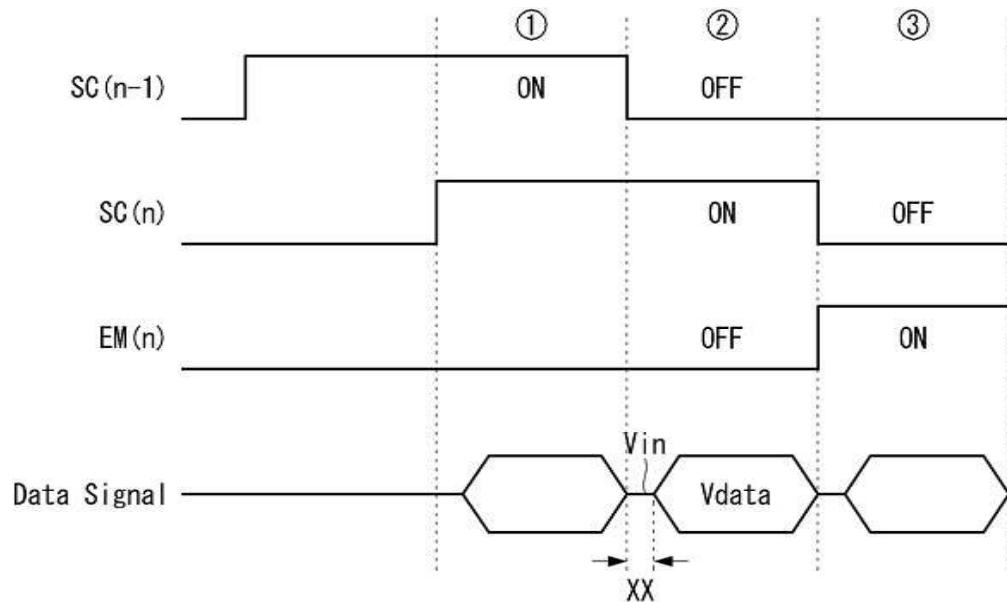


도면10

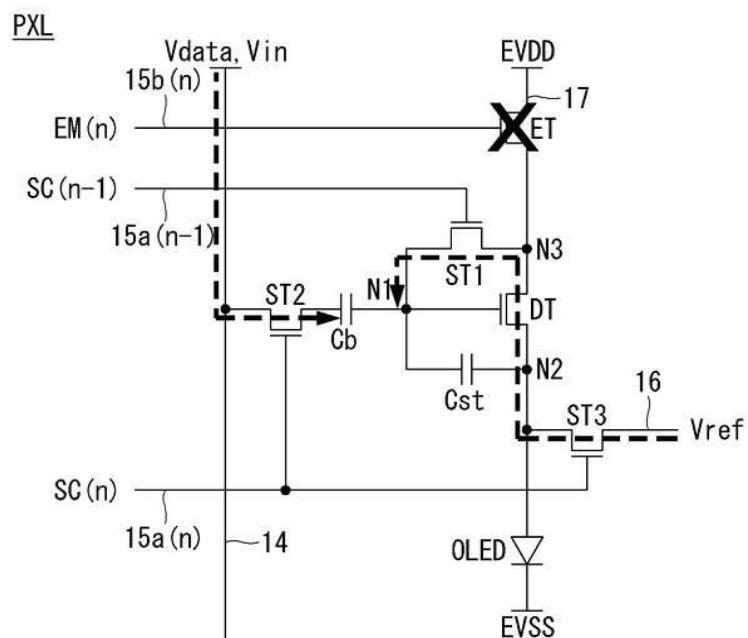
Cb/Cst	DT_Gate (N1)	DT_Source (N2)	Vgs	Data 전달율
0.1	0.1	- 0.0001	0.1	2%
1	2.3	0.0012	2.3	33%
2	3.6	0.0035	3.6	51%
3	4.5	0.0059	4.5	65%
4	5.3	0.0078	5.3	76%
5	6.1	0.0093	6.1	87%
6	6.8	0.0110	6.8	96%
7	7.4	0.0120	7.4	106%
8	8.0	0.0129	8.0	114%
9	8.6	0.0137	8.6	123%

도면11**도면12**

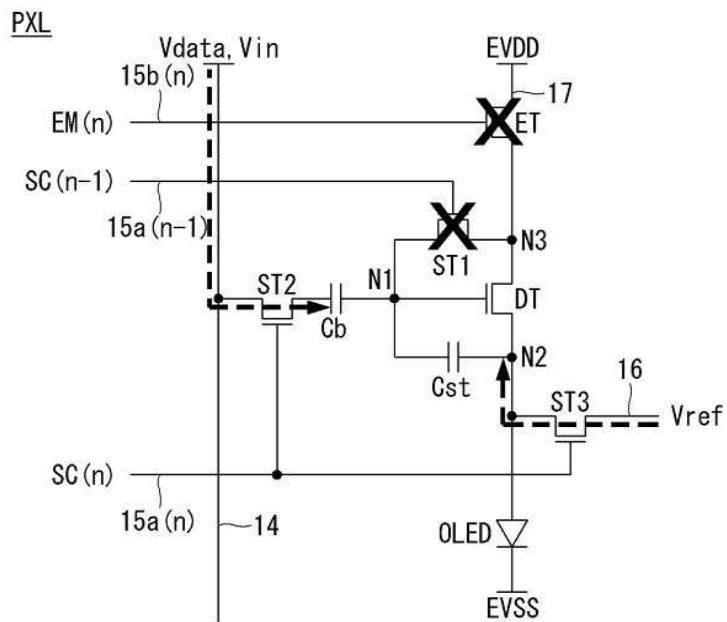
도면13



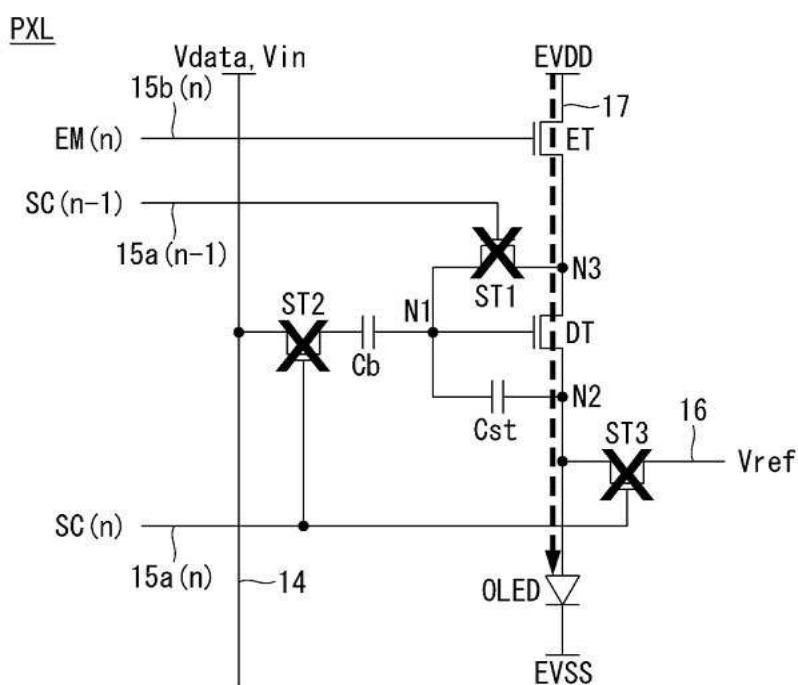
도면14a



도면14b



도면14c



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190052822A	公开(公告)日	2019-05-17
申请号	KR1020170148579	申请日	2017-11-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박재희		
发明人	박재희		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2320/0233 G09G2320/043		
外部链接	Espacenet		

摘要(译)

在根据本说明书的电致发光显示器中，布置在第n条水平像素线上（n是自然数）的每个像素具有连接至节点N1的栅电极，以及分别连接至节点N2和节点N3的第一电极和第二电极。驱动元件，其根据栅极-源极电压连接并产生驱动电流；电容器Cb具有一个连接到节点N1的电极；开关元件ST2连接在电容器Cb的另一个电极与数据线之间。开关元件ST3连接在节点N2与第一电源线之间；并且，发光元件连接在节点N2和低电位电源电压的输入端子之间并根据驱动电流发光，其中，在开关元件ST2导通的同时，开关元件ST3导通。

