



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0051504
(43) 공개일자 2019년05월15일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/00* (2006.01)
- (52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3258 (2013.01)
- (21) 출원번호 10-2017-0147257
- (22) 출원일자 2017년11월07일
- 심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
박종백
경기도 파주시 월롱면 엘지로 245
홍예인
경기도 파주시 월롱면 엘지로 245
- (74) 대리인
특허법인인벤싱크

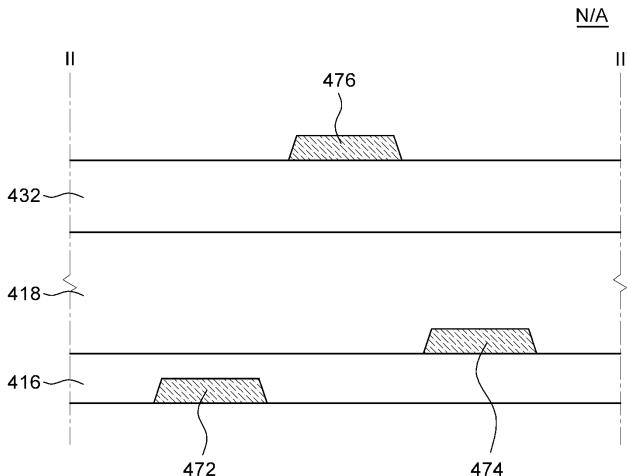
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요 약

전계발광 표시장치는 표시영역 및 표시영역 외곽을 두르는 비표시영역을 포함하는 기판, 표시영역 상에 배치되고, 제1 반도체층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막트랜지스터, 표시영역 상에서 제1 박막 트랜지스터 상에 배치되고, 제2 반도체층, 제2 게이트 전극, 제2 소스전극 및 제2 드레인 전극을 포함하는 제2 박막트랜지스터, 표시영역 상에서 제1 게이트 전극과 동일층에 배치되고, 스토리지 상부 전극 및 스토리지 하부 전극을 포함하는 스토리지 커패시터, 표시영역 상에 배치되고, 제1 박막트랜지스터와 연결되는 발광소자 및 비표시영역에 배치되고, 발광소자에 제어신호를 전송하는 제1 배선, 제2 배선 및 제3 배선을 포함하고, 제1 배선은 제1 게이트 전극과 동일층에 배치되고, 제2 배선은 제2 게이트 전극과 동일층에 배치되며, 제3 배선은 스토리지 상부 전극과 동일층에 배치되어 비표시영역을 최소화할 수 있다.

대 표 도 - 도4b



(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/0097 (2013.01)

명세서

청구범위

청구항 1

표시영역 및 상기 표시영역 외곽을 두르는 비표시영역을 포함하는 기판;

상기 표시영역 상에 배치되고, 제1 반도체층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막트랜지스터;

상기 표시영역 상에서 상기 제1 박막 트랜지스터 상에 배치되고, 제2 반도체층, 제2 게이트 전극, 제2 소스전극 및 제2 드레인 전극을 포함하는 제2 박막트랜지스터;

상기 표시영역 상에서 상기 제1 게이트 전극과 동일층에 배치되고, 스토리지 상부 전극 및 스토리지 하부 전극을 포함하는 스토리지 커패시터;

상기 표시영역 상에 배치되고, 상기 제1 박막트랜지스터와 연결되는 발광소자; 및

상기 비표시영역에 배치되고, 상기 발광소자에 제어신호를 전송하는 제1 배선, 제2 배선 및 제3 배선을 포함하고,

상기 제1 배선은 상기 제1 게이트 전극과 동일층에 배치되고, 상기 제2 배선은 상기 제2 게이트 전극과 동일층에 배치되며, 상기 제3 배선은 상기 스토리지 상부 전극과 동일층에 배치되는, 전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 기판은 플렉시블 기판인, 전계발광 표시장치.

청구항 3

제2 항에 있어서,

상기 기판 상에는 하나 이상의 버퍼층이 배치되는, 전계발광 표시장치.

청구항 4

제1 항에 있어서,

상기 제1 배선, 상기 제2 배선 및 상기 제3 배선은 서로 중첩되지 않도록 배치되는, 전계발광 표시장치.

청구항 5

제4 항에 있어서,

상기 제1 배선과 상기 제3 배선은 단면 상 수평 방향으로 서로 인접하게 배치되고, 상기 제1 배선과 상기 제2 배선은 서로 인접하지 않게 배치되는, 전계발광 표시장치.

청구항 6

제1 항에 있어서,

상기 제1 반도체층은 다결정실리콘 반도체 물질로 이루어지고, 상기 제2 반도체층은 산화물 반도체 물질로 이루어지며,

상기 제1 반도체층과 상기 제2 반도체층은 불순물이 도핑된 영역을 포함하는, 전계발광 표시장치.

청구항 7

제6 항에 있어서,

상기 제1 반도체층 및 상기 제2 반도체층 중 적어도 하나는 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나의 불순물이 도핑된 영역을 포함하는, 전계발광 표시장치.

청구항 8

제6 항에 있어서,

상기 제1 반도체층 및 상기 제2 반도체층 중 적어도 하나는 인(P), 비소(As) 및 안티몬(Sb) 중에 하나의 불순물이 도핑된 영역을 포함하는, 전계발광 표시장치.

청구항 9

기판;

상기 기판상에 배치된 제1 박막트랜지스터;

상기 제1 박막트랜지스터의 게이트 전극과 동일층으로 구성되는 하부 스토리지 전극 및 제1 배선;

상기 제1 박막트랜지스터의 게이트 전극, 상기 하부스토리지전극 및 상기 제1 배선 상에 배치되는 제1 절연층;

상기 제1 절연층 상에 배치되는 상부 스토리지전극 및 제2 배선;

상기 상부 스토리지전극 및 상기 제2 배선 상에 배치되는 제2 절연층;

상기 제2 절연층 상에 배치된 제2 박막트랜지스터;

상기 제2 박막트랜지스터의 게이트 전극과 동일층으로 구성되는 제3 배선; 및

상기 제2 박막트랜지스터 상에 배치되고 상기 제1 박막트랜지스터와 전기적으로 연결되는 발광소자를 포함하며,

상기 제1 배선과 상기 제3 배선은 서로 인접하게 배치되며, 상기 제1 배선과 상기 제2 배선은 인접하지 않게 배치되는, 전계발광 표시장치.

청구항 10

제9 항에 있어서,

상기 기판은 플렉시블 기판인, 전계발광 표시장치.

청구항 11

제10 항에 있어서,

상기 기판과 상기 제1 박막 트랜지스터 사이에 배치된 제1 버퍼층을 더 포함하는, 전계발광 표시장치.

청구항 12

제9 항에 있어서,

상기 제1 배선, 상기 제2 배선 및 상기 제3 배선은 서로 중첩되지 않도록 배치되는, 전계발광 표시장치.

청구항 13

제9 항에 있어서,

상기 제1 박막트랜지스터 및 상기 제2 박막트랜지스터의 반도체층은 불순물이 고농도로 도핑된 영역을 포함하는, 전계발광 표시장치.

청구항 14

제13 항에 있어서,

상기 제1 박막트랜지스터 및 제2 박막트랜지스터의 반도체층 중 적어도 하나는 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나의 불순물이 고농도로 도핑된 영역을 포함하는, 전계발광 표시장치.

청구항 15

제13 항에 있어서,

상기 제1 박막트랜지스터 및 제2 박막트랜지스터의 반도체층 중 적어도 하나는 인(P), 비소(As) 및 안티몬(Sb) 중에 하나의 불순물이 고농도로 도핑된 영역을 포함하는, 전계발광 표시장치.

청구항 16

제9 항에 있어서,

상기 제1 절연층 및 상기 제2 절연층 중 적어도 하나는 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)로 구성되는, 전계발광 표시장치.

청구항 17

제16 항에 있어서,

상기 제2 절연층 상에 배치되는 베퍼층을 더 포함하는, 전계발광 표시장치.

발명의 설명**기술 분야**

[0001]

본 명세서는 전계발광 표시장치에 관한 것으로서, 보다 상세하게는 전계발광 표시장치의 비표시 영역인 베젤을 최소화할 수 있는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002]

본격적인 정보화 시대로 접어들면서 전기적 정보신호를 시작적으로 표시하는 표시장치 분야가 급속도로 발전하고 있으며, 여러가지 표시장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003]

대표적인 표시장치로는 액정 표시장치(Liquid Crystal Display device; LCD),, 전계방출 표시장치(Field Emission Display device; FED), 전기습윤 표시장치(Electro-Wetting Display device; EWD) 및 유기발광 표시장치(Organic Light Emitting Display Device; OLED) 등을 들 수 있다.

[0004]

이중에서, 유기발광 표시장치를 포함하는 표시장치인 전계발광 표시장치는 자체 발광형 표시장치로서, 액정 표시장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 유기발광 표시장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각, 명암 대비비(Contrast Ratio; CR)도 우수하여, 다양한 분야에서 활용이 기대되고 있다.

[0005]

전계발광 표시장치는 애노드(Anode)와 캐소드(Cathode)로 된 두 개의 전극 사이에 유기물을 사용한 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection Layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL), 및 전자주입층(Electron Injection Layer, EIL) 등으로 이루어진다. 애노드와 캐소드에 전원전압이 인가되면 정공수송층으로부터 정공(Hole)이 발광층으로 주입되고, 전자수송층으로부터 전자(Electron)가 발광층으로 주입되면, 주입된 전자와 정공이 서로 재결합하면서 발광층에서 여기자(Exciton)를 형성하며 발광한다.

[0006]

발광층에는 호스트(Host) 물질과 도편트(Dopant) 물질이 포함되어 두 물질의 상호작용이 발생한다. 호스트는 전자와 정공으로부터 여기자를 생성하고 도편트로 에너지를 전달하는 역할을 하고, 도편트는 소량이 첨가되는 염료성 유기물로, 호스트로부터 에너지를 받아서 광으로 전환시키는 역할을 한다.

발명의 내용**해결하려는 과제**

[0007]

표시장치가 소형화됨에 따라, 표시장치의 동일 면적에서 유효 표시 화면 크기를 증가시키기 위해 표시영역(Active Area; A/A)의 외곽부인 베젤(Bezel) 영역을 최소화 시키려는 노력이 계속되고 있다.

- [0008] 일반적으로 비표시영역(Non-active Area; N/A)에 해당하는 베젤영역에는 화면을 구동시키기 위한 배선 및 구동회로가 배치되기 때문에, 베젤영역을 최소화 하는 데에는 한계가 있었다.
- [0009] 이에, 본 명세서의 발명자들은 전계발광 표시장치의 해상도가 점점 증가함에 따라, 배선을 배치할 공간이 부족함을 인식하고, 제한된 공간 내에서 배선을 보다 자유롭게 배치할 수 있는 새로운 구조의 전계발광 표시장치를 발명하였다.
- [0010] 전계발광 표시장치는 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하여 표시장치의 발광층을 발광시킨다. 이때, 박막 트랜지스터는 박막 트랜지스터에 포함된 반도체층을 구성하는 물질에 따라 비정질실리콘(Amorphous Silicon) 박막 트랜지스터, 다결정실리콘(Polycrystalline Silicon) 박막 트랜지스터 및 산화물(Oxide) 반도체 박막 트랜지스터로 분류할 수 있으며, 상기 트랜지스터들은 서로 다른 특성을 가지고 있기 때문에 전계발광 표시장치의 특성과 구조에 따라서 선택적으로 사용되고 있다.
- [0011] 최근 전계발광 표시장치는 화소회로 및 구동회로를 구성하는 박막 트랜지스터로 하나의 기판 상에 여러 종류의 박막 트랜지스터를 적용하여 전계발광 표시장치의 성능을 향상시키고자 하는 노력이 계속되고 있다.
- [0012] 이에, 본 명세서의 발명자들은 전계발광 표시장치의 하나의 기판 내에서 다결정실리콘 박막 트랜지스터와 산화물반도체 박막 트랜지스터를 동시에 배치할 수 있는 새로운 구조의 전계발광 표시장치를 발명하였다.
- [0013] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 본 발명의 명세서에 따른 전계발광 표시장치는 표시영역 및 표시영역 외곽을 두르는 비표시영역을 포함하는 기판, 표시영역 상에 배치되고, 제1 반도체층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막트랜지스터, 표시영역 상에서 제1 박막 트랜지스터 상에 배치되고, 제2 반도체층, 제2 게이트 전극, 제2 소스전극 및 제2 드레인 전극을 포함하는 제2 박막트랜지스터, 표시영역 상에서 제1 게이트 전극과 동일층에 배치되고, 스토리지 상부 전극 및 스토리지 하부 전극을 포함하는 스토리지 커패시터, 표시영역 상에 배치되고, 제1 박막트랜지스터와 연결되는 발광소자 및 비표시영역에 배치되고, 발광소자에 제어신호를 전송하는 제1 배선, 제2 배선 및 제3 배선을 포함하고, 제1 배선은 제1 게이트 전극과 동일층에 배치되고, 제2 배선은 제2 게이트 전극과 동일층에 배치되며, 제3 배선은 스토리지 상부 전극과 동일층에 배치된다.
- [0015] 본 발명의 명세서에 따른 전계발광 표시장치는 기판, 기판상에 배치된 제1 박막트랜지스터, 제1 박막트랜지스터의 게이트 전극과 동일층으로 구성되는 하부 스토리지 전극 및 제1 배선, 제1 박막트랜지스터의 게이트 전극, 하부스토리지전극 및 제1 배선 상에 배치되는 제1 절연층, 제1 절연층 상에 배치되는 상부 스토리지전극 및 제2 배선, 상부 스토리지전극 및 제2 배선 상에 배치되는 제2 절연층, 제2 절연층 상에 배치된 제2 박막트랜지스터, 제2 박막트랜지스터의 게이트 전극과 동일층으로 구성되는 제3 배선 및 제2 박막트랜지스터 상에 배치되고 제1 박막트랜지스터와 전기적으로 연결되는 발광소자를 포함하며, 제1 배선과 제3 배선은 서로 인접하게 배치되며, 제1 배선과 제2 배선은 인접하지 않게 배치된다.

발명의 효과

- [0016] 본 명세서의 실시예에 따른 전계발광 표시장치는 하나의 기판 내에서 구동 트랜지스터인 다결정실리콘 박막 트랜지스터와 스위칭 트랜지스터인 산화물반도체 박막 트랜지스터를 동시에 배치함으로써, 전계발광 표시장치가 최적으로 구동될 수 있는 효과가 있다.
- [0017] 본 명세서의 실시예에 따른 전계발광 표시장치는 비표시영역의 제한된 공간 내에서 배선을 보다 자유롭게 배치하여 전계발광 표시장치의 비표시영역인 베젤(Bezel) 영역을 최소화시키는 효과가 있다.
- [0018] 본 명세서의 실시예에 따른 플렉시블 전계발광 표시장치에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.
- [0019] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0020] 도 1은 본 명세서의 실시예에 따른 전계발광 표시장치의 블록도이다.

도 2는 본 명세서의 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다.

도 3은 본 명세서의 실시예에 따른 전계발광 표시장치의 평면도이다.

도 4a 및 도 4b는 본 명세서의 실시예에 따른 전계발광 표시장치의 표시영역 및 비표시영역의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0021]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0022]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0023]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0024]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0025]

제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0026]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관관계로 함께 실시할 수도 있다.

[0027]

도 1은 본 명세서의 실시예에 따른 전계발광 표시장치의 블록도이다.

[0028]

도 1을 참조하면, 전계발광 표시장치(100)는 영상처리부(110), 타이밍 컨트롤러(120), 데이터드라이버(130), 게이트드라이버(140) 및 표시패널(150)을 포함한다.

[0029]

영상처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터인에이블신호(DE) 등을 출력한다. 영상처리부(110)는 데이터인에이블신호(DE) 외에도 수직동기신호, 수평동기신호 및 클럭신호 중 하나 이상을 출력할 수 있다.

[0030]

타이밍컨트롤러(120)는 영상처리부(110)로부터 데이터인에이블신호(DE) 또는 수직동기신호, 수평동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍컨트롤러(120)는 구동신호에 기초하여 게이트드라이버(140)의 동작타이밍을 제어하기 위한 게이트타이밍 제어신호(GDC)와 데이터드라이버(130)의 동작타이밍을 제어하기 위한 데이터 타이밍제어신호(DDC)를 출력한다.

[0031]

데이터드라이버(130)는 타이밍컨트롤러(120)로부터 공급된 데이터타이밍 제어신호(DDC)에 응답하여 타이밍컨트롤러(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터드라이버(130)는 데이터배선들(DL1~DLn)을 통해 데이터신호(DATA)를 출력한다.

[0032]

게이트드라이버(140)는 타이밍컨트롤러(120)로부터 공급된 게이트타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트드라이버(140)는 게이트배선들(GL1~GLm)을 통해 게이트신호를 출력한다.

[0033]

표시패널(150)은 데이터드라이버(130) 및 게이트드라이버(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에

대응하여 화소(160)가 발광하면서 영상을 표시한다. 화소(160)의 상세구조는 도 2 및 도 3에서 설명한다.

[0034] 도 2는 본 명세서의 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다.

[0035] 도 2를 참조하면, 전계발광 표시장치(200)의 화소는 스위칭 트랜지스터(240), 구동 트랜지스터(250), 보상회로(260) 및 발광소자(270)를 포함한다.

[0036] 발광소자(270)는 구동 트랜지스터(250)에 의해 형성된 구동전류에 따라 발광하도록 동작한다.

[0037] 스위칭 트랜지스터(240)는 게이트배선(220)을 통해 공급된 게이트신호에 대응하여 데이터배선(230)을 통해 공급되는 데이터신호가 커패시터(Capacitor)에 데이터 전압으로 저장되도록 스위칭 동작한다.

[0038] 구동 트랜지스터(250)는 커패시터에 저장된 데이터전압에 대응하여 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 일정한 구동전류가 흐르도록 동작한다.

[0039] 보상회로(260)는 구동 트랜지스터(250)의 문턱전압 등을 보상하기 위한 회로이며, 보상회로(260)는 하나 이상의 박막 트랜지스터와 커패시터를 포함한다. 보상회로의 구성은 보상 방법에 따라 매우 다양할 수 있다.

[0040] 그리고, 전계발광 표시장치(200)의 화소는 스위칭 트랜지스터(240), 구동 트랜지스터(250), 커패시터 및 발광소자(270)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(260)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 형성할 수 있다.

[0041] 이때, 전계발광 표시장치(200)에 포함되는 스위칭 트랜지스터(240), 구동 트랜지스터(250) 및 보상회로(260)는 다결정실리콘(Polycrystalline Silicon) 박막 트랜지스터 또는 산화물(Oxide) 반도체 박막 트랜지스터를 선택적으로 사용할 수 있으며, 이에 대해서는 도 4a에서 상세히 설명한다.

[0042] 도 3은 본 명세서의 실시예에 따른 전계발광 표시장치의 평면도이다.

[0043] 도 3을 참조하면, 전계발광 표시장치(300)는 기판(310) 상에 박막 트랜지스터 및 발광소자를 통해서 실제로 광을 발광하는 화소가 배치되는 표시영역(Active Area; A/A) 및 표시영역(A/A)의 가장자리의 외곽을 둘러싸는 비표시영역(Non-active Area; N/A)을 포함한다.

[0044] 기판(310)의 비표시영역(N/A)에는 전계발광 표시장치(300)의 구동을 위한 게이트구동부(390) 등과 같은 회로 및 스캔라인(Scan Line; S/L) 등과 같은 다양한 신호배선이 배치될 수 있다. 그리고, 전계발광 표시장치(300)의 구동을 위한 게이트구동부(390)와 같은 회로는 기판(310) 상에 GIP(Gate in Panel) 방식으로 배치되거나, TCP(Tape Carrier Package) 또는 COF(Chip on Film) 방식으로 기판(310)에 연결될 수도 있다.

[0045] 비표시영역(N/A)의 기판(310)의 일 측에 패드(395)가 배치된다. 패드(395)는 외부 모듈 본딩되는(Bonded) 금속 패턴이다.

[0046] 최근에는 플렉시블(Flexible) 특성을 가지는 연성의 물질로 이루어진 플렉시블 기판을 적용할 수 있다. 이와 같은 플렉시블 물질을 적용한 기판(310)의 비표시영역(N/A)의 일부를 벤딩(Bending) 할 수 있다. 기판(310)의 비표시영역(N/A)은 화면을 구동시키기 위한 배선 및 구동회로가 배치되며, 화상이 표시되는 영역이 아니므로, 기판(310)의 상면에서 시인될 필요가 없다. 따라서, 기판(310)의 비표시영역(N/A)의 일부영역을 벤딩함으로써 배선 및 구동회로를 위한 면적을 확보하면서도 베젤영역을 최소화시킬 수 있다.

[0047] 기판(310) 상에는 다양한 배선들이 형성된다. 예를 들어, 표시영역(A/A)에는 게이트배선 및 데이터배선 등과 같은 배선이 배치될 수 있고, 비표시영역(N/A)에는 구동회로, 또는 게이트드라이버, 및 데이터드라이버 등과 연결되어외부에서 입력되는 신호를 전달하는 회로배선(370)이 배치될 수 있다.

[0048] 회로배선(370)은 도전성물질로 형성되며, 기판(310)의 벤딩 시에 크랙이 발생하는 것을 줄이기 위해 연성이 우수한 도전성 물질로 형성될 수 있다. 예를 들어, 회로배선(370)은 금(Au), 은(Ag), 알루미늄(Al) 등과 같이 연성이 우수한 도전성 물질로 형성될 수 있고, 표시영역(A/A)에서 사용되는 다양한 도전성물질 중 하나로 형성될 수 있으며, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 구리(Cu), 및 은(Ag) 과 마그네슘(Mg) 의 합금 등으로도 구성될 수도 있다. 그리고, 회로배선(370)은 다양한 도전성물질을 포함하는 다층구조로 구성될 수도 있으며, 예를 들어, 티타늄 (Ti)/알루미늄(Al)/티타늄(Ti) 3층구조로 구성될 수 있으며, 이에 제한되지는 않는다.

[0049] 본 명세서의 실시예에 따른 전계발광 표시장치의 표시영역(A/A)과 비표시영역(N/A)의 상세 구조는 다음 도 4a 및 도 4b를 참조하여 상세히 설명한다.

- [0050] 도 4a 및 도 4b는 본 명세서의 실시예에 따른 전계발광 표시장치의 표시영역 및 비표시영역의 상세구조 단면도이다.
- [0051] 도 4a는 도 3의 I-I'선에 따른 표시영역(A/A)의 단면도이다.
- [0052] 도 4a를 참조하면, 기판(410, 도 3에서는 310)은 상부에 배치되는 전계발광 표시장치(400)의 구성요소들을 지지 및 보호하는 역할을 하며, 최근에는 플렉시블 특성을 가지는 연성의 물질로 이루어질 수 있으므로, 기판(410)은 플렉시블 기판일 수 있다. 예를 들면, 플렉시블 기판은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 및 이들의 공중합체로 이루어진 군 중 하나를 포함하는 필름형태일 수 있다.
- [0053] 예를 들면, 기판(410)은 폴리에틸렌테레프탈레이트 (PET), 폴리부틸렌테레프탈레이트 (PBT), 폴리실란 (polysilane), 폴리실록산 (polysiloxane), 폴리실라잔 (polysilazane), 폴리카르보실란 (polycarbosilane), 폴리아크릴레이트 (polyacrylate), 폴리메타크릴레이트 (polymethacrylate), 폴리메틸아크릴레이트 (polymethylacrylate), 폴리메틸메타크릴레이트 (polymethylmethacrylate), 폴리에틸아크릴레이트 (polyethylacrylate), 폴리에틸메타크릴레이트 (polyethylmethacrylate), 사이클릭 올레핀 코폴리머 (COC), 사이클릭 올레핀 폴리머 (COP), 폴리에틸렌 (PE), 폴리프로필렌 (PP), 폴리이미드 (PI), 폴리메틸메타크릴레이트 (PMMA), 폴리스타이렌 (PS), 폴리아세탈 (POM), 폴리에테르에테르케톤 (PEEK), 폴리에스테르설휘 (PES), 폴리테트라플루오로에틸렌 (PTFE), 폴리비닐클로라이드 (PVC), 폴리카보네이트 (PC), 폴리비닐리덴플로라이드 (PVDF), 페플루오로알킬 고분자 (PFA), 스타이レン아크릴나이트릴코폴리머 (SAN) 및 이들의 조합 중에서 적어도 하나로 구성될 수 있다.
- [0054] 기판(410) 상에는 제1 베퍼층(412)이 배치된다. 제1 베퍼층(412)은 실리콘산화물(SiO_x) 또는 실리콘질화물 (SiN_x)의 단일층이나 복수층으로 구성될 수 있고, 기판(410)을 통한 수분이나 다른 불순물의 침투를 방지하며, 기판(410)의 표면을 평탄화할 수 있다. 제1 베퍼층(412)은 반드시 필요한 구성은 아니며, 기판(410)의 종류나 기판(410) 상에 배치되는 박막 트랜지스터의 종류에 따라 생략할 수도 있다.
- [0055] 제1 베퍼층(412) 상에는 제1 박막 트랜지스터(420)를 배치한다. 이때, 제1 박막트랜지스터(420)는 반도체층 (428)의 물질이 다결정실리콘인 다결정실리콘 박막 트랜지스터일 수 있다. 반도체층(428)이 다결정실리콘으로 이루어지는 제1 박막 트랜지스터(420)는 이동도가 높고, 소비전력이 낮으며 신뢰성이 우수하여 전계발광 표시장치(400)의 구동 트랜지스터로 사용하기에 적합하다. 이러한 제1 박막 트랜지스터(420)는 다결정실리콘으로 이루어진 반도체층(428), 제1 게이트 전극(422), 제1 소스전극(424) 및 제1 드레인 전극(426)을 포함한다.
- [0056] 다결정실리콘 반도체층(428)은 p형 또는 n형의 불순물을 포함하는 소스영역(Source Region), 드레인영역(Drain Region), 및 소스영역 및 드레인영역 사이에 채널(Channel)을 포함할 수 있고, 채널과 인접한 소스영역 및 드레인영역 사이에는 저농도 도핑영역을 포함할 수 있다.
- [0057] 소스영역 및 드레인영역은 불순물이 고농도로 도핑된 영역으로, 제1 박막 트랜지스터(420)의 제1 소스전극(424) 및 제1드레인전극(426)과 각각 접속되는 영역이다. 불순물 이온은 p형 불순물 또는 n형 불순물을 이용할 수 있는데, p형 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 하나일 수 있고, n형 불순물은 인(P), 비소(As) 및 안티몬(Sb) 등에서 하나일 수 있다.
- [0058] 다결정실리콘 반도체층(428)은 NMOS 또는 PMOS의 박막 트랜지스터 구조에 따라, 채널 영역이 n형 불순물 또는 p형 불순물로 도핑될 수 있으며, 본 명세서의 실시예에 따른 전계발광 표시장치에 포함된 박막 트랜지스터는 NMOS 또는 PMOS의 박막 트랜지스터가 적용가능하다.
- [0059] 다결정실리콘 반도체층(428) 상에는 제1 절연층(414)이 배치된다. 제1 절연층(414)은 실리콘산화물(SiO_x) 또는 실리콘질화물(SiN_x)의 단일층 또는 이들의 다중층으로 구성된 절연층이며, 반도체층(428)에 흐르는 전류가 제1 게이트전극(422)으로 흘러가지 않도록 배치한다. 그리고, 제1 절연층(414)은 실리콘산화물이 금속보다는 연성이 떨어지지만, 실리콘질화물에 비해서는 연성이 우수하며 그 특성에 따라 선택적으로 단일층 또는 복수층으로 형성할 수 있다.
- [0060] 이때, 제1 절연층(414)이 다중층으로 이루어진 경우, 다결정실리콘 반도체층(428)과 인접하여 배치되는 절연층(414)은 수소 입자 함유량이 높은 무기막층을 형성하는 것이 바람직하다. 예를 들어, 다결정실리콘 반도체층(428)과 인접한 절연층은 실리콘질화물(SiN_x)로 이루어진 절연층을 배치하고, 인접하지 않은 절연층은 실리콘산화물(SiO_x)로 이루어진 절연층을 배치하면 수소입자가 다결정실리콘 반도체층(428)으로 확산되는 것을 최소화하여 제1 박막 트랜지스터(420)의 특성 저하를 방지할 수 있다.

- [0061] 제1 절연층(414) 상에는 제1 게이트전극(422)이 배치된다. 제1 게이트 전극(422)은 게이트배선을 통해 외부에서 전달되는 전기 신호에 기초하여 제1 박막 트랜지스터(420)를 턴-온(turn-on) 또는 턴-오프(turn-off)하는 스위치 역할을 한다. 제1 게이트 전극(422)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0062] 제1 게이트 전극(422) 상에는 제1 소스전극(424) 및 제1 드레인전극(426)이 배치된다. 제1 소스 전극(424) 및 제1 드레인 전극(426)은 데이터배선과 연결되며 외부에서 전달되는 전기신호가 발광소자(460)로 전달되도록 한다.
- [0063] 제1 소스전극(424) 및 제1 드레인전극(426)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금으로 단일층 또는 다중층으로 구성할 수 있으며, 이에 제한되지 않는다.
- [0064] 제1 게이트전극(422)과 제1 소스전극(424) 및 제1 드레인전극(426)을 서로 절연시키기 위해서 제1 게이트전극(422)과 제1 소스전극(424) 및 제1 드레인전극(426) 사이에는 제2 절연층(416)이 배치된다. 제2 절연층(416)은 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 다중층으로 구성될 수 있다.
- [0065] 한편, 표시영역(A/A)의 기판 상에서 제1 절연층(414) 상에는 제1 게이트전극(422)과 동일층에 스토리지 커패시터(456)가 배치된다. 스토리지 커패시터(456)는 하부전극(452)과 상부전극(454)을 포함할 수 있다. 보다 상세하게, 스토리지 커패시터(456)의 스토리지 하부전극(452)은 제1 박막 트랜지스터(420)의 제1 게이트 전극(422)과 동일층, 즉, 제1 절연막(414) 상에 배치되고, 스토리지 상부전극(454)은 제2 절연층(416) 상에 제1 게이트전극(422)과 동일한 재료로 구성되고, 스토리지 하부전극(452)과 서로 중첩하여 배치된다. 도 2에서 설명한 바와 같이, 스토리지 커패시터(456)는 하나의 화소에 다양한 형태로 형성하여 배치할 수 있다. 이때, 제2 절연층(416)이 실리콘산화물(SiO_x) 보다 유전율이 높은 실리콘질화물(SiNx)로 형성할 경우 스토리지 커패시터(456)의 용량값은 증가하게 된다.
- [0066] 스토리지 상부전극(454) 상에는 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 다중층으로 구성된 제3 절연층(418)과 제2 베퍼층(432)이 순차적으로 배치되고, 제2 베퍼층(432) 상에는 제2 박막 트랜지스터(440)를 배치된다. 제1 절연층(414), 제2 절연층(416) 및 제3 절연층(418)에는 다결정실리콘 반도체층(428)의 일부 상면이 노출되도록 하는 콘택홀이 형성되고, 이 콘택홀을 통해 제1 소스전극(424) 및 제1 드레인 전극(426)이 다결정실리콘 반도체층(428)과 연결된다.
- [0067] 제2 박막트랜지스터(440)는 반도체층이 산화물을 포함하는 산화물 박막 트랜지스터이다. 제2 박막 트랜지스터(440)는 산화물 반도체층(448), 제2 게이트 전극(442), 제2 소스 전극(444) 및 제2 드레인 전극(446)을 포함한다.
- [0068] 산화물 반도체층(448)을 포함하는 제2 박막트랜지스터(440)는 다결정실리콘 반도체층(428)을 포함하는 제1 박막 트랜지스터(420)의 손상을 방지할 수 있도록 제1 박막트랜지스터(420)가 형성된 후에 형성하는 것이 바람직하다. 즉, 제2 박막 트랜지스터(440)는 제1 박막 트랜지스터(420) 상부에 배치하는 것이 바람직하다.
- [0069] 산화물 반도체층(448)을 포함하는 제2 박막트랜지스터(440)는 다결정실리콘 반도체층(428)을 포함하는 제1 박막 트랜지스터(420) 보다 누설되는 전류량이 적은 장점을 가지고 있기 때문에 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다.
- [0070] 제2 베퍼층(432) 상에 배치되는 제2 박막 트랜지스터(440)의 산화물 반도체층(448)을 구성하는 산화물 반도체는 이동도와 균일도가 우수한 특성을 가지고 있다. 산화물 반도체는 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물 (InSnGaZnO) 계 재료, 3원계 금속 산화물인 인듐 갈륨 아연 산화물 (InGaZnO) 계 재료, 인듐 주석 아연 산화물 (InSnZnO) 계 재료, 인듐 알루미늄 아연 산화물 (InAlZnO) 계 재료, 주석 갈륨 아연 산화물 (SnGaZnO) 계 재료, 알루미늄 갈륨 아연 산화물 (AlGaZnO) 계 재료, 주석 알루미늄 아연 산화물 (SnAlZnO) 계 재료, 2원계 금속 산화물인 인듐 아연 산화물 (InZnO) 계 재료, 주석 아연 산화물 (SnZnO) 계 재료, 알루미늄 아연 산화물 (AlZnO) 계 재료, 아연 마그네슘 산화물 (ZnMgO) 계 재료, 주석 마그네슘 산화물 (SnMgO) 계 재료, 인듐 마그네슘 산화물 (InMgO) 계 재료, 인듐 갈륨 산화물 (InGaO) 계 재료, 인듐 산화물 (InO) 계 재료, 주석 산화물 (SnO) 계 재료, 아연 산화물 (ZnO) 계 재료 등으로 반도체층(428)을 구성할 수 있으며, 각각의 원소의 조성 비율은 제한되지 않는다.

- [0071] 산화물 반도체층(448)은 p형 또는 n형의 불순물을 포함하는 소스영역(Source Region), 드레인영역(Drain Region), 및 소스영역 및 드레인영역 사이에 채널(Channel)을 포함할 수 있고, 채널과 인접한 소스영역 및 드레인영역 사이에는 저농도 도핑영역을 포함할 수 있다.
- [0072] 소스영역 및 드레인영역은 불순물이 고농도로 도핑된 영역으로, 제2 박막 트랜지스터(440)의 제2 소스전극(444) 및 제2 드레인전극(446)이 각각 접속되는 영역이다. 불순물 이온은 p형 불순물 또는 n형 불순물을 이용할 수 있으며, p형 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 하나일 수 있고, n형 불순물은 인(P), 비소(As) 및 안티몬(Sb) 등에서 하나일 수 있다.
- [0073] 산화물 반도체층(448)은 NMOS 또는 PMOS의 박막 트랜지스터 구조에 따라, 채널 영역은 n형 불순물 또는 p형 불순물로 도핑될 수 있으며, 본 명세서의 실시예에 따른 전계발광 표시장치에 포함된 박막 트랜지스터는 NMOS 또는 PMOS의 박막 트랜지스터의 적용이 가능하다.
- [0074] 산화물 반도체층(448) 상에는 제4 절연층(434)이 배치된다. 제4 절연층(434)은 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층 또는 이들의 다중층으로 구성된 절연층이며, 반도체층(448)에 흐르는 전류가 제2 게이트전극(442)으로 흘러가지 않도록 배치한다. 그리고, 실리콘산화물은 금속보다는 연성이 떨어지지만, 실리콘질화물에 비해서는 연성이 우수하며 그 특성에 따라 선택적으로 단일층 또는 복수층으로 형성할 수 있다.
- [0075] 제4 절연층(434) 상에는 제2 게이트전극(442)이 배치된다. 제2 게이트전극(442)은 게이트배선을 통해 외부에서 전달되는 전기 신호에 기초하여 제2 박막 트랜지스터(440)를 턠-온(turn-on) 또는 턠-오프(turn-off)하는 스위치 역할을 하며, 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중층으로 구성될 수 있으며, 이에 제한되지 않는다.
- [0076] 산화물 반도체층(448)과 제2 게이트 전극(442) 상에는 제2 소스전극(444) 및 제2 드레인전극(446)이 배치된다. 제2 소스전극(444) 및 제2 드레인 전극(446)은 데이터배선과 연결되며 외부에서 전달되는 전기신호가 제2 박막 트랜지스터(440)에서 제1 박막 트랜지스터(420)를 통해서 발광소자(460)로 전달되도록 한다. 제2 소스전극(444) 및 제2 드레인전극(446)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금으로 단일층 또는 다중층으로 구성할 수 있으며, 이에 제한되지 않는다.
- [0077] 제2 게이트전극(442)과 제2 소스전극(444) 및 제2 드레인전극(446)을 서로 절연시키기 위해서 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 다중층으로 구성된 제5 절연층(436)을 제2 게이트전극(442)과 제2 소스전극(444) 및 제2 드레인전극(446) 사이에 배치할 수 있다.
- [0078] 산화물 반도체층(448)의 상부 및 하부와 인접한 제2 베퍼층(432), 제4 절연층(434) 및 제5 절연층(436)은 수소함유량이 낮은 무기막층을 형성할 수 있다. 예를 들어, 산화물 반도체층(448)과 인접한 절연층은 실리콘산화물(SiO_x)을 배치하고, 인접하지 않은 절연층은 실리콘질화물(SiNx)을 배치하면 수소입자가 산화물 반도체층(448)으로 확산되는 것을 방지할 수 있으므로, 제2 박막 트랜지스터(440)의 특성 저하를 방지할 수 있다.
- [0079] 도 4a에 도시되지는 않았으나, 제1 및 제2 박막 트랜지스터(420, 440) 상에 실리콘산화물(SiO_x), 실리콘질화물(SiNx)과 같은 무기절연층으로 구성된 폐시베이션층을 더 배치할 수도 있다. 폐시베이션층은 구성요소들 사이의 불필요한 전기적 연결을 막고 외부로부터의 오염이나 손상 등을 막는 역할을 할 수 있으며, 생략할 수도 있다.
- [0080] 제1 박막 트랜지스터(420) 및 제2 박막 트랜지스터(440)는 박막 트랜지스터를 구성하는 구성요소들의 위치에 따라 인버티드 스탠더드(Invited Staggered) 구조와 코플래너(Coplanar) 구조로 분류될 수 있다.
- [0081] 인버티드 스탠더드 구조의 박막 트랜지스터는 반도체층을 기준으로 게이트전극과 소스전극 및 드레인전극이 서로 반대편에 위치한다. 도 4a에서와 같이, 코플래너 구조의 박막 트랜지스터(420, 440)는 반도체층(428, 448)을 기준으로 게이트전극(422, 442)과 소스전극(424, 444) 및 드레인전극(426, 446)이 같은 편에 위치한다.
- [0082] 도 4a에서는, 제1 박막 트랜지스터(420)와 제2 박막 트랜지스터(440)가 코플래너 구조를 갖는 것으로 도시되었으나, 제1 박막 트랜지스터(420)와 제2 박막 트랜지스터(440)가 인버티드 스탠더드 구조를 가질 수도 있다.
- [0083] 설명의 편의를 위해, 전계발광 표시장치(400)에 포함될 수 있는 다양한 박막 트랜지스터 중에서 구동 박막 트랜지스터인 제1 박막 트랜지스터(420), 스토리지 커패시터(456) 및 스위칭 박막 트랜지스터인 제2 박막 트랜지스터(440)를 간략하게 도시하였다. 스위칭 박막 트랜지스터는 게이트배선으로부터 신호가 인가되면, 데이터배선으로부터의 신호를 구동 박막 트랜지스터의 게이트 전극으로 전달한다. 구동 박막 트랜지스터는 스위칭 박막 트랜

지스터로부터 전달받은 신호에 의해 전원 배선을 통해 전달되는 전류를 발광소자(460)의 애노드(462)로 전달하며, 발광소자(460)의 애노드(462)로 전달되는 전류에 의해 발광을 제어한다. 전계발광 표시장치(400)에 포함된 제1 및 제2 박막 트랜지스터(420, 440)를 보호하고 제1 및 제2 박막 트랜지스터(420, 440)로 인해서 발생되는 단차를 완화시키며, 제1 및 제2 박막 트랜지스터(420, 440)와 게이트배선 및 데이터배선, 발광소자(460) 사이에 발생되는 기생전용량(Parasitic-Capacitance)을 감소시키기 위해서 제1 및 제2 박막 트랜지스터(420, 440) 상에 평탄화층(438)이 배치된다.

[0084] 평탄화층(438)은 아크릴계 수지 (Acrylic Resin), 에폭시 수지 (Epoxy Resin), 페놀 수지 (Phenolic Resin), 폴리아미드계 수지 (Polyamides Resin), 폴리이미드계 수지 (Polyimides Resin), 불포화 폴리에스테르계 수지 (Unsaturated Polyesters Resin), 폴리페닐렌계 수지 (Polyphenylene Resin), 폴리페닐렌설파이드계 수지 (Polyphenylenesulfides Resin), 및 벤조사이클로부텐 (Benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으며, 이에 제한되지 않는다.

[0085] 이때, 평탄화층(438)은 전계발광 표시장치(400)의 특성 및 구조에 따라서 복수의 층으로 구성할 수도 있으며 이에 한정되지 않는다.

[0086] 도 4a에 도시하지 않았으나, 평탄화층(438) 상에 실리콘산화물(SiO_x), 실리콘질화물(SiNx)과 같은 무기질연층으로 구성된 패시베이션층이 더 배치될 수도 있다. 패시베이션층은 구성요소들 사이의 불필요한 전기적 연결을 막고 외부로부터의 오염이나 손상 등을 막는 역할을 할 수 있으며, 전계발광 표시장치(400)의 특성 및 구조에 따라서 생략될 수도 있다.

[0087] 한편, 본 명세서의 전계발광 표시장치(400)는 제1 박막트랜지스터(420) 상에 연결전극(430)을 배치하여 제1 박막 트랜지스터(420)와 발광소자(460)를 직접 전기적으로 연결하여 발광소자(460)을 구동할 수 있다.

[0088] 평탄화층(438) 상에 배치되는 발광소자(460)는 애노드(462), 발광부(464) 및 캐소드(466)를 포함한다.

[0089] 애노드(462)는 평탄화층(438) 상에 배치될 수 있다. 애노드(462)는 발광부(464)에 정공을 공급하기 위한 전극으로, 평탄화층(438)에 있는 컨택홀을 통해 연결전극(430)과 연결되며, 제1 박막 트랜지스터(420)와 전기적으로 연결된다.

[0090] 애노드(462)는 투명 도전성 물질인 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zinc Oxide, IZO) 등으로 구성할 수 있으며, 이에 제한되지 않는다.

[0091] 전계발광 표시장치(400)가, 캐소드(466)가 배치된 상부로 광을 발광하는 탑에미션(Top Emission)일 경우, 발광된 광이 애노드(462)에서 반사되어 보다 원활하게 캐소드(466)가 배치된 상부 방향으로 방출될 수 있도록, 반사층을 더 포함할 수 있다.

[0092] 예를 들면, 애노드(462)는 투명 도전성 물질로 구성된 투명 도전층과 반사층이 차례로 적층된 2층 구조이거나, 투명 도전층, 반사층 및 투명 도전층이 차례로 적층된 3층 구조일 수 있으며, 반사층은 은(Ag) 또는 은을 포함하는 합금일 수 있다.

[0093] 애노드(462) 및 평탄화층(438) 상에 배치되는 뱅크(468)는 실제로 광을 발광하는 영역을 구획하여 화소를 정의 할 수 있다. 뱅크(468)는 애노드(462) 상에 포토레지스트(Photoresist)를 형성한 후에 사진식각공정 (Photolithography)에 의해 형성될 수 있다. 포토레지스트는 광의 작용에 의해 현상액에 대한 용해성이 변화되는 감광성 수지를 말하며, 포토레지스트를 노광 및 현상하여 특정 패턴이 얻어질 수 있다. 포토레지스트는 포지티브형 포토레지스트(Positive Photoresist)와 네거티브형 포토레지스트(Negative photoresist)로 분류될 수 있다. 포지티브형 포토레지스트는 노광으로 노광부의 현상액에 대한 용해성이 증가되는 포토레지스트를 말하며, 포지티브형 포토레지스트를 현상하면 노광부가 제거된 패턴을 얻을 수 있다. 한편, 네거티브형 포토레지스트는 노광으로 노광부의 현상액에 대한 용해성이 크게 저하되는 포토레지스트를 말하며, 네거티브형 포토레지스트를 현상하면 비노광부가 제거된 패턴을 얻을 수 있다.

[0094] 뱅크(468)에 의해 구획된 화소 영역의 애노드(462) 상, 즉 애노드(462)와 캐소드(464) 사이에는 발광소자(460)의 발광부(464)이 형성된다. 발광부(464)를 형성하기 위해서 증착마스크인 FMM(Fine Metal Mask)을 사용할 수 있다. 그리고, 뱅크(468) 상에 배치되는 증착마스크와 접촉하여 발생될 수 있는 손상을 방지하고, 뱅크(468)와 증착마스크 사이에 일정한 거리를 유지하기 위해서, 뱅크(468) 상부에 투명 유기물인 폴리이미드, 포토아크릴 및 벤조사이클로부텐(BCB) 중 하나로 구성되는 스페이서Spacer; 469)가 더 배치될 수도 있다.

[0095] 발광부(464)는 광을 발광하는 역할을 하며, 정공주입층(Hole Injection Layer; HIL), 정공수송층(Hole

Transport Layer; HTL), 발광층, 전자수송층(Electron Transport Layer; ETL), 전자주입층(Electron Injection Layer; EIL) 중 적어도 하나의 층을 포함할 수 있고, 전계발광 표시장치(400)의 구조나 특성에 따라 발광부(464)의 일부 구성요소는 생략될 수도 있다. 여기서 발광층은 전계발광층 및 무기발광층을 적용하는 것도 가능하다.

[0096] 정공주입층은 애노드(462) 상에 배치하여 정공의 주입이 원활하게 하는 역할을 한다. 정공주입층은, 예를 들어, HAT-CN(dipyrazino[2,3-f:2',3'-h]quinoxaline-2,3,6,7,10,11-hexacarbonitrile), CuPc(phthalocyanine), 및 NPD(N,N' -bis(naphthalene-1-yl)-N,N' -bis(phenyl)-2,2' -dimethylbenzidine)중에서 어느 하나 이상으로 이루어질 수 있다.

[0097] 정공수송층은 정공주입층 상에 배치하여 발광층으로 원활하게 정공을 전달하는 역할을 한다. 정공수송층은, 예를 들어, NPD(N,N' -bis(naphthalene-1-yl)-N,N' -bis(phenyl)-2,2' -dimethylbenzidine), TPD(N,N' -bis-(3-methylphenyl)-N,N' -bis-(phenyl)-benzidine), s-TAD(2,2' ,7,7' -tetrakis(N,N-dimethylamino)-9,9-spirofluorene), 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine) 중에서 어느 하나 이상으로 이루어질 수 있다.

[0098] 발광층은 정공수송층 상에 배치되며 특정 색의 광을 발광할 수 있는 물질을 포함하여 특정 색의 광을 발광할 수 있다. 그리고, 발광물질은 인광물질 또는 형광물질을 이용하여 형성할 수 있다.

[0099] 발광층이 적색(Red)을 발광하는 경우, 발광하는 피크파장은 600nm 내지 650nm 범위가 될 수 있으며, CBP(4,4'-bis(carbazol-9-yl)biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)benzene)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)(acetylacetone) iridium), PQIr(acac)(bis(1-phenylquinoline)(acetylacetone) iridium), PQIr(tris(1-phenylquinoline) iridium) 및 PtOEP(octaethylporphyrin platinum)중에서 하나 이상을 포함하는 도편트를 포함하는 인광 물질로 이루어질 수 있다. 또는, PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광 물질로 이루어질 수 있다.

[0100] 여기서, 피크파장(λ_{max})은 EL(ElectroLuminescence)의 최대 파장을 말한다. 발광부를 구성하는 발광층들이 고유의 광을 내는 파장을 PL(PhotoLuminescence)이라 하며, 발광층들을 구성하는 층들의 두께나 광학적 특성의 영향을 받아 나오는 광을 에미턴스(Emittance)라 한다. 이때, EL(ElectroLuminescence)은 전계발광 표시장치가 최종적으로 방출하는 광을 말하며, PL(PhotoLuminescence) 및 에미턴스(Emittance)의 합으로 표현될 수 있다.

[0101] 발광층이 녹색(Green)을 발광하는 경우, 발광하는 피크 파장은 520nm 내지 540nm 범위가 될 수 있으며, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)₃(tris(2-phenylpyridine)iridium)을 포함하는 Ir complex 와 같은 도편트 물질을 포함하는 인광 물질로 이루어질 수 있다. 또한, Alq₃(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광 물질로 이루어질 수 있다.

[0102] 발광층이 청색(Blue)을 발광하는 경우, 발광하는 피크 파장은 440nm 내지 480nm 범위가 될 수 있으며, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, FIrPic(bis(3,5-difluoro-2-(2-pyridyl)phenyl-(2-carboxypyridyl)iridium)를 포함하는 도편트 물질을 포함하는 인광 물질로 이루어질 수 있다. 또한, spiro-DPVBi(4,4'-Bis(2,2-diphenyl-ethen-1-yl)biphenyl), DSA(1-4-di-[4-(N,N-di-phenyl)amino]styryl-benzene), PFO(polyfluorene)계 고분자 및 PPV(polyphenylenevinylene)계 고분자중 어느 하나를 포함하는 형광 물질로 이루어질 수 있다.

[0103] 발광층 상에 전자수송층을 배치하여 발광층으로 전자의 이동을 원활하게 한다. 전자수송층은, 예를 들어, Liq(8-hydroxyquinolinato-lithium), PBD(2-(4-biphenyl)-5-(4-tert-butylphenyl)-1,3,4-oxadiazole), TAZ(3-(4-biphenyl)4-phenyl-5-tert-butylphenyl-1,2,4-triazole), spiro-PBD, BCP(2,9-Dimethyl-4,7-diphenyl-1,10-phenanthroline) 및 BA1q(bis(2-methyl-8-quinolinolate)-4-(phenylphenolato)aluminum) 중에서 어느 하나 이상으로 이루어질 수 있다.

[0104] 전자수송층 상에 전자주입층이 더 배치될 수 있다. 전자주입층은 캐소드(466)로부터 전자의 주입을 원활하게 하는 유기층으로, 전계발광 표시장치(400)의 구조와 특성에 따라서 생략될 수 있다. 전자주입층은 BaF₂, LiF, NaCl, CsF, Li₂O 및 BaO와 같은 금속 무기 화합물일 수 있고, HAT-CN(dipyrazino[2,3-f:2',3'-h]quinoxaline-2,3,6,7,10,11-hexacarbonitrile), CuPc(phthalocyanine), 및 NPD(N,N' -bis(naphthalene-1-yl)-N,N' -bis(phenyl)-2,2' -dimethylbenzidine) 중에서 어느 하나 이상의 유기 화합물일 수 있다.

[0105] 발광층과 인접한 위치에 정공 또는 전자의 흐름을 저지하는 전자저지층(Electron Blocking Layer) 또는 정공저

지층(Hole Blocking Layer)을 더 배치하여 전자가 발광층에 주입될 때 발광층에서 이동하여 인접한 정공수송층으로 통과하거나 정공이 발광층에 주입될 때 발광층에서 이동하여 인접한 전자수송층으로 통과하는 현상을 방지하여 발광효율을 향상시킬 수 있다.

[0106] 캐소드(466)는 발광부(464) 상에 배치되어, 발광부(464)로 전자를 공급하는 역할을 한다. 캐소드(466)는 전자를 공급하여야 하므로 일함수가 낮은 도전성 물질인 마그네슘(Mg), 은-마그네슘(Ag:Mg) 등과 같은 금속 물질로 구성할 수 있으며, 이에 제한되지 않는다.

[0107] 전계발광 표시장치(400)이 탑에미션 방식인 경우, 캐소드(466)는 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide, ITZO), 아연 산화물(Zinc Oxide, ZnO) 및 주석 산화물(Tin Oxide, TiO) 계열의 투명 도전성 산화물일 수 있다.

[0108] 도 4a에 도시되지는 않았으나, 발광소자(460) 상에는 전계발광 표시장치(400)의 구성요소인 박막 트랜지스터(420) 및 발광소자(460)가 외부에서 유입되는 수분, 산소 또는 불순물들로 인해서 산화 또는 손상되는 것을 방지하기 위한 봉지부가 더배치될 수 있다. 이때, 봉지부는 전계발광 표시장치(400)의 특성 및 구조에 따라 복수의 봉지층, 이물보상층 및 복수의 베리어필름(Barrier Film)이 적층되어 형성될 수 있으며, 이에 한정되지 않는다.

[0109] 도 4b 는 도 3의 II-II'선에 따른 단면도이다.

[0110] 도 4b의 일부 구성요소는 도 4a 에서 설명된 구성요소와 실질적으로 동일/유사하며 이에 대한 상세한 설명은 생략한다.

[0111] 도 3을 참조하면, 게이트신호 및 데이터신호는 외부에서부터 전계발광 표시장치(400)의 비표시영역(N/A)에 배치되는 회로배선(도 3의 370)을 거쳐서 표시영역(A/A)에 배치되어 있는 화소로 전달되어 발광되도록 한다.

[0112] 전계발광 표시장치(400)의 비표시영역(N/A)에 배치되는 회로배선(370)이 단층 구조로 형성되는 경우, 회로배선(370)을 배치하기 위한 많은 공간이 요구된다. 구체적으로, 회로배선(370)이 단층으로 형성되는 경우, 기판(310, 410) 상에 도전성 물질을 증착한 후, 형성하고자 하는 배선의 형상으로 도전성 물질을 에칭 등의 공정으로 패터닝하는데, 에칭 공정의 세밀도에는 한계가 있으므로 배선 사이의 간격을 좁히기 위한 한계로 인하여 더 많은 공간이 요구되므로, 비표시영역(N/A)의 면적이 커지게 되어 네로우 베젤 구현에 어려움이 발생할 수 있다. 이와 함께, 하나의 신호를 전달하기 위해 하나의 배선을 사용하는 경우, 해당 배선이 크랙이 발생되는 경우 해당 신호가 전달되지 못할 수 있다.

[0113] 이에 따라, 본 명세서의 실시예에 따른 전계발광 표시장치(400)의 비표시영역(N/A)에 배치되는 도 3의 회로배선(370)은 제1 배선(472), 제2 배선(474) 및 제3 배선(476)의 삼중배선 형태로 배치된다. 이때, 제1 배선(472), 제2 배선(474) 및 제3 배선(476)은 발광소자에 제어신호를 전달하기 위한 배선일 수 있다.

[0114] 도 4a에서 설명한 제1 박막 트랜지스터(420)의 제1 게이트전극(422) 및 스토리지 하부전극(452)과 동일층에 동일한 물질로 제1 배선(472)이 배치될 수 있다. 즉, 제1 배선(472)은 표시영역(A/A)에서 비표시영역(N/A)으로 연장되어 비표시영역(N/A)에 형성된 제1 절연층(414) 상에 배치될 수 있다. 이때, 제1 배선(472)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중층으로 구성될 수 있으며, 제1 게이트전극(422) 및 스토리지 하부전극(452)이 형성될 때 동일한 공정으로 함께 형성하여 배치하는 것이 바람직하다.

[0115] 제1 배선(472) 상에 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 다중층으로 구성된 제2 절연층(416)이 배치된다. 그리고, 제2 절연층(416)은 전계발광 표시장치(400)의 특성 및 구조에 따라서 1000Å ~ 2000Å 사이의 두께를 가질 수 있다.

[0116] 제2 절연층(416) 상에는 도 4a에서 설명한 스토리지 상부전극(454)과 동일층에 동일한 물질로 형성된 제2 배선(474)이 배치된다. 그리고, 제2 배선(474)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중층으로 구성될 수 있으며, 스토리지 상부전극(454)이 형성될 때 동일한 공정으로 함께 형성하여 배치할 수 있으며, 이 경우 공정이 단순화될 수 있다.

[0117] 제2 배선(474) 상에는 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 다중층으로 구성된 제3 절연층(418) 및 제2 버퍼층(432)이 배치된다. 그리고, 전계발광 표시장치(400)의 특성 및 구조에 따라서 제3 절연층(418)은 4000Å ~ 5000Å 사이의 두께를 가지고, 제2 버퍼층(432)은 2500Å~3500Å 사이의 두께를 가질 수

있다. 그리고, 적절한 스토리지 커패시터(456)의 용량값을 가지고록 제3 절연층(418) 및 제2 베퍼층(432)의 두께가 제2 절연층(416)의 두께보다 훨씬 큰 값을 가지게 된다. 이에 따라, 전계발광 표시장치(400)의 비표시영역(N/A)에서 회로배선이 제1 배선(472) 및 제2 배선(474)을 포함하는 이중배선 형태를 가지게 될 경우 제1 배선(472)과 제2 배선(474) 사이의 간섭을 최소화하기 위해서 두 배선 사이에 일정한 이격거리를 가질 수밖에 없고, 이에 따라 배선을 배치하기 위한 많은 공간이 요구되므로, 전계발광 표시장치(400)의 비표시영역(N/A)인 베젤(Bezel) 영역을 줄이는 것에 어려움이 있었다.

[0118] 이에, 본 명세서의 발명자들은 배선을 배치할 공간을 효율적으로 활용하기 위한 새로운 구조의 전계발광 표시장치(400)를 발명하였다.

[0119] 제2 베퍼층(432) 상에는 도 4a에서 설명한 제2 박막 트랜지스터(440)의 제2 게이트전극(442)과 동일층에 동일한 물질로 형성된 제3 배선(476)이 배치된다. 그리고, 제3 배선(476)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중층으로 구성될 수 있으며, 제2 박막 트랜지스터(440)의 제2 게이트전극(442)이 형성될 때 동일한 공정으로 함께 형성하여 배치할 수 있다.

[0120] 이와 같이, 전계발광 표시장치(400)의 비표시영역(N/A)에 배치되는 회로배선은 제1 배선(472), 제2 배선(474) 및 제3 배선(476)의 삼중배선 형태로 배치될 수 있다.

[0121] 제1 배선(472), 제2 배선(474) 및 제3 배선(476)은 서로 중첩되지 않도록 배치되며, 보다 구체적으로, 제1 배선(472)과 제3 배선(476)은 서로 인접하게 배치되고, 제1 배선(472)과 제2 배선(474)은 서로 인접하지 않도록 배치된다. 즉, 제1 배선(472), 제2 배선(474) 및 제3 배선(476)은 단면 상의 수평 방향으로 서로 중첩되지 않도록 배치되며, 제1 배선(472)과 제2 배선(474) 사이에 제3 배선(476)이 배치될 수 있다.

[0122] 제1 배선(472)과 제3 배선(476) 사이는 $1000\text{\AA} \sim 2000\text{\AA}$ 사이의 두께를 가지는 제2 절연층(416), $4000\text{\AA} \sim 5000\text{\AA}$ 사이의 두께를 가지는 제3 절연층(418) 및 $2500\text{\AA} \sim 3500\text{\AA}$ 사이의 두께를 가지는 제2 베퍼층(432)이 배치되어 있기 때문에 $1000\text{\AA} \sim 2000\text{\AA}$ 사이의 두께를 가지는 제2 절연층(416)만 배치되는 제1 배선(472)과 제2 배선(474)의 이중배선보다 제1 배선(472)과 제3 배선(476)는 두 배선 사이에 더 작은 이격거리를 가질 수 있으며, 이에 따라 전계발광 표시장치(400)의 비표시영역(N/A)인 베젤(Bezel) 영역을 최소화 시킬수 있다.

[0123] 제1 배선(472) 및 제3 배선(476) 사이의 구조와 유사하게 제2 배선(474)과 제3 배선(476) 사이에는 $4000\text{\AA} \sim 5000\text{\AA}$ 사이의 두께를 가지는 제3 절연층(418) 및 $2500\text{\AA} \sim 3500\text{\AA}$ 사이의 두께를 가지는 제2 베퍼층(432)이 배치되어 있기 때문에 제2 배선(474)과 제3 배선(476) 사이에는 $1.0\mu\text{m}$ 이하의 이격거리를 가질 수 있으며, 이에 따라, 제1 배선(472), 제2 배선(474) 및 제3 배선(476)의 삼중배선이 배치되는 전계발광 표시장치(400)의 비표시영역(N/A)은 베젤(Bezel) 영역을 최소화 시킬수 있다.

[0124] 본 발명의 명세서에 따른 전계발광 표시장치는 표시영역 및 표시영역 외곽을 두르는 비표시영역을 포함하는 기판, 표시영역 상에 배치되고, 제1 반도체층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막트랜지스터, 표시영역 상에서 제1 박막 트랜지스터 상에 배치되고, 제2 반도체층, 제2 게이트 전극, 제2 소스전극 및 제2 드레인 전극을 포함하는 제2 박막트랜지스터, 표시영역 상에서 제1 게이트 전극과 동일층에 배치되고, 스토리지 상부 전극 및 스토리지 하부 전극을 포함하는 스토리지 커패시터, 표시영역 상에 배치되고, 제1 박막트랜지스터와 연결되는 발광소자 및 비표시영역에 배치되고, 발광소자에 제어신호를 전송하는 제1 배선, 제2 배선 및 제3 배선을 포함하고, 제1 배선은 제1 게이트 전극과 동일층에 배치되고, 제2 배선은 제2 게이트 전극과 동일층에 배치되며, 제3 배선은 스토리지 상부 전극과 동일층에 배치된다.

[0125] 본 발명의 명세서에 따른 전계발광 표시장치의 기판은 플렉시블 기판이다.

[0126] 본 발명의 명세서에 따른 전계발광 표시장치의 기판 상에는 하나 이상의 베퍼층이 배치된다.

[0127] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 배선, 제2 배선 및 제3 배선은 서로 중첩되지 않도록 배치된다.

[0128] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 배선과 제3 배선은 단면 상 수평 방향으로 서로 인접하게 배치되고, 제1 배선과 제2 배선은 서로 인접하지 않게 배치된다.

[0129] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 반도체층은 다결정실리콘 반도체 물질로 이루어지고, 제2 반도체층은 산화물 반도체 물질로 이루어지며, 제1 반도체층과 제2 반도체층은 불순물이 도핑된 영역을 포함한다.

- [0130] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 반도체층 및 제2 반도체층 중 적어도 하나는 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나의 불순물이 도핑된 영역을 포함한다.
- [0131] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 반도체층 및 제2 반도체층 중 적어도 하나는 인(P), 비소(As) 및 안티몬(Sb) 중에 하나의 불순물이 도핑된 영역을 포함한다.
- [0132] 본 발명의 명세서에 따른 전계발광 표시장치의 기판은 플렉시블 기판이다.
- [0133] 본 발명의 명세서에 따른 전계발광 표시장치의 기판과 제1 박막 트랜지스터 사이에 배치된 제1 베퍼층을 더 포함한다.
- [0134] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 배선, 제2 배선 및 제3 배선은 서로 중첩되지 않도록 배치된다.
- [0135] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 박막트랜지스터 및 제2 박막트랜지스터의 반도체층은 불순물이 고농도로 도핑된 영역을 포함한다.
- [0136] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 박막트랜지스터 및 제2 박막트랜지스터의 반도체층 중 적어도 하나는 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나의 불순물이 고농도로 도핑된 영역을 포함한다.
- [0137] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 박막트랜지스터 및 제2 박막트랜지스터의 반도체층 중 적어도 하나는 인(P), 비소(As) 및 안티몬(Sb) 중에 하나의 불순물이 고농도로 도핑된 영역을 포함한다.
- [0138] 본 발명의 명세서에 따른 전계발광 표시장치의 제1 절연층 및 제2 절연층 중 적어도 하나는 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)로 구성된다. 본 발명의 명세서에 따른 전계발광 표시장치의 제2 절연층 상에 배치되는 베퍼층을 더 포함한다.
- [0139] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

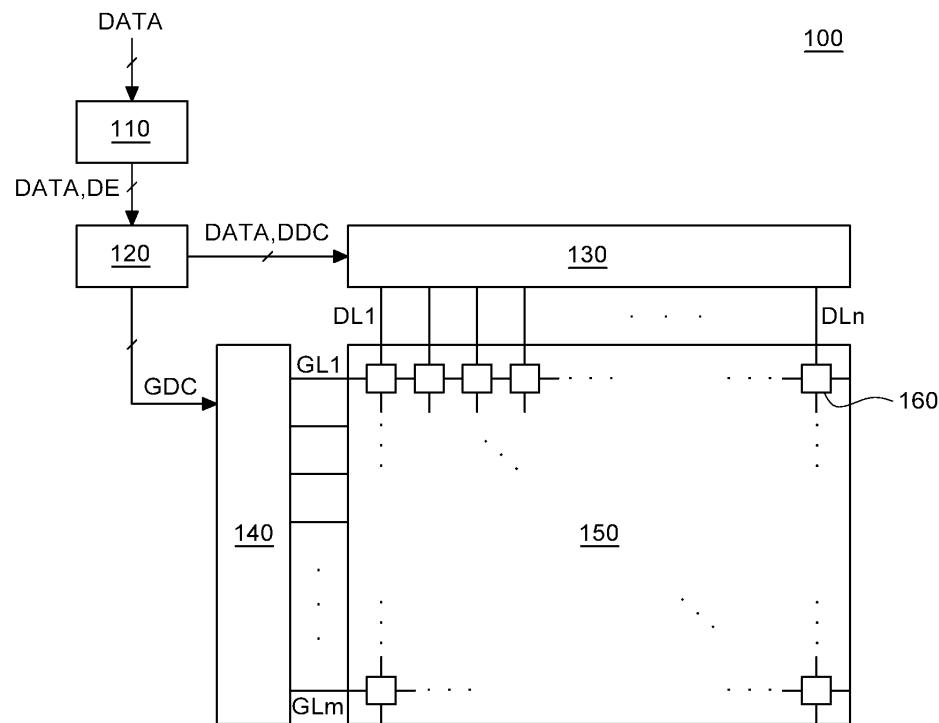
부호의 설명

- [0140] 100, 200, 300, 400: 전계발광 표시장치
 110: 영상처리부
 120: 타이밍 컨트롤러
 130: 데이터드라이버
 140: 게이트드라이버
 150: 표시패널
 160: 화소
 220: 게이트배선
 230: 데이터배선
 240: 스위칭트랜지스터
 250: 구동트랜지스터
 260: 보상회로
 270, 440: 발광소자

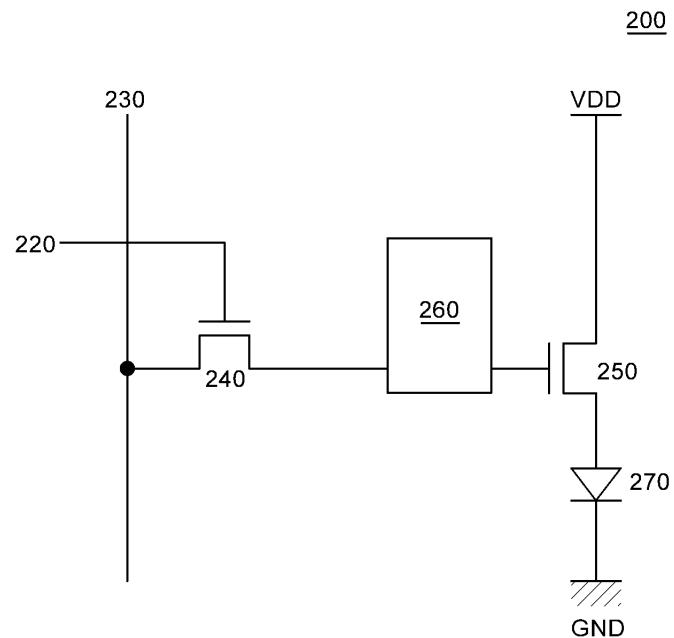
- 310, 410: 기판
 370: 회로배선
 390: 게이트구동부
 395: 패드
 412: 제1 버퍼층
 414: 제1 절연층
 416: 제2 절연층
 418: 제3 절연층
 420: 제1 박막 트랜지스터
 422: 제1 게이트전극
 424: 제1 소스전극
 426: 제1 드레인전극
 428: 다결정실리콘 반도체층
 430: 연결전극
 432: 제2 버퍼층
 434: 제4 절연층
 436: 제5 절연층
 438: 평탄화층
 440: 제2 박막트랜지스터
 442: 제2 게이트전극
 444: 제2 소스전극
 446: 제2 드레인전극
 448: 산화물 반도체층
 452: 스토리지 하부전극
 454: 스토리지 상부전극
 456: 스토리지 커패시터
 460: 밸광소자
 462: 애노드
 464: 밸광부
 466: 캐소드
 468: 뱅크
 469: 스페이서
 472: 제1 배선
 474: 제2 배선
 476: 제3 배선

도면

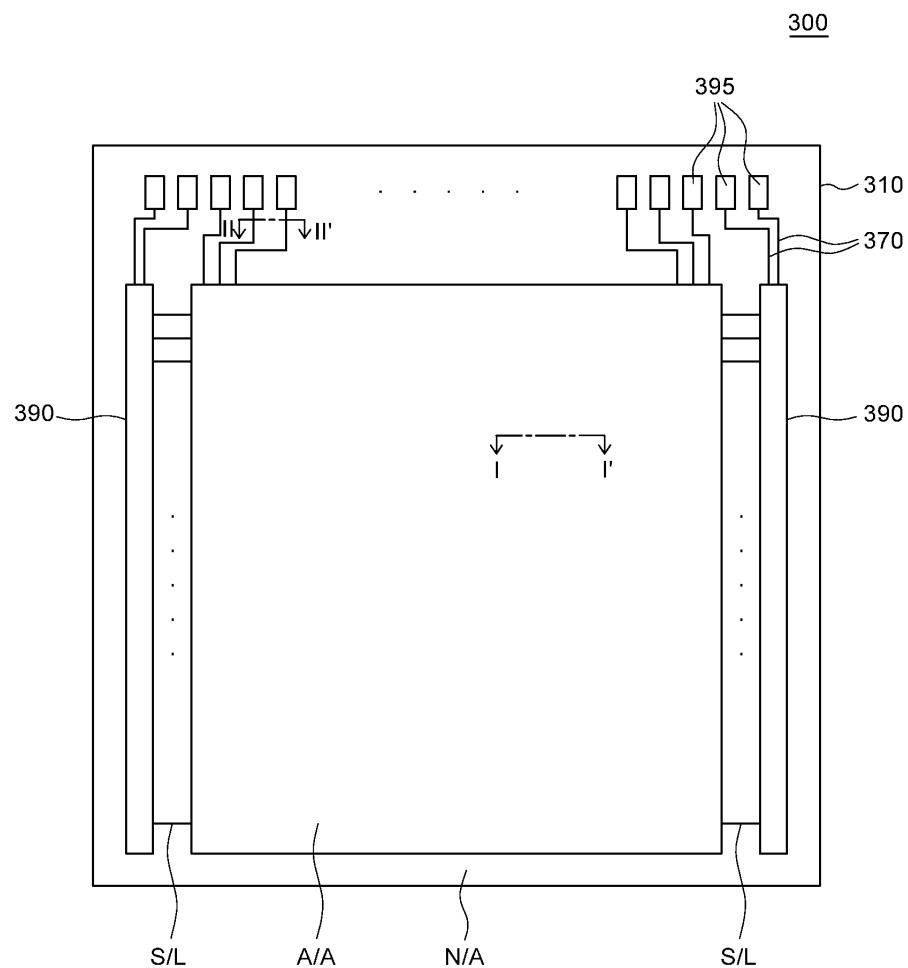
도면1



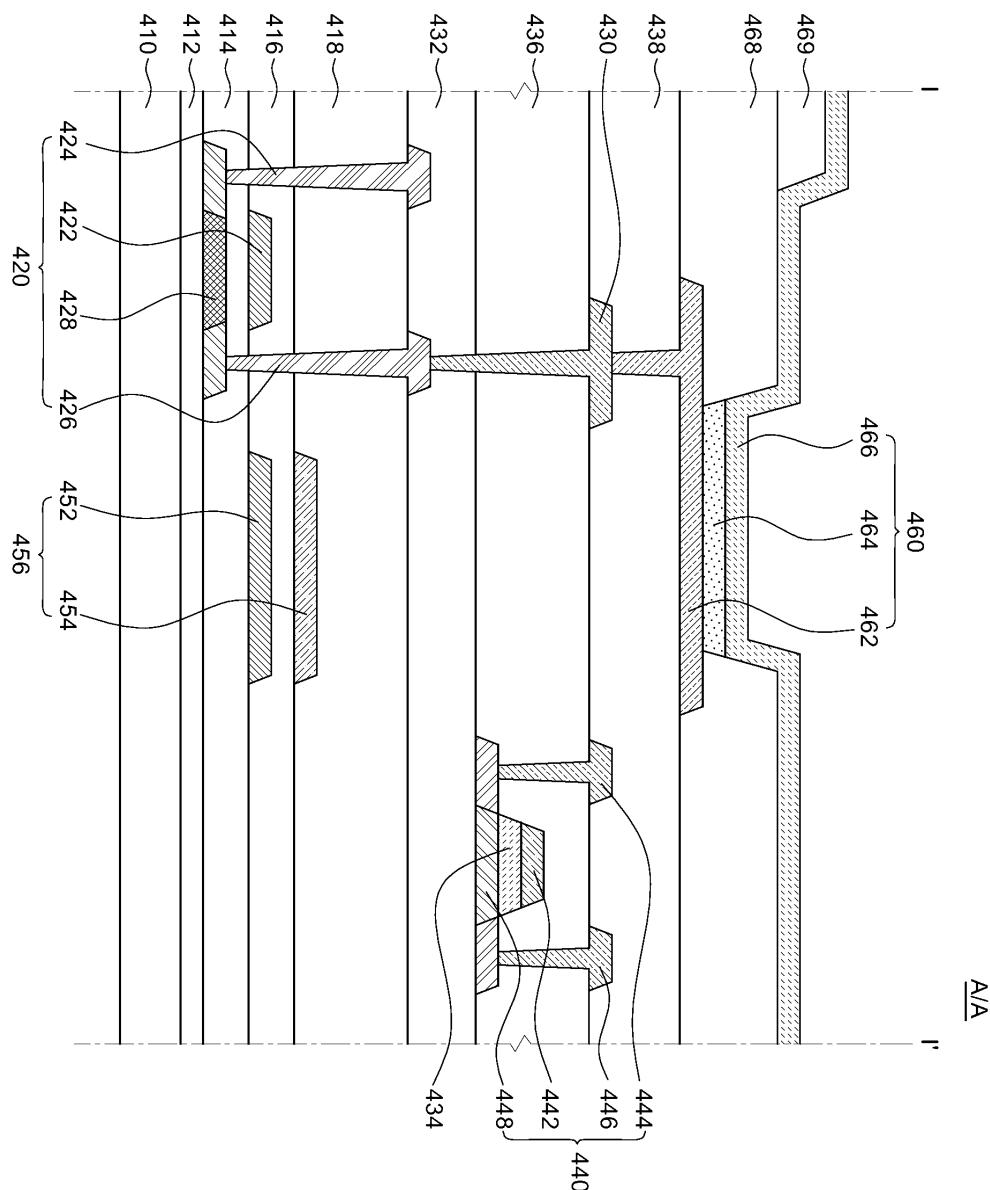
도면2



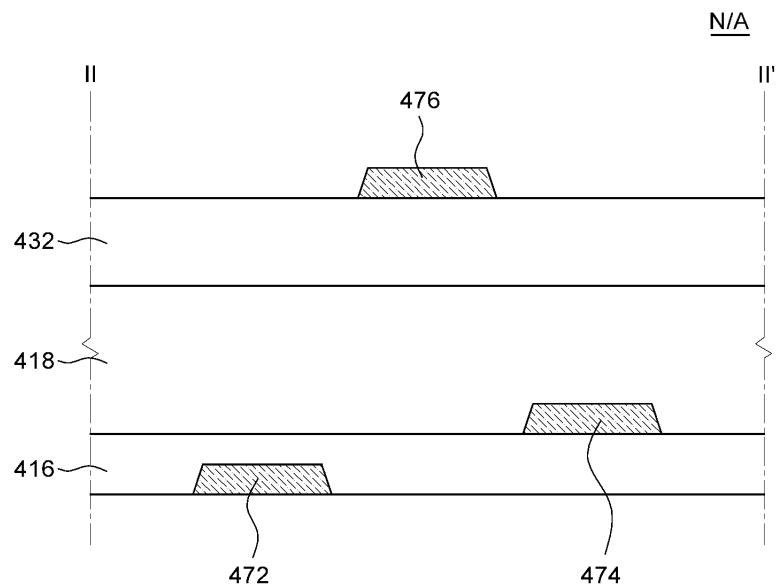
도면3



도면4a



도면4b



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190051504A	公开(公告)日	2019-05-15
申请号	KR1020170147257	申请日	2017-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박종백		
发明人	박종백 홍예인		
IPC分类号	H01L27/32 H01L51/00		
CPC分类号	H01L27/3262 H01L27/3258 H01L27/3265 H01L27/3276 H01L51/0097		
外部链接	Espacenet		

摘要(译)

一种电致发光显示装置，包括：基板，其包括显示区域和围绕所述显示区域的非显示区域。第一薄膜晶体管，布置在显示区域上，包括第一半导体层，第一栅电极，第一源电极和第一漏电极；第二薄膜晶体管，布置在显示区域上的第一薄膜晶体管上，并且包括第二半导体层，第二栅电极，第二源电极和第二漏电极；存储电容器，其与显示区域上的第一栅电极位于同一层上，并且包括上存储电极和下存储电极；发光元件，布置在显示区域上并连接至第一薄膜晶体管。第一布线，第二布线和第三布线布置在非显示区域上，并且将控制信号传输到发光元件。第一布线布置在与第一栅电极相同的层上。第二布线布置在与第二栅电极相同的层上。第三布线布置在与上存储电极相同的层上。因此，可以使非显示区域最小化。

N/A

