



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0002905
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/323 (2013.01)
G06F 3/0412 (2013.01)
(21) 출원번호 10-2017-0083193
(22) 출원일자 2017년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
원상혁
경기도 파주시 월롱면 엘지로 245
이재원
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인천문

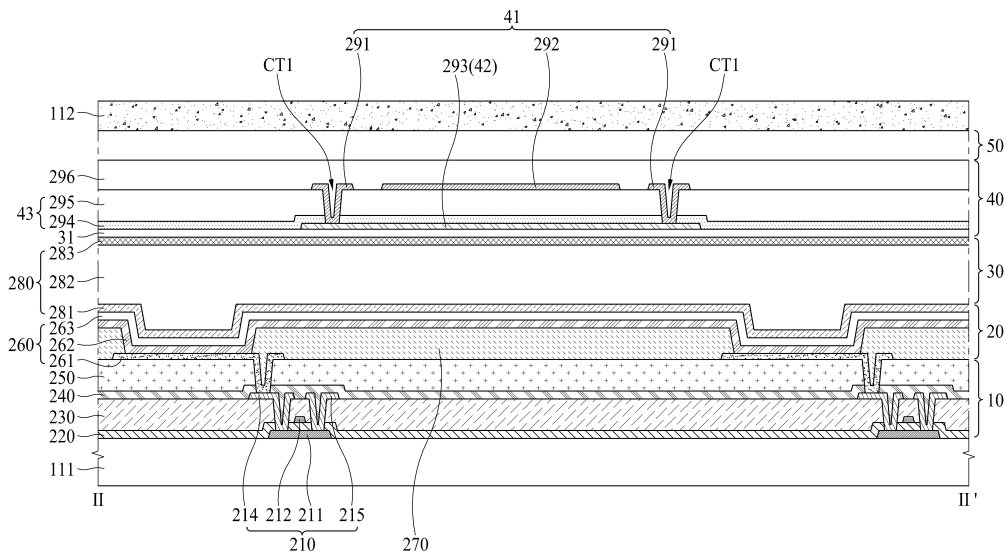
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 터치 스크린 일체형 표시장치와 그의 제조방법

(57) 요약

본 발명은 유기막 들뜸을 방지할 수 있는 터치 스크린 일체형 표시장치와 그의 제조방법에 관한 것이다. 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 제1 기판 상에 배치된 제1 전극, 제1 전극 상에 배치된 발광층, 발광층 상에 배치된 제2 전극을 포함하는 발광 소자층, 및 발광 소자층 상에 배치된 터치 센싱층을 구비한다. 터치 센싱층은 봉지막 상에 배치된 제1 터치 전극층, 연결 전극을 덮는 터치 절연막, 및 터치 절연막 상에 배치된 제2 터치 전극층을 포함하며, 터치 절연막은 제1 터치 전극층을 덮는 터치 무기막과 터치 무기막 상에 배치된 터치 유기막을 포함한다.

대표도



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 51/5012 (2013.01)

H01L 51/5237 (2013.01)

G06F 2203/04103 (2013.01)

(72) 발명자

김병후

경기도 파주시 월롱면 엘지로 245

권향명

경기도 파주시 월롱면 엘지로 245

박상훈

경기도 파주시 월롱면 엘지로 245

이정훈

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

제1 기관 상에 배치된 제1 전극, 상기 제1 전극 상에 배치된 발광층, 상기 발광층 상에 배치된 제2 전극을 포함하는 발광 소자층; 및

상기 발광 소자층 상에 배치된 터치 센싱층을 구비하고,

상기 터치 센싱층은 제1 및 제2 터치 전극층들 및 그들 사이에 배치된 터치 절연막을 포함하며,

상기 터치 절연막은 상기 제2 터치 전극층을 덮는 터치 무기막과 상기 터치 무기막 상에 배치된 터치 유기막을 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 2

제 1 항에 있어서,

상기 발광 소자층과 상기 터치 센싱층 사이에 배치되며, 적어도 하나의 무기막과 유기막을 포함하는 봉지막을 더 구비하는 터치 스크린 일체형 표시장치.

청구항 3

제 2 항에 있어서,

상기 터치 유기막의 두께는 상기 봉지막의 유기막의 두께보다 얇은 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 4

제 1 항에 있어서,

상기 터치 유기막은 감광 물질을 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 5

제 2 항에 있어서,

상기 봉지막과 상기 제1 터치 전극층 사이에 배치되는 버퍼막을 더 구비하는 터치 스크린 일체형 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 터치 전극층은 제1 방향으로 배열된 제1 터치 전극들과 제1 방향과 교차되는 제2 방향으로 배열된 제2 터치 전극들을 포함하고,

상기 제2 터치 전극층은 상기 제1 터치 전극들을 연결하는 연결 전극을 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 7

제 6 항에 있어서,

상기 제1 터치 전극은 상기 터치 무기막과 상기 터치 유기막을 관통하여 상기 연결 전극을 노출하는 제1 콘택홀을 통해 상기 연결 전극과 접속된 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 8

제 6 항에 있어서,

상기 제1 터치 전극들에 전기적으로 연결되는 제1 터치 패드들; 및
 상기 제2 터치 전극들에 전기적으로 연결되는 제2 터치 패드들을 구비하고,
 상기 버퍼막은 상기 제1 및 제2 터치 패드들을 덮는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 9

제 8 항에 있어서,
 상기 제1 터치 전극으로부터 연장된 제1 터치 라인은 상기 버퍼막을 관통하여 상기 제1 터치 패드를 노출하는 제2 콘택홀을 통해 상기 제1 터치 패드와 접속되고,
 상기 제2 터치 전극으로부터 연장된 제2 터치 라인은 상기 버퍼막을 관통하여 상기 제2 터치 패드를 노출하는 제3 콘택홀을 통해 상기 제2 터치 패드와 접속되는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 10

제1 기판 상에 제1 전극을 형성하고, 상기 제1 전극 상에 발광층을 형성하며, 상기 발광층 상에 제2 전극을 형성하는 단계;
 상기 제2 전극 상에 제1 터치 전극층을 형성하는 단계;
 상기 제1 터치 전극층 상에 터치 절연막을 형성하는 단계; 및
 상기 터치 절연막 상에 제2 터치 전극층을 형성하는 단계를 포함하고,
 상기 터치 절연막을 형성하는 단계는,
 상기 제1 터치 전극층을 덮는 터치 무기막을 형성하는 단계; 및
 상기 터치 무기막 상에 터치 유기막을 형성하는 단계를 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 터치 스크린 일체형 표시장치와 그의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다. 이들 중에서 유기발광 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다.

[0003] 유기발광 표시장치는 데이터 라인들, 스캔 라인들, 데이터 라인들과 스캔 라인들의 교차부에 형성된 다수의 화소들을 구비하는 표시패널, 스캔 라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부를 포함한다. 화소들 각각은 유기발광소자, 게이트 전극의 전압에 따라 유기발광소자에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔 라인의 스캔신호에 응답하여 데이터 라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 스캔 트랜지스터를 포함한다.

[0004] 최근에 유기발광 표시장치는 사용자의 터치를 인식할 수 있는 터치 스크린 패널을 포함하는 터치 스크린 일체형 표시장치로 형성된다. 이 경우, 유기발광 표시장치는 터치 스크린 장치로도 기능하게 된다. 최근에 터치 스크린 장치는 네비게이션(navigation), 산업용 단말기, 노트북 컴퓨터, 금융 자동화기기, 게임기 등과 같은 모니터, 스마트폰, 태블릿, 휴대전화기, MP3, PDA, PMP, PSP, 휴대용 게임기, DMB 수신기, 태블릿 PC 등과 같은 휴대용 단말기, 및 냉장고, 전자 레인지, 세탁기 등과 같은 가전제품 등에 적용되고 있다. 또한, 터치 스크린 장치는 누구나 쉽게 조작할 수 있는 장점으로 인해 적용이 점차 확대되고 있다.

[0005] 터치 스크린 일체형 표시장치는 표시패널 내에 제1 터치 전극들, 제2 터치 전극들, 및 제1 터치 전극들 또는 제

2 터치 전극들을 서로 연결하기 위한 연결 전극(bridge electrode)들을 형성한다. 제1 터치 전극들은 Tx 전극들이고, 제2 터치 전극들은 Rx 전극들일 수 있다.

[0006] 제1 터치 전극들과 제2 터치 전극들은 동일한 층에 형성되고, 연결 전극들은 제1 터치 전극들 및 제2 터치 전극들과 다른 층에 형성될 수 있다. 이 경우, 제1 및 제2 터치 전극들과 연결 전극들을 절연하기 위해, 제1 및 제2 터치 전극들과 연결 전극들 사이에는 유기막이 형성될 수 있다. 예를 들어, 도 1과 같이 연결 전극(CE)들 상에 유기막(PAC)이 형성되고, 유기막(PAC) 상에 제1 터치 전극(TE)과 제2 터치 전극이 형성될 수 있다. 또는, 제1 터치 전극(TE)과 제2 터치 전극 상에 유기막이 형성되고, 유기막 상에 연결 전극들이 형성될 수 있다. 이 경우, 제1 터치 전극(TE), 제2 터치 전극, 또는 연결 전극(CE)과 유기막(PAC) 간의 계면 접착력이 높지 않기 때문에, 도 1과 같이 제1 터치 전극(TE), 제2 터치 전극, 또는 연결 전극(CE) 상에서 유기막(PAC)이 들뜨는 유기막 들뜸이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 유기막 들뜸을 방지할 수 있는 터치 스크린 일체형 표시장치와 그의 제조방법을 제공하기 위한 것이다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 제1 기판 상에 배치된 제1 전극, 제1 전극 상에 배치된 발광층, 발광층 상에 배치된 제2 전극을 포함하는 발광 소자층, 및 발광 소자층 상에 배치된 터치 센싱층을 구비한다. 터치 센싱층은 봉지막 상에 배치된 제1 터치 전극층, 연결 전극을 덮는 터치 절연막, 및 터치 절연막 상에 배치된 제2 터치 전극층을 포함하며, 터치 절연막은 제1 터치 전극층을 덮는 터치 무기막과 터치 무기막 상에 배치된 터치 유기막을 포함한다.

[0009] 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제조방법은 제1 기판 상에 제1 전극을 형성하고, 제1 전극 상에 발광층을 형성하며, 발광층 상에 제2 전극을 형성하는 단계, 제2 전극 상에 제1 터치 전극층을 형성하는 단계, 제1 터치 전극층 상에 터치 절연막을 형성하는 단계, 및 터치 절연막 상에 제2 터치 전극층을 형성하는 단계를 포함한다. 터치 절연막을 형성하는 단계는 제1 터치 전극층을 덮는 터치 무기막을 형성하는 단계, 및 터치 무기막 상에 터치 유기막을 형성하는 단계를 포함한다.

발명의 효과

[0010] 본 발명의 실시예는 제2 터치 전극층의 연결 전극들 상에 터치 무기막을 형성한 후 터치 무기막 상에 터치 유기막을 형성한다. 연결 전극들과 터치 무기막 사이의 계면 접착력은 연결 전극들과 터치 유기막 사이의 계면 접착력에 비해 높기 때문에, 본 발명의 실시예는 연결 전극들과 터치 유기막 사이에서 터치 유기막이 들뜨는 유기막 들뜸을 방지할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 연결 전극 상에서 유기막 들뜸을 보여주는 일 예시도면이다.
- 도 2는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 사시도이다.
- 도 3은 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 블록도이다.
- 도 4는 도 2의 표시패널의 일 측 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제1 및 제2 터치 전극들, 연결 전극들, 및 제1 및 제2 터치 라인들을 보여주는 평면도이다.
- 도 6은 도 5의 A 영역의 일 예를 상세히 보여주는 확대도이다.
- 도 7은 도 5의 I-I'의 일 예를 보여주는 단면도이다.
- 도 8은 도 6의 II-II'의 일 예를 보여주는 단면도이다.
- 도 9는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제조방법을 보여주는 흐름도이다.

도 10a 내지 도 10d는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제조방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명의 핵심 구성과 관련이 없는 경우 및 본 발명의 기술분야에 공지된 구성과 기능에 대한 상세한 설명은 생략될 수 있다. 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0014] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0015] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0016] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0017] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0018] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0019] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0020] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0021] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0022] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0024] 도 2는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 사시도이다. 도 3은 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 블록도이다.
- [0025] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 표시패널(110), 스캔 구동부(120), 데이터 구동부(130), 타이밍 콘트롤러(160), 호스트 시스템(170), 터치 구동부(180), 및 터치 좌표 산출부(190)를 포함한다.
- [0026] 본 발명의 실시예에 따른 터치 스크린 일체형 표시장치는 액정표시장치(Liquid Crystal Display, LCD), 전계방

출 표시장치(Field Emission Display : FED), 플라즈마 표시장치(Plasma Display Panel, PDP), 유기발광 표시장치(Organic Light Emitting Display, OLED), 전기영동 표시장치(Electrophoresis, EPD) 등의 평판 표시장치로 구현될 수 있다. 이하의 실시 예에서, 본 발명의 실시 예에 따른 터치 스크린 일체형 표시장치가 유기발광 표시장치로 구현된 것을 중심으로 설명하지만, 이에 한정되지 않음에 주의하여야 한다.

- [0027] 표시패널(110)은 제1 기판(111)과 제2 기판(112)을 포함한다. 제2 기판(112)은 봉지 기판일 수 있다. 제1 기판(111)은 플라스틱 필름(plastic film) 또는 유리 기판(glass substrate)일 수 있다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 봉지 필름(보호 필름)일 수 있다.
- [0028] 표시패널(110)은 서브 화소(SP)들이 마련되어 화상을 표시하는 영역인 표시영역을 포함한다. 표시패널(110)에는 데이터 라인들(D1~Dm, m은 2 이상의 양의 정수)과 스캔 라인들(S1~Sn, n은 2 이상의 양의 정수)이 형성된다. 데이터 라인들(D1~Dm)은 스캔 라인들(S1~Sn)과 교차되도록 형성될 수 있다. 서브 화소(SP)들은 게이트 라인들과 데이터 라인들의 교차 구조에 의해 정의되는 영역에 형성될 수 있다.
- [0029] 표시패널(110)의 서브 화소(SP)들 각각은 데이터 라인들(D1~Dm) 중 어느 하나와 스캔 라인들(S1~Sn) 중 어느 하나에 접속될 수 있다. 표시패널(110)의 서브 화소(SP)들 각각은 게이트 전극에 인가된 데이터 전압에 따라 드레인-소스간 전류를 조정하는 구동 트랜지스터(transistor), 스캔 라인의 스캔신호에 의해 턴-온되어 데이터 라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 스캔 트랜지스터, 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드(organic light emitting diode), 및 상기 구동 트랜지스터의 게이트 전극의 전압을 저장하기 위한 커패시터(capacitor)를 포함할 수 있다. 이로 인해, 서브 화소(SP)들 각각은 유기발광다이오드에 공급되는 전류에 따라 발광할 수 있다.
- [0030] 스캔 구동부(120)는 타이밍 콘트롤러(160)로부터 스캔 제어신호(GCS)를 입력받는다. 스캔 구동부(120)는 스캔 제어신호(GCS)에 따라 스캔 신호들을 스캔 라인들(S1~Sn)에 공급한다.
- [0031] 스캔 구동부(120)는 표시패널(110)의 표시영역의 일측 또는 양측 바깥쪽의 비표시영역에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 스캔 구동부(120)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(110)의 표시영역의 일측 또는 양측 바깥쪽의 비표시영역에 부착될 수도 있다.
- [0032] 데이터 구동부(130)는 타이밍 콘트롤러(160)로부터 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 입력받는다. 데이터 구동부(130)는 데이터 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 아날로그 정극성/부극성 데이터 전압으로 변환하여 데이터 라인들에 공급한다. 즉, 스캔 구동부(120)의 스캔 신호들에 의해 데이터 전압들이 공급될 화소들이 선택되며, 선택된 화소들에 데이터 전압들이 공급된다.
- [0033] 데이터 구동부(130)는 도 2와 같이 복수의 소스 드라이브 IC(131)들을 포함할 수 있다. 복수의 소스 드라이브 IC(131)들 각각은 COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(140)에 실장될 수 있다. 연성필름(140)은 이방성 도전 필름(ant isotropic conducting film)을 이용하여 표시패널(110)의 비표시영역에 마련된 패드들 상에 부착되며, 이로 인해 복수의 소스 드라이브 IC(131)들은 패드들에 연결될 수 있다.
- [0034] 회로보드(150)는 연성필름(140)들에 부착될 수 있다. 회로보드(150)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(150)에는 타이밍 제어부(160)가 실장될 수 있다. 회로보드(150)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.
- [0035] 타이밍 콘트롤러(160)는 호스트 시스템(170)으로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical synchronization signal), 수평동기신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함할 수 있다. 수직동기신호는 1 프레임 기간을 정의하는 신호이다. 수평동기신호는 표시패널(DIS)의 1 수평 라인의 화소들에 데이터 전압들을 공급하는데 필요한 1 수평기간을 정의하는 신호이다. 데이터 인에이블 신호는 유효한 데이터가 입력되는 기간을 정의하는 신호이다. 도트 클럭은 소정의 짧은 주기로 반복되는 신호이다.
- [0036] 타이밍 콘트롤러(160)는 스캔 구동부(120)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위해, 타이밍 신호들에 기초하여 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)와 스캔 구동부(120)의 동작 타이밍을 제어하기 위한 스캔 제어신호(GCS)를 발생한다. 타이밍 콘트롤러(160)는 스캔 구동부(120)에 스캔 제어신호(GCS)를 출력하고, 데이터 구동부(130)에 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 출력한다.

- [0037] 호스트 시스템(170)은 네비게이션 시스템, 셋톱박스, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 방송 수신기, 폰 시스템(Phone system) 등으로 구현될 수 있다. 호스트 시스템(170)은 스케일러 (scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(DATA)를 표시패널(110)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(170)은 디지털 비디오 데이터(DATA)와 타이밍 신호들을 타이밍 컨트롤러(160)로 전송한다.
- [0038] 표시패널(110)에는 데이터 라인들(D1~Dm)과 스캔 라인들(S1~Sn) 이외에 제1 및 제2 터치 전극들이 형성될 수 있다. 제1 터치 전극들은 제2 터치 전극들과 교차되도록 형성될 수 있다. 제1 터치 전극들은 제1 터치 라인들(T1~Tj, j는 2 이상의 양의 정수)을 통해 제1 터치 구동부(181)에 연결될 수 있다. 제2 터치 전극들은 제2 터치 라인들(R1~Ri, i는 2 이상의 양의 정수)을 통해 제2 터치 구동부(182)에 연결될 수 있다. 제1 터치 전극들과 제2 터치 전극들의 교차부들 각각에는 터치 센서가 형성될 수 있다. 본 발명의 실시예에서 터치 센서가 상호 용량 (mutual capacitance)으로 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 제1 및 제2 터치 전극들의 배치에 대한 자세한 설명은 도 5 및 도 6을 결부하여 후술한다.
- [0039] 터치 구동부(180)는 제1 터치 라인들(T1~Tj)을 통해 제1 터치 전극들에 구동펄스를 공급하고 제2 터치 라인들(R1~Ri)을 통해 터치 센서들 각각의 차지 변화량을 센싱한다. 즉, 도 3에서는 제1 터치 라인들(T1~Tj)이 구동펄스를 공급하는 Tx 라인들이고, 제2 터치 라인들(R1~Ri)이 터치 센서들 각각의 차지 변화량을 센싱하는 Rx 라인들인 것을 중심으로 설명하였다.
- [0040] 터치 구동부(40)는 제1 터치 구동부(181), 제2 터치 구동부(182), 및 터치 컨트롤러(183)를 포함한다. 제1 터치 구동부(181), 제2 터치 구동부(182), 및 터치 컨트롤러(183)는 하나의 ROIC(Read-out IC) 내에 집적될 수 있다.
- [0041] 제1 터치 구동부(181)는 터치 컨트롤러(183)의 제어 하에 구동펄스를 출력할 제1 터치 라인을 선택하고, 선택된 제1 터치 라인에 구동펄스를 공급한다. 예를 들어, 제1 터치 구동부(181)는 제1 터치 라인들(T1~Tj)에 순차적으로 구동펄스들을 공급할 수 있다.
- [0042] 제2 터치 구동부(182)는 터치 컨트롤러(183)의 제어 하에 터치 센서들의 차지 변화량들을 수신할 제2 터치 라인들을 선택하고, 선택된 제2 터치 라인들을 통해 터치 센서들의 차지 변화량들을 수신한다. 제2 터치 구동부(182)는 제2 터치 라인들(R1~Ri)을 통해 수신된 터치 센서들의 차지 변화량들을 샘플링하여 디지털 데이터인 터치 로우 데이터(touch raw data, TRD)로 변환한다.
- [0043] 터치 컨트롤러(183)는 제1 터치 구동부(181)에서 구동펄스가 출력될 제1 터치 라인을 설정하기 위한 Tx 셋업 신호와, 제2 터치 구동부(182)에서 터치 센서 전압을 수신할 제2 터치 라인을 설정하기 위한 Rx 셋업 신호를 발생할 수 있다. 또한, 터치 컨트롤러(183)는 제1 터치 구동부(181)와 제2 터치 구동부(182)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.
- [0044] 터치 좌표 산출부(190)는 터치 구동부(180)로부터 터치 로우 데이터(TRD)를 입력받는다. 터치 좌표 산출부(190)는 터치 좌표 산출방법에 따라 터치 좌표(들)를 산출하고, 터치 좌표(들)의 정보를 포함하는 터치 좌표 데이터(HIDxy)를 호스트 시스템(170)으로 출력한다.
- [0045] 터치 좌표 산출부(190)는 MCU(Micro Controller Unit, MCU)로 구현될 수 있다. 호스트 시스템(170)은 터치 좌표 산출부(190)로부터 입력되는 터치 좌표 데이터(HIDxy)를 분석하여 사용자에게 의해 터치가 발생한 좌표와 연계된 응용 프로그램(application program)을 실행한다. 호스트 시스템(170)은 실행된 응용 프로그램에 따라 디지털 비디오 데이터(DATA)와 타이밍 신호들을 타이밍 컨트롤러(160)로 전송한다.
- [0046] 터치 구동부(180)는 소스 드라이브 IC(131)들에 포함되거나 또는 별도의 구동 칩으로 제작되어 회로 보드(150) 상에 실장될 수 있다. 또한, 터치 좌표 산출부(190)는 구동 칩으로 제작되어 회로 보드(150) 상에 실장될 수 있다.
- [0047] 도 4는 도 2의 표시패널의 일 측 단면도이다.
- [0048] 도 4를 참조하면, 표시패널(110)은 제1 기관(111), 제2 기관(112), 제1 및 제2 기관들(111, 112) 사이에 배치된 박막 트랜지스터층(10), 발광 소자층(20), 봉지층(30), 터치 센싱층(40), 및 접착층(50)을 포함할 수 있다.
- [0049] 제1 기관(111)은 플라스틱 필름 또는 유리 기관일 수 있다.
- [0050] 제1 기관(111) 상에는 박막 트랜지스터층(10)이 형성된다. 박막 트랜지스터층(10)은 스캔 라인들, 데이터 라인

들, 및 박막 트랜지스터들을 포함할 수 있다. 박막 트랜지스터들 각각은 게이트 전극, 반도체층, 소스 및 드레인 전극들을 포함한다. 스캔 구동부가 GIP(gate driver in panel) 방식으로 형성되는 경우, 스캔 구동부는 박막 트랜지스터층(10)와 함께 형성될 수 있다. 박막 트랜지스터층(10)에 대한 자세한 설명은 도 7 내지 도 9를 결부하여 후술한다.

[0051] 박막 트랜지스터층(10) 상에는 발광 소자층(20)이 형성된다. 발광 소자층(20)은 제1 전극들, 발광층, 제2 전극, 및 बैं크들을 포함한다. 발광층은 유기 물질을 포함하는 유기 발광층일 수 있다. 이 경우, 발광층은 정공 수송층(hole transporting layer), 유기 발광층(organic light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 제1 전극과 제2 전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동되며, 유기 발광층에서 서로 결합하여 발광하게 된다. 발광 소자층(20)은 화소들이 형성되는 화소 어레이층일 수 있으며, 이로 인해 발광 소자층(20)이 형성된 영역은 표시영역으로 정의될 수 있다. 표시영역의 주변 영역은 비표시영역으로 정의될 수 있다. 발광 소자층(20)에 대한 자세한 설명은 도 7 내지 도 9를 결부하여 후술한다.

[0052] 발광 소자층(20) 상에는 봉지층(30)이 형성된다. 봉지층(30)은 발광 소자층(20)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 봉지층(30)은 적어도 하나의 무기막과 적어도 하나의 유기막을 포함할 수 있다. 봉지층(30)의 단면 구조에 대한 자세한 설명은 도 7 내지 도 9를 결부하여 후술한다.

[0053] 봉지층(30) 상에는 터치 센싱층(40)이 형성된다. 터치 센싱층(40)은 사용자의 터치를 센싱하기 위한 제1 및 제2 터치 전극층들을 포함할 수 있다. 제1 터치 전극층은 제1 터치 라인들(T1~Tj)에 연결된 제1 터치 전극들과 제2 터치 라인들(R1~Ri)에 연결된 제2 터치 전극들을 포함할 수 있다. 제2 터치 전극층은 제1 터치 전극들 또는 제2 터치 전극들을 서로 연결하는 연결 전극들을 포함할 수 있다. 본 발명의 실시예는 사용자의 터치를 센싱하기 위한 터치 센싱층을 봉지층(30) 상에 형성함으로써, 터치 스크린 장치를 표시장치 위에 따로 부착할 필요가 없다. 터치 센싱층(40)의 평면 구조는 도 5 및 도 6을 결부하여 후술한다. 또한, 터치 센싱층(40)의 단면 구조는 도 7 내지 도 9를 결부하여 후술한다.

[0054] 터치 센싱층(40) 상에는 접착층(50)이 형성된다. 접착층(50)은 박막 트랜지스터층(10), 발광 소자층(20), 봉지층(30), 및 터치 센싱층(40)이 마련된 제1 기판(111)과 제2 기판(112)을 접착한다. 접착층(50)은 투명한 접착 레진층(optically clear resin layer, OCR) 또는 투명한 접착 레진 필름(optically clear adhesive film, OCA)일 수 있다.

[0055] 제2 기판(112)은 제1 기판(110)을 덮는 커버(cover) 기판 또는 커버 윈도우(window)와 같은 역할을 한다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 봉지 필름(보호 필름)일 수 있다.

[0056] 도 5는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제1 및 제2 터치 전극들, 연결 전극들, 및 제1 및 제2 터치 라인들을 보여주는 평면도이다.

[0057] 도 5를 참조하면, 제1 터치 전극(TE)들은 제1 방향(x축 방향)으로 배열되며, 제2 터치 전극(RE)들은 제1 방향(x축 방향)과 교차되는 제2 방향(y축 방향)으로 배열될 수 있다. 제1 방향(x축 방향)은 스캔 라인들(S1~Sn)과 나란한 방향이고, 제2 방향(y축 방향)은 데이터 라인들(D1~Dm)과 나란한 방향일 수 있다. 또는, 제1 방향(x축 방향)은 데이터 라인들(D1~Dm)과 나란한 방향이고, 제2 방향(y축 방향)은 스캔 라인들(S1~Sn)과 나란한 방향일 수 있다. 도 5에서는 제1 터치 전극(TE)들과 제2 터치 전극(RE)들이 다이아몬드 형태의 평면 구조를 갖는 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0058] 제1 터치 전극(TE)들과 제2 터치 전극(RE)들이 그들의 교차 영역들에서 서로 단락되는 것을 방지하기 위해, 제1 방향(x축 방향)으로 서로 인접한 제1 터치 전극(TE)들은 연결 전극(BE)을 통해 전기적으로 연결될 수 있다. 제1 터치 전극(TE)과 제2 터치 전극(RE)의 교차 영역에는 터치 센서에 해당하는 상호 용량(mutual capacitance)이 형성될 수 있다.

[0059] 또한, 제1 방향(x축 방향)으로 연결된 제1 터치 전극(TE)들 각각은 제2 방향(y축 방향)으로 이웃하는 제1 터치 전극(TE)들과 이격되어 있으므로, 전기적으로 절연된다. 제2 방향(y축 방향)으로 연결된 제2 터치 전극(RE)들 각각은 제1 방향(x축 방향)으로 이웃하는 제2 터치 전극(RE)들과 이격되어 있으므로, 전기적으로 절연된다.

[0060] 제1 방향(x축 방향)으로 서로 연결된 제1 터치 전극들(TE) 중 일 측 끝에 배치된 제1 터치 전극(TE)은 제1 터치 라인(TL)과 연결될 수 있다. 제1 터치 라인(TL)은 제1 터치 패드(TP)를 통해 제1 터치 구동부(181)에 연결될 수 있다. 따라서, 제1 방향(x축 방향)으로 서로 연결된 제1 터치 전극(TE)들은 제1 터치 라인(TL)을 통해 제1 터치

구동부(181)로부터 터치 구동 신호를 입력받을 수 있다.

- [0061] 제2 방향(y축 방향)으로 서로 연결된 제2 터치 전극(RE)들 중 일 측 끝에 배치된 제2 터치 전극(RE)은 제2 터치 라인(RL)과 연결될 수 있다. 제2 터치 라인(RL)은 제2 터치 패드(RP)를 통해 제2 터치 구동부(182)에 연결될 수 있다. 따라서, 제2 터치 구동부(182)는 제2 방향(y축 방향)으로 서로 연결된 제2 터치 전극(RE)들의 터치 센서들의 차지 변화량들을 입력받을 수 있다.
- [0062] 도 6은 도 5의 A 영역의 일 예를 상세히 보여주는 확대도이다.
- [0063] 도 6을 참조하면, 화소(P)들은 펜타일(pentile) 구조로 형성될 수 있다. 화소(P)들 각각은 복수의 서브 화소(SP)들을 포함하며, 예를 들어 도 6과 같이 하나의 적색 화소(R), 두 개의 녹색 화소(G)들, 및 하나의 청색 화소(B)를 포함할 수 있다. 적색 화소(R), 녹색 화소(G), 및 청색 화소(B)는 팔각형의 평면 형태로 형성될 수 있다. 또한, 적색 화소(R), 녹색 화소(G), 및 청색 화소(B) 중에서 청색 화소(B)의 크기가 가장 크며, 녹색 화소(G)의 크기가 가장 작을 수 있다. 도 6에서는 화소(P)들이 펜타일 구조로 형성된 것을 예시하였으나, 본 발명의 실시예는 이에 한정되지 않는다.
- [0064] 제1 터치 전극(TE)들과 제2 터치 전극(RE)들은 화소(P)들 각각의 적색 화소(R), 녹색 화소(G)들, 및 청색 화소(B)와 중첩되는 것을 방지하기 위해 메쉬 구조로 형성될 수 있다. 즉, 제1 터치 전극(TE)들과 제2 터치 전극(RE)들은 적색 화소(R), 녹색 화소(G)들, 및 청색 화소(B) 사이에 마련된 बैं크 상에 형성될 수 있다.
- [0065] 제1 방향(x축 방향)으로 서로 인접한 제1 터치 전극(TE)들은 복수의 연결 전극(BE)들을 통해 전기적으로 연결될 수 있다. 연결 전극(BE)들 각각은 제1 터치 전극(TE)들을 노출시키는 제1 콘택홀(CNT1)들을 통해 서로 인접한 제1 터치 전극(TE)들에 접속될 수 있다. 연결 전극(BE)은 제1 터치 전극(TE) 및 제2 터치 전극(RE)과 중첩될 수 있다. 연결 전극(BE)은 적색 화소(R), 녹색 화소(G)들, 및 청색 화소(B) 사이에 마련된 बैं크 상에 형성될 수 있다.
- [0066] 제1 터치 전극(TE)들은 제2 터치 전극(RE)들과 동일한 층에 형성될 수 있으며, 연결 전극(BE)은 제1 터치 전극(TE)들 및 제2 터치 전극(RE)들과 서로 다른 층에 형성될 수 있다.
- [0067] 도 7은 도 5의 I-I'의 일 예를 보여주는 단면도이다. 도 8은 도 6의 II-II'의 일 예를 보여주는 단면도이다.
- [0068] 도 7에는 제2 터치 라인(RL)과 제2 터치 패드(RP)의 접속 구조가 상세히 나타나 있으며, 도 8에는 연결 전극(BE) 및 제1 터치 전극(TE)들 간의 접속 구조가 상세히 나타나 있다.
- [0069] 도 7 및 도 8을 참조하면, 제1 기판(111) 상에는 박막 트랜지스터층(110)이 형성된다. 박막 트랜지스터층(110)은 박막 트랜지스터(210)들, 제1 및 제2 터치 패드들(TP, RP), 게이트 절연막(220), 층간 절연막(230), 보호막(240), 및 평탄화막(250)을 포함한다.
- [0070] 제1 기판(111)의 일면 상에는 제1 버퍼막이 형성될 수 있다. 제1 버퍼막은 투습에 취약한 제1 기판(111)을 통해 침투하는 수분으로부터 박막 트랜지스터(220)들과 유기발광소자(260)들을 보호하기 위해 제1 기판(111)의 일면 상에 형성된다. 제1 기판(111)의 일면은 제2 기판(112)과 마주보는 면일 수 있다. 제1 버퍼막은 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 제1 버퍼막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), SiON 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 제1 버퍼막은 생략될 수 있다.
- [0071] 제1 버퍼막 상에는 박막 트랜지스터(210)가 형성된다. 박막 트랜지스터(210)는 액티브층(211), 게이트전극(212), 소스전극(213) 및 드레인전극(214)을 포함한다. 도 5에서는 박막 트랜지스터(210)가 게이트전극(212)이 액티브층(211)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 박막 트랜지스터(210)들은 게이트전극(212)이 액티브층(211)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트전극(212)이 액티브층(211)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.
- [0072] 제1 버퍼막 상에는 액티브층(211)이 형성된다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다. 제1 버퍼막과 액티브층(211) 사이에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 형성될 수 있다.
- [0073] 액티브층(211) 상에는 게이트 절연막(220)이 형성될 수 있다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.

- [0074] 게이트 절연막(220) 상에는 게이트전극(212)과 게이트 라인이 형성될 수 있다. 게이트전극(212)과 게이트 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0075] 게이트전극(212)과 게이트 라인 상에는 층간 절연막(230)이 형성될 수 있다. 층간 절연막(230)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0076] 층간 절연막(230) 상에는 소스전극(213), 드레인전극(214), 데이터 라인, 제1 및 제2 터치 패드들(TP, RP)이 형성될 수 있다. 소스전극(213)과 드레인 전극(214) 각각은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스전극(213), 드레인전극(214), 데이터 라인, 제1 및 제2 터치 패드들(TP, RP)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0077] 소스전극(213), 드레인전극(214), 데이터 라인, 제1 및 제2 터치 패드들(TP, RP) 상에는 박막 트랜지스터(220)를 절연하기 위한 보호막(240)이 형성될 수 있다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0078] 보호막(240) 상에는 박막 트랜지스터(210)로 인한 단차를 평탄하게 하기 위한 평탄화막(250)이 형성될 수 있다. 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0079] 박막 트랜지스터층(10) 상에는 발광 소자층(20)이 형성된다. 발광 소자층(20)은 발광 소자들과 बैं크(270)를 포함한다.
- [0080] 발광 소자들과 बैं크(270)는 평탄화막(250) 상에 형성된다. 발광 소자들 각각은 제1 전극(261), 유기발광층(262), 및 제2 전극(263)을 포함한다. 제1 전극(261)은 애노드 전극이고, 제2 전극(263)은 캐소드 전극일 수 있다.
- [0081] 제1 전극(261)은 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 보호막(240)과 평탄화막(250)을 관통하는 콘택홀을 통해 박막 트랜지스터(210)의 소스전극(213)에 접속된다. 제1 전극(261)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0082] बैं크(270)는 서브 화소(SP)들을 정의하는 화소 정의막으로 역할을 하기 위해 평탄화막(250) 상에서 제1 전극(261)을 구획하도록 형성될 수 있다. बैं크(270)는 제1 전극(261)의 가장자리를 덮도록 형성될 수 있다.
- [0083] 서브 화소(P)들 각각은 애노드 전극에 해당하는 제1 전극(261), 발광층(262), 및 캐소드 전극에 해당하는 제2 전극(263)이 순차적으로 적층되어 제1 전극(261)으로부터의 정공과 제2 전극(263)으로부터의 전자가 발광층(262)에서 서로 결합되어 발광하는 영역을 나타낸다.
- [0084] 제1 전극(261)과 बैं크(270) 상에는 발광층(262)이 형성된다. 발광층(262)은 유기 물질을 포함하여 소정의 색을 발광하는 유기발광층일 수 있다. 발광층(262)은 백색 광을 발광하는 백색 발광층인 경우 화소(P)들에 공통적으로 형성되는 공통층일 수 있다. 이 경우, 발광층(262)은 2 스택(stack) 이상의 탠덤 구조로 형성될 수 있다. 스택들 각각은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다.
- [0085] 또한, 스택들 사이에는 전하 생성층이 형성될 수 있다. 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 전자수송능력이 있는 유기 호스트 물질에 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속이 도핑된 유기층일 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기 호스트 물질에 도펀트가 도핑된 유기층일 수 있다.
- [0086] 제2 전극(263)은 발광층(262) 상에 형성된다. 제2 전극(263)은 발광층(262)을 덮도록 형성될 수 있다. 제2 전극(263)은 화소(P)들에 공통적으로 형성되는 공통층일 수 있다.

- [0087] 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(263)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.
- [0088] 발광 소자층(260) 상에는 봉지층(30)이 형성된다. 봉지층(30)은 봉지막(280)을 포함한다.
- [0089] 제2 전극(263) 상에는 봉지막(280)이 배치된다. 봉지막(280)은 발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하기 위해 적어도 하나의 무기막과 적어도 하나의 유기막을 포함할 수 있다. 예를 들어, 봉지막(280)은 도 7 및 도 8과 같이 제1 및 제2 무기막들(281, 283)과 제1 및 제2 무기막들(281, 283) 사이에 개재된 유기막(282)를 포함할 수 있다. 제1 및 제2 무기막들(281, 283) 각각은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물로 형성될 수 있다. 유기막(282)은 이물질(particles)이 봉지막(280)을 뚫고 발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위해 충분한 두께, 예를 들어 대략 7~8 μm 로 형성될 수 있다.
- [0090] 유기막(282)은 댐(300)에 의해 흐름이 차단되므로, 댐(300)보다 안쪽으로 형성될 수 있다. 이에 비해, 제1 및 제2 무기막들(281, 283)은 댐(300)보다 바깥쪽으로 형성될 수 있다. 또한, 제1 및 제2 무기막들(281, 283)은 제1 및 제2 터치 패드(RP)들을 덮지 않도록 형성될 수 있다.
- [0091] 봉지층(30) 상에는 제2 버퍼막(31)이 형성된다. 제2 버퍼막(31)은 봉지막(280)과 제1 및 제2 터치 패드들(TP, RP)을 덮도록 형성될 수 있다. 제2 버퍼막(31)은 무기막 또는 유기막으로 형성될 수 있다. 제2 버퍼막(31)이 무기막으로 형성되는 경우, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 제2 버퍼막(31)이 유기막으로 형성되는 경우, 제2 버퍼막(31) 상에 플라즈마 처리하여 제2 버퍼막(31)의 표면 거칠기(roughness)를 거칠게할 수 있다. 이 경우, 제1 터치 전극층(41)의 연결 전극(293)들과 접촉하는 제2 버퍼막(31)의 면적을 늘릴 수 있으므로, 제2 버퍼막(31)과 제1 터치 전극층(41)의 연결 전극(293)들의 계면 접촉력을 높일 수 있다.
- [0092] 제2 버퍼막(31) 상에는 터치 센싱층(40)이 형성된다. 터치 센싱층(40)은 제1 터치 전극층(41), 제2 터치 전극층(42), 및 터치 절연막(43)을 포함한다.
- [0093] 제1 터치 전극층(41)은 제1 및 제2 터치 전극들(291, 292)을 포함한다. 즉, 제1 및 제2 터치 전극들(291, 292)은 동일한 층에 배치될 수 있다. 제1 및 제2 터치 전극들(291, 292)은 서로 이격되어 있으며, 서로 전기적으로 절연된다. 제2 터치 전극층(42)은 연결 전극(293)들을 포함한다. 터치 절연막(43)은 터치 무기막(294)과 터치 유기막(295)을 포함한다.
- [0094] 구체적으로, 제2 버퍼막(31) 상에 연결 전극(293)들이 형성될 수 있다. 연결 전극(293)들은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0095] 연결 전극(293)들 상에는 터치 무기막(294)이 형성될 수 있다. 터치 무기막(294)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0096] 터치 무기막(294) 상에는 터치 유기막(295)이 형성될 수 있다. 연결 전극(293)들과 터치 무기막(294) 사이의 계면 접촉력은 연결 전극(293)들과 터치 유기막(295) 사이의 계면 접촉력에 비해 높기 때문에, 연결 전극(293)들과 터치 유기막(295) 사이에 터치 무기막(294)을 형성하는 경우, 연결 전극(293)들과 터치 유기막(295) 사이에서 터치 유기막(295)이 들뜨는 유기막 들뜸을 방지할 수 있다.
- [0097] 봉지막(280)의 유기막(282)은 이물질(particles)이 봉지막(280)을 뚫고 발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위한 이물 커버층(particle cover layer)인데 비해, 터치 유기막(295)은 제1 터치 전극층(41)과 제2 터치 전극층(42)을 소정의 거리만큼 이격하기 위한 층이다. 그러므로, 터치 유기막(295)은 봉지막(280)의 유기막(282)에 비해 얇은 두께로 형성될 수 있다. 예를 들어, 터치 유기막(295)은 대략 2 μm 로 형성될 수 있다. 또한, 봉지막(280)의 유기막(282)에는 콘택홀들이 형성되지 않으므로 봉지막(280)의 유기막(282)은 감광 물질을 포함하지 않아도 된다. 이에 비해, 터치 유기막(295)에는 콘택홀들이 형성되므로 감광 물질을 포함할 수 있다. 예를 들어, 터치 유기막(295)은 감광 물질을 포함하는 포토 아크릴(photo acrylate)로 형성될 수 있다.

- [0098] 터치 유기막(295) 상에는 제1 터치 전극(291)들과 제2 터치 전극(292)들이 형성될 수 있다. 제1 터치 전극(291)들은 도 8과 같이 터치 무기막(294)과 터치 유기막(295)을 관통하여 연결 전극(293)을 노출시키는 제1 콘택홀(CT1)들을 통해 연결 전극(293)과 접속될 수 있다. 이로 인해, 제1 터치 전극(291)들과 제2 터치 전극(292)들의 교차 영역들에서 연결 전극(293)들을 이용하여 제1 터치 전극(291)들을 연결하므로, 제1 터치 전극(291)들과 제2 터치 전극(292)들은 서로 단락되지 않는다. 또한, 제1 및 제2 터치 전극들(291, 292)은 서브 화소(SP)의 개구 영역이 줄어들 것을 방지하기 위해 बैं크(270)와 중첩되게 배치될 수 있다.
- [0099] 제1 터치 라인(TL)은 제1 터치 전극(291)으로부터 연장되고, 제2 터치 라인(RL)은 제2 터치 전극(292)으로부터 연장될 수 있다. 제1 터치 라인(TL)은 도 7과 같이 보호막(240)과 버퍼막(31)을 관통하여 제1 터치 패드(TP)를 노출시키는 제2 콘택홀(CT2)을 통해 제1 터치 패드(TP)에 접속될 수 있다. 제2 터치 라인(RL)은 보호막(240)과 버퍼막(31)을 관통하여 제2 터치 패드(RP)를 노출시키는 제3 콘택홀(CT3)을 통해 제2 터치 패드(RP)에 접속될 수 있다.
- [0100] 제1 터치 전극(291)들, 제2 터치 전극(292)들, 제1 터치 라인(TL)들, 및 제2 터치 라인(RL)들은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0101] 제1 터치 전극(291)들과 제2 터치 전극(292)들 상에는 제1 터치 전극(291)들, 제2 터치 전극(292)들, 및 연결 전극(293)들로 인한 단차를 평탄화하기 위한 오버코트층(296)이 형성될 수 있다.
- [0102] 한편, 도 8에서는 제2 버퍼막(31) 상에 제2 터치 전극층(42)이 형성되고, 제2 터치 전극층(42) 상에 터치 절연막(43)이 형성되며, 터치 절연막(43) 상에 제1 터치 전극층(41)이 형성되는 것을 예시하였으나, 이에 한정되지 않는다. 즉, 제2 버퍼막(31) 상에 제1 터치 전극층(41)이 형성되고, 제1 터치 전극층(41) 상에 터치 절연막(43)이 형성되며, 터치 절연막(43) 상에 제2 터치 전극층(42)이 형성될 수 있다.
- [0103] 터치 센싱층(40) 상에는 컬러필터층이 형성될 수 있다. 컬러필터층은 서브 화소(SP)들과 중첩되게 배치되는 컬러필터들과 बैं크(270)와 중첩되게 배치되는 블랙 매트릭스를 포함할 수 있다. 발광층(262)이 적색, 녹색, 및 청색 광을 발광하는 유기발광층들을 포함하는 경우, 컬러필터층은 생략될 수 있다.
- [0104] 터치 센싱층(40) 상에는 접착층(50)이 형성된다. 접착층(50)은 박막 트랜지스터층(10), 유기발광소자층(20), 봉지층(30), 및 터치 센싱층(40)이 마련된 제1 기판(111)과 제2 기판(112)을 접착한다. 접착층(50)은 투명한 접착 레진층(optically clear resin layer, OCR) 또는 투명한 접착 레진 필름(optically clear adhesive film, OC A)일 수 있다.
- [0105] 제2 기판(112)은 제1 기판(110)을 덮는 커버(cover) 기판 또는 커버 윈도우(window)와 같은 역할을 한다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 봉지 필름(보호 필름)일 수 있다.
- [0106] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제2 터치 전극층(42)의 연결 전극(293)들 상에 터치 무기막(294)을 형성한 후 터치 무기막(294) 상에 터치 유기막(295)을 형성한다. 연결 전극(293)들과 터치 무기막(294) 사이의 계면 접착력은 연결 전극(293)들과 터치 유기막(295) 사이의 계면 접착력에 비해 높기 때문에, 본 발명의 실시예는 연결 전극(293)들과 터치 유기막(295) 사이에서 터치 유기막(295)이 들뜨는 유기막 들뜸을 방지할 수 있다.
- [0107] 도 9는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제조방법을 보여주는 흐름도이다. 도 10a 내지 도 10d는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치의 제조방법을 설명하기 위한 단면도들이다. 도 10a 내지 도 10d에는 도 8에 도시된 도 6의 II-II'의 단면도들을 도시하였음에 주의하여야 한다.
- [0108] 이하에서는 도 9 및 도 10a 내지 도 10d를 결부하여 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법을 상세히 설명한다.
- [0109] 첫 번째로, 도 10a와 같이 제1 기판(111) 상에 박막 트랜지스터층(10), 유기발광소자층(20), 및 봉지층(30)을 형성한다.
- [0110] 구체적으로, 박막 트랜지스터를 형성하기 전에 기판(100)을 통해 침투하는 수분으로부터 제1 기판(111) 상에 제1 버퍼막을 형성할 수 있다. 제1 버퍼막은 투습에 취약한 제1 기판(111)을 통해 침투하는 수분으로부터 박막 트랜지스터(210)와 유기발광소자(260)를 보호하기 위한 것으로, 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 제1 버퍼막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), SiON 중 하나 이상의 무기막이 교번

하여 적층된 다중막으로 형성될 수 있다. 제1 버퍼막은 CVD법(Chemical Vapor Deposition)을 이용하여 형성될 수 있다.

- [0111] 그리고 나서, 제1 버퍼막 상에 박막 트랜지스터의 액티브층(211)을 형성한다. 구체적으로, 스퍼터링법(Sputtering) 또는 MOCVD법(Metal Organic Chemical Vapor Deposition) 등을 이용하여 제1 버퍼막 상의 전면(全面)에 액티브 금속층을 형성한다. 그리고 나서, 포토 레지스트 패턴을 이용한 마스크 공정으로 액티브 금속층을 패터닝하여 액티브층(211)을 형성한다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다.
- [0112] 그리고 나서, 액티브층(211) 상에 게이트 절연막(220)을 형성한다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0113] 그리고 나서, 게이트 절연막(220) 상에 박막 트랜지스터(210)의 게이트 전극(212)을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 게이트 절연막(220) 상의 전면(全面)에 제1 금속층을 형성한다. 그 다음, 포토 레지스트 패턴을 이용한 마스크 공정으로 제1 금속층을 패터닝하여 게이트 전극(212)을 형성한다. 게이트 전극(212)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0114] 그리고 나서, 게이트 전극(212) 상에 층간 절연막(230)을 형성한다. 층간 절연막(230)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0115] 그리고 나서, 게이트 절연막(220)과 층간 절연막(230)을 관통하여 액티브층(211)을 노출시키는 콘택홀들을 형성한다.
- [0116] 그리고 나서, 층간 절연막(230) 상에 박막 트랜지스터(210)의 소스 및 드레인전극들(213, 214)을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 층간 절연막(230) 상의 전면(全面)에 제2 금속층을 형성한다. 그 다음, 포토 레지스트 패턴을 이용한 마스크 공정으로 제2 금속층을 패터닝하여 소스 및 드레인전극들(213, 214)을 형성한다. 소스 및 드레인전극들(213, 214) 각각은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스 및 드레인전극들(213, 214)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0117] 그리고 나서, 박막 트랜지스터(210)의 소스 및 드레인전극들(213, 214) 상에 보호막(240)을 형성한다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 보호막(240)은 CVD법을 이용하여 형성될 수 있다.
- [0118] 그리고 나서, 보호막(240) 상에 박막 트랜지스터(210)로 인한 단차를 평탄화하기 위한 평탄화막(250)을 형성한다. 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0119] 그리고 나서, 평탄화막(250) 상에 발광 소자층(20)의 제1 전극(261)을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 평탄화막(250) 상의 전면(全面)에 제3 금속층을 형성한다. 그리고 나서, 포토 레지스트 패턴을 이용한 마스크 공정으로 제3 금속층을 패터닝하여 제1 전극(261)을 형성한다. 제1 전극(261)은 보호막(240)과 평탄화막(250)을 관통하는 콘택홀을 통해 박막 트랜지스터(210)의 소스전극(223)에 접속될 수 있다. 제1 전극(261)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)와 같은 반사율이 높은 금속물질로 형성될 수 있다.
- [0120] 그리고 나서, 서브 화소(SP)들을 구획하기 위해 평탄화막(250) 상에서 제1 전극(261)의 가장자리를 덮도록 बैं크(270)를 형성한다. बैं크(270)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0121] 그리고 나서, 제1 전극(261)과 बैं크(270) 상에 발광층(262)을 형성한다. 발광층(262)은 유기발광층일 수 있다. 이 경우, 제1 전극(261)과 बैं크(270) 상에 유기발광층(262)을 증착 공정 또는 용액 공정으로 형성한다. 유기발광층(262)은 화소들(P1, P2, P3)에 공통적으로 형성되는 공통층일 수 있다. 이 경우, 유기발광층(262)은 백색광을 발광하는 백색 발광층으로 형성될 수 있다.

- [0122] 유기발광층(262)이 백색 발광층인 경우, 2 스택(stack) 이상의 탠덤 구조로 형성될 수 있다. 스택들 각각은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다.
- [0123] 또한, 스택들 사이에는 전하 생성층이 형성될 수 있다. 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속으로 도핑된 유기층으로 이루어질 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기물질에 도펀트가 도핑되어 이루어질 수 있다.
- [0124] 그리고 나서, 발광층(262) 상에 제2 전극(263)을 형성한다. 제2 전극(263)은 서브 화소(SP)들에 공통적으로 형성되는 공통층일 수 있다. 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material)로 형성될 수 있다. 제2 전극(263)은 스퍼터링법과 같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.
- [0125] 그리고 나서, 제2 전극(263) 상에 봉지막(280)을 형성한다. 봉지막(280)은 발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위해, 봉지막(280)은 적어도 하나의 무기막(281, 283)을 포함할 수 있다. 적어도 하나의 무기막(281, 283)은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물로 형성될 수 있다.
- [0126] 또한, 봉지막(280)은 적어도 하나의 유기막(282)을 더 포함할 수 있다. 유기막(282)은 이물질(particles)이 봉지막(280)을 뚫고 유기발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위해 충분한 두께로 형성될 수 있다.
- [0127] 한편, 봉지막의 적어도 하나의 무기막(281, 283)과 유기막(282)을 형성하는 공정은 이미 형성된 발광층(262)이 고온에 의해 손상되는 것을 방지하기 위해 100℃ 이하의 저온 공정으로 행해질 수 있다. (도 9의 S101)
- [0128] 두 번째로, 도 10b와 같이 봉지층(30) 상에 제2 버퍼막(31)을 형성한다. 제2 버퍼막(31)은 봉지막(280)과 제1 및 제2 터치 패드들(TP, RP)을 덮도록 형성될 수 있다. 제2 버퍼막(31)은 무기막 또는 유기막으로 형성될 수 있다. 제2 버퍼막(31)이 무기막으로 형성되는 경우, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 제2 버퍼막(31)이 유기막으로 형성되는 경우, 제2 버퍼막(31) 상에 플라즈마 처리하여 제2 버퍼막(31)의 표면 거칠기(roughness)를 거칠게할 수 있다. 이 경우, 제1 터치 전극층(41)의 연결 전극(293)들과 접촉하는 제2 버퍼막(31)의 면적을 늘릴 수 있으므로, 제2 버퍼막(31)과 제1 터치 전극층(41)의 연결 전극(293)들의 계면 접촉력을 높일 수 있다.
- [0129] 한편, 버퍼막(31)을 형성하는 공정은 이미 형성된 발광층(262)이 고온에 의해 손상되는 것을 방지하기 위해 100℃ 이하의 저온 공정으로 행해질 수 있다.
- [0130] 그리고 나서, 도 10b와 같이 제2 버퍼막(31) 상에 연결 전극(291)들을 포함하는 제2 터치 전극층(42)을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 제2 버퍼막(31) 상의 전면에 제4 금속층을 형성한다. 그리고 나서, 포토 레지스트 패턴을 이용한 마스크 공정으로 제4 금속층을 패터닝하여 연결 전극(291)들을 형성한다. 연결 전극(291)들은 복수의 전극을 포함하는 다층 구조로 형성될 수 있으며, 예를 들어 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있다. (도 9의 S102)
- [0131] 세 번째로, 도 10c와 같이 제2 터치 전극층(42) 상에 터치 무기막(294)과 터치 유기막(295)을 포함하는 터치 절연막(43)을 형성한다.
- [0132] 구체적으로, 제2 터치 전극층(42) 상에 터치 무기막(294)을 형성한다. 터치 무기막(294)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0133] 그리고 나서, 터치 무기막(294) 상에 터치 유기막(295)을 형성한다. 연결 전극(293)들과 터치 무기막(294) 사이의 계면 접촉력은 연결 전극(293)들과 터치 유기막(295) 사이의 계면 접촉력에 비해 높기 때문에, 연결 전극(293)들과 터치 유기막(295) 사이에 터치 무기막(294)을 형성하는 경우, 연결 전극(293)들과 터치 유기막(295)

사이에서 터치 유기막(295)이 들뜨는 유기막 들뜸을 방지할 수 있다.

- [0134] 봉지막(280)의 유기막(282)은 이물들(particles)이 봉지막(280)을 뚫고 발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위한 이물 커버층(particle cover layer)인데 비해, 터치 유기막(295)은 제1 터치 전극층(41)과 제2 터치 전극층(42)을 소정의 거리만큼 이격하기 위한 층이다. 그러므로, 터치 유기막(295)은 봉지막(280)의 유기막(282)에 비해 얇은 두께로 형성될 수 있다. 예를 들어, 터치 유기막(295)은 대략 2 μ m로 형성될 수 있다.
- [0135] 그리고 나서, 터치 무기막(294)과 터치 유기막(295)을 관통하여 연결 전극(293)들을 노출시키는 제1 콘택홀(CT1)들을 형성한다. 또한, 도 7과 같이 보호막(240)과 버퍼막(31)을 관통하여 제1 터치 패드(TP)들을 노출시키는 제2 콘택홀(CT2)들을 형성하고, 보호막(240)과 버퍼막(31)을 관통하여 제2 터치 패드(RP)들을 노출시키는 제3 콘택홀(CT3)들을 형성한다.
- [0136] 봉지막(280)의 유기막(282)에는 콘택홀들이 형성되지 않으므로 봉지막(280)의 유기막(282)은 감광 물질을 포함하지 않아도 됨에 비해, 터치 유기막(295)에는 콘택홀들이 형성되므로 터치 유기막(295)은 감광 물질을 포함할 수 있다. 예를 들어, 터치 유기막(295)은 감광 물질을 포함하는 포토 아크릴로 형성될 수 있다.
- [0137] 한편, 터치 무기막(294)과 터치 유기막(295)을 형성하는 공정은 이미 형성된 발광층(262)이 고온에 의해 손상되는 것을 방지하기 위해 100 $^{\circ}$ C 이하의 저온 공정으로 행해질 수 있다. (도 9의 S103)
- [0138] 네 번째로, 도 10d와 같이 터치 절연막(43) 상에 제1 터치 전극(291)들과 제2 터치 전극(292)들을 형성한다.
- [0139] 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 터치 절연막(43) 상의 전면에 제5 금속층을 형성한다. 그리고 나서, 포토 레지스트 패턴을 이용한 마스크 공정으로 제5 금속층을 패터닝하여 제1 터치 전극(291)들과 제2 터치 전극(292)들을 형성한다. 제1 터치 전극(291)들 각각은 터치 무기막(294)과 터치 유기막(295)을 관통하는 제1 콘택홀(CNT1)을 통해 연결 전극(291)에 접속될 수 있다. 제1 터치 전극(291)들과 제2 터치 전극(292)들은 복수의 전극을 포함하는 다층 구조로 형성될 수 있으며, 예를 들어 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있다.
- [0140] 제1 터치 라인(TL)은 제1 터치 전극(291)으로부터 연장되고, 제2 터치 라인(RL)은 제2 터치 전극(292)으로부터 연장될 수 있다. 제1 터치 라인(TL)은 도 7과 같이 보호막(240)과 버퍼막(31)을 관통하는 제2 콘택홀(CT2)을 통해 제1 터치 패드(TP)에 접속될 수 있다. 제2 터치 라인(RL)은 보호막(240)과 버퍼막(31)을 관통하는 제3 콘택홀(CT3)을 통해 제2 터치 패드(RP)에 접속될 수 있다.
- [0141] 제1 터치 전극(291)들, 제2 터치 전극(292)들, 제1 터치 라인(TL)들, 및 제2 터치 라인(RL)들은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0142] 또한, 제1 터치 전극(291)들과 제2 터치 전극(292)들 상에는 제1 터치 전극(291)들, 제2 터치 전극(292)들, 및 연결 전극(293)들로 인한 단차를 평탄화하기 위한 오버코트층(296)이 형성될 수 있다. (도 9의 S104)
- [0143] 또한, 터치 센싱층(40) 상에는 컬러필터층이 형성될 수 있다. 컬러필터층은 서브 화소(SP)들과 중첩되게 배치되는 컬러필터들과 배크(270)와 중첩되게 배치되는 블랙 매트릭스를 포함할 수 있다. 발광층(262)이 적색, 녹색, 및 청색 광을 발광하는 유기발광층들을 포함하는 경우, 컬러필터층은 생략될 수 있다.
- [0144] 그리고 나서, 접착층(50)을 이용하여 제1 기판(111)과 제2 기판(112)을 접착할 수 있다. 접착층(50)은 투명한 접착 레진(optically clear resin, OCR) 또는 투명한 접착 레진 필름(optically clear adhesive film, OCA)일 수 있다.
- [0145] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제2 터치 전극층(42)의 연결 전극(293)들 상에 터치 무기막(294)을 형성한 후 터치 무기막(294) 상에 터치 유기막(295)을 형성한다. 연결 전극(293)들과 터치 무기막(294) 사이의 계면 접착력은 연결 전극(293)들과 터치 유기막(295) 사이의 계면 접착력에 비해 높기 때문에, 본 발명의 실시예는 연결 전극(293)들과 터치 유기막(295) 사이에서 터치 유기막(295)이 들뜨는 유기막 들뜸을 방지할 수 있다.
- [0146] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한

것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

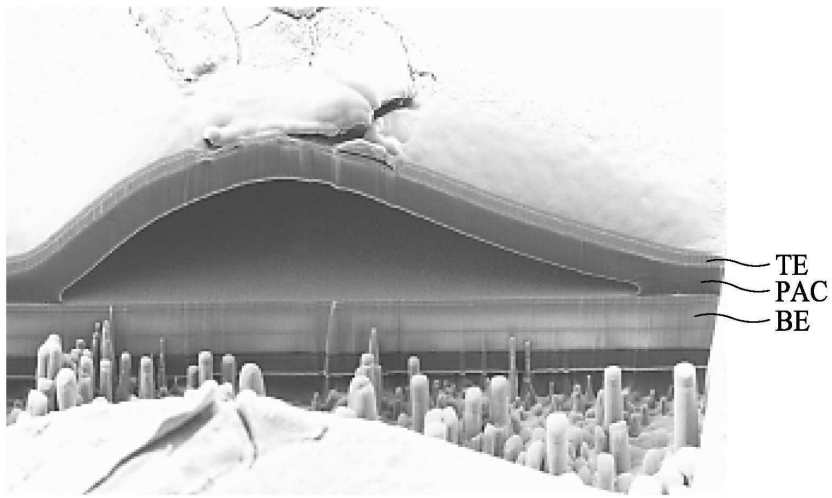
부호의 설명

[0147]

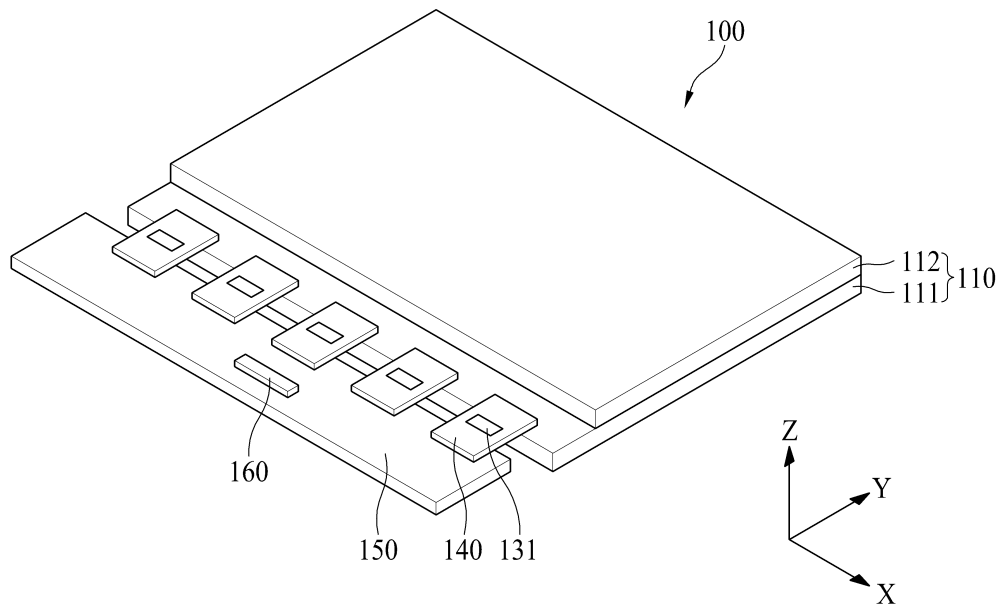
- 100: 터치 스크린 일체형 표시장치 110: 표시패널
- 111: 하부 기판 112: 상부 기판
- 120: 게이트 구동부 130: 데이터 구동부
- 131: 소스 드라이브 IC 140: 연성필름
- 150: 회로보드 160: 타이밍 컨트롤러
- 170: 호스트 시스템 180: 터치 구동부
- 181: 제1 터치 구동부 182: 제2 터치 구동부
- 183: 터치 컨트롤러 190: 터치 좌표 산출부
- 10: 박막 트랜지스터층 20: 유기발광소자층
- 30: 봉지층 31: 버퍼막
- 40: 터치 센싱층 41: 제1 터치 전극층
- 42: 제2 터치 전극층 43: 터치 절연막
- 50: 접착층 210: 박막 트랜지스터
- 211: 액티브층 212: 게이트전극
- 213: 소스전극 214: 드레인전극
- 220: 게이트 절연막 230: 층간 절연막
- 240: 보호막 250: 평탄화막
- 260: 유기발광소자 261: 제1 전극
- 262: 유기발광층 263: 제2 전극
- 270: बैं크 280: 봉지막
- 281: 제1 무기막 282: 유기막
- 283: 제2 무기막 291, TE: 제1 터치 전극
- 292, RE: 제2 터치 전극 293, BE: 연결 전극
- 294: 터치 무기막 295: 터치 유기막
- 296: 오버코트층 TL: 제1 터치 라인
- RL: 제2 터치 라인

도면

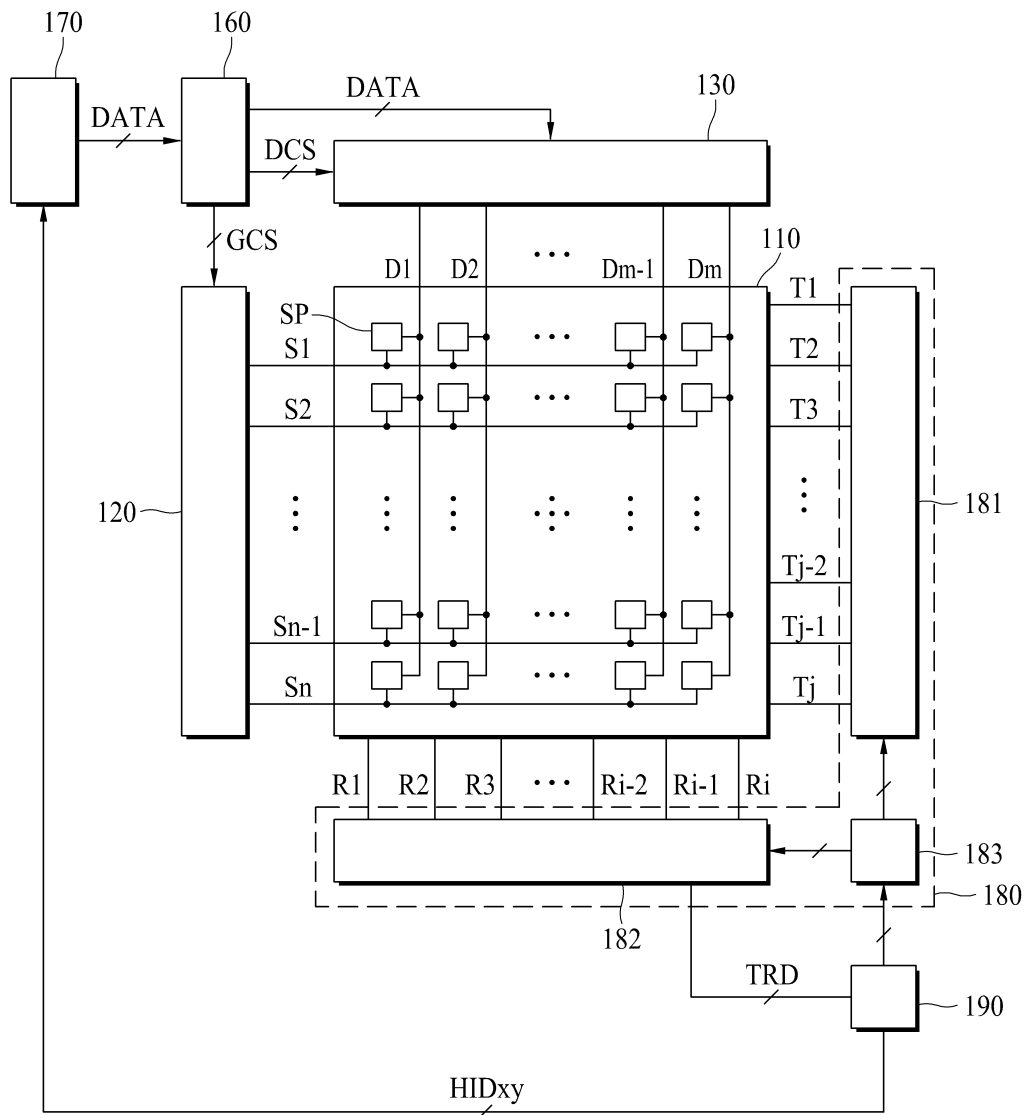
도면1



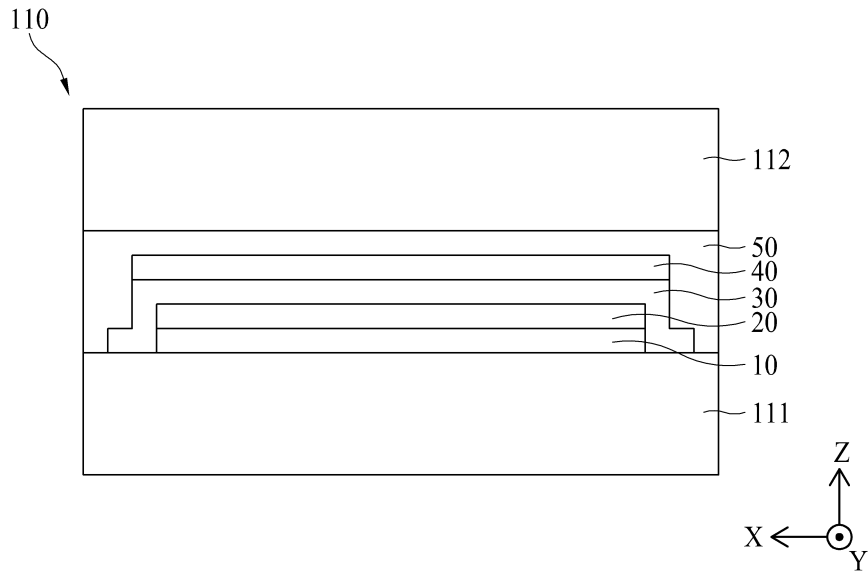
도면2



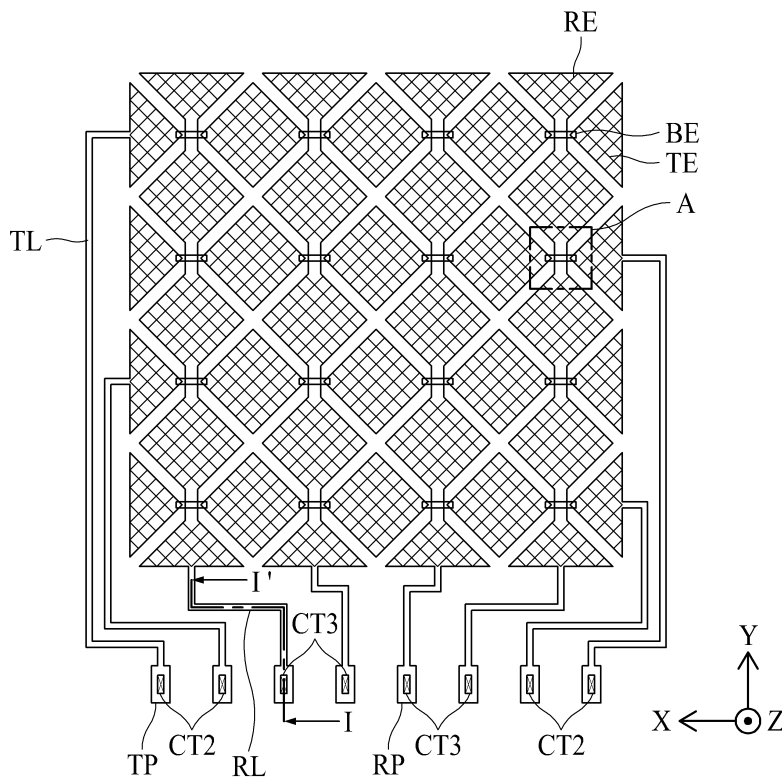
도면3



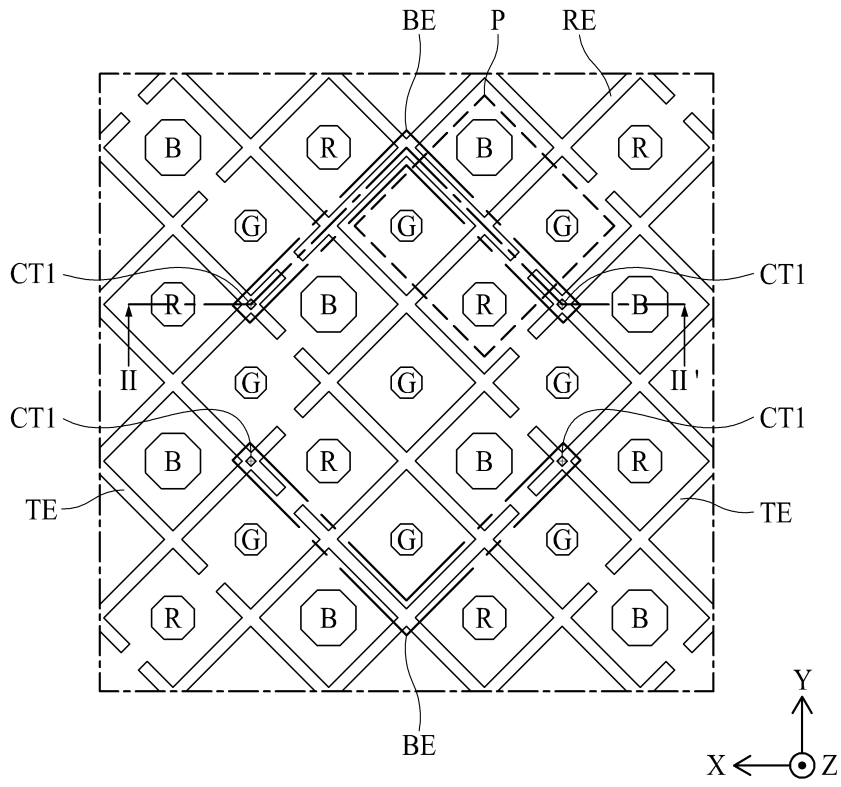
도면4



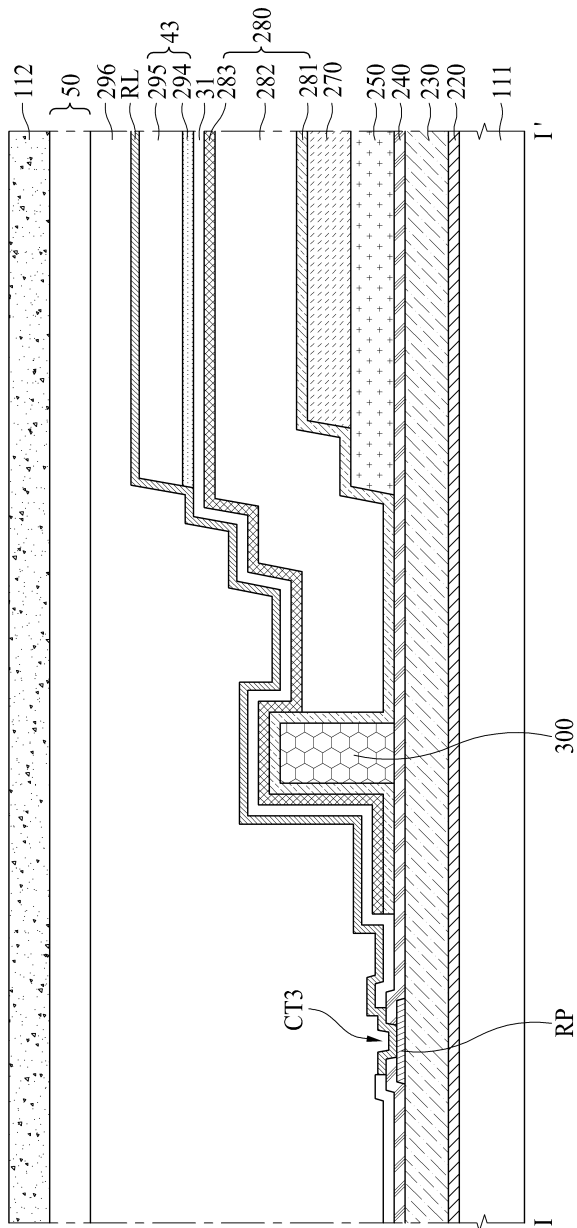
도면5



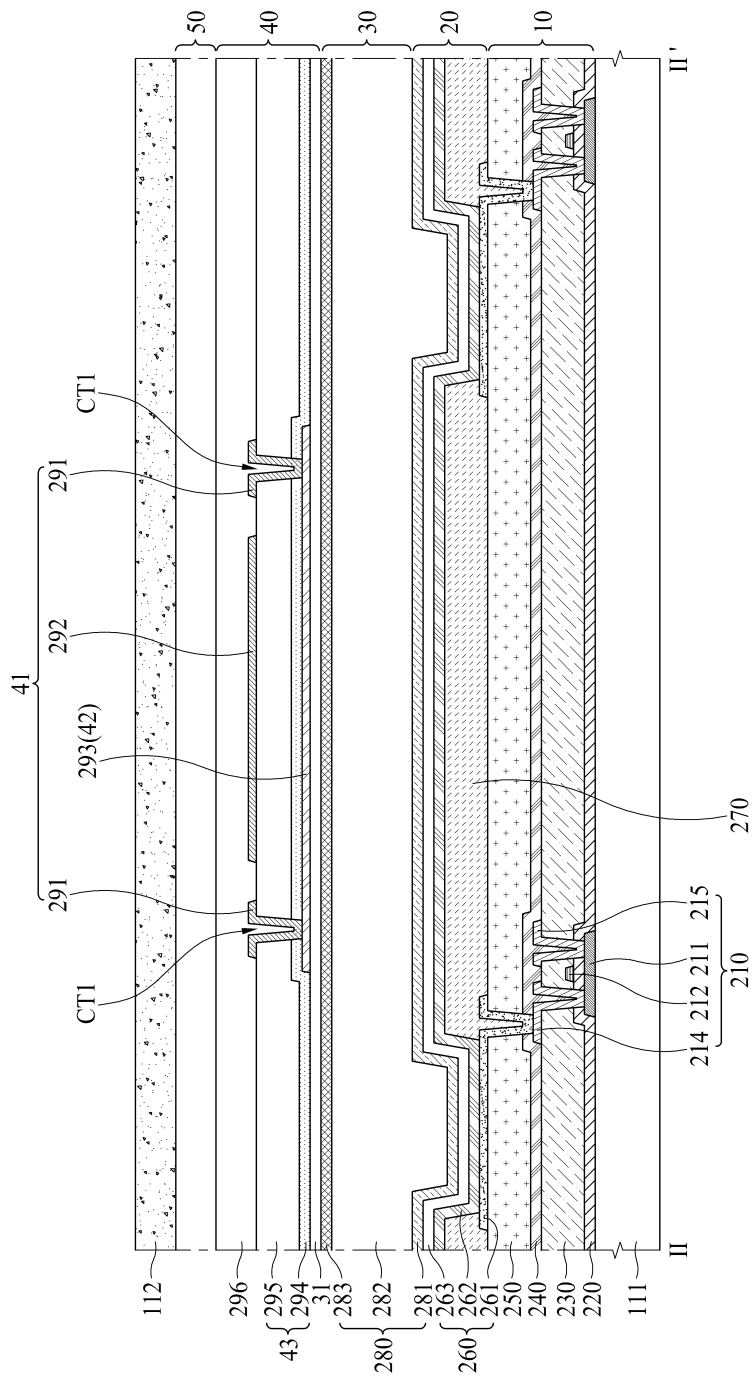
도면6



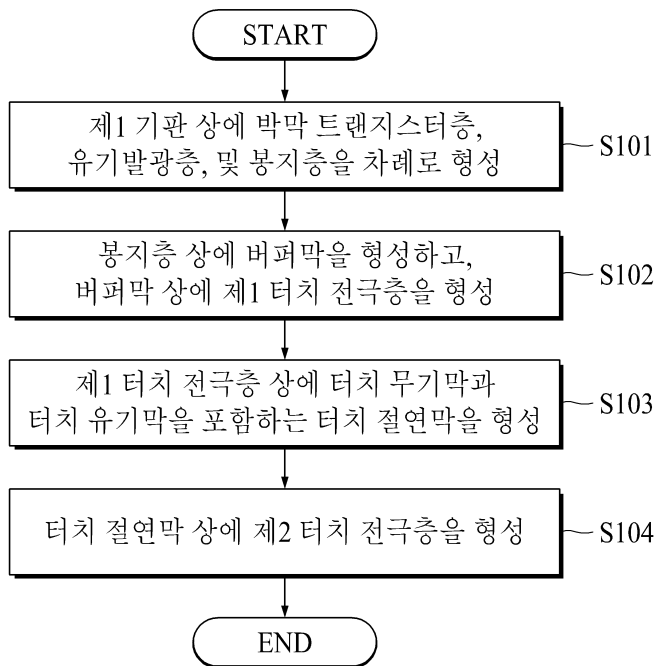
도면7



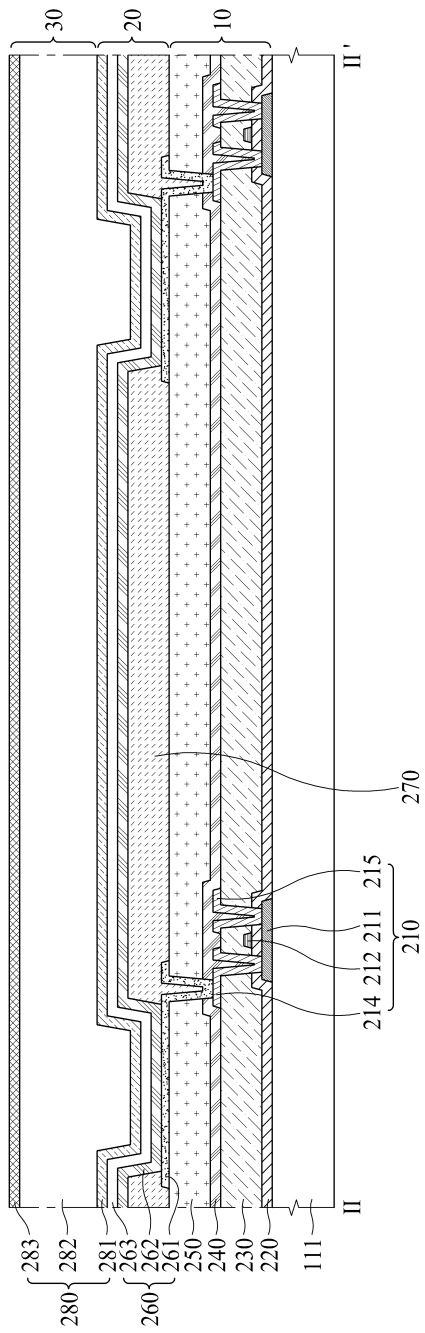
도면8



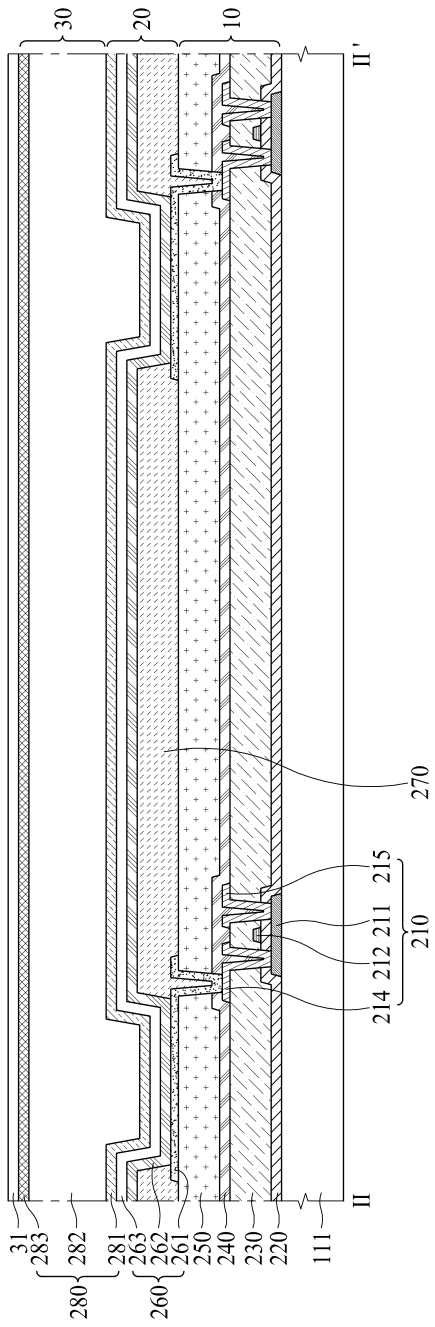
도면9



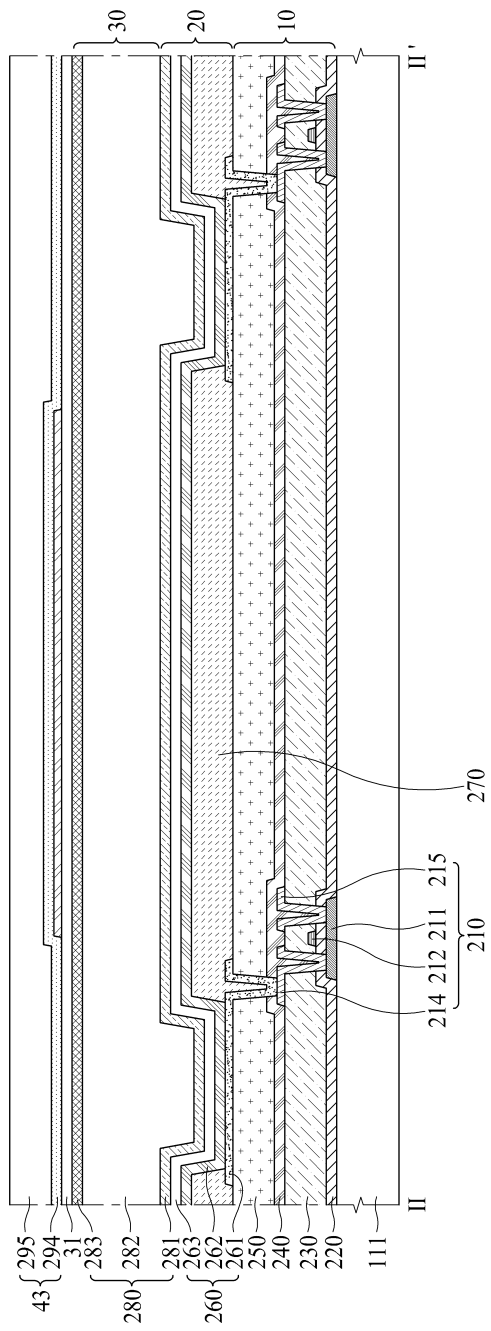
도면10a



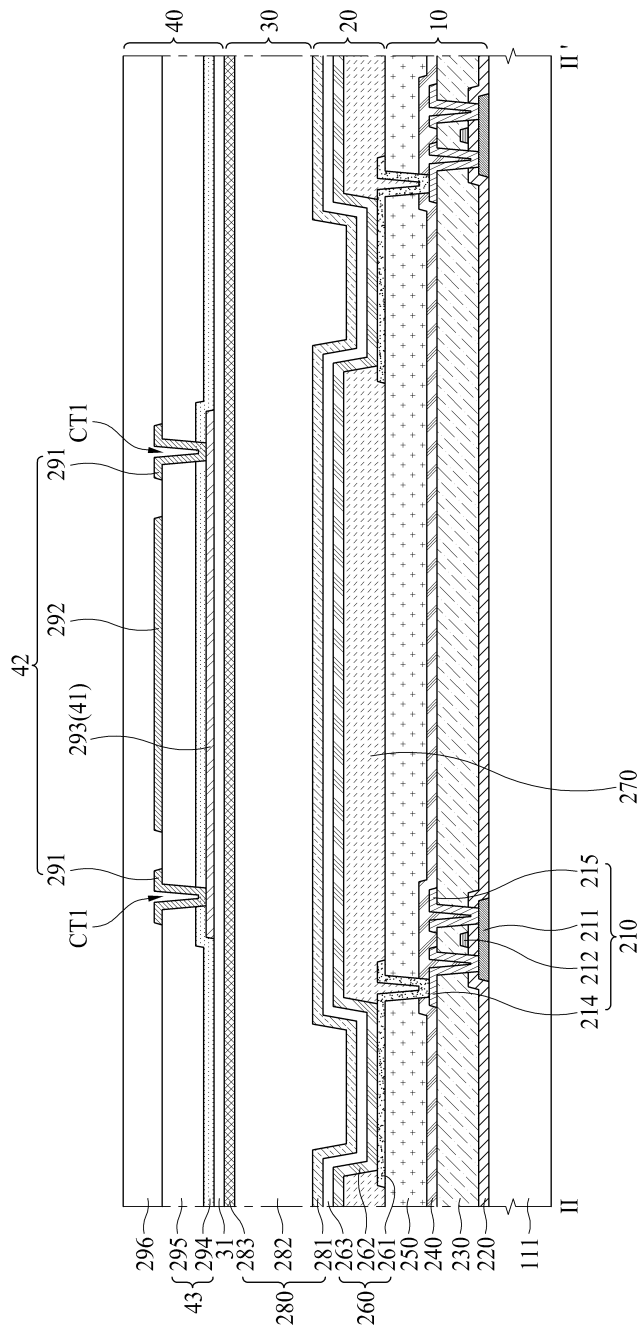
도면10b



도면10c



도면10d



专利名称(译)	触摸屏集成显示装置及其制造方法		
公开(公告)号	KR1020190002905A	公开(公告)日	2019-01-09
申请号	KR1020170083193	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	원상혁 이재원 김병후 권항명 박상훈 이정훈		
发明人	원상혁 이재원 김병후 권항명 박상훈 이정훈		
IPC分类号	H01L27/32 H01L51/50 H01L51/52		
CPC分类号	H01L27/323 G06F3/0412 H01L27/3258 H01L51/5012 H01L51/5237 G06F2203/04103 G06F3/0416 G06F3/044 G06F2203/04111 H01L27/3213 H01L27/3246 H01L51/5253 H01L2227/323 G06F3/0443 G06F3/0446 H01L27/3216 H01L51/5256 H01L27/13 H01L27/3227 H01L51/0001		
外部链接	Espacenet		

摘要(译)

触摸屏一体型显示装置及其制造方法技术领域本发明涉及能够防止有机膜剥离的触摸屏一体型显示装置及其制造方法。在一个实施例中，一种触摸屏集成显示设备包括：发光器件层，其包括设置在第一基板上的第一电极，设置在第一电极上的发光层和设置在发光层上的第二电极；触摸感测层设置在发光器件层上。触摸感应层包括：第一触摸电极层，设置在封装层上；触摸绝缘层，覆盖连接电极；以及第二触摸电极层，设置在触摸绝缘层上，其中，触摸绝缘层包括：触摸无机层，覆盖第一触摸电极层；以及触摸有机膜，其布置在触摸无机膜上。

