



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0134638
(43) 공개일자 2018년12월19일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/322 (2013.01)
(21) 출원번호 10-2017-0072647
(22) 출원일자 2017년06월09일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이준석
경기도 파주시 월롱면 엘지로 245
김세준
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로알

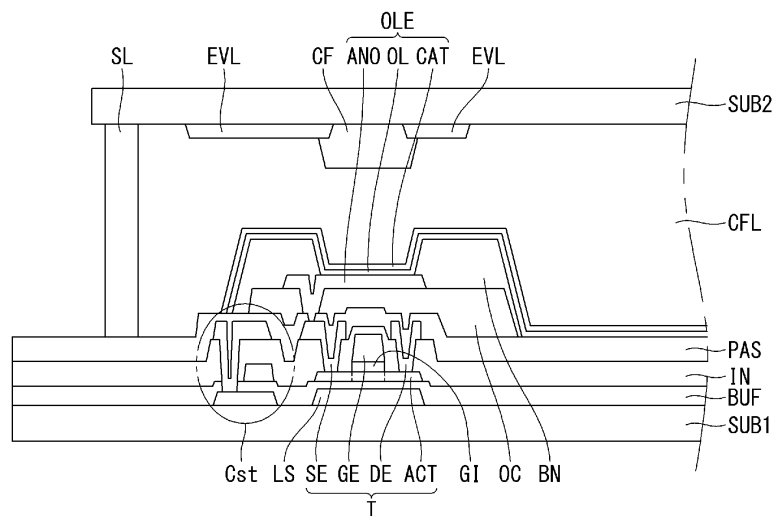
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기발광 다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광 다이오드 표시장치는 제1 기판, 제2 기판 및 도전 필러층을 포함한다. 제1 기판은 박막 트랜지스터, 및 박막 트랜지스터와 연결된 유기발광 다이오드가 배치된 복수의 픽셀들을 갖는다. 제2 기판은 전원 전압이 인가되는 전원 배선을 갖는다. 도전 필러층은 제1 기판 및 상기 제2 기판 사이에 개재되며, 도전성을 갖는다. 유기발광 다이오드의 캐소드와 전원 배선은 도전 필러층을 통해 전기적으로 연결된다.

대표도 - 도3



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 51/5203 (2013.01)

명세서

청구범위

청구항 1

박막 트랜지스터, 및 상기 박막 트랜지스터와 연결된 유기발광 다이오드가 배치된 복수의 픽셀들을 갖는 제1 기판;

전원 전압이 인가되는 전원 배선을 갖는 제2 기판; 및

상기 제1 기판 및 상기 제2 기판 사이에 개재되며, 도전성 매질을 갖는 도전 필터층을 포함하고,

상기 유기발광 다이오드의 캐소드와 상기 전원 배선은,

상기 도전 필터층을 통해 전기적으로 연결되는, 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 기판 및 상기 제2 기판은,

상기 유기발광 다이오드로부터의 빛이 방출되는 발광 영역 및 상기 발광 영역 외측의 비 발광 영역을 포함하고,

상기 전원 배선은,

상기 비 발광 영역에 배치되는, 유기발광 다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 제2 기판은,

상기 전원 배선과 직접 접촉되고, 상기 도전 필터층과 직접 접촉되는 보조 배선을 더 포함하고,

상기 보조 배선은,

투명 도전 물질을 포함하는, 유기발광 다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 보조 배선은,

상기 전원 배선 보다 넓은 면적을 갖는, 유기발광 다이오드 표시장치.

청구항 5

제 1 항에 있어서,

상기 제2 기판은,

상기 픽셀들 각각에 할당된 컬러 필터들을 더 포함하고,

상기 컬러 필터들은,
상기 전원 배선에 의해 구획되는, 유기발광 다이오드 표시장치.

청구항 6

제 1 항에 있어서,
상기 제1 기판은,
상기 픽셀들에 각각에 할당된 컬러 필터들을 더 포함하고,
상기 컬러 필터들은,
상기 캐소드 위에 배치되는, 유기발광 다이오드 표시장치.

청구항 7

제 1 항에 있어서,
상기 제1 기판에 접합되는 연결 부재를 더 포함하고,
상기 제1 기판은,
상기 연결 부재와 연결되며, 상기 전원 전압을 상기 연결 부재를 통해 인가 받아 상기 도전 필러층에 전달하는 전원 패드부를 더 포함하는, 유기발광 다이오드 표시장치.

청구항 8

제 7 항에 있어서,
상기 전원 패드부는,
상기 캐소드와 직접 접촉되는, 유기발광 다이오드 표시장치.

청구항 9

제 1 항에 있어서,
상기 제2 기판에 접합되는 연결 부재를 더 포함하고,
상기 제2 기판은,
상기 연결 부재와 연결되며, 상기 전원 전압을 상기 연결 부재를 통해 인가 받아 상기 전원 배선에 전달하는 전원 패드부를 더 포함하는, 유기발광 다이오드 표시장치.

청구항 10

제 9 항에 있어서,
상기 전원 패드부는,
상기 연결 부재와 연결된 패드 전극을 포함하고,
상기 패드 전극은,
상기 전원 배선과 직접 접촉되고, 상기 도전 필러층과 직접 접촉되며, 투명 도전 물질을 포함하는, 유기발광 다

이오드 표시장치.

청구항 11

제 1 항에 있어서,
상기 전원 배선은,
저반사 물질을 포함하는, 유기발광 다이오드 표시장치.

청구항 12

제 1 항에 있어서,
도전 필러층은,
전도성 고분자인 PEDOT(Poly(3,4-ethylenedioxythiophene)), 및 이온성 액체(Ionic liquid) 중 적어도 어느 하나로 구성되는, 유기발광 다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 유기발광 다이오드 표시장치(Organic Light Emitting Display device; OLED) 등으로 구현될 수 있다.

[0003] 이들 평판 표시장치 중에서 유기발광 다이오드 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 다이오드 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 발광층을 포함한다. 유기발광 다이오드 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 엑시톤(exciton)을 형성하고, 형성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 다만, 대면적의 유기발광 표시장치의 경우, 입력 영상이 구현되는 액티브 영역의 전면(全面)에서 균일한 휘도를 유지하지 못하고 위치에 따른 휘도 편차가 발생한다. 좀 더 자세하게는, 유기발광 다이오드를 구성하는 캐소드는 액티브 영역의 대부분을 덮도록 넓게 형성되는데, 캐소드에 인가되는 전원 전압이 전면에 걸쳐 균일한 전압 값을 갖지 못하는 문제가 발생한다. 예를 들어, 캐소드의 저항에 의해 전원 전압이 인가되는 인입부에서의 전압 값과, 인입부로부터 이격된 위치에서의 전압 값의 편차가 커짐에 따라, 위치에 따른 휘도 편차가 커진다.

[0006] 이러한 문제점은, 상부 발광형(Top emission) 표시장치에서 더욱 문제된다. 즉, 상부 발광형 표시장치에서는, 유기발광 다이오드에서 상층에 위치하는 캐소드의 투과도를 확보할 필요가 있기 때문에, 캐소드를 ITO(Indium Tin Oxide)와 같은 투명 도전물질로 형성하거나, 매우 얇은 두께의 불투명 도전물질로 형성하게 된다. 이 경우, 면 저항이 커지기 때문에, 이에 대응하여 위치에 따른 휘도 편차 또한 현저히 커진다.

[0007] 이러한 문제점을 해결하기 위해, 저저항 물질을 포함하는 Evss 배선을 형성하고, 이를 캐소드에 연결하여, 위치에 따른 전압 강하를 방지하는 방안이 제안된 바 있다. Evss 배선과 캐소드의 연결 구조는, 본원 출원인에 의

해 기 출원된 출원 번호 10-2008-0127071호 등에 나타나 있다. 다만, 종래 개시된 Evss 배선과 캐소드의 연결 구조는, 연결 구조가 복잡하고, 격벽을 형성하는 등의 추가 공정이 필요 요구되었는 바, 제조 비용, 제조 시간이 증가하고, 제조 수율이 저하되는 문제점이 있다.

- [0008] 또한, 종래 구조에서는, Evss 배선이 제1 기판 상에 형성되어 있었기 때문에, 하나의 픽셀 내에 박막 트랜지스터 영역, 스토리지 커패시터 영역은 물론, Evss 배선과 캐소드 연결 영역 또한 할당될 필요가 있다. 따라서, 종래 구조는, 단일 픽셀 크기가 작은 고 해상도 표시장치에 적용되기 어려운 문제점을 갖는다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 위치에 따른 전압 강하를 방지하여 휘도 불균일 문제를 해소한 유기발광 다이오드 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0010] 본 발명에 의한 유기발광 다이오드 표시장치는 제1 기판, 제2 기판 및 도전 필러층을 포함한다. 제1 기판은 박막 트랜지스터, 및 박막 트랜지스터와 연결된 유기발광 다이오드가 배치된 복수의 픽셀들을 갖는다. 제2 기판은 전원 전압이 인가되는 전원 배선을 갖는다. 도전 필러층은 제1 기판 및 상기 제2 기판 사이에 개재되며, 도전성을 갖는다. 유기발광 다이오드의 캐소드와 전원 배선은 도전 필러층을 통해 전기적으로 연결된다.
- [0011] 제1 기판 및 상기 제2 기판은 유기발광 다이오드로부터의 빛이 방출되는 발광 영역 및 상기 발광 영역 외측의 비 발광 영역을 포함할 수 있고, 전원 배선은 비 발광 영역에 배치될 수 있다.
- [0012] 제2 기판은 전원 배선과 직접 접촉되고, 도전 필러층과 직접 접촉되는 보조 배선을 더 포함할 수 있고, 보조 배선은 투명 도전 물질을 포함할 수 있다.
- [0013] 보조 배선은 전원 배선 보다 넓은 면적을 가질 수 있다.
- [0014] 제2 기판은 픽셀들 각각에 할당된 컬러 필터들을 더 포함할 수 있고, 컬러 필터들은 전원 배선에 의해 구획될 수 있다.
- [0015] 제1 기판은 픽셀들에 각각에 할당된 컬러 필터들을 더 포함할 수 있고, 컬러 필터들은 캐소드 위에 배치될 수 있다.
- [0016] 본 발명에 의한 유기발광 다이오드 표시장치는 제1 기판에 접합되는 연결 부재를 더 포함할 수 있다. 제1 기판은 전원 패드부를 더 포함할 수 있다. 전원 패드부는 연결 부재와 연결되며, 전원 전압을 연결 부재를 통해 인가 받아 도전 필러층에 전달할 수 있다.
- [0017] 전원 패드부는 캐소드와 직접 접촉될 수 있다.
- [0018] 본 발명에 의한 유기발광 다이오드 표시장치는 제2 기판에 접합되는 연결 부재를 더 포함할 수 있다. 제2 기판은 전원 패드부를 더 포함할 수 있다. 전원 패드부는 연결 부재와 연결되며, 전원 전압을 연결 부재를 통해 인가 받아 전원 배선에 전달할 수 있다.
- [0019] 전원 패드부는 연결 부재와 연결된 패드 전극을 포함할 수 있다. 패드 전극은 전원 배선과 직접 접촉되고, 도전 필러층과 직접 접촉되며, 투명 도전 물질을 포함할 수 있다.

발명의 효과

- [0020] 본 발명은 위치에 따른 전압 강하를 방지할 수 있어 휘도 불균일 문제를 최소화할 수 있는 이점을 갖는다. 본 발명은 캐소드와 보조 전극을 연결하기 위해 별도의 구조물을 구비할 필요가 없어, 공정을 단순화할 수 있는 이점을 갖는다.

도면의 간단한 설명

- [0021] 도 1은 유기발광 다이오드 표시장치를 개략적으로 나타낸 블록도이다.
- 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.

도 3은 본 발명의 제1 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다.

도 4는 본 발명의 제2 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다.

도 5는 본 발명의 제3 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다.

도 6a 및 도 6b는 본 발명의 제4 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다.

도 7은 본 발명의 제5 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.
- [0023] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0024] 도 1은 유기발광 다이오드 표시장치를 개략적으로 나타낸 블록도이다. 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.
- [0025] 도 1을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치(10)는 디스플레이 구동 회로, 표시 패널(DIS)을 포함한다.
- [0026] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터전압을 표시 패널(DIS)의 픽셀들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터 배선들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트 신호를 게이트 배선들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시 패널(DIS)의 픽셀들을 선택한다.
- [0027] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0028] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러(scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시 패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0029] 표시 패널(DIS)은 픽셀 어레이를 포함한다. 픽셀 어레이는 데이터 배선들(D1~Dm, m은 양의 정수)과 게이트 배선들(G1~Gn, n은 양의 정수)에 의해 정의된 픽셀들을 포함한다. 픽셀들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode, 이하 OLED라 함)를 포함한다.
- [0030] 도 2를 더 참조하면, 표시 패널(DIS)에는 다수의 데이터 배선들(D)과, 다수의 게이트 배선들(G)이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치된다. 픽셀 각각은 OLED, OLED에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(DT), 구동 TFT(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0031] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있

다. 스위치 TFT는 게이트 배선(G)으로부터의 게이트 신호에 응답하여 턴 온 됨으로써, 데이터 배선(D)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. OLED의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례한다. 이러한 픽셀은 고전위 전압원(Evdd)과 저전위 전압원(Evss)에 연결되어, 도시하지 않은 전원 발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 픽셀을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는 반도체층이 산화물을 포함하는 경우를 예로 들어 설명한다. OLED는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)과 캐소드(CAT) 사이에 개재된 유기 화합물층을 포함한다. 애노드(ANO)은 구동 TFT(DT)와 접속된다.

[0033]

<제1 실시예>

[0034]

도 3은 본 발명의 제1 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다.

[0035]

도 3을 참조하면, 본 발명의 제1 실시예에 따른 유기발광 다이오드 표시장치는, 상호 대향하는 제1 기관(SUB1)과 제2 기관(SUB2), 및 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재된 도전 필러층(CFL)을 갖는 표시패널을 포함한다. 제1 기관(SUB1)은 박막 트랜지스터(T) 및 유기발광 다이오드(OLE)가 배치된 픽셀들을 갖는 박막 트랜지스터 어레이 기관이다. 제2 기관(SUB2)은 Evss 배선(EVL)(또는, 저전위 전원 배선)이 형성된 기관이다. 제2 기관(SUB2)은 봉지(encapsulation) 기관으로써 기능할 수 있다. 제1 기관(SUB1) 및 제2 기관(SUB2)은 실런트(SL)(sealant)를 통해 합착될 수 있다. 실런트(SL)는 제1 기관(SUB1) 및 제2 기관(SUB2)의 가장자리에 배치되어, 소정의 합착 간격을 유지하는 역할을 할 수 있다.

[0036]

제1 기관(SUB1)은 유리(glass) 또는 플라스틱(plastic) 재질로 이루어질 수 있다. 예를 들어, 제1 기관(SUB1)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate) 등의 플라스틱 재질로 형성되어, 유연한(flexible) 특성을 가질 수 있다.

[0037]

제1 기관(SUB1) 상에는, 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된다. 제1 기관(SUB1)과 박막 트랜지스터(T) 사이에는, 광차단층(LS) 및 버퍼층(BUF)이 형성될 수 있다. 광차단층(LS)은 박막 트랜지스터(T)의 반도체층 특히, 채널(channel)에 중첩되도록 배치되어, 외부광으로부터 산화물 반도체 소자를 보호하는 역할을 한다. 버퍼층(BUF)은 제1 기관(SUB1)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 역할을 한다.

[0038]

박막 트랜지스터(T)는, 반도체층(ACT), 게이트 전극(GE), 소스/드레인 전극(SE, DE)을 포함한다.

[0039]

반도체층(ACT) 위에는 게이트 절연막(GI) 및 게이트 전극(GE)이 배치된다. 게이트 절연막(GI)은 게이트 전극(GE)을 절연시키는 것으로, 실리콘 산화막(SiO_x)으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 게이트 전극(GE)은 게이트 절연막(GI)을 사이에 두고, 반도체층(ACT)과 중첩하도록 배치된다. 게이트 전극(GE)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 탄탈륨(Ta) 및 텅스텐(W)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금의 단층이나 다층으로 이루어질 수 있다. 게이트 절연막(GI)과 게이트 전극(GE)은 동일 마스크를 이용하여 패턴될 수 있으며, 이 경우, 게이트 절연막(GI)과 게이트 전극(GE)은 동일 면적을 가질 수 있다. 도시하지는 않았으나, 게이트 절연막(GI)은 제1 기관(SUB1) 전체 표면을 덮도록 형성될 수 있다.

[0040]

게이트 전극(GE) 위에는 층간 절연막(IN)이 배치된다. 층간 절연막(IN)은 게이트 전극(GE)과 소스/드레인 전극(SE, DE)을 상호 절연시키는 것으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다층으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0041]

층간 절연막(IN) 위에는 소스/드레인 전극(SE, DE)이 배치된다. 소스 전극(SE) 및 드레인 전극(DE)은 소정 간격 이격되어 배치된다. 소스 전극(SE)은 층간 절연막(IN)을 관통하는 소스 콘택홀을 통해 반도체층(ACT)의 일측에 접촉한다. 드레인 전극(DE)은 층간 절연막(IN)을 관통하는 드레인 콘택홀을 통해 반도체층(ACT)의 타측에 접촉한다.

[0042]

소스 전극(SE)과 드레인 전극(DE)은 단일층 또는 다층으로 이루어질 수 있으며, 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소스 전극(SE)과 드레인 전극(DE)이 다층일

경우에는 몰리브덴/알루미늄-네오디뮴, 몰리브덴/알루미늄, 티타늄/알루미늄, 또는 구리/몰리타늄의 2중층이거나 몰리브덴/알루미늄-네오디뮴/몰리브덴, 몰리브덴/알루미늄/몰리브덴, 티타늄/알루미늄/티타늄, 또는 몰리타늄/구리/몰리타늄의 3중층으로 이루어질 수 있다.

- [0043] 박막 트랜지스터(T) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 박막 트랜지스터(T)를 보호하는 것으로 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다.
- [0044] 패시베이션막(PAS) 상에 평탄화막(OC)이 위치한다. 평탄화막(OC)은 하부의 단차를 평탄화하는 것으로, 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene resin), 아크릴레이트계 수지(acrylate) 등의 유기물로 이루어질 수 있다. 필요에 따라서, 패시베이션막(PAS)과 평탄화막(OC) 중 어느 하나는 생략될 수 있다.
- [0045] 평탄화막(OC) 상에 유기발광 다이오드(OLE)가 위치한다. 유기발광 다이오드(OLE)는 애노드(ANO), 유기 발광층(OL) 및 캐소드(CAT)를 포함한다. 보다 자세하게, 평탄화막(OC) 상에 애노드(ANO)가 위치한다. 애노드(ANO)는 패시베이션막(PAS)과 평탄화막(OC)을 관통하는 콘택홀을 통해 박막 트랜지스터(T)의 드레인 전극(DE)에 접속된다. 애노드(ANO)는 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 애노드(ANO)는 반사층을 포함한 다층으로 이루어질 수 있다.
- [0046] 애노드(ANO)가 형성된 제1 기판(SUB1) 상에 픽셀을 구획하는 बैं크층(BN)이 위치한다. बैं크층(BN)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. बैं크층(BN)에 의해 노출된 애노드(ANO)의 중심부는 발광 영역으로 정의될 수 있다. बैं크층(BN)은 애노드(ANO)의 중심부를 노출하되 애노드(ANO)의 측단을 덮도록 배치된다.
- [0047] बैं크층(BN)과 평탄화층(OC)은, 픽셀 내에서 박막 트랜지스터(T) 및 이와 연결된 스토리지 커패시터(Cst)만을 덮도록 패턴될 수 있다. 스토리지 커패시터(Cst)는 도식된 바와 같이 제1 내지 제3 커패시터 전극이 중첩된 3중 구조로 형성될 수 있고, 필요에 따라서 다양한 복수의 층으로 구현될 수 있다.
- [0048] बैं크층(BN)에 의해 노출된 애노드(ANO) 상에 유기 발광층(OL)이 위치한다. 유기 발광층(OL) 제1 기판(SUB1)의 전면에 넓게 형성될 수 있다. 발광층(OL)은 전자와 정공이 결합하여 발광하는 층으로, 발광층(Emission layer, EML)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다. 발광층은 백색광을 발생하는 발광 물질을 포함할 수 있다.
- [0049] 유기 발광층(OL) 상에 캐소드(CAT)가 위치한다. 캐소드(CAT)는 제1 기판(SUB1)의 전면에 넓게 형성될 수 있다. 캐소드(CAT)는, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성될 수 있고, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0050] 제2 기판(SUB2) 상에는, Evss 배선(EVL) 및 컬러 필터(CF)가 형성된다. 제2 기판(SUB2) 상에서, Evss 배선(EVL)과 컬러 필터(CF)의 적층 순서는 변경될 수 있다. 즉, Evss 배선(EVL)이 형성된 후 컬러 필터(CF)가 형성될 수 있고, 컬러 필터(CF)가 형성된 후 Evss 배선(EVL)이 형성될 수도 있다.
- [0051] Evss 배선(EVL)은 저저항 도전 물질을 포함한다. 예를 들어, Evss 배선(EVL)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0052] Evss 배선(EVL)은 저반사 도전 물질을 포함할 수 있다. 예를 들어, Evss 배선(EVL)을 저반사 도전 물질로 형성함으로써, 외광 반사에 의해 시인성이 떨어지는 문제를 방지할 수 있다. 따라서, 본 발명의 바람직한 실시예에 따른 표시장치는 편광 필름과 같이 외부로부터 입사되는 빛을 차단(또는, 흡수)하기 위한 수단을 별도로 구비할 필요가 없다.
- [0053] Evss 배선(EVL)은 블랙 매트릭스로서 기능할 수 있다. 따라서, Evss 배선(EVL)은 이웃하는 픽셀 사이에서 혼색 불량이 발생하는 것을 방지할 수 있다. Evss 배선(EVL)은 적어도 발광 영역을 노출하도록, 비 발광 영역에 배치된다.
- [0054] 컬러 필터(CF)는 적색(R), 청색(B) 및 녹색(G) 컬러 필터(CF)를 포함할 수 있다. 픽셀은 적색(R), 청색(B) 및 녹색(G)을 발광하는 서브 픽셀들을 포함할 수 있고, 컬러 필터(CF)는 대응되는 서브 픽셀들 각각에 할당될 수

있다. 적색(R), 청색(B) 및 녹색(G) 컬러 필터(CF)들은 Evss 배선(EVL)에 의해 구획될 수 있다. 필요에 따라서, 픽셀은 백색(W) 서브 픽셀을 더 포함할 수 있다.

[0055] 도전 필러층(CFL)은 제1 기판(SUB1)과 제2 기판(SUB2) 사이에 개재된다. 도전 필러층(CFL)을 통해, 제1 기판(SUB1)의 캐소드(CAT)와 제2 기판(SUB2)의 Evss 배선(EVL)이 전기적으로 연결된다. 따라서, 캐소드(CAT)와 Evss 배선(EVL) 모두에는 저전위 전원 전압이 인가된다. 도전 필러층(CFL)은 솔벤트에 도전성 필러(filler)가 산포된 형태로 구성될 수 있고, 도전성을 갖는 솔벤트로 구성될 수 있다. 예를 들어, 도전 필러층(CFL)은 전도성 고분자인 PEDOT(Poly(3,4-ethylenedioxythiophene)), 및 이온성 액체(Ionic liquid)중 적어도 어느 하나로 구성될 수 있으나, 이에 한정되는 것은 아니다.

[0056] 도전 필러층(CFL)의 점도에 대응하여, 제1 기판(SUB1)과 제2 기판(SUB2)의 합착 간격은 적절히 선택될 수 있다. 본 발명은 비도전성 필러 대비 점도가 낮은 도전성 필러를 사용하기 때문에, 제1 기판(SUB1)과 제2 기판(SUB2) 사이의 합착 간격을 줄일 수 있다. 이에 따라, 본 발명은 광시야각 및 고개구율을 확보할 수 있는 이점을 갖는다.

[0057] 본 발명의 제1 실시예는 저저항의 도전 물질로 형성된 Evss 배선(EVL)을 캐소드(CAT)에 연결함으로써 위치에 따른 전압 편차를 줄일 수 있기 때문에, 휘도 불균일 불량을 줄일 수 있는 이점을 갖는다.

[0058] 본 발명의 제1 실시예는 저저항의 Evss 배선(EVL)을 캐소드(CAT)에 연결하기 위해, 종래와 같이 추가 구조물(예를 들어, 격벽)을 구비할 필요가 없기 때문에, 별도의 추가 공정을 수행할 필요가 없다. 또한, 본원 발명의 제1 실시예에 의한 Evss 배선(EVL)은 제2 기판(SUB2)에서 블랙 매트릭스로서 기능하기 때문에, 블랙 매트릭스를 형성하기 위한 별도의 추가 공정을 수행할 필요가 없다. 따라서, 본 발명의 제1 실시예는 종래 구조 대비 공정 수를 줄일 수 있어, 제조 시간 및 비용을 줄일 수 있고, 제품 수율을 현저히 향상시킬 수 있는 이점을 갖는다.

[0059] 본 발명의 제1 실시예는 박막 트랜지스터 어레이 기판에 Evss 배선(EVL)을 형성하는 종래 구조와 달리, 하나의 픽셀 내에 Evss 배선(EVL)과 캐소드(CAT)의 연결 영역을 별도로 할당할 필요가 없다. 따라서, 본 발명의 제1 실시예는, 높은 PPI(Pixel Per Inch)를 갖는 고 해상도 표시장치에 용이하게 적용될 수 있으며, 설계 자유도를 현저히 향상시킬 수 있는 이점을 갖는다.

[0061] <제2 실시예>

[0062] 도 4는 본 발명의 제2 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다. 제2 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 부분에 대한 설명은 생략하기로 한다.

[0063] 도 4를 참조하면, 본 발명의 제2 실시예에 따른 유기발광 다이오드 표시장치는, 상호 대향하는 제1 기판(SUB1)과 제2 기판(SUB2), 및 제1 기판(SUB1)과 제2 기판(SUB2) 사이에 개재된 도전 필러층(CFL)을 갖는 표시패널을 포함한다. 제1 기판(SUB1)은 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된 박막 트랜지스터 어레이 기판이다. 제2 기판(SUB2)은 Evss 배선(EVL)이 형성된 기판이다.

[0064] 제1 실시예와 달리, 제2 실시예에 따른 컬러 필터(CF)는 제1 기판(SUB1) 상에 형성된다. 즉, 제1 기판(SUB1) 상에는, 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성되고, 유기발광 다이오드(OLE) 상에는 컬러 필터(CF)가 형성된다. 컬러 필터(CF)는 유기발광 다이오드(OLE)를 구성하는 캐소드(CAT) 위에 배치되는 것이 바람직하다. 본 발명의 제2 실시예는 제1 실시예 대비 컬러 필터(CF)와 유기 발광층(OL) 사이의 간격을 줄일 수 있기 때문에, 시야각을 넓힐 수 있고, 이로 인하여 충분한 개구율을 확보할 수 있는 이점을 갖는다.

[0066] <제3 실시예>

[0067] 도 5는 본 발명의 제3 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다. 제3 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 부분에 대한 설명은 생략하기로 한다.

[0068] 도 5를 참조하면, 본 발명의 제3 실시예에 따른 유기발광 다이오드 표시장치는, 상호 대향하는 제1 기판(SUB1)과 제2 기판(SUB2), 및 제1 기판(SUB1)과 제2 기판(SUB2) 사이에 개재된 도전 필러층(CFL)을 갖는 표시패널을 포함한다. 제1 기판(SUB1)은 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된 박막 트랜지스터 어레이 기판이다. 제2 기판(SUB2)은 Evss 배선(EVL)이 형성된 기판이다.

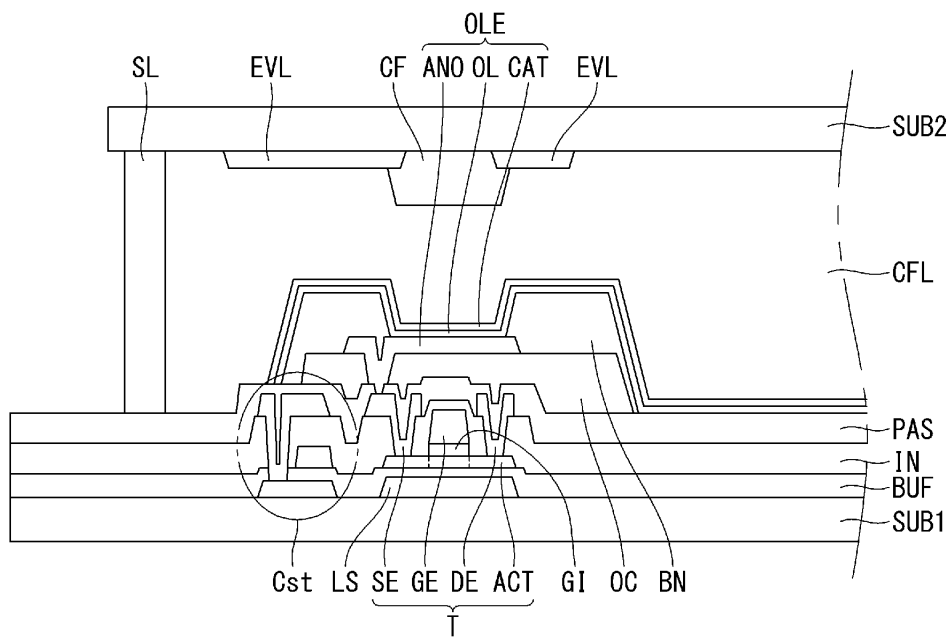
- [0069] 제2 기관(SUB2) 상에는, Evss 배선(EVL) 및 보조 배선(AEVL)이 형성된다. 컬러 필터(CF)는 제1 실시예와 같이 제2 기관(SUB2) 상에 위치할 수 있고, 제2 실시예와 같이 제1 기관(SUB1) 상에 위치할 수도 있다.
- [0070] 보조 배선(AEVL)은 Evss 배선(EVL)과 직접 접촉되고, 도전 필러층(CFL)과 직접 접촉된다. 보조 배선(AEVL)은 Evss 배선(EVL)과 도전 필러층(CFL)과의 접촉 면적을 넓히기 위한 배선으로, Evss 배선(EVL)보다 넓은 면적을 갖도록 형성될 수 있다. 보조 배선(AEVL)은 Evss 배선(EVL)과 도전 필러층(CFL) 사이에 개재될 수 있다. 보조 배선(AEVL)은 Evss 배선(EVL) 및 컬러 필터(CF)를 덮도록 형성될 수 있으며, 발광 영역을 포함한 제2 기관(SUB2)의 전면에 넓게 형성될 수 있다. 보조 배선(AEVL)은 ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성될 수 있다.
- [0071] 본 발명의 제3 실시예는 보조 배선(AEVL)을 이용함으로써 Evss 배선(EVL)과 캐소드(CAT) 사이에 충분한 접촉 면적을 확보할 수 있기 때문에, Evss 배선(EVL)과 캐소드(CAT) 사이의 접촉 불량을 최소화할 수 있다. 본 발명의 제3 실시예는 위치에 따른 전압 편차를 더욱 효과적으로 줄일 수 있어, 휘도 불균일 불량을 최소화할 수 있는 이점을 갖는다.
- [0073] <제4 실시예>
- [0074] 도 6a 및 도 6b는 본 발명의 제4 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다. 제4 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 부분에 대한 설명은 생략하기로 한다.
- [0075] 도 6a를 참조하면, 본 발명의 제4 실시예에 따른 유기발광 다이오드 표시장치는, 표시패널 및 표시패널에 합착되는 연결 부재(LM)를 포함한다. 표시패널은, 상호 대향하는 제1 기관(SUB1)과 제2 기관(SUB2), 및 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재된 도전 필러층(CFL)을 갖는다. 제1 기관(SUB1)은 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLED)가 형성된 박막 트랜지스터 어레이 기관이다. 제2 기관(SUB2)은 Evss 배선(EVL)이 형성된 기관이다.
- [0076] 제1 기관(SUB1)은 Evss 패드부(EVP1)(또는, 저전위 전원 패드부)를 포함한다. Evss 패드부(EVP1)는 연결 부재(LM)와 전기적으로 연결된다. Evss 패드부(EVP1)는 전원발생부(미도시)로부터 발생된 저전위 전원 전압을 연결 부재(LM)를 통해 입력받아, 도전 필러층(CFL)에 전달한다. 즉, 연결 부재(LM), Evss 패드부(EVP1), 도전 필러층(CFL), Evss 배선(EVL), 및 캐소드(CAT)가 전기적으로 연결되어 저전위 전원 공급 경로를 형성한다.
- [0077] 좀 더 구체적으로, Evss 패드부(EVP1)는 적어도 하나 이상의 패드 전극을 포함한다. 패드 전극이 복수 개인 경우, 패드 전극들은 적어도 하나의 절연막을 사이에 두고 서로 다른 층에 배치될 수 있고, 상기 적어도 하나의 절연막을 관통하는 패드 콘택홀을 통해 전기적으로 연결될 수 있다. 일 예로, 도면에 도시된 바와 같이, Evss 패드부(EVP1)는 패시베이션막(PAS)을 사이에 두고 서로 다른 층에 배치된 제1 패드 전극(PE1) 및 제2 패드 전극(PE2)을 포함할 수 있고, 제1 패드 전극(PE1) 및 제2 패드 전극(PE2)은 패시베이션막(PAS)을 관통하는 제1 패드 콘택홀(PH1)을 통해 상호 연결될 수 있다. 이하, 설명의 편의를 위해, Evss 패드부(EVP)가 제1 패드 전극(PE1) 및 제2 패드 전극(PE2)을 포함하는 경우를 예로 들어 설명한다.
- [0078] 제1 패드 전극(PE1)은 실런트(SL) 외측에서 외부에 노출된다. 노출된 제1 패드 전극(PE1)은 연결 부재(LM)와 접합될 수 있다. 연결 부재(LM)와 제1 패드 전극(PE1)은 그 사이에 개재된 ACF(Anisotropic Conductive Film, 미도시)층을 통해 서로 접합될 수 있다. 연결 부재(LM)는 COF(Chip On Film)일 수 있으나, 이에 한정되는 것은 아니다.
- [0079] 제2 패드 전극(PE2)은 실런트(SL) 내측으로 연장되어, 도전 필러층(CFL)과 접촉될 수 있다. 이때, 제2 패드 전극(PE2)은 패시베이션막(PAS)을 관통하는 제2 콘택홀(PH2)을 통해 도전 필러층(CFL)과 접촉될 수 있다. 이에 따라, 연결 부재(LM), Evss 패드부(EVP1), 도전 필러층(CFL), Evss 배선(EVL), 및 캐소드(CAT)를 연결하는 저전위 전원 공급 경로가 형성된다.
- [0080] 도 6b를 참조하면, Evss 패드부(EVP1)는 저전위 전원 전압을 도전 필러층(CFL)에 직접 전달함과 동시에, 캐소드(CAT)에도 직접 전달할 수 있다. 예를 들어, 제2 패드 전극(PE2)은 제2 콘택홀(PH2)을 통해 도전 필러층(CFL)과 직접 접촉하고, 캐소드(CAT)와도 직접 접촉할 수 있다. 이 경우, 도 6의 (a) 구조 대비 보다 안정적인 전원 공급이 가능한 이점을 갖는다.

- [0082] <제5 실시예>
- [0083] 도 7은 본 발명의 제5 실시예에 따른 유기발광 다이오드 표시장치를 나타낸 단면도이다. 제5 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 부분에 대한 설명은 생략하기로 한다.
- [0084] 도 7을 참조하면, 본 발명의 제5 실시예에 따른 유기발광 다이오드 표시장치는, 표시패널 및 표시패널에 합착되는 연결 부재(LM)를 포함한다. 표시패널은, 상호 대향하는 제1 기판(SUB1)과 제2 기판(SUB2), 및 제1 기판(SUB1)과 제2 기판(SUB2) 사이에 개재된 도전 필러층(CFL)을 갖는다. 제1 기판(SUB1)은 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된 박막 트랜지스터 어레이 기판이다. 제2 기판(SUB2)은 Evss 배선(EVL)이 형성된 기판이다.
- [0085] 제2 기판(SUB2)은 Evss 패드부(EVP2)를 포함한다. Evss 패드부(EVP2)는 연결 부재(LM)와 전기적으로 연결된다. Evss 패드부(EVP2)는 전원발생부(미도시)로부터 발생된 저전위 전원 전압을 연결 부재(LM)를 통해 입력받아, Evss 배선(EVL)에 전달한다. 즉, 연결 부재(LM), Evss 패드부(EVP2), Evss 배선(EVL), 도전 필러층(CFL) 및 캐소드(CAT)가 전기적으로 연결되어 저전위 전원 공급 경로를 형성한다.
- [0086] Evss 패드부(EVP2)는 적어도 하나 이상의 패드 전극(PE)을 포함한다. 패드 전극(PE)은, 실런트(SL) 내측에서 Evss 배선(EVL)과 접촉되는 보조 배선(AEVL)이 실런트(SL) 외측으로 연장되어 외부에 노출된 일부분일 수 있다. 연결 부재(LM)와 패드 전극(PE)은 그 사이에 개재된 ACF층을 통해 서로 접합될 수 있다. 연결 부재(LM)는 COF 일 수 있으나, 이에 한정되는 것은 아니다.
- [0087] 보조 배선(AEVL)은 Evss 배선(EVL)과 직접 접촉되고, 도전 필러층(CFL)과 직접 접촉된다. 보조 배선(AEVL)은 Evss 배선(EVL)과 도전 필러층(CFL)과의 접촉 면적을 넓히기 위한 배선으로, Evss 배선(EVL)보다 넓은 면적을 갖도록 형성될 수 있다. 보조 배선(AEVL)은 Evss 배선(EVL)과 도전 필러층(CFL) 사이에 개재될 수 있다. 보조 배선(AEVL)은 Evss 배선(EVL) 및 컬러 필터(CF)를 덮도록 형성될 수 있으며, 발광 영역을 포함한 제2 기판(SUB2)의 전면에 넓게 형성될 수 있다. 보조 배선(AEVL)은 ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성될 수 있다.
- [0088] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

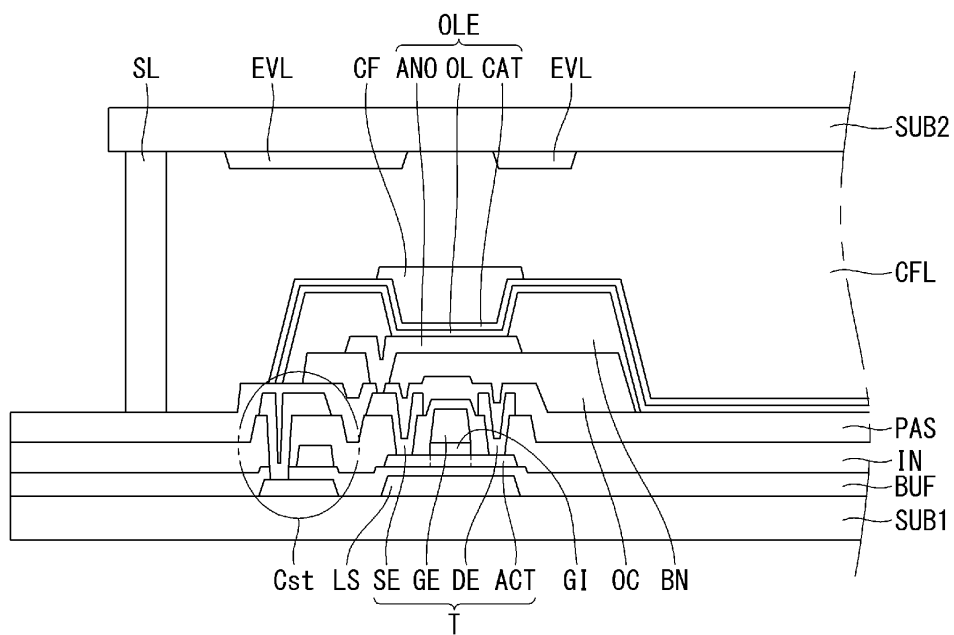
부호의 설명

- [0089] SUB1 : 제1 기판 SUB2 : 제2 기판
- T : 박막 트랜지스터 OLE : 유기발광 다이오드
- CAT : 캐소드 EVL : Evss 배선
- AEVL : 보조 배선 CFL : 도전 필러층
- EVP1, EVP2 : Evss 패드부

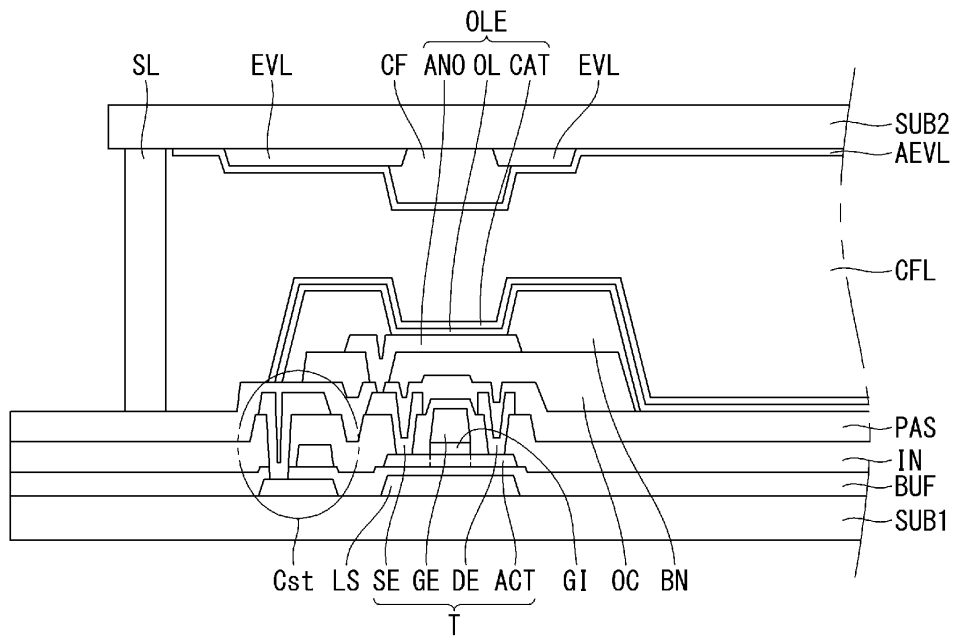
도면3



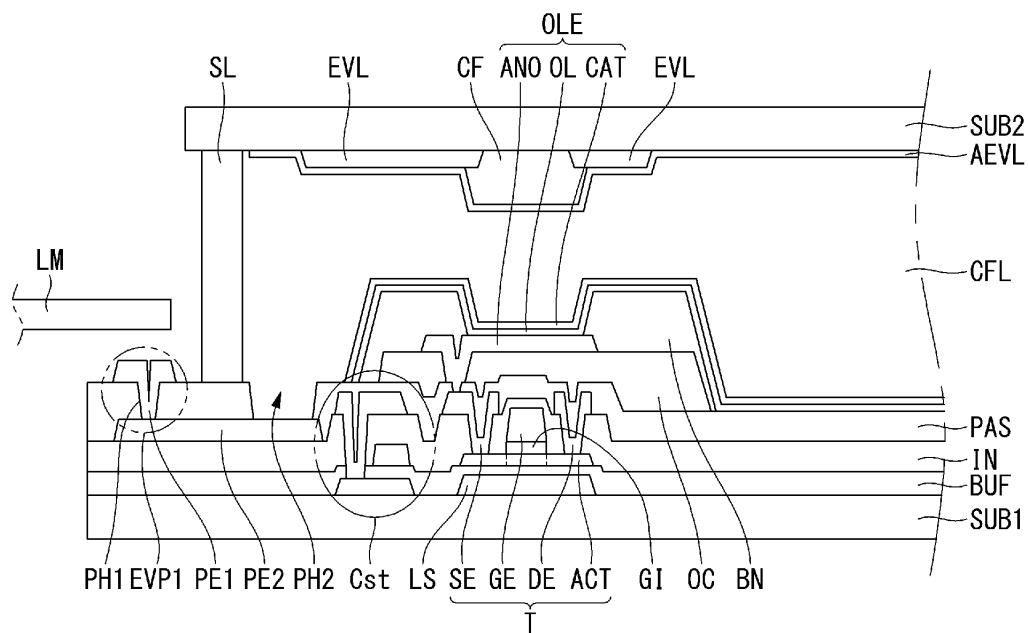
도면4



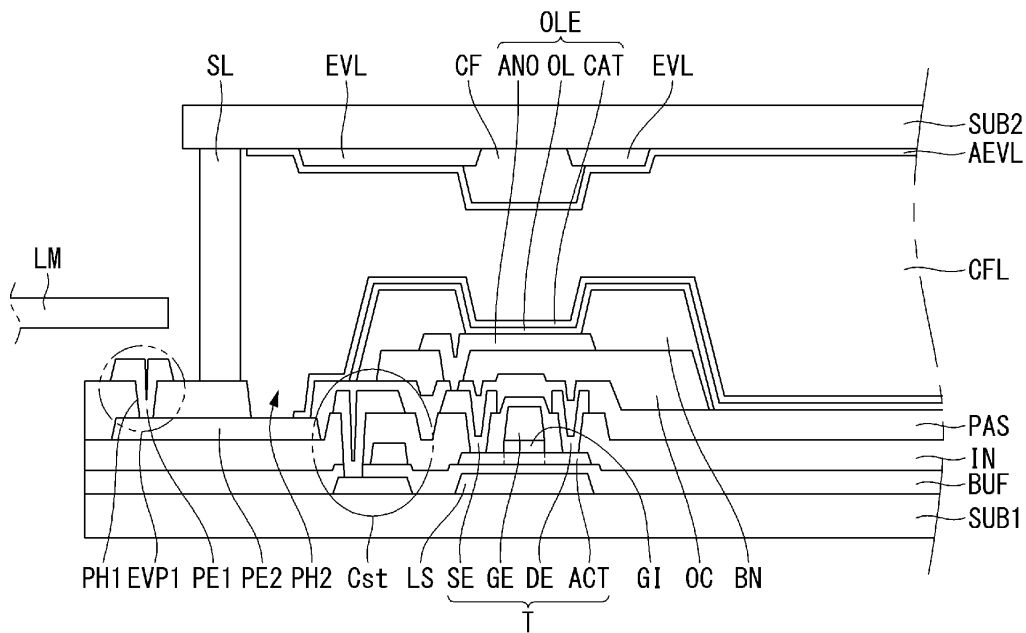
도면5



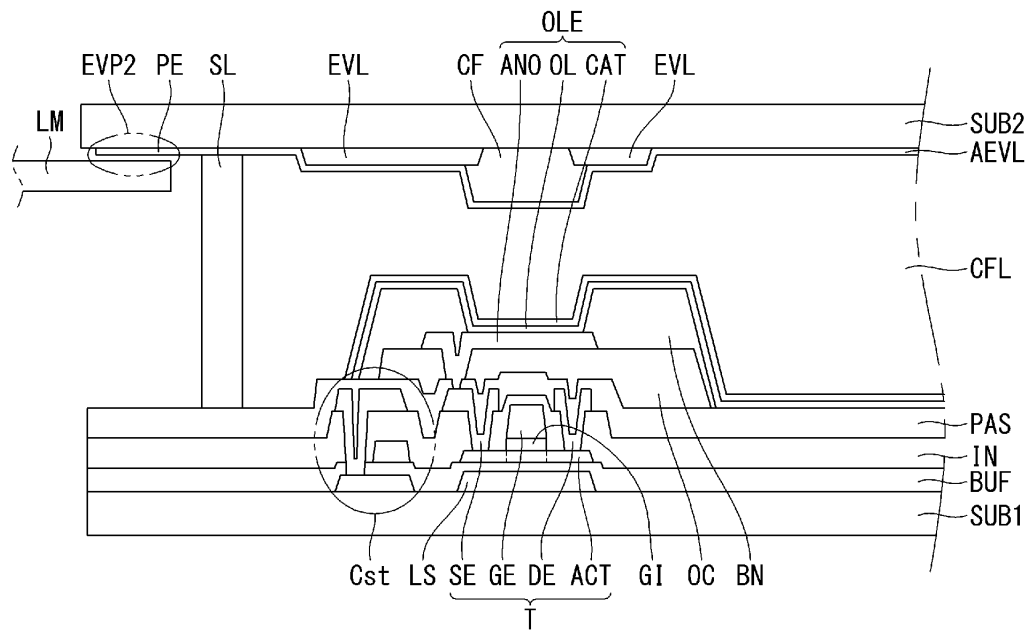
도면6a



도면6b



도면7



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020180134638A	公开(公告)日	2018-12-19
申请号	KR1020170072647	申请日	2017-06-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON SUK 이준석 KIM SE JUNE 김세준		
发明人	이준석 김세준		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3248 H01L51/5203 H01L27/322 H01L27/32 H01L27/3244 G09G3/3233 G09G2300/0842 H01L27/3279 H01L51/5228 H01L51/524 G09G3/3291 G09G2310/08 G09G2320/0673		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示器包括第一基板，第二基板和导电填料层。第一基板具有多个像素，其中设置有薄膜晶体管和连接到薄膜晶体管的有机发光二极管。第二基板具有电源线，电源电压施加到该电源线。导电填料层介于第一基板和第二基板之间并具有导电性。有机发光二极管的阴极和电源布线通过导电填充层电连接。

