



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0064619  
(43) 공개일자 2018년06월15일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) H01L 27/12 (2006.01)  
H01L 27/32 (2006.01)  
(52) CPC특허분류  
G09G 3/3233 (2013.01)  
H01L 27/1225 (2013.01)  
(21) 출원번호 10-2016-0164568  
(22) 출원일자 2016년12월05일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
김근우  
경기도 성남시 분당구 수내로 206, 304동 402호  
박수영  
서울특별시 중구 난계로17길 18, 801호  
(뒷면에 계속)  
(74) 대리인  
박해찬

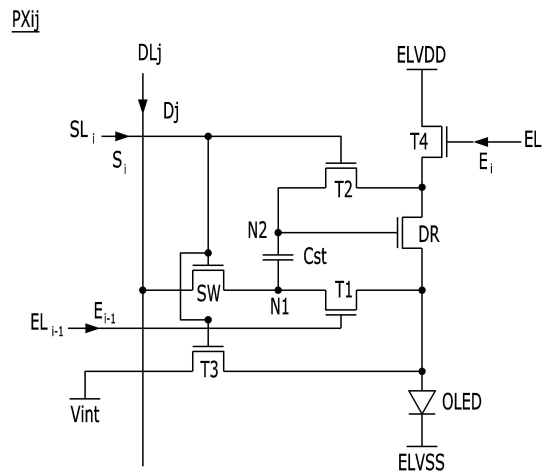
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 표시장치 및 그의 구동방법

(57) 요약

표시장치는 구동신호들에 대응하여 다양한 세기의 빛을 발광하는 픽셀들, 데이터 라인들, 스캔 라인들, 및 상기 픽셀들에 적어도 하나의 구동 전압을 제공하는 전원 제공부를 포함하며, 상기 픽셀들 중 적어도 하나는, 상기 데이터 라인들 중 하나의 데이터 라인에 연결되는 제1 전극과 제1 노드에 연결되는 제2 전극 및 상기 스캔 라인들 중 하나의 스캔 라인에 연결되는 게이트 전극을 갖는 스위칭 트랜지스터, 상기 전원 제공부와 유기발광소자 사이에 연결되는 구동 트랜지스터, 상기 제1 노드에 연결되는 제1 단자와 상기 구동 트랜지스터의 게이트 전극에 연결되는 제2 단자를 갖는 스토리지 캐패시터, 및 상기 제1 노드 및 상기 구동 트랜지스터의 제1 전극 사이에 연결되는 제1 트랜지스터를 포함한다.

대표도 - 도2



(52) CPC특허분류

*H01L 27/3262* (2013.01)

*G09G 2230/00* (2013.01)

*G09G 2300/0842* (2013.01)

(72) 발명자

**박중현**

경기도 화성시 동탄시범한빛길 10 시범한빛마을한  
화꿈에그린아파트, 232동 1802호

**김동우**

경기도 수원시 권선구 곡선로 20, 608동 503호

---

**신경주**

경기도 화성시 영통로27번길 53, 205동 602호

## 명세서

### 청구범위

#### 청구항 1

구동 신호들에 대응하여 다양한 세기(intensity)의 빛을 발광하는 화소들;

상기 화소들에 상기 구동 신호를 제공하는 데이터 라인들;

상기 구동 신호를 인가 받는 적어도 하나의 화소를 선택하는 스캔 신호를 제공하는 스캔 라인들; 및

상기 화소들에 적어도 하나의 구동 전압을 제공하는 전원 제공부를 포함하며,

상기 적어도 하나의 화소는,

상기 데이터 라인들 중 하나의 데이터 라인과 연결되는 제1 전극, 제1 노드와 연결되는 제2 전극, 및 상기 스캔 라인들 중 하나의 스캔 라인과 연결되는 게이트 전극을 구비하는 스위칭 트랜지스터;

상기 전원 제공부와 유기발광소자 사이에 연결되는 구동 트랜지스터;

상기 제1 노드와 연결되는 제1 단자 및 상기 구동 트랜지스터의 게이트 전극과 연결되는 제2 단자를 구비하는 스토리지 커패시터; 및

상기 제1 노드와 상기 구동 트랜지스터의 제1 전극 사이에 연결되는 제1 트랜지스터를 포함하는 표시장치.

#### 청구항 2

제1 항에 있어서,

상기 스위칭 트랜지스터는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현되고, 상기 제1 및 제2 게이트 전극은 상기 하나의 스캔 라인으로부터 동일한 스캔 신호를 인가 받는 표시장치.

#### 청구항 3

제1 항에 있어서,

상기 적어도 하나의 화소는,

상기 스캔 라인과 연결되는 게이트 전극, 상기 구동 트랜지스터의 게이트 전극과 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제2 전극과 연결되는 제2 전극을 구비하는 제2 트랜지스터를 더 포함하는 표시장치.

#### 청구항 4

제3 항에 있어서,

상기 제2 트랜지스터는 상기 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현되는 표시장치.

#### 청구항 5

제1 항에 있어서,

상기 전원 제공부는, 화소들에 초기화 전압을 제공하는 초기화 전압단을 포함하고,

상기 적어도 하나의 화소는, 상기 하나의 스캔 라인과 연결되는 게이트 전극, 상기 초기화 전압단과 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비하는 제2 트랜지스터를 더 포함하는 표시장치.

#### 청구항 6

제5 항에 있어서,

상기 제3 트랜지스터는 상기 하나의 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현되는 표시장치.

#### 청구항 7

제1 항에 있어서,

상기 적어도 하나의 화소는,

제1 제어신호 라인과 연결되는 게이트 전극, 상기 전원 제공부와 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제2 전극과 연결되는 제2 전극을 구비하는 제4 트랜지스터를 더 포함하는 표시장치.

#### 청구항 8

구동 신호들에 대응하여 다양한 세기(intensity)의 빛을 발광하는 화소들;

상기 화소들에 상기 구동 신호를 제공하는 데이터 라인들;

상기 구동 신호를 인가 받는 적어도 하나의 화소를 선택하는 스캔 신호를 제공하는 스캔 라인들; 및

상기 화소들에 적어도 하나의 구동 전압을 제공하는 전원 제공부를 포함하며,

상기 적어도 하나의 화소는,

상기 스캔 라인들 중 하나의 스캔 라인을 통해 스캔 신호를 인가 받고, 데이터 라인과 연결된 제1 전극 및 제1 노드와 연결된 제2 전극을 구비하는 스위칭 트랜지스터;

상기 전원 제공부와 유기발광소자 사이에 연결되는 산화막 트랜지스터로 구현되며, 상기 산화막 트랜지스터의 제1 및 제2 게이트 전극은 서로 다른 신호를 인가받도록 서로 분리된 라인들에 각각 연결되는 구동 트랜지스터; 및

상기 제1 노드와 연결되는 제1 단자 및 상기 구동 트랜지스터의 제1 및 제2 게이트 전극들 중 하나의 게이트 전극과 연결되는 제2 단자를 구비하는 스토리지 커패시터를 포함하는 표시장치.

#### 청구항 9

제8 항에 있어서,

상기 구동 트랜지스터의 제1 게이트 전극은 상기 스토리지 커패시터의 제2 단자와 연결되고, 상기 구동 트랜지스터의 제2 게이트 전극은 제3 단자와 연결되는 표시장치.

#### 청구항 10

제9 항에 있어서,

상기 제3 단자는 상기 유기발광소자의 캐소드와 전기적으로 연결되는 표시장치.

#### 청구항 11

제8 항에 있어서,

상기 스토리지 커패시터의 제2 단자는 상기 구동 트랜지스터의 제2 게이트 전극과 연결되는 표시장치.

#### 청구항 12

제11 항에 있어서,

상기 구동 트랜지스터는, 산화 반도체층, 제1 두께로 상기 제1 게이트 전극과 상기 산화 반도체층 사이에 형성되는 제1 절연층, 및 제2 두께로 상기 제2 게이트 전극과 상기 산화 반도체층 사이에 형성되는 제2 절연층을 구비하며, 상기 제1 두께는 제2 두께보다 얇은 표시장치.

#### 청구항 13

제8 항에 있어서,

상기 스위칭 트랜지스터는 동일한 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현되는 표시장치.

#### 청구항 14

제8 항에 있어서,

상기 적어도 하나의 화소는,

제1 노드 및 상기 구동 트랜지스터의 제1 전극 사이에 연결되는 제1 트랜지스터;

상기 스캔라인들 중 하나의 스캔라인에 연결되는 게이트 전극, 상기 스토리지 커패시터의 제2 단자에 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제2 전극에 연결되는 제2 전극을 구비하는 제2 트랜지스터;

상기 스캔라인들 중 하나의 스캔라인에 연결되는 게이트 전극, 초기화 전압단에 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 제3 트랜지스터; 및

상기 전원 제공부 및 상기 구동 트랜지스터의 제2 전극 사이에 연결되는 제4 트랜지스터를 더 포함하는 표시장치.

#### 청구항 15

제14 항에 있어서,

상기 적어도 하나의 제2 및 제3 트랜지스터는, 동일한 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현되는 표시장치.

#### 청구항 16

제1 제어신호 및 스캔 신호에 따라 제1 구동 전압을 갖는 구동 트랜지스터의 게이트 전극을 초기화하는 단계;

상기 스캔 신호에 따라 상기 제1 구동 전압보다 낮은 전압 레벨의 제2 구동 전압을 갖는 구동 트랜지스터의 제1 전극을 초기화하는 단계;

스캔 신호에 따라 제1 노드 및 구동 트랜지스터의 게이트 전극 사이에 연결된 스토리지 커패시터의 제1 노드로 데이터 신호를 제공하는 단계; 및

제2 제어신호에 따라 구동 트랜지스터의 제1 전극으로 상기 데이터 신호를 인가하는 단계를 포함하는 표시장치의 구동방법.

#### 청구항 17

제16 항에 있어서,

상기 제2 제어신호에 따라 구동 트랜지스터의 제1 전극으로 상기 데이터 신호를 인가하는 단계는, 상기 제1 노드에서 상기 구동 트랜지스터의 제1 전극으로의 접속(communication)이 수행됨에 의하는 표시장치의 구동방법.

#### 청구항 18

제16 항에 있어서,

상기 제1 노드로 데이터 신호를 제공하는 단계는, 상기 구동 트랜지스터의 제1 전극과 상기 제1 노드 간의 접속(communication)의 단절(disconnecting)에 의하는 표시장치의 구동방법.

#### 청구항 19

제16 항에 있어서,

상기 제1 제어신호 및 스캔 신호는 하이 레벨과 로우 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제1 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 하이 레벨 상태인 표시장치의 구동방법.

#### 청구항 20

제19 항에 있어서,

상기 기간 중 일부는 상기 구동 트랜지스터의 게이트 전극이 초기화되는 단계의 기간과 실질적으로 동일한 표시 장치의 구동방법.

#### 청구항 21

제16 항에 있어서,

상기 제1 제어신호 및 스캔 신호는 로우 레벨과 하이 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제1 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 로우 레벨 상태인 표시장치의 구동방법.

#### 청구항 22

제21 항에 있어서,

상기 기간 중 일부는 상기 구동 트랜지스터의 게이트 전극이 초기화되는 단계의 기간과 실질적으로 동일한 표시 장치의 구동방법.

#### 청구항 23

제16 항에 있어서,

상기 제2 제어신호 및 스캔 신호는 로우 레벨과 하이 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제2 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 로우 레벨 상태인 표시장치의 구동방법.

#### 청구항 24

제16 항에 있어서,

상기 제2 제어신호 및 스캔 신호는 로우 레벨과 하이 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제2 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 하이 레벨 상태인 표시장치의 구동방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 표시장치 및 그의 구동방법에 관한 것으로, 특히 저구동 주파수 및/또는 저계조 데이터 표시의 경우에도 화질을 향상시킬 수 있는 유기전계 발광 표시장치 및 그의 구동방법에 관한 것이다.

#### 배경 기술

[0002] 표시장치는 현대 정보 소비 사회의 아이콘이 되고 있다. 일 예로, 액정표시장치(LCD) 및 유기전계 발광 표시장치(OLED)는 휴대폰 및 태블릿 컴퓨터 등과 같은 모바일 기기에서 널리 사용되고 있다. 특히, 유기전계 발광 표시장치는 빠른 반응속도의 장점을 가지고 있어 높은 발광 효율에 의한 휘도(luminance)를 제공할 수 있고, 넓은 시야각을 갖는다. 최근, 소비자들의 요구는 곡면을 구현하거나 구부러질 수 있는 플렉서블한 표시장치의 방향으로 진행되고 있다. 기존 유기전계 발광 표시장치의 화소는 이와 같은 다양한 필요에 부응할 수 있는 기능적 구조를 제공하지 못한다.

[0003] 일반적으로, 표시장치의 화소들은 매트릭스 형상으로 배열되고, 트랜지스터들의 어레이(array)로부터의 전기적 반응에 의한 빛을 생성한다. 유기전계 발광 표시장치는 각각의 화소들에 구비된 트랜지스터를 통해 유기발광 소자들로 인가되는 전류의 양을 제어하고, 상기 유기발광 소자들은 이와 같이 인가되는 전류의 양에 대응되는 정도의 휘도를 갖는 빛을 생성한다. 이러한 트랜지스터들은 크게 아몰퍼스 실리콘(a-Si) 액티브 층을 갖는 아몰퍼스 실리콘(a-Si) 트랜지스터 및 폴리 실리콘(poly-Si) 액티브 층을 갖는 폴리 실리콘(poly-Si) 트랜지스터의 2 종류로 구분될 수 있다.

[0004] 상기 아몰퍼스 실리콘(a-Si) 트랜지스터는 일반적으로 폴리 실리콘(poly-Si) 트랜지스터에 비해 낮은 캐리어 이동도(carrier mobility)를 갖는다. 따라서, 아몰퍼스 실리콘(a-Si) 트랜지스터를 통해서 표시장치의 화소 회로와 같은 높은 속도의 구동회로를 구현하는 것이 어렵다. 반면에, 폴리 실리콘(poly-Si) 트랜지스터의 캐리어 이동도가 아몰퍼스 실리콘(a-Si) 트랜지스터에 비해 100배 정도 높지만, 상기 폴리 실리콘(poly-Si) 트랜지스터

는 결정립계면(grain boundary) 특성에 의해 문턱전압( $V_{th}$ )의 편차가 있다는 단점이 있다. 이러한 문턱전압의 불균일성은 결과적으로 표시화상의 불균일성에 영향을 미칠 수 있으며, 이에 따라 폴리 실리콘 트랜지스터를 포함하는 화소 회로는 일반적으로 복잡한 보상 회로를 요구하게 된다.

- [0005] 위 발명의 배경이 되는 기술 란에 기재된 내용은 오직 본 발명의 기술적 사상에 대한 배경 기술의 이해를 돕기 위한 것이며, 따라서 그것은 본 발명의 기술 분야의 당업자에게 알려진 선행 기술에 해당하는 내용으로 이해될 수 없다.

## 발명의 내용

### 해결하려는 과제

- [0006] 본 발명의 실시예들은 앞서 설명한 문제점들을 극복하고, 종래의 장치/방법의 단점들을 피하면서 저구동 주파수 및/또는 저계조 데이터 표시의 경우에도 화질을 향상시킬 수 있는 유기전계 발광 표시장치 및 그의 구동방법을 제공한다.
- [0007] 추가적인 양상들은 하기의 상세한 설명에 제시될 것이며, 적어도 본 명세서로부터 분명히 도출될 수 있거나 발명의 개념의 실시예에 의해 습득될 수 있다.

### 과제의 해결 수단

- [0008] 본 발명의 일 실시예에 의한 표시장치는, 구동 신호들에 대응하여 다양한 세기(intensity)의 빛을 발광하는 화소들; 상기 화소들에 상기 구동 신호를 제공하는 데이터 라인들; 상기 구동 신호를 인가 받는 적어도 하나의 화소를 선택하는 스캔 신호를 제공하는 스캔 라인들; 및 상기 화소들에 적어도 하나의 구동 전압을 제공하는 전원 제공부를 포함하며, 상기 적어도 하나의 화소는, 상기 데이터 라인들 중 하나의 데이터 라인과 연결되는 제1 전극, 제1 노드와 연결되는 제2 전극, 및 상기 스캔 라인들 중 하나의 스캔 라인과 연결되는 게이트 전극을 구비하는 스위칭 트랜지스터; 상기 전원 제공부와 유기발광소자 사이에 연결되는 구동 트랜지스터; 상기 제1 노드와 연결되는 제1 단자 및 상기 구동 트랜지스터의 게이트 전극과 연결되는 제2 단자를 구비하는 스토리지 커패시터; 및 상기 제1 노드와 상기 구동 트랜지스터의 제1 전극 사이에 연결되는 제1 트랜지스터를 포함한다.
- [0009] 상기 스위칭 트랜지스터는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현되고, 상기 제1 및 제2 게이트 전극은 상기 하나의 스캔 라인으로부터 동일한 스캔 신호를 인가 받을 수 있다.
- [0010] 상기 적어도 하나의 화소는, 상기 스캔 라인과 연결되는 게이트 전극, 상기 구동 트랜지스터의 게이트 전극과 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제2 전극과 연결되는 제2 전극을 구비하는 제2 트랜지스터를 더 포함할 수 있다.
- [0011] 상기 제2 트랜지스터는 상기 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현될 수 있다.
- [0012] 상기 전원 제공부는, 화소들에 초기화 전압을 제공하는 초기화 전압단을 포함하고, 상기 적어도 하나의 화소는, 상기 하나의 스캔 라인과 연결되는 게이트 전극, 상기 초기화 전압단과 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비하는 제2 트랜지스터를 더 포함할 수 있다.
- [0013] 상기 제3 트랜지스터는 상기 하나의 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제 1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현될 수 있다.
- [0014] 상기 적어도 하나의 화소는, 제1 제어신호 라인과 연결되는 게이트 전극, 상기 전원 제공부와 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제2 전극과 연결되는 제2 전극을 구비하는 제4 트랜지스터를 더 포함할 수 있다.
- [0015] 본 발명의 다른 실시예에 의한 표시장치는, 구동 신호들에 대응하여 다양한 세기(intensity)의 빛을 발광하는 화소들; 상기 화소들에 상기 구동 신호를 제공하는 데이터 라인들; 상기 구동 신호를 인가 받는 적어도 하나의 화소를 선택하는 스캔 신호를 제공하는 스캔 라인들; 및 상기 화소들에 적어도 하나의 구동 전압을 제공하는 전원 제공부를 포함하며, 상기 적어도 하나의 화소는, 상기 스캔 라인들 중 하나의 스캔 라인을 통해 스캔 신호를 인가 받고, 데이터 라인과 연결된 제1 전극 및 제1 노드와 연결된 제2 전극을 구비하는 스위칭 트랜지스터; 상기 전원 제공부와 유기발광소자 사이에 연결되는 산화막 트랜지스터로 구현되며, 상기 산화막 트랜지스터의 제1 및 제2 게이트 전극은 서로 다른 신호를 인가받도록 서로 분리된 라인들에 각각 연결되는 구동 트랜지스터; 및

상기 제1 노드와 연결되는 제1 단자 및 상기 구동 트랜지스터의 제1 및 제2 게이트 전극들 중 하나의 게이트 전극과 연결되는 제2 단자를 구비하는 스토리지 커패시터를 포함한다.

- [0016] 상기 구동 트랜지스터의 제1 게이트 전극은 상기 스토리지 커패시터의 제2 단자와 연결되고, 상기 구동 트랜지스터의 제2 게이트 전극은 제3 단자와 연결될 수 있다.
- [0017] 상기 제3 단자는 상기 유기발광소자의 캐소드와 전기적으로 연결될 수 있다.
- [0018] 상기 스토리지 커패시터의 제2 단자는 상기 구동 트랜지스터의 제2 게이트 전극과 연결될 수 있다.
- [0019] 상기 구동 트랜지스터는, 산화 반도체층, 제1 두께로 상기 제1 게이트 전극과 상기 산화 반도체층 사이에 형성되는 제1 절연층, 및 제2 두께로 상기 제2 게이트 전극과 상기 산화 반도체층 사이에 형성되는 제2 절연층을 구비하며, 상기 제1 두께는 제2 두께보다 얇을 수 있다.
- [0020] 상기 스위칭 트랜지스터는 동일한 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현될 수 있다.
- [0021] 상기 적어도 하나의 화소는, 제1 노드 및 상기 구동 트랜지스터의 제1 전극 사이에 연결되는 제1 트랜지스터; 상기 스캔라인들 중 하나의 스캔라인에 연결되는 게이트 전극, 상기 스토리지 커패시터의 제2 단자에 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제2 전극에 연결되는 제2 전극을 구비하는 제2 트랜지스터; 상기 스캔라인들 중 하나의 스캔라인에 연결되는 게이트 전극, 초기화 전압단에 연결되는 제1 전극, 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 제3 트랜지스터; 및 상기 전원 제공부 및 상기 구동 트랜지스터의 제2 전극 사이에 연결되는 제4 트랜지스터를 더 포함할 수 있다.
- [0022] 상기 적어도 하나의 제2 및 제3 트랜지스터는, 동일한 스캔 라인에 연결되어 동일한 스캔 신호를 인가 받는 제1 및 제2 게이트 전극을 갖는 산화막 트랜지스터로 구현될 수 있다.
- [0023] 본 발명의 실시예에 의한 표시장치의 구동방법은, 제1 제어신호 및 스캔 신호에 따라 제1 구동 전압을 갖는 구동 트랜지스터의 게이트 전극을 초기화하는 단계; 상기 스캔 신호에 따라 상기 제1 구동 전압보다 낮은 전압 레벨의 제2 구동 전압을 갖는 구동 트랜지스터의 제1 전극을 초기화하는 단계; 스캔 신호에 따라 제1 노드 및 구동 트랜지스터의 게이트 전극 사이에 연결된 스토리지 커패시터의 제1 노드로 데이터 신호를 제공하는 단계; 및 제2 제어신호에 따라 구동 트랜지스터의 제1 전극으로 상기 데이터 신호를 인가하는 단계를 포함한다.
- [0024] 상기 제2 제어신호에 따라 구동 트랜지스터의 제1 전극으로 상기 데이터 신호를 인가하는 단계는, 상기 제1 노드에서 상기 구동 트랜지스터의 제1 전극으로의 접속(communication)이 수행됨에 의할 수 있다.
- [0025] 상기 제1 노드로 데이터 신호를 제공하는 단계는, 상기 구동 트랜지스터의 제1 전극과 상기 제1 노드 간의 접속(communication)의 단절(disconnecting)에 의할 수 있다.
- [0026] 상기 제1 제어신호 및 스캔 신호는 하이 레벨과 로우 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제1 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 하이 레벨 상태일 수 있다.
- [0027] 상기 기간 중 일부는 상기 구동 트랜지스터의 게이트 전극이 초기화되는 단계의 기간과 실질적으로 동일할 수 있다.
- [0028] 상기 제1 제어신호 및 스캔 신호는 로우 레벨과 하이 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제1 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 로우 레벨 상태일 수 있다.
- [0029] 상기 기간 중 일부는 상기 구동 트랜지스터의 게이트 전극이 초기화되는 단계의 기간과 실질적으로 동일할 수 있다.
- [0030] 상기 제2 제어신호 및 스캔 신호는 로우 레벨과 하이 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제2 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 로우 레벨 상태일 수 있다.
- [0031] 상기 제2 제어신호 및 스캔 신호는 로우 레벨과 하이 레벨의 전압 상태가 주기적으로 반복되는 신호이며, 상기 제2 제어신호는 상기 스캔 신호가 하이 레벨인 기간 중 일부 동안 하이 레벨 상태일 수 있다.

### 발명의 효과

- [0032] 본 발명의 실시예들은 앞서 설명한 문제점들을 극복하고, 종래의 장치/방법의 단점들을 피하면서 저구동 주파수 및/또는 저계조 데이터 표시의 경우에도 화질을 향상시킬 수 있는 유기전계 발광 표시장치 및 그의 구동방법을



제공한다.

### 도면의 간단한 설명

[0033]

발명 개념의 이해를 제공하기 위해 포함되며 이 명세서의 일부를 구성하는 도면들은 발명 개념의 실시예들을 설명하되, 해당 설명들과 함께 발명 개념의 원리들을 설명한다.

도 1은 본 발명의 실시예에 의한 표시장치의 블록도.

도 2는 본 발명의 실시예에 의한 표시장치에 포함된 화소의 회로도.

도 3은 본 발명의 실시예에 의한 표시장치의 구동방법을 설명하는 타이밍도.

도 4는 본 발명의 다른 실시예에 의한 표시장치에 포함된 화소의 회로도.

도 5는 본 발명의 다른 실시예에 의한 표시장치의 구동방법을 설명하는 타이밍도.

도 6은 본 발명의 실시예에 의한 더블 게이트 산화막 트랜지스터 및 폴리 실리콘 트랜지스터의 구조를 설명하는 단면도.

도 7A 및 도 7B는 도 6에 도시된 더블 게이트 산화막 트랜지스터의 동작 모드들에 대응되는 특성을 나타내는 그래프.

도 8은 싱글 게이트 산화막 트랜지스터의 동작 모드에 대응되는 특성을 나타내는 그래프.

도 9A 및 도 9B는 스위칭 트랜지스터가 더블 게이트 산화막 트랜지스터로 구현되는 실시예에 의한 표시장치에 포함된 화소의 회로도.

도 10A 및 도 10B는 구동 트랜지스터가 더블 게이트 산화막 트랜지스터로 구현되는 실시예에 의한 표시장치에 포함된 화소의 회로도.

### 발명을 실시하기 위한 구체적인 내용

[0034]

아래의 서술에서, 설명의 목적으로, 다양한 실시예들의 이해를 돕기 위해 많은 구체적인 세부 내용들이 제시된다. 그러나, 다양한 실시예들이 이러한 구체적인 세부 내용들 없이 또는 하나 이상의 동등한 방식으로 실시될 수 있다는 것은 명백하다. 다른 예시들에서, 잘 알려진 구조들과 장치들은 장치는 다양한 실시예들을 불필요하게 이해하기 어렵게 하는 것을 피하기 위해 블록도로 표시된다.

[0035]

도면에서, 레이어들, 필름들, 패널들, 영역들 등의 크기 또는 상대적인 크기는 명확한 설명을 위해 과장될 수 있다. 또한, 동일한 참조 번호는 동일한 구성 요소를 나타낸다.

[0036]

명세서 전체에서, 어떤 소자 또는 레이어가 다른 소자 또는 레이어와 "연결되어 있다"고 서술되어 있으면, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자나 레이어를 사이에 두고 간접적으로 연결되어 있는 경우도 포함한다. 그러나, 만약 어떤 부분이 다른 부분과 "직접적으로 연결되어 있다"고 서술되어 있으면, 이는 해당 부분과 다른 부분 사이에 다른 소자가 없음을 의미할 것이다. "X, Y, 및 Z 중 적어도 어느 하나", 그리고 "X, Y, 및 Z로 구성된 그룹으로부터 선택된 적어도 어느 하나"는 X 하나, Y 하나, Z 하나, 또는 X, Y, 및 Z 중 둘 또는 그 이상의 어떤 조합 (예를 들면, XYZ, XYY, YZ, ZZ) 으로 이해될 것이다. 여기에서, "및/또는"은 해당 구성들 중 하나 또는 그 이상의 모든 조합을 포함한다.

[0037]

여기에서, 첫번째, 두번째 등과 같은 용어가 다양한 소자들, 요소들, 지역들, 레이어들, 및/또는 섹션들을 설명하기 위해 사용될 수 있지만, 이러한 소자들, 요소들, 지역들, 레이어들, 및/또는 섹션들은 이러한 용어들에 한정되지 않는다. 이러한 용어들은 하나의 소자, 요소, 지역, 레이어, 및/또는 섹션을 다른 소자, 요소, 지역, 레이어, 및 또는 섹션과 구별하기 위해 사용된다. 따라서, 일 실시예에서의 첫번째 소자, 요소, 지역, 레이어, 및/또는 섹션은 다른 실시예에서 두번째 소자, 요소, 지역, 레이어, 및/또는 섹션이라 칭할 수 있다.

[0038]

"아래", "위" 등과 같은 공간적으로 상대적인 용어가 설명의 목적으로 사용될 수 있으며, 그렇게 함으로써 도면에서 도시된 대로 하나의 소자 또는 특징과 다른 소자(들) 또는 특징(들)과의 관계를 설명한다. 이는 도면 상에서 하나의 구성 요소의 다른 구성 요소에 대한 관계를 나타내는 데에 사용될 뿐, 절대적인 위치를 의미하는 것은 아니다. 예를 들어, 도면에 도시된 장치가 뒤집히면, 다른 소자들 또는 특징들의 "아래"에 위치하는 것으로 묘사된 소자들은 다른 소자들 또는 특징들의 "위"의 방향에 위치한다. 따라서, 일 실시예에서 "아래" 라는 용어

는 위와 아래의 양방향성을 포함할 수 있다. 뿐만 아니라, 장치는 그 외의 다른 방향일 수 있다 (예를 들어, 90도 회전된 혹은 다른 방향에서), 그리고, 여기에서 사용되는 그런 공간적으로 상대적인 용어들은 그에 따라 해석된다.

[0039] 여기에서 사용된 용어는 특정한 실시예들을 설명하는 목적이고 제한하기 위한 목적이 아니다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함한다" 고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 다른 정의가 없는 한, 여기에 사용된 용어들은 본 발명이 속하는 분야에서 통상적인 지식을 가진 자에게 일반적으로 이해되는 것과 같은 의미를 갖는다.

[0040] 다양한 예시적인 실시예들이 이상적인 실시예들 및/또는 중간 구조들의 개략도로서의 평면도 및/또는 단면도를 참조하여 설명된다. 이와 같이, 예를 들어 제조 기술 및/또는 허용 오차와 같은 결과로서의 도면은 어느 정도의 변형이 예상되어야 한다. 따라서, 여기에 개시된 예시적인 실시예들은 특정 도시된 형상의 영역으로 제한되는 것으로 해석되어서는 안되며, 일 예로, 제조로 인한 형상의 편차를 포함해야 한다. 예를 들어, 직사각형으로 도시된 영역은 통상적으로, 원형 또는 곡선 형상 및/또는 그 끝단부에 소정의 기울기를 가질 수 있는 것이다. 마찬가지로, 매립 영역도 매립 영역과 그 표면 사이의 영역에 약간의 변형이 발생할 수 있다. 따라서, 도면에 예시된 영역들은 본질적으로 개략적이며, 그 형상들은 디바이스의 영역의 실제 형상을 도시하기 위한 것이 아니며, 제한하려는 의도가 아니다.

[0041] 별도로 정의되지 않는 한, 본 명세서에서 사용되는 모든 용어(기술 및 과학 용어 포함)는 본 개시에 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의된 용어는 관련기술의 맥락에서의 의미와 일치하는 의미로 해석되어야 하며, 명세서에서 명시적으로 정의되지 않은 이상 이상적이거나 지나치게 형식적으로 해석되지 않는다.

[0042] 도 1은 본 발명의 실시예에 의한 표시장치의 블록도이다.

[0043] 표시장치는 액정표시장치(LCD) 및 유기전계 발광 표시장치(OLED)를 포함할 수 있다. 보다 구체적으로, 폴더블(foldable) 또는 웨어러블(wearable) 표시장치와 같은 플렉서블 표시장치는 유기전계 발광 표시장치를 포함할 수 있다. 그러나, 본 발명의 실시예가 이에 한정되는 것은 아니며, 이에 따라 본 발명의 실시예에 의한 표시장치는 다양한 형태의 표시장치를 포함할 수 있다.

[0044] 도 1을 참조하면, 표시 장치는 표시 패널(100), 데이터 구동부(200), 타이밍 제어부(300), 스캔 구동부(400) 및 전원 제공부(미도시)를 포함한다.

[0045] 표시 패널(100)은 화상이 표시되는 영역일 수 있다. 표시 패널(100)은 복수의 데이터 라인(DL1 내지 DLm, 단, m은 1보다 큰 자연수) 및 상기 복수의 데이터 라인(DL1 내지 DLm)과 교차되는 복수의 스캔 라인(SL1 내지 SLn, 단, n은 1보다 큰 자연수), 복수의 발광 제어 라인(EL1 내지 ELn, 단, n은 1보다 큰 자연수)을 포함할 수 있다. 또한, 표시 패널(100)은 복수의 데이터 라인(DL1 내지 DLm)과 복수의 스캔 라인(SL1 내지 SLn) 및 복수의 발광 제어 라인(EL1 내지 ELn)이 교차되는 (그러나, 전기적으로 연결되지 않는) 영역 에 배치되는 복수의 화소(PX)를 포함할 수 있다. 상기 복수의 화소들은 일 실시예로 매트릭스 형태로 배치될 수 있다. 복수의 데이터 라인(DL1 내지 DLm)은 제1 방향(d1)을 따라 연장될 수 있으며, 복수의 스캔 라인(SL1 내지 SLn) 및 복수의 제어 라인(EL1 내지 ELn)은 제1 방향(d1)과 교차되는 제2 방향(d2)을 따라 연장될 수 있다. 도 1을 참조할 때, 제1 방향(d1)은 열 방향일 수 있으며 제2 방향(d2)은 행 방향일 수 있다.

[0046] 복수의 화소(PX)들 각각은 복수의 데이터 라인(DL1 내지 DLm) 중 하나, 복수의 스캔 라인(SL1 내지 SLn) 중 하나 및 복수의 발광 제어 라인(EL1 내지 ELn) 중 하나와 각각과 연결될 수 있다. 또한, 복수의 화소(PX)들 중 제 i(i는 2 이상의 자연수) 스캔 라인(SLi)과 연결되는 화소는 복수의 스캔 라인(SL1 내지 SLn) 중 제 i-1 스캔 라인(SLi-1)과도 연결될 수 있다. 이에 대해서는 도 2를 참조하여 구체적으로 설명하기로 한다. 한편, 복수의 화소(PX)들 중 제1 스캔 라인(SL1)과 연결되는 화소는 제0 스캔 라인(SL0)과도 연결될 수 있다. 이때, 제0 스캔 라인(SL0)은 더미 스캔 라인일 수 있다.

[0047] 복수의 화소(PX)들은 복수의 스캔 라인(SL1 내지 SLn)으로부터 복수의 스캔 신호(S1 내지 Sn)를, 복수의 데이터 라인(DL1 내지 DLn)으로부터 복수의 데이터 신호(DL1 내지 DLm)를, 또한 복수의 제어 라인(EL1 내지 ELn)으로부터 복수의 제2 제어 신호(E1 내지 En)를 제공받을 수 있다. 한편, 복수의 화소(PX)들 각각은 제1 전원 라인을 통해 제1 전원단(ELVDD)과 연결될 수 있으며, 제2 전원라인을 통해 제2 전원단(EVLSS)와 연결될 수 있다. 또한, 복수의 화소(PX)들 각각은 초기화 전압단(도 2의 Vint)과 연결될 수 있다.

- [0048] 전원 제공부는 적어도 하나의 구동 전압(ELVDD, ELVSS, and Vint)을 복수의 화소(PX)로 인가할 수 있다. 따라서, 상기 전원 제공부는 상기 제 1전원단, 제 2전원단, 초기화 전압단을 포함할 수 있다. 복수의 화소(PX)들 각각은 복수의 데이터 라인(DL1 내지 DLm)으로부터 제공받은 데이터 신호(D1 내지 Dm)에 대응하여 제1 전원단(ELVDD)에서 제2 전원단(ELVSS)으로 흐르는 전류량을 제어할 수 있다. 이하, 제1 전원단 및 제1 전원단으로부터 제공되는 구동 전압은 모두 ELVDD로 표기하기로 하고, 제2 전원단 및 제2 전원단으로부터 제공되는 구동 전압은 모두 ELVSS로 표기하기로 하며, 초기화 전압단 및 초기화 전압단으로부터 제공되는 초기화 전압은 모두 Vint로 표기하기로 한다.
- [0049] 데이터 구동부(200)는 표시 패널(100)과 복수의 데이터 라인(DL1 내지 DLm)을 통해 연결될 수 있다. 데이터 구동부(200)는 타이밍 제어부(300)로부터 제공받은 제어 신호(CONT1)에 따라 데이터 라인(DL1 내지 DLm)에 데이터 신호(D1 내지 Dm)를 제공할 수 있다. 복수의 화소(PX) 내에 구비된 스위칭 트랜지스터(SW, 도 2 참조)는 로우 레벨의 스캔 신호에 의해 턴 온 될 수 있으며, 이때, 복수의 화소(PX) 내의 유기 발광 소자(OLED)가 제공받은 데이터 신호에 대응하여 빛을 발광함으로써 영상 이미지를 표시할 수 있다.
- [0050] 타이밍 제어부(300)는 외부 시스템으로부터 제어 신호(CS) 및 영상 신호(R, G, B)를 수신할 수 있다. 제어 신호(CS)는 수직 동기 신호(Vsync) 및 수평 동기 신호(Hsync) 등을 포함할 수 있다. 영상 신호(R, G, B)는 복수의 화소(PX)의 휘도 정보를 포함하고 있다. 휘도는 1024, 256 또는 64개의 계조(gray)를 가질 수 있다. 타이밍 제어부(300)는 수직 동기 신호(Vsync)에 따라 프레임(frame) 단위로 영상 신호(R, G, B)를 구분하고, 수평 동기 신호(Hsync)에 따라 스캔 라인 단위로 영상 신호(R, G, B)를 구분하여 영상 데이터(DATA)를 생성할 수 있다. 타이밍 제어부(300)는 제어 신호(CS) 및 영상 신호(R, G, B)에 따라 데이터 구동부(200) 및 스캔 구동부(400)에 각각 제어 신호(CONT1, CONT2)를 제공할 수 있다. 타이밍 제어부(300)는 영상 데이터(DATA)를 제어 신호(CONT1)와 함께 데이터 구동부(200)로 제공할 수 있으며, 데이터 구동부(200)는 제어 신호(CONT1)에 따라 입력된 영상 데이터(DATA)를 샘플링(sampling) 및 홀딩(holding)하고 아날로그 전압으로 변환하여 복수의 데이터 신호(D1 내지 Dm)를 생성할 수 있다.
- [0051] 스캔 구동부(400)는 표시 패널(100)과 복수의 스캔 라인(SL1 내지 SLn) 및 복수의 제어 라인(EL1 내지 ELn)을 통해 연결될 수 있다. 스캔 구동부(400)는 타이밍 제어부(300)로부터 제공받은 제어 신호(CONT2)에 따라, 스캔 라인(SL1 내지 SLn)에 복수의 스캔 신호(S1 내지 Sn)를 순차적으로 인가할 수 있다. 또한 스캔 구동부(400)는 복수의 화소(PX)에 복수의 발광 제어 신호(E1 내지 En)를 복수의 제어 라인(EL1 내지 ELn)을 통해 제공할 수 있다. 이때, 제1 데이터 라인(DL1)과 제1 발광 제어 라인(EL1)은 동일한 열 그룹 내의 화소와 연결될 수 있다. 본 명세서에서는 복수의 화소(PX)에 복수의 발광 제어 신호(E1 내지 En)를 제공하는 주체를 스캔 구동부(400)로 예를 들어 설명하였으나 이에 한정되는 것은 아니며, 별도의 집적 회로(IC) 및 이와 연결되는 제어 라인(EL1 내지 ELn)을 통해 복수의 발광 제어 신호(E1 내지 En)를 제공할 수도 있다.
- [0052] 전원 제공부(미도시)는 타이밍 제어부(300)로부터 제공받은 제어 신호에 따라 복수의 화소(PX)에 구동 전압을 제공할 수 있다. 제1 및 제2 전원단(ELVDD, ELVSS)은 복수의 화소(PX) 동작에 필요한 구동 전압을 제공할 수 있다. 한편, 전원 제공부는 복수의 화소(PX)에 초기화 전압(Vint)을 제공할 수 있다. 초기화 전압(Vint)을 제공하는 전원 라인은 제1 전원단(ELVDD)과 연결되는 전원 라인과는 달리, 화소 내에서 전류 패스를 형성하지 않을 수 있다. 즉, 초기화 전압은 화소 내에서 전류 패스를 형성하지 않고, 화소의 특정 노드(e.g. 도 2의 구동 트랜지스터(DR)의 제1 전극 및 유기발광소자(OLED)의 애노드 전극과 연결되는 노드)에 소정의 전압(e.g. 로우 레벨 전압)을 제공할 수 있으며, 초기화 전압(Vint)을 제공하는 전원 라인은 복수의 데이터 라인(DL1 내지 DLm)이 배치되는 방향과 평행하고, 복수의 스캔 라인(SL1 내지 SLn)이 배치되는 방향과 교차하도록 배치할 수 있다. 이에 따라, 복수의 스캔 라인(SL1 내지 SLn)으로부터 제공되는 복수의 스캔 신호(S1 내지 Sn)에 의해 선택되는 행에 위치하는 각 화소에 독립적으로 초기화 전압(Vint, 도 2 참조)을 제공할 수 있다.
- [0053] 도 2는 본 발명의 실시예에 의한 표시장치에 포함된 화소의 회로도이다.
- [0054] 특히, 도 2는 제i 스캔 라인(SLi)과 제j 데이터 라인(DLj) 및 제i 제어 라인(ELi)에 연결되는 화소(PXij)를 예시적으로 나타낸 회로도이며, 다른 화소도 동일한 구조를 가질 수 있다(단, i는 자연수). 다만, 도 2의 회로 구조는 예시적인 것으로 본 실시예에 따른 화소(PXij)의 회로가 이에 한정되는 것은 아니다.
- [0055] 도 2를 참조하면, 본 발명의 일 실시예에 따른 화소(PXij)는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4), 스토리지 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함할 수 있다.
- [0056] 스위칭 트랜지스터(SW)는 제j 데이터 라인(Dj)과 연결되는 제1 전극, 제1 노드(N1)과 연결되는 제2 전극, 및 제

i 스캔 라인(Si)과 연결되는 게이트 전극을 포함할 수 있다. 스위칭 트랜지스터(SW)는 제i 스캔 라인(SLi)에 인가되는 제i 스캔 신호(Si)(일 예로 하이 레벨의 신호)에 의해 턴 온 되어, 제j 데이터 라인(DLj)을 통해 제공받은 제j 데이터 신호(Dj)를 제1 노드(N1)에 제공할 수 있다. 즉, 스위칭 트랜지스터(SW)는 하이 레벨의 스캔 신호에 의해 턴 온 될 수 있으며, 로우 레벨의 스캔 신호에 의해 턴 오프 될 수 있다.

[0057] 여기서, 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4)는 모두 n-채널 트랜지스터일 수 있다. 다만, 이에 한정되는 것은 아니며, 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4)는 p-채널 트랜지스터로 구성될 수도 있다.

[0058] 구동 트랜지스터(DR)는 유기 발광 소자(OLED)와 연결되는 제1 전극, 제1 전원단(ELVDD)과 연결되는 제2 전극, 및 제2 노드(N2)와 연결되는 게이트 전극을 포함할 수 있다. 상기 구동 트랜지스터(DR)는 제2 노드(N2)에 인가되는 전압에 따라, 제1 전원단(ELVDD)으로부터 유기 발광 소자(OLED)를 거쳐 제2 전원단(ELVSS)에 제공되는 구동 전류의 전류량을 제어할 수 있다.

[0059] 스토리지 커패시터(Cst)는 제1 노드(N1)에 연결되는 제1 단자(terminal) 및 구동 트랜지스터(DR)의 게이트 전극, 즉, 제2 노드(N2)에 연결되는 제2 단자(terminal)를 포함할 수 있다. 상기 스토리지 커패시터(Cst)는 상기 제1 노드 및 제2 노드 사이의 전압 차가 충전(charge)될 수 있다.

[0060] 제1 트랜지스터(T1)는 제1 노드(N1)와 연결되는 제1 전극, 구동 트랜지스터의 제1 전극과 연결되는 제2 전극을 포함하고, 게이트 전극을 통해 제2 제어 신호를 제공받을 수 있다. 제1 트랜지스터(T1)의 게이트 전극은 제i-1 발광 제어 라인(ELi-1)과 연결될 수 있다. 따라서, 제2 제어 신호는 제i-1 발광 제어 라인(ELi-1)으로부터 제공되는 제i-1 발광 제어 신호(Ei-1)일 수 있다. 이하, 제i-1 발광 제어 신호(Ei-1)를 제2 제어 신호로, 제i-1 발광 제어 라인(ELi-1)를 제2 제어 신호 라인으로 나타내기로 한다. 제1 트랜지스터(T1)는 하이 레벨의 제2 제어 신호에 따라 턴 온 되어, 제1 노드(N1)의 데이터 전압을 구동 트랜지스터(DR)의 제1 전극으로 전달할 수 있다.

[0061] 제2 트랜지스터(T2)는 구동 트랜지스터(DR)의 게이트 전극(즉, 제2 노드(N2))에 연결되는 제1 전극, 구동 트랜지스터(DR)의 제2 전극에 연결되는 제2 전극, 및 제i 스캔 라인(SLi)에 연결되는 게이트 전극을 포함할 수 있다. 상기 제2 트랜지스터(T2)는 하이 레벨의 제i 스캔 신호(Si)에 따라 턴 온 되어, 구동 트랜지스터(DR)를 다이오드 형태로 접속시킬 수 있다. 즉, 제2 트랜지스터(T2)가 턴 온되면 구동 트랜지스터(DR)의 게이트 전극 및 제2 전극에는 동일한 전압인 제1구동 전압(ELVDD)이 인가된다. 앞서 설명한 바와 같이, 상기 제1구동 전압(ELVDD)은 하이 레벨의 전압값일 수 있다.

[0062] 제3 트랜지스터(T3)는 초기화 전압단(Vint)에 연결되는 제1 전극, 구동 트랜지스터(DR)의 제1 전극에 연결되는 제2 전극, 및 제i 스캔 라인(SLi)에 연결되는 게이트 전극을 포함할 수 있다. 상기 제3 트랜지스터(T3)는 하이 레벨의 제i 스캔 신호(Si)에 따라 턴 온 되어, 초기화 전압(Vint)을 구동 트랜지스터(DR)의 제1 전극으로 제공할 수 있다. 앞서 설명한 바와 같이, 상기 초기화 전압(Vint)은 로우 레벨의 전압값일 수 있다.

[0063] 제4 트랜지스터(T4)는 제1 전원단(ELVDD)과 연결되는 제1 전극, 구동 트랜지스터의 제2 전극과 연결되는 제2 전극을 포함하고, 게이트 전극을 통해 제1 제어 신호를 제공받을 수 있다. 제4 트랜지스터(T4)의 게이트 전극은 제i 발광 제어 라인(ELi)과 연결될 수 있다. 따라서, 제1 제어 신호는 제i 발광 제어 라인(ELi)으로부터 제공되는 제i 발광 제어 신호(Ei)일 수 있다. 이하, 제i 발광 제어 신호(Ei)를 제1 제어 신호로, 제i 발광 제어 라인(ELi)를 제1 제어 신호 라인으로 나타내기로 한다. 제4 트랜지스터(T4)는 게이트 전극으로 인가되는 하이 레벨의 제1 제어 신호(즉, 발광 제어 신호(Ei))에 따라 턴 온 되어, 제1구동 전압(ELVDD)을 구동 트랜지스터(DR)의 제2 전극으로 전달할 수 있다. 또한, 제4 트랜지스터(T4)는 게이트 전극에 인가되는 발광 제어 신호(Ei)에 따라 구동 전류가 유기 발광 소자(OLED)로 흐르는 것을 방지할 수 있다.

[0064] 유기 발광 소자(OLED)는 구동 트랜지스터의 제1 전극과 연결되는 애노드 전극, 제2 전원단(ELVSS)과 연결되는 캐소드 전극을 포함할 수 있다. 또한, 상기 유기 발광 소자(OLED)는 유기 발광층을 포함할 수 있다. 상기 유기 발광층은 기본색(primary color) 중 하나의 빛을 낼 수 있으며 기본색은 적색, 녹색 또는 청색의 삼원색일 수 있다. 이들 삼원색의 공간적 합 또는 시간적 합으로 원하는 색상이 표시될 수 있다. 유기 발광층은 각 색에 해당하는 저분자 유기물 또는 고분자 유기물을 포함할 수 있다. 유기 발광층에 흐르는 전류량에 따라 각 색에 해당하는 유기물은 발광하여 빛을 발산할 수 있다.

[0065] 도 3은 본 발명의 실시예에 의한 표시장치의 구동방법을 설명하는 타이밍도이다.

[0066] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 구동 트랜지스터(DR)가 연결된 특정 노드들을 초기화하고, 구동 트랜지스터의 문턱전압(Vth)을 보상하며, 이러한 초기화 및 보상 단계들이 하이 레벨의 스캔 신호가 인가



되는 동안 수행될 수 있다. 또한, 상기 스캔 신호 인가 이후, 제1 노드(N1)의 데이터 전압은 구동 트랜지스터의 제1 전극으로 전달되며, 이 때, 픽셀의 구동 과정은 제 1 내지 제4 기간(P1 내지 P4)을 포함할 수 있다.

[0067] 먼저, 도 2 내지 도 3을 참조하면, 제1 기간(P1)에서 스위칭 트랜지스터(SW), 제2 트랜지스터(T2), 및 제3 트랜지스터(T3)는 제i 스캔 라인(SLi)에 인가되는 하이 레벨의 제i 스캔 신호(Si)에 의해 턴 온 될 수 있다. 또한, 제4 트랜지스터(T4)는 제i 발광 제어 라인(ELi)으로부터 제공되는 하이 레벨의 제1 제어신호(제i 발광 제어 신호(Ei))에 의해 턴 온 될 수 있다. 반면에, 제1 트랜지스터(T1)는 제i-1 발광 제어 라인(ELi-1)으로부터 제공되는 로우 레벨의 제2 제어신호(제i-1 발광 제어 신호(Ei-1))에 의해 턴 오프 될 수 있다.

[0068] 제3 트랜지스터(T3)가 턴 온되면, 초기화 전압(Vint)은 유기발광소자(OLED)의 애노드 전극으로 인가될 수 있다. 상기 초기화 전압의 전압 레벨은 제2 전원전압(ELVSS)보다 낮을 수 있다. 특히, 초기화 전압(Vint)의 전압 레벨은 제2 전원전압(ELVSS)과 유기발광소자(OLED)의 문턱전압(Vth)의 합보다 낮을 수 있다. 따라서, 초기화 전압(Vint)이 유기발광소자의 애노드에 인가되면, 상기 유기발광소자로부터 빛이 발광되는 것을 방지할 수 있다. 또한, 제2 트랜지스터(T2) 및 제4 트랜지스터(T4)가 턴 온될 때, 하이 레벨의 제1전원전압(ELVDD)이 구동 트랜지스터(DR)의 게이트 전극 및 제2 전극에 인가될 수 있고, 이에 따라 상기 구동 트랜지스터는 다이오드로서 동작할 수 있다. 즉, 상기 구동 트랜지스터가 턴 온되고, 그 이후 제 1전원단(ELVDD)으로부터 초기화 전압단(Vint)으로의 전류 경로가 형성될 수 있다. 앞서 설명한 바와 같이, 초기화 전압(Vint)의 전압 레벨이 제2전원단의 전압 레벨보다 낮기 때문에, 전류는 유기발광소자로 흐르지 않으며 이에 따라 유기발광소자(OLED)로부터 빛이 발광되는 것을 방지할 수 있다. 또한, 스위칭 트랜지스터(SW)가 턴 온되면, 제j 데이터 라인(DLj)으로부터 제공되는 제j 데이터 신호(Dj)는 제1 노드(N1)에 인가될 수 있다. 따라서, 제1 기간(P1) 동안, 특정 노드(즉, 제2 노드(N2) 및 유기발광소자(OLED)의 애노드에 연결된 노드)가 초기화되고, 데이터 신호가 제1 노드(N1)로 인가된다.

[0069] 다음, 제2 기간(P2)에서 스위칭 트랜지스터(SW), 제2 트랜지스터(T2), 및 제3 트랜지스터(T3)는 마찬가지로 제i 스캔 라인(SLi)에 인가되는 하이 레벨의 제i 스캔 신호(Si)에 의해 턴 온 될 수 있다. 반면에, 제4 트랜지스터(T4)는 제i 발광 제어 라인(ELi)으로부터 제공되는 로우 레벨의 제1 제어신호(제i 발광 제어 신호(Ei))에 의해 턴 오프되고, 제1 트랜지스터(T1)는 제i-1 발광 제어 라인(ELi-1)으로부터 제공되는 로우 레벨의 제2 제어신호(제i-1 발광 제어 신호(Ei-1))에 의해 턴 오프 될 수 있다.

[0070] 제4 트랜지스터(T4)가 턴 오프되면, 제1전원전압(ELVDD)은 더 이상 구동 트랜지스터의 제2 전극으로 인가되지 않는다. 그러나, 제2 트랜지스터(T2)는 여전히 턴 온 상태로서 로우 레벨의 초기화 전압(Vint)이 구동 트랜지스터(DR)의 제2 전극에 인가되므로, 구동 트랜지스터의 게이트 전극과 연결된 제2 노드(N2)의 전압 레벨은 구동 트랜지스터가 턴 오프될 때까지 점차적으로 낮아질 수 있다. 보다 구체적으로, 제2 노드의 전압 레벨은 초기화 전압(Vint)과 구동 트랜지스터의 문턱전압의 합에 대응되는 전압 레벨이 되고, 그 후 상기 구동 트랜지스터는 턴 오프될 수 있다. 상기 구동 트랜지스터가 턴 오프될 당시의 제2 노드(N2)의 전압 레벨은 구동 트랜지스터의 문턱전압을 포함할 수 있다. 또한, 스위칭 트랜지스터(SW)가 턴 온될 때, 제j 데이터 라인(DLj)으로부터 제공되는 제j 데이터 신호(Dj)는 제1 노드(N1)에 인가될 수 있다. 따라서, 제2 기간(P2) 동안, 구동 트랜지스터(DR)의 문턱전압(Vth)은 보상될 수 있고, 데이터 신호는 여전히 상기 제1 노드(N1)에 인가된다.

[0071] 그 다음, 제3 기간(P3)에서 스위칭 트랜지스터(SW), 제2 트랜지스터(T2), 및 제3 트랜지스터(T3)는 제i 스캔 라인(SLi)에 인가되는 로우 레벨의 제i 스캔 신호(Si)에 의해 턴 오프 될 수 있다. 또한, 제4 트랜지스터(T4)는 제i 발광 제어 라인(ELi)으로부터 제공되는 로우 레벨의 제1 제어신호(제i 발광 제어 신호(Ei))에 의해 턴 오프되나, 제1 트랜지스터(T1)는 제i-1 발광 제어 라인(ELi-1)으로부터 제공되는 하이 레벨의 제2 제어신호(제i-1 발광 제어 신호(Ei-1))에 의해 턴 온될 수 있다.

[0072] 하이 레벨의 제2 제어신호에 의해 제1 트랜지스터(T1)가 턴 온되면, 제1 노드의 데이터 전압은 구동 트랜지스터(DR)의 제1 전극으로 전달된다. 여기서, 데이터 전압은 제j 데이터 라인(DLj)으로부터 제공되는 데이터 신호에 대응될 수 있다. 상기 제2 노드(N2)의 전압 레벨은 구동 트랜지스터(DR)의 문턱전압(Vth) 및 초기화 전압(Vint)의 합일 수 있다. 스토리지 커패시터(Cst)에는 제1 노드(N1) 및 제2 노드(N2)의 전압차가 충전될 수 있다. 따라서, 제1 노드(N1) 및 구동 트랜지스터의 제1 전극은 제1 트랜지스터가 턴 온됨에 따라 같은 노드가 될 수 있으며, 이에 상기 제3 기간(P3) 동안, 제1 노드(N1)의 데이터 전압은 구동 트랜지스터(DR)의 제1 전극으로 인가된다.

[0073] 마지막으로, 제4 기간(P4)에서 스위칭 트랜지스터(SW), 제2 트랜지스터(T2), 및 제3 트랜지스터(T3)는 제i 스캔 라인(SLi)에 인가되는 로우 레벨의 제i 스캔 신호(Si)에 의해 턴 오프 될 수 있다. 반면에, 제4 트랜지스터(T

4)는 제i 발광 제어 라인(ELi)으로부터 제공되는 하이 레벨의 제1 제어신호(제i 발광 제어 신호(Ei))에 의해 턴 온되고, 제1 트랜지스터(T1)는 제i-1 발광 제어 라인(ELi-1)으로부터 제공되는 하이 레벨의 제2 제어신호(제i-1 발광 제어 신호(Ei-1))에 의해 턴 온될 수 있다.

[0074] 제4 기간(P4) 동안 제1 트랜지스터(T1) 및 제4 트랜지스터(T4)가 턴 온되고, 스위칭 트랜지스터(SW)가 턴 오프 되면, 구동 트랜지스터를 거쳐 흐르는 구동 전류는 유기발광소자(OLED)에 인가될 수 있다. 상기 유기발광소자는 상기 구동 전류에 대응하는 빛을 발광할 수 있다. 발광 기간(즉, 제4 기간(P4))에, 스토리지 커패시터(Cst)에 저장된 데이터 전압이 유기발광소자(OLED)에 제공되고, 이에 따라 유기발광소자는 상기 데이터 전압에 비례하는 휘도로 빛을 발광한다. 그 결과, 제2 노드(N2)에 인가되는 전압값은 구동 트랜지스터의 문턱전압을 보상하기 위해 필요한 보상 전압을 포함하며, 상기 제4 기간(P4)은 빛을 발광하는 기간이 된다. 따라서, 유기발광소자(OLED)에 흐르는 구동 전류는 구동 트랜지스터(DR)의 문턱전압(Vth)의 영향을 받지 않는다.

[0075] 도 4는 본 발명의 다른 실시예에 의한 표시장치에 포함된 화소의 회로도이고, 도 5는 본 발명의 다른 실시예에 의한 표시장치의 구동방법을 설명하는 타이밍도이다.

[0076] 도 2에 도시된 화소(PXij)와 비교할 때, 도 4에 도시된 화소(PXij')는 적어도 하나의 다른 타입(즉, p-채널)의 트랜지스터를 포함한다. 보다 구체적으로, 제1 또는 제2 제어신호를 인가 받는 트랜지스터가 p-채널 트랜지스터가 될 수 있다. 일 예로, 도 2에 도시된 제1 트랜지스터(T1) 및 제4 트랜지스터(T4)가 p-채널 트랜지스터가 될 수 있다. 따라서, 도 4의 화소(PXij')를 설명함에 있어 도 2에 도시된 화소(PXij)와 동일한 구성에 대해서는 동일한 도면부호를 사용하고, 이에 대한 상세한 설명은 생략하기로 한다.

[0077] 도 4를 참조하면, 본 발명의 다른 실시예에 의한 화소(PXij')는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1', T2, T3, T4'), 스토리지 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함할 수 있다. 여기서, 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제2 트랜지스터(T2), 및 제3 트랜지스터(T3)는 n-채널 트랜지스터인 반면, 도 2에 도시된 제1 트랜지스터(T1) 및 제4 트랜지스터(T4)는 p-채널 트랜지스터가 될 수 있다.

[0078] 상기 p-채널 트랜지스터는 게이트 전극으로 로우 레벨의 전압이 인가될 때 턴 온될 수 있다. 따라서, 도 5를 참조하면, 제1 및 제2 제어신호(즉, 제i 발광 제어 신호(Ei) 및 제i-1 발광 제어 신호(Ei-1))의 위상은 도 3에 도시된 제1 및 제2 제어신호(즉, 제i 발광 제어 신호(Ei) 및 제i-1 발광 제어 신호(Ei-1))와 비교할 때 반전되어 있다. 즉, 도 5를 참조하면, 제1 제어신호(Ei)는 제1 기간(P1) 동안 로우 레벨로 인가되고, 제2 제어신호(Ei-1)는 스캔 신호가 하이 레벨 일 때(즉, 제1 기간(P1) 및 제2 기간(P2) 동안) 이와 실질적으로 동일하게 하이 레벨로 인가될 수 있다.

[0079] 도 6은 본 발명의 실시예에 의한 더블 게이트 산화막 트랜지스터 및 폴리 실리콘 트랜지스터의 구조를 설명하는 단면도이다.

[0080] 도 6을 참조하면, 탑 게이트 구조의 폴리 실리콘 박막트랜지스터(TFT)는 액티브층으로서 기판(600) 및 버퍼층(610) 상에 형성된 실리кон 반도체층(664)을 포함한다. 상기 실리кон 반도체층(664)은 폴리 실리кон으로 형성될 수 있다. 이 때, 상기 폴리 실리кон은 아몰퍼스 실리кон을 결정화하여 구현될 수 있다. 아몰퍼스 실리кон의 결정화 방법은 rapid thermal annealing (RTA), solid phase crystallization (SPC), excimer laser annealing (ELA), metal induced crystallization (MIC), metal induced lateral crystallization (MILC), or sequential lateral solidification (SLS) 등으로 구현될 수 있다. 상기 실리кон 반도체층(664)은 중앙의 채널영역, 이온 불순물이 도핑된 상기 채널영역의 외측에 위치한 도핑영역을 포함할 수 있다. 상기 실리кон 반도체층(664)의 도핑영역은 제1 절연층(620) 및 제2 절연층(630)에 형성된 콘택홀을 통해 소스 전극(650) 및 드레인 전극(652)과 접촉할 수 있다.

[0081] 상기 실리кон 반도체층(664)은 높은 전자 이동도를 가지나, 누설전류 특성은 좋지 않다. 트랜지스터의 누설전류(즉, 오프 전류(off current))는 트랜지스터의 게이트-소스 포텐셜(potential)이 문턱전압 보다 낮음에 의해 상기 트랜지스터가 턴 오프 상태임에도 불구하고 드레인 전극과 소스 전극 사이에서 전류가 흐르는 현상을 말한다. 일 예로, 스위칭 트랜지스터의 누설 전류는 스토리지 커패시터 내의 전압 강하를 야기하며, 이러한 스토리지 커패시터 내의 전압 강하는 유기발광소자의 휘도 저하를 초래한다. 즉, 스위칭 트랜지스터의 누설 전류는 유기발광소자의 휘도 저하를 초래한다. 따라서, 탁월한 누설전류 억제 특성을 갖는 산화 반도체는 낮은 전자 이동도 특성을 가짐에도 불구하고 전류 누설을 억제하기 위한 스위칭 트랜지스터의 액티브 층으로 사용될 수 있다.

- [0082] 도 6을 참조하면, 더블 게이트 산화막 박막트랜지스터(TFT)는 기판(660) 및 버퍼층(610) 상에 형성된 제1 게이트 전극(640)을 포함한다. 또한, 상기 제1 게이트 전극(640)과 제1 절연층(620) 사이에 액티브층으로서의 산화 반도체층(662)이 형성된다. 산화 반도체층(662)은  $G-I-ZO[a(In_{203})b(Ga_{203})c(ZnO)_c]$  ( $a, b, c$ 는 각각  $a \geq 0, b \geq 0, c > 0$ 의 조건을 만족시키는 실수)를 포함할 수 있으며, 이외에도 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 하프늄(Hf)과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다. 산화 반도체층(662)의 양측 영역은 소스 전극(650) 및 드레인 전극(652)과 접촉할 수 있다. 제2 절연층(630)은 상기 산화 반도체층(662) 상에 형성되고, 제2 게이트 전극(642)은 상기 산화 반도체층(662)과 중첩된 제2 절연층(630) 상에 형성된다. 도 6에 도시된 산화막 박막트랜지스터는 산화 반도체층(662), 상기 산화 반도체층(662) 하부의 제1 게이트 전극(640) 및 상기 산화 반도체층(662) 상에 형성된 제2 게이트 전극(642)을 포함할 수 있다. 따라서, 산화막 박막트랜지스터는 더블 게이트 산화막 트랜지스터로 정의될 수 있다. 여기서, 도 6에 도시된 바와 같이, 제1 절연층(620)의 두께( $t_1$ )는 제2 절연층(630)의 두께( $t_2$ )보다 얇을 수 있다. 일 예로, 제1 절연층(620)의 두께( $t_1$ )는 약 1400Å이고, 제2 절연층(630)의 두께( $t_2$ )는 약 2600Å일 수 있다. 따라서, 제1 게이트 전극(640)은 메인 게이트 전극으로 사용되고, 제2 게이트 전극(642)은 서브 게이트 전극으로 사용될 수 있다.
- [0083] 상기 제1 게이트 전극(640) 및 제2 게이트 전극(642) 모두가 동일한 제어신호(예, 스캔 신호)를 인가 받으면, 상기 더블 게이트 산화막 트랜지스터는 더블 게이트 모드(DG mode)로 동작하게 된다. 더블 게이트 모드에서는, 제1 게이트 전극뿐만 아니라 제2 게이트 전극에도 제어신호가 인가되기 때문에 상기 산화 반도체층은 제1 및 제2 게이트 전극으로 인가된 제어신호에 의해 2개의 채널이 형성될 수 있다. 따라서, 상기 더블 게이트 모드에서는 누설 전류 특성이 향상된다.
- [0084] 또한, 제1 게이트 전극(640) 및 제2 게이트 전극(642) 중 어느 한 전극에만 제어신호가 인가되면, 상기 더블 게이트 산화막 트랜지스터는 싱글 게이트 모드(SG mode)로 동작하게 된다. 싱글 게이트 모드는 제1 싱글 게이트 모드와 제2 싱글 게이트 모드로 나뉘어 질 수 있다. 상기 제1 싱글 게이트 모드는 제2 게이트 전극(642)에만 제어신호가 인가되는 경우이고, 제2 싱글 게이트 모드는 제1 게이트 전극(640)에만 제어신호가 인가되는 경우이다. 일 예로, 제2 싱글 게이트 모드에서는, 제1 게이트 전극(640)이 제어신호를 인가받을 때 제2 게이트 전극(642)은 상기 트랜지스터의 문턱전압을 조정하는 특정한 DC 전압을 인가받을 수 있다. 따라서, 상기 싱글 게이트 모드에서는 산화막 트랜지스터의 구동범위가 적절히 조정될 수 있다.
- [0085] 이하에서는, 상기 더블 게이트 산화막 트랜지스터의 특성을 도 7A, 도 7B, 및 도 8을 참조하여 보다 상세히 설명하도록 한다.
- [0086] 도 7A 및 도 7B는 도 6에 도시된 더블 게이트 산화막 트랜지스터의 동작 모드들에 대응되는 특성을 나타내는 그래프이고, 도 8은 싱글 게이트 산화막 트랜지스터의 동작 모드에 대응되는 특성을 나타내는 그래프이다.
- [0087] 도 7A 및 도 7B를 참조하면, X축은 더블 게이트 산화막 트랜지스터의 게이트-소스 전압( $V_{gs}$ )을 나타내고, Y축은 더블 게이트 산화막 트랜지스터의 소스전극 및 드레인 전극 사이의 전류( $I_{ds}$ )를 나타낸다. 또한, 도 7A의 소스-드레인 간 전압( $V_{ds}$ )은 10.1V이고, 마찬가지로 도 7의 소스-드레인간 전압( $V_{ds}$ )은 5.1V이다.
- [0088] 도 7A에 의하면, 더블 게이트 산화막 트랜지스터는 더블 게이트 모드(DG mode)에서 더 좋은 누설 전류(오프 전류) 특성을 가질 수 있다. 앞서 설명한 바와 같이, 더블 게이트 모드에서는 산화 반도체층은 제1 및 제2 게이트 전극 모두에 인가되는 제어신호에 의해 2개의 채널을 갖는 반면, 싱글 게이트 모드에서는 상기 제1 게이트 전극 또는 제2 게이트 전극에만 제어신호가 인가되므로 오직 하나의 채널을 갖는다. 따라서, 싱글 게이트 모드보다 더블 게이트 모드에서 더 좋은 누설 전류 특성을 보인다.
- [0089] 반면에, 더블 게이트 산화막 트랜지스터의 구동 범위 측면에서 보면, 더블 게이트 산화막 트랜지스터는 도 7A에 도시된 바와 같이 싱글 게이트 모드에서 더 넓은 구동 범위를 가질 수 있다.
- [0090] 보다 구체적으로, 도 7B는 동작 모드들에 따른 다양한 구동 범위를 나타낸다. 앞서 설명한 바와 같이, 제1 싱글 게이트 모드는 제2 게이트 전극(642)에만 제어신호(예, 스캔 신호)가 인가되고, 제1 게이트 전극(640)은 접지(예, 0V)에 연결된다. 제2 싱글 게이트 모드는 제1 게이트 전극(640)에만 제어신호가 인가되고, 제2 게이트 전극(642)은 접지에 연결된다. 더블 게이트 모드는 제1 및 제2 게이트 전극(640, 642) 모두가 동일한 스캔 신호가 인가된다.
- [0091] 도 7B에 따르면,  $I_{ds}$ 가 1nA에서 500nA의 값을 가질 때, 더블 게이트 산화막 트랜지스터의 구동 범위는 더블 게이트 모드의 경우 1.5V이고, 제2 싱글 게이트 모드의 경우 2.5V이며, 제1 싱글 게이트 모드의 경우는 4.0V이다.

따라서, 상기 제1 싱글 게이트 모드에서, 더블 게이트 산화막 트랜지스터는 상기 더블 게이트 모드에 비해 약 2.67배 넓은 구동 범위를 갖는다. 또한, 제1 싱글 게이트 모드에서, 더블 게이트 산화막 트랜지스터는 상기 제2 싱글 게이트 모드에 비해 약 1.6배 넓은 구동 범위를 갖는다.

[0092] 또한, 제2 싱글 게이트 모드에서, 제1 게이트 전극(640)이 제어신호를 인가 받을 때, 제2 게이트 전극(642)는 트랜지스터의 문턱전압을 조정하는 특정한 DC 전압을 인가 받을 수 있다. 따라서, 상기 제2 싱글 게이트 모드에서는 산화막 트랜지스터의 구동범위가 적절히 조정될 수 있다.

[0093] 도 8을 참조하면, X축은 서브 게이트(즉, 제2 게이트 전극)에 인가되는 전압을 나타내고, Y축은 더블 게이트 산화막 트랜지스터의 공핍(depleted) 채널을 나타낸다. 도 8에 의하면, 음의 전압(또는 로우 레벨 전압)이 서브 게이트에 인가되면, 문턱전압은 서브 게이트 전압이 0V인 것보다 클 수 있다. 또한, 문턱전압 및 더블 게이트 산화막 트랜지스터의 구동 범위는 도 8에 도시된 바와 같이 공핍 채널 영역에서 서로 반비례 관계를 갖는다. 일 예로, 더블 게이트 산화막 트랜지스터의 문턱전압이 커지면, 더블 게이트 산화막 트랜지스터는 더 넓은 구동 범위를 갖는다.

[0094] 도 9A 및 도 9B는 스위칭 트랜지스터가 더블 게이트 산화막 트랜지스터로 구현되는 실시예에 의한 표시장치에 포함된 화소의 회로도이다.

[0095] 도 2에 도시된 화소(PX<sub>ij</sub>)와 비교할 때, 도 9A에 도시된 화소는 스위칭 트랜지스터(SW)로서 더블 게이트 산화막 트랜지스터를 포함하고, 상기 더블 게이트 산화막 트랜지스터의 제1 및 제2 게이트 전극이 동일한 스캔 신호(S<sub>i</sub>)를 인가받는 스캔 라인(SL<sub>i</sub>)에 연결된다. 또한, 도 9B에 도시된 화소는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3) 역시 스위칭 트랜지스터(SW)와 마찬가지로 더블 게이트 산화막 트랜지스터로 구현되고, 상기 더블 게이트 산화막 트랜지스터들의 제1 및 제2 게이트 전극은 동일한 스캔 신호(S<sub>i</sub>)를 인가받는 스캔 라인(SL<sub>i</sub>)에 연결된다. 즉, 도 9B는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 제1 및 제2 게이트 전극은 동일한 스캔 신호(S<sub>i</sub>)를 인가받는 스캔 라인(SL<sub>i</sub>)에 연결된 더블 게이트 산화막 트랜지스터로 구현되는 점에서 도 9A와 상이하다.

[0096] 따라서, 도 2에 도시된 화소와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하고, 이에 대한 상세한 설명은 생략하기로 한다.

[0097] 도 9A 및 도 9B를 참조하면, 본 발명의 실시예에 의한 화소는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4), 스토리지 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함할 수 있다.

[0098] 스위칭 트랜지스터(SW)는 제j 데이터 라인(D<sub>j</sub>)과 연결되는 제1 전극, 제1 노드(N1)과 연결되는 제2 전극, 및 제i 스캔 라인(S<sub>i</sub>)과 연결되는 게이트 전극을 포함할 수 있다. 스위칭 트랜지스터(SW)는 제i 스캔 라인(SL<sub>i</sub>)에 인가되는 제i 스캔 신호(S<sub>i</sub>)(일 예로 하이 레벨의 신호)에 의해 턴 온 되어, 제j 데이터 라인(DL<sub>j</sub>)을 통해 제공받은 제j 데이터 신호(D<sub>j</sub>)를 제1 노드(N1)에 제공할 수 있다.

[0099] 또한, 도 9A 및 도 9B에 의하면, 스위칭 트랜지스터(SW)는 제1 및 제2 게이트 전극을 갖는 더블 게이트 산화막 트랜지스터로 구현될 수 있으며, 상기 제1 및 제2 게이트 전극은 모두 스캔 라인(SL<sub>i</sub>)으로부터 동일한 스캔 신호(S<sub>i</sub>)를 인가 받는다. 즉, 스위칭 트랜지스터(SW)는 더블 게이트 모드의 더블 게이트 산화막 트랜지스터가 될 수 있다.

[0100] 앞서 설명한 바와 같이, 누설 전류 특성은 상기 더블 게이트 모드에서 향상될 수 있다. 따라서, 도 9A 및 도 9B에 도시된 스위칭 트랜지스터(SW)는 저 주파수 구동의 경우에도 향상된 화질을 구현할 수 있게 된다.

[0101] 이에 따라, 도 9A 및 도 9B에 도시된 화소를 구비한 표시장치는 모바일 기기의 소비전력을 최소화하기 위해 구동 주파수가 크게 낮춰진 경우에도 적용될 수 있다. 일 예로, 웨어러블 시계를 위한 표시장치는 초 단위로 표시화면을 변경할 경우에 1Hz 또는 정지영상에 가까운 구동 주파수를 이용할 수 있다.

[0102] 스위칭 트랜지스터(SW)는 n-채널 트랜지스터일 수 있다. 따라서, 스위칭 트랜지스터(SW)는 하이 레벨의 스캔 신호에 의해 턴 온되고, 로우 레벨의 스캔 신호에 의해 턴 오프된다.

[0103] 또한, 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4)는 모두 n-채널 트랜지스터일 수 있다. 다만, 이에 한정되는 것은 아니며, 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4)는 p-채널 트랜지스터로 구성될 수도 있다.

[0104] 구동 트랜지스터(DR)는 유기 발광 소자(OLED)와 연결되는 제1 전극, 제1 전원단(ELVDD)과 연결되는 제2 전극,



및 제2 노드(N2)와 연결되는 게이트 전극을 포함할 수 있다. 상기 구동 트랜지스터(DR)는 제2 노드(N2)에 인가되는 전압에 따라, 제1 전원단(ELVDD)으로부터 유기 발광 소자(OLED)를 거쳐 제2 전원단(ELVSS)에 제공되는 구동 전류의 전류량을 제어할 수 있다.

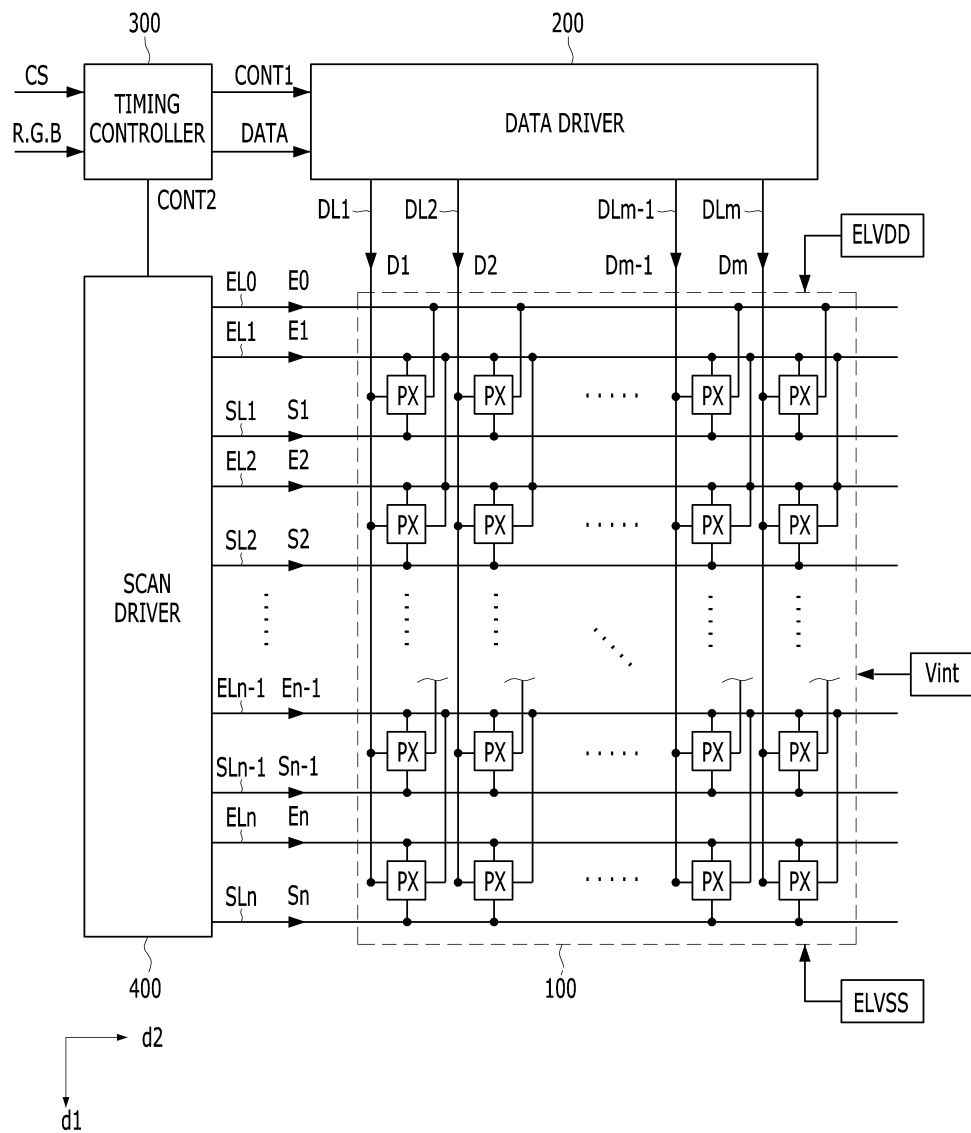
- [0105] 스토리지 커패시터(Cst)는 제1 노드(N1)에 연결되는 제1 단자(terminal) 및 구동 트랜지스터(DR)의 게이트 전극, 제2 노드(N2)에 연결되는 제2 단자(terminal)를 포함할 수 있다. 상기 스토리지 커패시터(Cst)는 상기 제1 노드 및 제2 노드 사이의 전압 차가 충전(charge)될 수 있다.
- [0106] 제1 트랜지스터(T1)는 제1 노드(N1)와 연결되는 제1 전극, 구동 트랜지스터의 제1 전극과 연결되는 제2 전극을 포함하고, 게이트 전극을 통해 제2 제어 신호를 제공받을 수 있다. 제1 트랜지스터(T1)의 게이트 전극은 제i-1 발광 제어 라인(ELi-1)과 연결될 수 있다. 제1 트랜지스터(T1)는 제2 제어 신호에 따라 턴 온 되어, 제1 노드(N1)의 데이터 전압을 구동 트랜지스터(DR)의 제1 전극으로 전달할 수 있다.
- [0107] 제2 트랜지스터(T2)는 구동 트랜지스터(DR)의 게이트 전극(즉, 제2 노드(N2))에 연결되는 제1 전극, 구동 트랜지스터(DR)의 제2 전극에 연결되는 제2 전극, 및 제i 스캔 라인(SLi)에 연결되는 게이트 전극을 포함할 수 있다. 상기 제2 트랜지스터(T2)는 하이 레벨의 제i 스캔 신호(Si)에 따라 턴 온 되어, 구동 트랜지스터(DR)를 다이오드 형태로 접속시킬 수 있다.
- [0108] 앞서 언급한 바와 같이 도 9B에 의하면, 제2 트랜지스터(T2)는 제1 및 제2 게이트 전극을 갖는 더블 게이트 산화막 트랜지스터로 구현될 수 있으며, 상기 제1 및 제2 게이트 전극은 모두 스캔 라인(SLi)으로부터 동일한 스캔 신호(Si)를 인가 받는다. 즉, 제2 트랜지스터(T2)는 더블 게이트 모드의 더블 게이트 산화막 트랜지스터가 될 수 있다.
- [0109] 제3 트랜지스터(T3)는 초기화 전압단(Vint)에 연결되는 제1 전극, 구동 트랜지스터(DR)의 제1 전극에 연결되는 제2 전극, 및 제i 스캔 라인(SLi)에 연결되는 게이트 전극을 포함할 수 있다. 상기 제3 트랜지스터(T3)는 하이 레벨의 제i 스캔 신호(Si)에 따라 턴 온 되어, 초기화 전압(Vint)을 구동 트랜지스터(DR)의 제1 전극으로 제공할 수 있다. 앞서 설명한 바와 같이, 상기 초기화 전압(Vint)은 로우 레벨의 전압값일 수 있다.
- [0110] 도 9B에 의하면, 제3 트랜지스터(T3)는 제1 및 제2 게이트 전극을 갖는 더블 게이트 산화막 트랜지스터로 구현될 수 있으며, 상기 제1 및 제2 게이트 전극은 모두 스캔 라인(SLi)으로부터 동일한 스캔 신호(Si)를 인가 받는다. 즉, 제3 트랜지스터(T3)는 더블 게이트 모드의 더블 게이트 산화막 트랜지스터가 될 수 있다.
- [0111] 제4 트랜지스터(T4)는 제1 전원단(ELVDD)과 연결되는 제1 전극, 구동 트랜지스터의 제2 전극과 연결되는 제2 전극을 포함하고, 게이트 전극을 통해 제1 제어 신호를 제공받을 수 있다. 제4 트랜지스터(T4)의 게이트 전극은 제i 발광 제어 라인(ELi)과 연결될 수 있다. 제4 트랜지스터(T4)는 제1 기간(P1) 동안 게이트 전극으로 인가되는 제1 제어 신호(즉, 발광 제어 신호(Ei))에 따라 턴 온 되어, 제1 구동 전압(ELVDD)을 구동 트랜지스터(DR)의 제2 전극으로 전달할 수 있다. 또한, 제4 트랜지스터(T4)는 제2 및 제3 기간(P2, P3) 동안 게이트 전극에 인가되는 발광 제어 신호(Ei)에 따라 구동 전류가 유기 발광 소자(OLED)로 흐르는 것을 방지할 수 있다.
- [0112] 유기 발광 소자(OLED)는 구동 트랜지스터의 제1 전극과 연결되는 애노드 전극, 제2 전원단(ELVSS)과 연결되는 캐소드 전극을 포함할 수 있다. 유기 발광층에 흐르는 전류량에 따라 각 색에 해당하는 유기물은 발광하여 빛을 발산할 수 있다.
- [0113] 도 10A 및 도 10B는 구동 트랜지스터가 더블 게이트 산화막 트랜지스터로 구현되는 실시예에 의한 표시장치에 포함된 화소의 회로도이다.
- [0114] 도 9B에 도시된 화소와 비교할 때, 도 10A 및 도 10B에 도시된 화소는 구동 트랜지스터(DR)로서 더블 게이트 산화막 트랜지스터를 포함하고, 상기 더블 게이트 산화막 트랜지스터의 제1 및 제2 게이트 전극은 서로 다른 신호를 인가받도록 서로 분리된 라인들에 각각 연결되며, 이는 저계조 데이터 표시의 경우에도 화질을 향상시킬 수 있게 한다.
- [0115] 따라서, 도 9B에 도시된 화소와 동일한 구성요소에 대해서는 동일한 도면부호를 사용하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0116] 도 10A 및 도 10B를 참조하면, 본 발명의 실시예에 의한 화소는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 제1 내지 제4 트랜지스터(T1 내지 T4), 스토리지 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함할 수 있다.
- [0117] 여기서, 도 10A 및 도 10B에 도시된 화소 내의 스위칭 트랜지스터(SW), 제1 내지 제4 트랜지스터(T1 내지 T4)는

도 9B에 도시된 화소 내의 스위칭 트랜지스터(SW), 제1 내지 제4 트랜지스터(T1 내지 T4)와 실질적으로 동일하다. 따라서, 이하에서는 도 10A 및 도 10B를 참조하여 단지 구동 트랜지스터(DR)에 대해서만 상세히 설명하도록 한다.

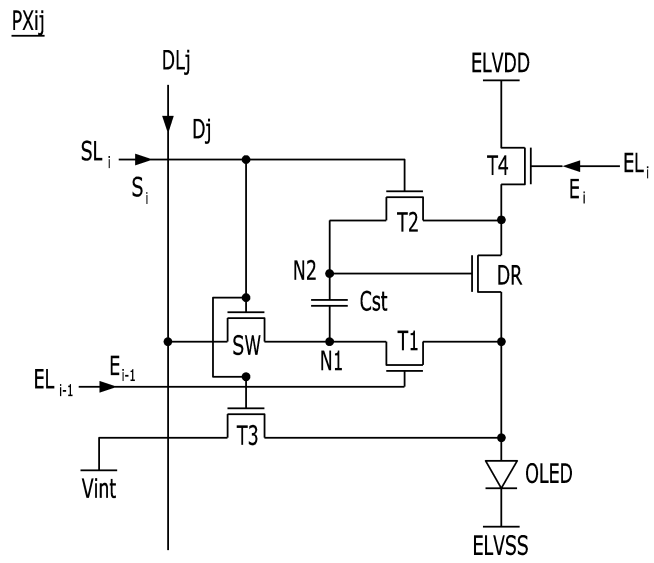
- [0118] 도 10A를 참조하면, 구동 트랜지스터(DR)는 유기 발광 소자(OLED)와 연결되는 제1 전극, 제1 전원단(ELVDD)과 연결되는 제2 전극을 포함할 수 있다. 또한, 상기 구동 트랜지스터는 플로팅 상태(또는 0V가 인가되는) 제1 게이트 전극과, 상기 제2 노드(N2)에 연결되는 제2 게이트 전극을 포함할 수 있다.
- [0119] 따라서, 상기 구동 트랜지스터(DR)는 제1 싱글 게이트 모드로 동작하는 더블 게이트 산화막 트랜지스터가 될 수 있다. 도 6을 참조하면, 산화 반도체층(652) 하부에 형성된 제1 게이트 전극(640)은 구동 트랜지스터(DR)의 제1 게이트 전극에 대응될 수 있고, 산화 반도체층(652) 상에 형성된 제2 게이트 전극(642)은 구동 트랜지스터(DR)의 제2 게이트 전극에 대응될 수 있다. 또한, 도 7B를 참조하면, 상기 제1 싱글 게이트 모드는 상기 구동 트랜지스터(DR)에 대응될 수 있다.
- [0120] 앞서 설명한 바와 같이, 더블 게이트 산화막 트랜지스터의 구동 범위는 상기 제1 싱글 게이트 모드로 동작할 때 향상될 수 있다. 따라서, 도 10A에 도시된 구동 트랜지스터(DR)는 저계조 데이터를 표시할 때 화질을 향상시키는데 일조한다.
- [0121] 다음으로, 도 10B를 참조하면, 구동 트랜지스터(DR)는 유기 발광 소자(OLED)와 연결되는 제1 전극, 제1 전원단(ELVDD)과 연결되는 제2 전극을 포함할 수 있다. 또한, 상기 구동 트랜지스터는 제2 노드(N2)에 연결되는 제1 게이트 전극과, 유기 발광 소자(OLED)의 캐소드와 연결된 제2 전원단(ELVSS)과 연결되는 제2 게이트 전극을 포함할 수 있다.
- [0122] 따라서, 상기 구동 트랜지스터(DR)는 제2 싱글 게이트 모드로 동작하는 더블 게이트 산화막 트랜지스터가 될 수 있다. 도 6을 참조하면, 산화 반도체층(652) 하부에 형성된 제1 게이트 전극(640)은 구동 트랜지스터(DR)의 제1 게이트 전극에 대응될 수 있고, 산화 반도체층(652) 상에 형성된 제2 게이트 전극(642)은 구동 트랜지스터(DR)의 제2 게이트 전극에 대응될 수 있다. 또한, 도 7B를 참조하면, 상기 제2 싱글 게이트 모드는 상기 구동 트랜지스터(DR)에 대응될 수 있고, 도 8을 참조하면, 구동 트랜지스터(DR)의 제2 게이트 전극이 음의 전압(또는 로우 레벨 전압)을 인가 받기 때문에, 구동 트랜지스터의 문턱전압은 커지게 되고 이에 구동 트랜지스터(DR)는 보다 넓은 구동 범위를 갖게 된다.
- [0123] 앞서 설명한 바와 같이, 더블 게이트 산화막 트랜지스터의 구동 범위는 상기 문턱전압을 조정하는 제2 싱글 게이트 모드로 동작할 때 향상될 수 있다. 따라서, 도 10B에 도시된 구동 트랜지스터(DR)는 저계조 데이터를 표시할 때 화질을 향상시키는데 일조한다.
- [0124] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

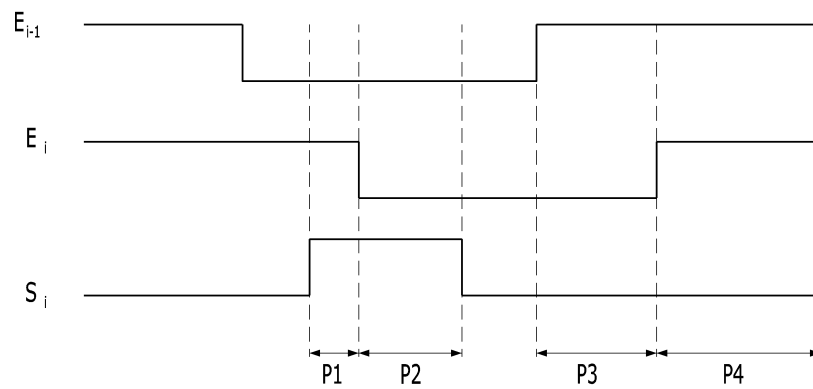
도면1



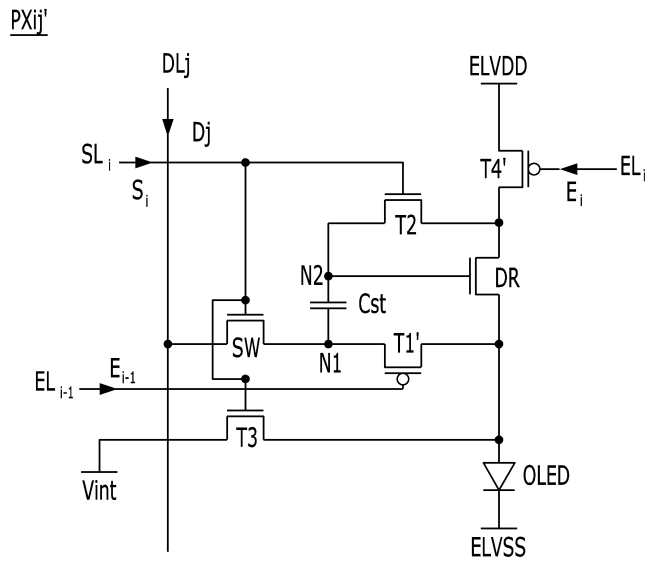
도면2



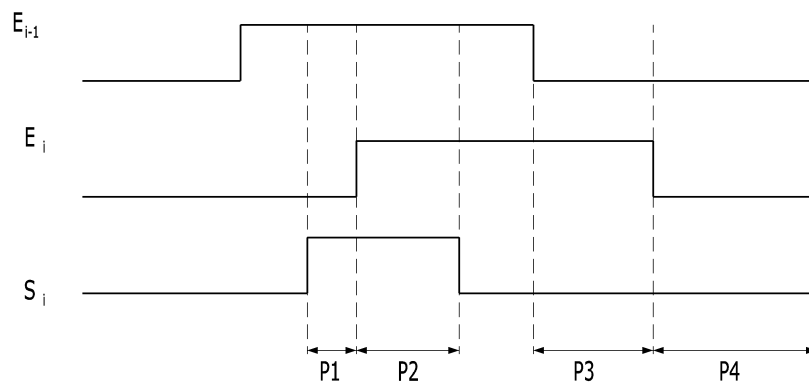
도면3



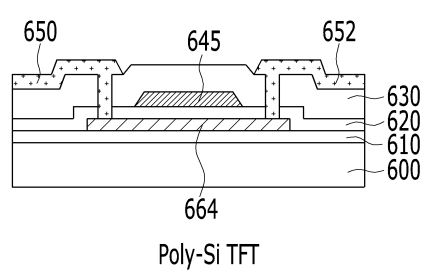
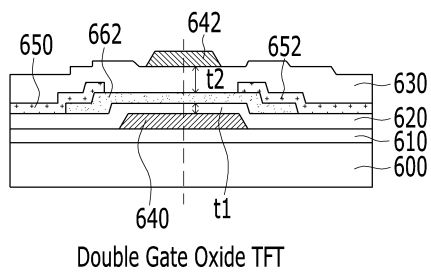
도면4



도면5

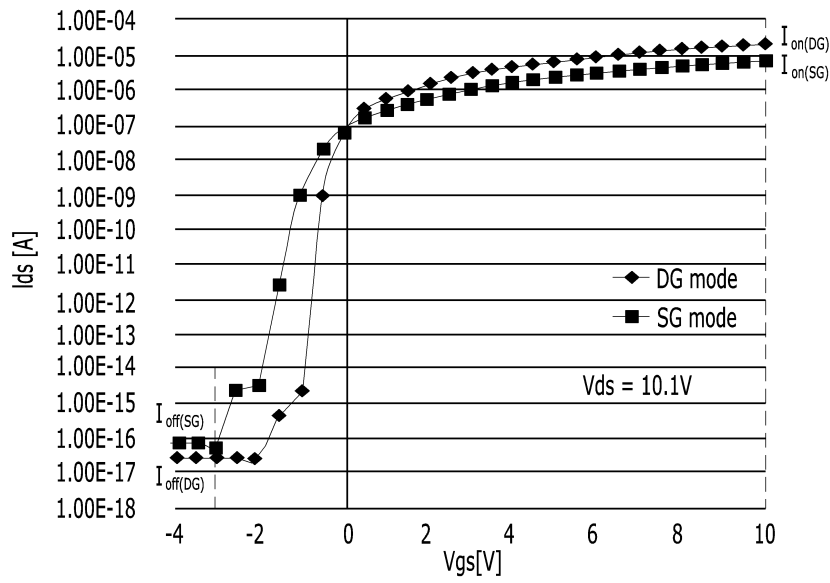


도면6

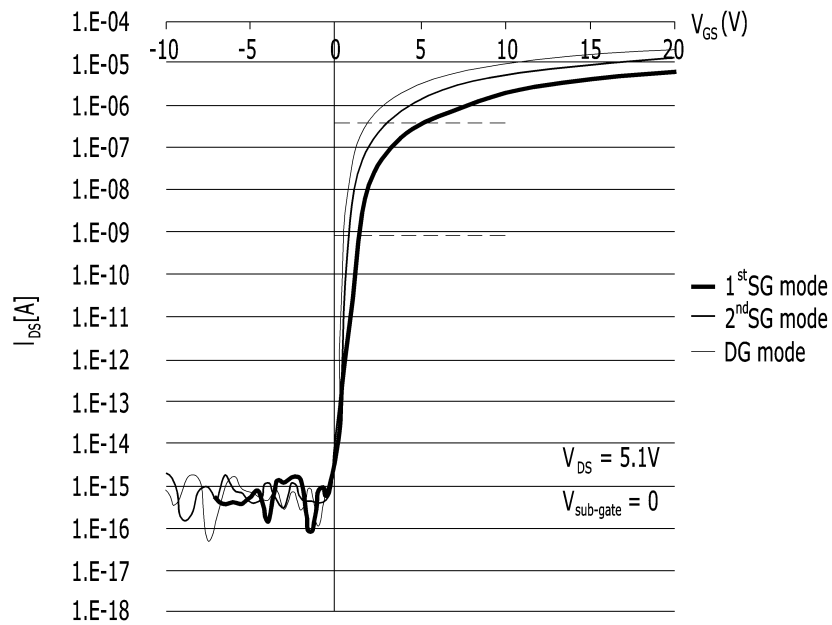




도면7a

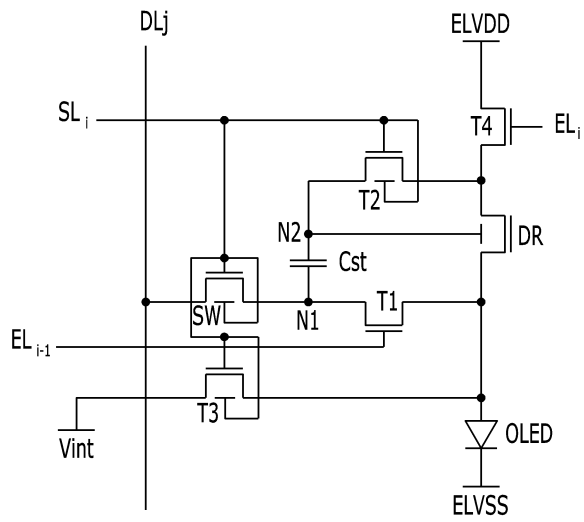


도면7b

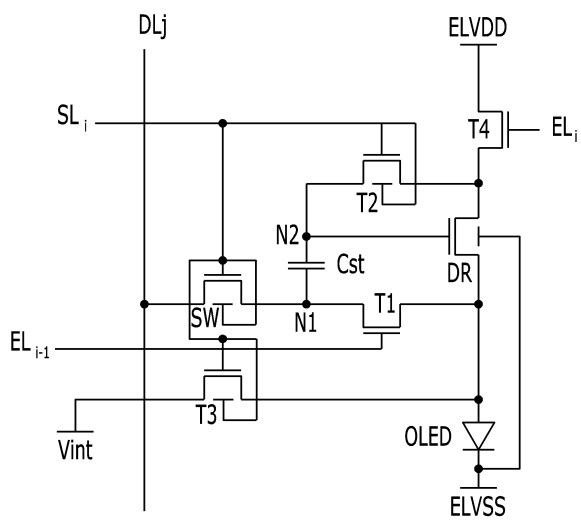




도면10a



도면10b



|                |                                                                                                                                                                                 |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示装置和用于驱动该装置的方法                                                                                                                                                                 |         |            |
| 公开(公告)号        | <a href="#">KR1020180064619A</a>                                                                                                                                                | 公开(公告)日 | 2018-06-15 |
| 申请号            | KR1020160164568                                                                                                                                                                 | 申请日     | 2016-12-05 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                                                        |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                                                       |         |            |
| [标]发明人         | KIM KEUNWOO<br>김근우<br>PARK SOOYOUNG<br>박수영<br>PARK JOONGHYUN<br>박중현<br>KIM DONGWOO<br>김동우<br>SHIN KYOUNG JU<br>신경주                                                              |         |            |
| 发明人            | 김근우<br>박수영<br>박중현<br>김동우<br>신경주                                                                                                                                                 |         |            |
| IPC分类号         | G09G3/3233 H01L27/12 H01L27/32                                                                                                                                                  |         |            |
| CPC分类号         | G09G3/3233 H01L27/3262 H01L27/1225 G09G2300/0842 G09G2230/00 G09G3/3225 G09G2300/0819 G09G2310/0216 G09G2320/045 H05B45/60 G09G3/3283 G09G2300/0426 G09G2300/0439 G09G2320/0233 |         |            |
| 代理人(译)         | Bakhaechan                                                                                                                                                                      |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                       |         |            |

## 摘要(译)

显示装置包括连接在连接在开关晶体管和功率提供单元和有机发光装置之间的驱动晶体管之间的第一晶体管，并且连接到第一节点的第一端子的第一电极和具有第二节点的存储电容器连接到驱动晶体管的栅电极的端子和具有第一电极的第一节点和驱动晶体管，其中至少一个连接到数据线中的像素中的一条数据线，它包括像素，数据线和扫描线。电源提供单元向像素提供至少一个驱动电压，连接到第一节点的第二电极和连接在扫描线之间的栅电极到一条扫描线，该扫描线辐射与驱动信号对应的各种强度的光。

PXij

