



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0047607
(43) 공개일자 2018년05월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 27/12 (2006.01)

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 27/124 (2013.01)

(21) 출원번호 10-2016-0143983

(22) 출원일자 2016년10월31일

심사청구일자 2016년10월31일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이영욱

경기도 고양시 일산서구 하이파크3로 61, 411동 801호 (덕이동, 하이파크시티일산파밀리에4단지)

안용수

경기도 안양시 동안구 동안로 35, 103동 903호(호계동, 무궁화 효성, 한양아파트)

이복영

서울특별시 은평구 녹번로3길 16-24 (녹번동)

(74) 대리인

박영복

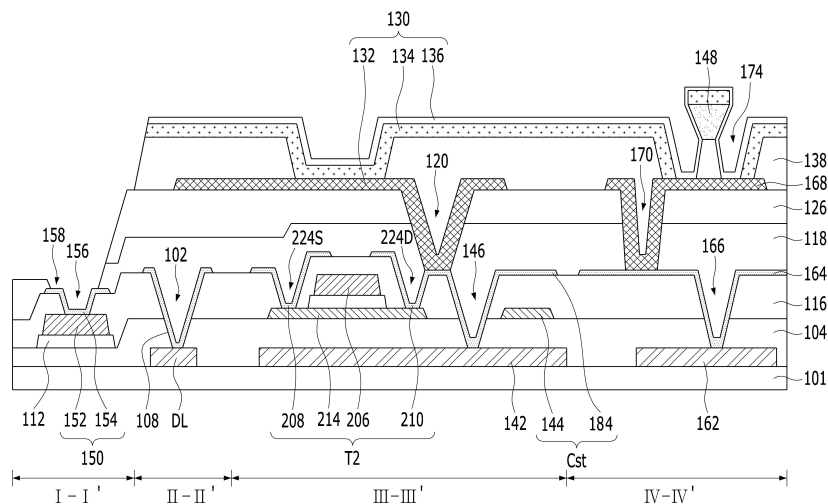
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 본 발명에 따른 표시 장치에서는 애노드 전극, 보호막, 평탄화층, 화소 컨택홀 및 보조 컨택홀이 동일한 하나의 마스크 공정을 통해 형성되고, 애노드 전극이 형성된 이후에, 패드 커버 전극이 화소 연결 전극 및 보조 연결 전극과 동시에 동일한 하나의 마스크 공정을 통해 형성되고, 불투명 도전막을 포함하는 애노드 전극의 패터닝시 제2 패드 전극은 평탄화층 및 보호막에 의해 보호되므로, 별도의 패드 보호막없이도 제2 패드 전극이 손상되는 것을 방지할 수 있으므로, 구조 및 제조 공정을 단순화할 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 27/1288 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

H01L 2251/308 (2013.01)

명세서

청구범위

청구항 1

기판 상에 배치되는 다수의 신호 라인과;

상기 다수의 신호 라인의 교차로 마련된 화소 영역에 배치되는 유기 발광 소자와;

상기 다수의 유기 발광 소자 각각을 독립적으로 구동하는 다수의 박막 트랜지스터를 가지는 화소 구동 회로와;

상기 다수의 트랜지스터와 중첩되는 차광층을 구비하며,

상기 다수의 신호 라인 중 적어도 하나의 신호 라인은 상기 차광층과 동일 평면 상에 동일 재질로 이루어지는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 화소 구동 회로는

상기 유기 발광 소자와 접속된 구동 트랜지스터와;

상기 구동 트랜지스터와 접속된 스위칭 트랜지스터를 구비하며,

상기 다수의 신호 라인은

상기 스위칭 트랜지스터의 소스 전극과 접속된 데이터 라인과;

상기 구동 트랜지스터의 소스 전극과 접속된 고전압 공급 라인과;

상기 유기 발광 소자와 접속된 저전압 공급 라인을 구비하며,

상기 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인 중 적어도 어느 하나는 상기 차광층과 동일 재질로 상기 기판 상에 배치되는 유기 발광 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 다수의 신호 라인 각각과 접속된 패드 전극과;

상기 패드 전극과 접속되는 패드 커버 전극을 추가로 구비하며,

상기 패드 커버 전극은 상기 트랜지스터의 소스 및 드레인 전극과 동일 재질로 동일 평면 상에 배치되는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 패드 커버 전극은 ITO 또는 IZO로 이루어지는 유기 발광 표시 장치.

청구항 5

제 3 항에 있어서,

상기 데이터 라인 상에 배치되는 다수의 절연층과;

상기 다수의 절연층을 관통하는 데이터 콘택홀을 추가로 구비하며,

상기 데이터 라인은 상기 데이터 콘택홀을 통해 상기 소스 전극과 접속되는 유기 발광 표시 장치.

청구항 6

기판 상에 차광층과 다수의 신호 라인을 형성하는 단계와;

상기 차광층과 중첩되는 다수의 트랜지스터를 포함하는 화소 구동 회로를 형성하는 단계와;

상기 화소 구동 회로와 접속되는 유기 발광 소자를 형성하는 단계를 포함하며,

상기 다수의 신호 라인 중 적어도 하나의 신호 라인은 상기 차광층과 동일 평면 상에 동일 재질로 이루어지는 유기 발광 표시 장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 화소 구동 회로를 형성하는 단계는

상기 유기 발광 소자와 접속된 구동 트랜지스터와, 상기 구동 트랜지스터와 접속된 스위칭 트랜지스터를 형성하는 단계를 포함하며,

상기 다수의 신호 라인을 형성하는 단계는

상기 스위칭 트랜지스터의 소스 전극과 접속된 데이터 라인과, 상기 구동 트랜지스터의 소스 전극과 접속된 고전압 공급 라인과, 상기 유기 발광 소자와 접속된 저전압 공급 라인을 형성하는 단계를 포함하며,

상기 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인 중 적어도 어느 하나는 상기 차광층과 동일 재질로 상기 기판 상에 배치되는 유기 발광 표시 장치의 제조 방법.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 다수의 신호 라인 각각과 접속된 패드 전극을 형성하는 단계와;

상기 패드 전극과 접속되는 패드 커버 전극을 형성하는 단계를 추가로 포함하며,

상기 패드 커버 전극은 상기 트랜지스터의 소스 및 드레인 전극과 동일 재질로 동일 평면 상에 배치되는 유기 발광 표시 장치의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 패드 커버 전극은 ITO 또는 IZO로 이루어지는 유기 발광 표시 장치의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 데이터 라인 상에 배치되는 다수의 절연층을 형성하는 단계와;

상기 다수의 절연층을 관통하는 데이터 콘택홀을 형성하는 단계를 추가로 포함하며,

상기 데이터 라인은 상기 데이터 콘택홀을 통해 상기 소스 전극과 접속되는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대

가 가능하면서도 고성능의 방향으로 발전하고 있다. 이러한 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 장치 등이 대표적이다.

[0003] 이러한, 표시장치를 제조하기 위해서는 포토 마스크를 이용한 마스크 공정이 다수번 수행된다. 각 마스크 공정은 세정, 노광, 현상 및 식각 등의 부속 공정들을 수반한다. 이에 따라, 한 번의 마스크 공정이 추가될 때마다, 유기 발광 표시장치를 제조하기 위한 제조 시간 및 제조 비용이 상승하고, 불량 발생률이 증가하여 제조 수율이 낮아지는 문제점이 있다. 따라서, 생산비를 절감하고, 생산수율 및 생산효율을 개선하기 위해서 구조 및 제조 공정을 단순화할 수 있는 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법은 애노드 전극, 보호막, 평탄화층, 화소 컨택홀 및 보조 컨택홀이 동일한 하나의 마스크 공정을 통해 형성되고, 애노드 전극이 형성된 이후에, 패드 커버 전극이 화소 연결 전극 및 보조 연결 전극과 동시에 동일한 하나의 마스크 공정을 통해 형성되고, 불투명 도전막을 포함하는 애노드 전극의 패터닝시 제2 패드 전극은 평탄화층 및 보호막에 의해 보호된다.

발명의 효과

[0006] 본 발명에 따른 유기 발광 표시 장치는 게이트 라인 및 제2 고전압 공급 라인을 포함하는 수평 라인과, 데이터 라인, 저전압 공급 라인 및 제1 고전압 공급 라인을 포함하는 수직 라인을 구비한다. 이 때, 수직라인에 포함되는 데이터 라인, 저전압 공급 라인 및 제1 고전압 공급 라인 중 적어도 어느 하나는 차광층과 동일한 하나의 마스크 공정으로 형성된다. 그리고, 스토리지 상부 전극, 소스 및 드레인 전극은 패드 커버 전극과 동일한 하나의 마스크 공정으로 형성된다. 이에 따라, 본 발명에 따른 유기 발광 표시 장치는 종래보다 적어도 1회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 2는 도 1에서 선 I-I', II-II', III-III', IV-IV'를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.

도 3a 및 도 3b는 본 발명에 따른 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 4a 및 도 4b는 본 발명에 따른 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 5a 및 도 5b는 본 발명에 따른 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 6a 및 도 6b는 본 발명에 따른 제4 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 7a 및 도 7b는 본 발명에 따른 제5 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 8a 및 도 8b는 본 발명에 따른 제6 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 9a 및 도 9b는 본 발명에 따른 제7 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 10a 및 도 10b는 본 발명에 따른 제8 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 11a 및 도 11b는 본 발명에 따른 제9 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 12a 및 도 12b는 본 발명에 따른 제10 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 이하, 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0009] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 2는 도 3에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.
- [0010] 도 1 및 도 2에 도시된 유기 발광 표시 장치는 액티브 영역과 패드 영역을 구비한다.
- [0011] 패드 영역에는 액티브 영역에 배치된 게이트 라인(GL), 데이터 라인(DL), 고전압(VDD) 공급 라인(VDL1, VDL2) 및 저전압(VSS) 공급 라인(VSL) 각각에 구동 신호를 공급하는 다수의 패드(150)들이 형성된다.
- [0012] 다수의 패드(150)들 각각은 패드 전극(152) 및 패드 커버 전극(154)을 구비한다.
- [0013] 패드 전극(152)은 그 패드 전극(152)과 동일 형상의 게이트 절연 패턴(112) 상에 게이트 전극(106)과 동일 재질로 형성된다.
- [0014] 패드 커버 전극(154)은 층간 절연막(116)을 관통하는 제1 패드 콘택홀(156)을 통해 노출된 패드 전극(152)과 전기적으로 접속된다. 또한, 패드 커버 전극(154)은 외부로 노출되어 구동 회로와 접속된 회로 전송 필름과 접속된다. 이 때, 패드 커버 전극(154)은 층간 절연막(116) 상에서 내식성 및 내산성이 강한 금속으로 이루어져 외부로 노출되어도 외부의 수분 등에 의해 부식되는 것을 방지할 수 있다. 예를 들어, 패드 커버 전극(154)은 소스 및 드레인 전극(108, 110)과 동일 평면 상에 동일 재질로 형성된다. 즉, 패드 커버 전극(154)은 내식성 및 내산성이 강한 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다.
- [0015] 액티브 영역은 다수의 서브 화소들이 매트릭스 형태로 배열되어 영상이 표시되는 영역이다. 이러한 액티브 영역에 배치된 각 서브 화소는 회로 영역에 배치되는 화소 구동 회로와, 화소 구동 회로와 접속되는 발광 소자(130)를 구비한다.
- [0016] 화소 구동 회로는 스위칭 트랜지스터(T1), 구동 트랜지스터(T2) 및 스토리지 커패시터(Cst)를 구비한다.
- [0017] 스위칭 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 커패시터(Cst) 및 구동 트랜지스터(T2)의 게이트 전극으로 공급한다. 구동 트랜지스터(T2)는 그 구동 트랜지스터(T2)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전압 공급 라인(VDL1, VDL2)으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(T1)가 턴-오프되더라도 스토리지 커패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0018] 이를 위해, 스위칭 트랜지스터(T1)는 도 1에 도시된 바와 같이 제1 게이트 전극(106), 제1 소스 전극(108), 제1 드레인 전극(110) 및 제1 액티브층(114)을 구비한다. 구동 트랜지스터(T2)는 도 1 및 도 2에 도시된 바와 같이 제2 게이트 전극(206), 제2 소스 전극(208), 제2 드레인 전극(210) 및 제2 액티브층(214)을 구비한다. 이러한 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2) 각각의 단면이 서로 같거나 다른 구조로 형성된다. 본 발명에서는 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2) 각각의 단면이 서로 같은 구조로 형성되는 것을 예로 들어 설명하기로 한다.
- [0019] 제1 및 제2 게이트 전극(106, 206)은 그 게이트 전극(106, 206)과 동일 패턴의 게이트 절연 패턴(112) 상에 형성된다. 이 게이트 전극(106, 206)은 게이트 절연 패턴(112)을 사이에 두고, 액티브층(114, 214)의 채널 영역과 중첩된다. 이러한 게이트 전극(106, 206)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0020] 제1 및 제2 소스 전극(108, 208)은 층간 절연막(116)을 관통하는 소스 콘택홀(124S, 224S)을 통해 액티브층(114, 214)의 소스 영역과 접속된다. 또한, 스위칭 트랜지스터(T1)의 제1 소스 전극(108)은 버퍼막(104) 및 층간 절연막(116)을 관통하는 데이터 콘택홀(102)을 통해 노출된 데이터 라인(DL)과 전기적으로 접속된다.
- [0021] 제1 및 제2 드레인 전극(110, 210)은 층간 절연막(116)을 관통하는 드레인 콘택홀(124D, 224D)을 통해 액티브층(114, 214)의 드레인 영역과 접속된다. 또한, 구동 트랜지스터(T2)의 제2 드레인 전극(210)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성된 화소 콘택홀(120)을 통해 노출되어 애노드 전극(132)과 접속된다.
- [0022] 이러한 소스 전극(108, 208) 및 드레인 전극(110, 210)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과

같은 투명 도전막으로 이루어진다.

- [0023] 제1 및 제2 액티브층(114,214)은 채널 영역을 사이에 두고 마주보는 소스 영역 및 드레인 영역을 구비한다. 채널 영역은 게이트 절연 패턴(112)을 사이에 두고 게이트 전극(106,206)과 중첩된다. 소스 영역은 소스 컨택홀(124S,224S)을 통해 소스 전극(108)과 접속되며, 드레인 영역은 드레인 컨택홀(124D,224D)을 통해 드레인 전극(110)과 접속된다. 이 소스 영역 및 드레인 영역 각각은 n형 또는 p형 불순물이 주입된 반도체 물질로 형성되며, 채널 영역은 n형 또는 p형 불순물이 주입되지 않은 반도체 물질로 형성된다.
- [0024] 액티브층(114,214)과 기판(101) 사이에는 버퍼막(104)과 차광층(142)이 형성된다. 차광층(142)은 액티브층(114,214)의 채널 영역과 중첩되도록 기판(101) 상에 형성된다. 이 차광층(142)은 외부로부터 입사되는 광을 흡수하거나 반사하므로, 채널 영역으로 입사되는 광을 최소화할 수 있다. 여기서, 차광층(142)은 차광 컨택홀(146)을 통해 노출되어 제2 액티브층(214)과 제2 드레인 전극(210)을 통해 전기적으로 접속될 수도 있다.
- [0025] 또한, 차광층(142)은 데이터 라인(DL), 저전압 공급 라인(VSL), 제1 고전압 공급 라인(VDL1)과 동일 마스크 공정으로 형성된다. 즉, 차광층(142)은 데이터 라인(DL), 저전압 공급 라인(VSL), 제1 고전압 공급 라인(VDL1)과 동일 평면 상에 동일 재질로 형성된다. 예를 들어, 차광층(142)은 Mo, Ti, Al, Cu, Cr, Co, W, Ta, Ni과 같은 불투명 금속으로 형성된다.
- [0026] 버퍼막(104)은 유리 또는 폴리이미드(PI) 등과 같은 플라스틱 수지로 형성된 기판(101) 상에 산화 실리콘 또는 질화 실리콘으로 단층 또는 복층 구조로 형성된다. 이 버퍼막(104)은 기판(101)에서 발생하는 수분 또는 불순물의 확산을 방지하거나 결정화시 열의 전달 속도를 조절함으로써, 액티브층(114,214)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0027] 스토리지 캐패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(T1)가 턴-오프되더라도 구동 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(130)의 발광을 유지하게 한다. 이러한 스토리지 캐패시터(Cst)는 층간 절연막(116)을 사이에 두고 스토리지 하부 전극(144)과 스토리지 상부 전극(184)이 중첩됨으로써 형성된다. 이 때, 스토리지 하부 전극(144)은 불순물이 도핑된 액티브층으로 이루어지며, 스토리지 상부 전극(184)은 구동 트랜지스터의 제2 드레인 전극(210)과 동일 재질로 이루어진다.
- [0028] 발광 소자(130)는 구동 트랜지스터(T2)의 드레인 전극(210)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 유기 발광층(134)과, 유기 발광층(134) 위에 형성된 캐소드 전극(136)을 구비한다.
- [0029] 애노드 전극(132)은 बैं크(138)에 의해 마련된 발광 영역 및 화소 구동 회로가 배치된 회로 영역과 중첩되도록 평탄화층(126) 상에 배치된다.
- [0030] 이러한 애노드 전극(132)은 평탄화층(126) 및 보호막(118)을 관통하는 화소 컨택홀(120)을 통해 제2 드레인 전극(210)과 접속된다.
- [0031] 유기 발광층(134)은 애노드 전극(132) 상에 정공 관련층, 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다. 이러한 유기 발광층(134)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 발광 영역뿐만 아니라 회로 영역에도 배치된 애노드 전극(132) 상에 형성되므로 개구율이 향상된다.
- [0032] बैं크(138)는 발광 영역을 마련하도록 애노드 전극(132) 상에 형성된다. 이러한 बैं크(138)는 인접한 서브 화소 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, बैं크(138)는 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광재질을 포함한다.
- [0033] 또한, 유기 발광층(134)은 그 유기 발광층(134)과 다른 색을 구현하는 인접한 서브 화소에 배치되는 유기 발광층(134)과 격벽(148)을 통해 분리된다. 즉, 격벽(148)은 하부면에서 상부면으로 갈수록 폭이 점차적으로 증가하는 역테이퍼 형상으로 제3 보조 연결 전극(168)과 중첩되는 बैं크홀(174) 내에 배치된다. 이에 따라, 직진성을 가지고 성막되는 유기 발광층(134)은 격벽(148)과 중첩되는 제3 보조 연결 전극(168) 상에는 형성되지 않으므로, 격벽(148)에 의해 서로 다른 색을 구현하는 인접한 서브 화소의 유기 발광층(134)들은 बैं크홀(174) 내에서 분리된다. 이 경우, 유기 발광층(134)은 बैं크홀(174)에 의해 노출되는 제3 보조 연결 전극(168)을 제외한 나머지 영역 상에 형성되므로, 유기 발광층(134)은 बैं크(138)에 의해 노출된 애노드 전극(132)의 상부면, 격벽(148)의 상부면 및 बैं크(138)의 상부면 및 측면 상에만 형성된다. 반면에, 유기 발광층(134)보다 스텝 커버리지가 좋은 캐소드 전극(136)은 격벽(148)의 상부면 및 측면과, 그 격벽(148) 하부에 배치되는 बैं크(138)의 측면에도 형성되므로 제3 보조 연결 전극(168)과의 접촉이 용이해진다.
- [0034] 캐소드 전극(136)은 유기 발광층(134)을 사이에 두고 애노드 전극(132)과 대향하도록 유기 발광층(134) 및 बैं크

(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다.

[0035] 캐소드 전극(136)은 격벽(148)이 위치하는 बैं크홀(174) 내에서 제1 내지 제3 보조 연결 전극(162,164,168)을 통해 저전압 공급 라인(160)과 접속된다. 제1 보조 연결 전극(162)은 기판(101) 상에서 저전압 공급 라인(VSL)과 동일 재질로 형성되며, 저전압 공급 라인(VSL)으로부터 연장되어 형성된다.

[0036] 제2 보조 연결 전극(164)은 버퍼막(104) 및 층간 절연막(116)을 관통하는 제1 보조 콘택홀(166)을 통해 노출된 제1 보조 연결 전극(162)과 전기적으로 접속된다. 이 제2 보조 연결 전극(164)은 소스 및 드레인 전극(108,208,110,210)과 동일 평면 상에서 동일 재질로 이루어진다.

[0037] 제3 보조 연결 전극(168)은 보호막(118) 및 평탄화층(128)을 관통하는 제2 보조 콘택홀(170)을 통해 노출된 제2 보조 연결 전극(164)과 전기적으로 접속된다. 이러한 제3 보조 연결 전극(168)은 애노드 전극(132)과 동일 평면 상에서 동일 재질로 이루어진다.

[0038] 이러한 제1 및 제3 보조 연결 전극(162,168)과 저전압 공급 라인(VSL)은 캐소드 전극(136)보다 도전성이 좋은 금속으로 형성되므로 투명 도전막인 ITO 또는 IZO로 형성되는 캐소드 전극(136)의 높은 저항 성분을 보상할 수도 있다.

[0039] 이와 같이, 본 발명에 따른 유기 발광 표시 장치는 게이트 라인(GL) 및 제2 고전압 공급 라인(VDL2)을 포함하는 수평 라인과, 데이터 라인(DL), 저전압 공급 라인(VSL) 및 제1 고전압 공급 라인(VDL1)을 포함하는 수직 라인을 구비한다. 이 때, 수직라인에 포함되는 데이터 라인(DL), 저전압 공급 라인(VSL) 및 제1 고전압 공급 라인(VDL1) 중 적어도 어느 하나는 차광층(142)과 동일한 하나의 마스크 공정으로 형성된다. 그리고, 스토리지 상부 전극(184), 소스 및 드레인 전극(108,208,110,210)은 패드 커버 전극(154)과 동일한 하나의 마스크 공정으로 형성된다. 이에 따라, 본 발명에 따른 유기 발광 표시 장치는 종래보다 적어도 1회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

[0040] 도 3a 내지 도 12b는 도1 및 도 2에 도시된 유기 발광 표시 장치의 제조방법을 설명하기 위한 평면도들 및 단면도들이다.

[0041] 도 3a 및 도 3b를 참조하면, 기판(101) 상에 차광층(142), 제1 보조 연결 전극(162), 데이터 라인(DL), 제1 고전압 공급 라인(VDL1) 및 저전압 공급 라인(VSL)이 형성된다.

[0042] 구체적으로, 기판(101) 상에 증착 공정을 통해 불투명한 제1 도전층이 형성된다. 그런 다음, 제1 마스크를 이용한 포토리소그래피공정과 식각 공정을 통해 불투명한 제1 도전층이 패터닝됨으로써 차광층(142), 제1 보조 연결 전극(162), 데이터 라인(DL), 제1 고전압 공급 라인(VDL1) 및 저전압 공급 라인(VSL)이 형성된다.

[0043] 도 4a 및 도 4b를 참조하면, 차광층(142), 제1 보조 연결 전극(162), 데이터 라인(DL), 제1 고전압 공급 라인(VDL1) 및 저전압 공급 라인(VSL)이 형성된 기판(101) 상에 버퍼막(104)이 형성되고, 그 버퍼막(104) 상에 제1 및 제2 액티브층(114,214)과, 스토리지 하부 전극(144)이 형성된다.

[0044] 구체적으로, 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 전면 증착됨으로써 단층 또는 다층 구조의 버퍼막(104)이 형성된다. 그런 다음, 버퍼막(104)이 형성된 기판(101) 상에 LPCVD(Low Pressure Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방법을 통해 아몰퍼스 실리콘 박막이 형성된다. 그런 다음, 아몰퍼스 실리콘 박막을 결정화함으로써 폴리 실리콘 박막으로 형성된다. 그리고, 폴리 실리콘 박막을 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 제1 및 제2 액티브층(114,214)과 스토리지 하부 전극(144)이 형성된다.

[0045] 도 5a 및 도 5b를 참조하면, 제1 및 제2 액티브층(114,214) 및 스토리지 하부 전극(144)이 형성된 버퍼막(104) 상에 게이트 절연 패턴(112)과, 그 게이트 절연 패턴(112) 상에 게이트 라인(GL), 제2 고전압 공급 라인(VDL2), 제1 및 제2 게이트 전극(106,206) 및 패드 전극(152)이 형성된다.

[0046] 구체적으로, 액티브층(114,214) 및 스토리지 하부 전극(144)이 형성된 버퍼막(104) 상에 게이트 절연막이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 제2 도전층이 형성된다. 게이트 절연막으로는 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 이용된다. 제2 도전층으로는 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 제2 도전층 및 게이트 절연막을 동시에 패터닝함으로써 게이트 라인(GL), 제2 고전압 공급 라인(VDL2), 제1 및 제2 게이트 전극(106,206) 및 패드 전극(152) 각각과, 그들

각각의 하부에 게이트 절연 패턴(112)이 동일 패턴으로 형성된다.

- [0047] 그리고, 제1 및 제2 게이트 전극(106,206)을 마스크로 이용하여 스토리지 하부 전극(144)과, 제1 및 제2 액티브층(114,214)에 n+형 또는 p+형 불순물을 주입함으로써 액티브층(114,214)의 소스 영역(114S,214S) 및 드레인 영역(114D,214D)이 형성된다.
- [0048] 도 6a 및 도 6b를 참조하면, 게이트 라인(GL), 제2 고전압 공급 라인(VDL2), 제1 및 제2 게이트 전극(106,206) 및 패드 전극(152)이 형성된 기판(101) 상에 소스 및 드레인 콘택홀(124S,124D,224S,224D), 데이터 콘택홀(102), 차광 콘택홀(146), 제1 보조 콘택홀(166) 및 제1 패드 콘택홀(156)을 가지는 층간 절연막(116)이 형성된다.
- [0049] 구체적으로, 게이트 전극(106), 스토리지 하부 전극(144) 및 제1 패드 전극(152)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116) 및 버퍼막(104)이 선택적으로 패터닝됨으로써 소스 및 드레인 콘택홀(124S,224S,124D,224D), 차광 콘택홀(146), 제1 보조 콘택홀(166) 및 제1 패드 콘택홀(156)이 형성된다. 소스 및 드레인 콘택홀(124S,224S,124D,224D) 및 제1 패드 콘택홀(156) 각각은 층간 절연막(116)을 관통하도록 형성됨으로써 소스 전극(108), 드레인 전극(110) 및 제1 패드 전극(152)이 노출된다. 데이터 콘택홀(102), 차광 콘택홀(146) 및 제1 보조 콘택홀(166) 각각은 버퍼막(104) 및 층간 절연막(116)을 관통하도록 형성됨으로써 차광층(142) 및 제1 보조 연결 전극(162)이 노출된다. 한편, 소스 및 드레인 콘택홀(124S,224S,124D,224D), 데이터 콘택홀(102), 차광 콘택홀(146), 제1 보조 콘택홀(166) 및 제1 패드 콘택홀(156)이 동일 마스크 공정으로 형성되는 것을 예로 들어 설명하였지만, 이외에도 서로 다른 마스크 공정으로 형성될 수도 있다. 즉, 층간 절연막(116)을 관통하는 소스 및 드레인 콘택홀(124S,224S,124D,224D) 및 제1 패드 콘택홀(156)을 먼저 형성한 후, 다른 마스크 공정으로 층간 절연막(116) 및 버퍼막(104)을 관통하는 데이터 콘택홀(102), 차광 콘택홀(146) 및 제1 보조 콘택홀(166)을 형성할 수도 있다.
- [0050] 도 7a 및 도 7b를 참조하면, 소스 및 드레인 콘택홀(124S,224S,124D,224D), 차광 콘택홀(146), 제1 보조 콘택홀(166) 및 제1 패드 콘택홀(156)을 가지는 층간 절연막(116) 상에 제1 및 제2 소스 전극(108,208), 제1 및 제2 드레인 전극(110,210), 스토리지 상부 전극(148), 패드 커버 전극(154), 제2 보조 연결 전극(164)이 형성된다.
- [0051] 구체적으로, 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 제3 도전층이 형성된다. 제3 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 제3 도전층을 패터닝함으로써 층간 절연막(116) 상에 제1 및 제2 소스 전극(108,208), 제1 및 제2 드레인 전극(110,210), 스토리지 상부 전극(148), 패드 커버 전극(154), 제2 보조 연결 전극(164)이 형성된다.
- [0052] 도 8a 및 도 8b를 참조하면, 제1 및 제2 소스 전극(108,208), 제1 및 제2 드레인 전극(110,210), 스토리지 상부 전극(148), 패드 커버 전극(154), 제2 보조 연결 전극(164)이 형성된 기판(101) 상에 화소 콘택홀(120) 및 제2 보조 콘택홀(170)을 가지는 보호막(118) 및 평탄화층(126)이 형성된다.
- [0053] 구체적으로, 제1 및 제2 소스 전극(108,208), 제1 및 제2 드레인 전극(110,210), 스토리지 상부 전극(148), 패드 커버 전극(154), 제2 보조 연결 전극(164)이 형성된 기판(101) 상에 SiO_x, SiN_x 등과 같은 무기 절연 물질이 전면 증착됨으로써 보호막(118)이 형성된다. 그런 다음, 보호막(118) 상에 아크릴 수지와 같은 유기 절연 물질이 전면 적층됨으로써 평탄화층(126)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 보호막(118) 및 평탄화층(126)을 패터닝함으로써 화소 콘택홀(120) 및 제2 보조 콘택홀(170)이 형성된다.
- [0054] 도 9a 및 도 9b를 참조하면, 화소 콘택홀(120) 및 제2 보조 콘택홀(170)을 가지는 평탄화층(126)이 형성된 기판(101) 상에 애노드 전극(132) 및 제3 보조 연결 전극(168)이 형성된다.
- [0055] 구체적으로, 화소 콘택홀(120) 및 제2 보조 콘택홀(170)을 가지는 평탄화층(126)이 형성된 기판(101) 상에 제4 도전층이 전면 증착된다. 제4 도전층으로는 투명 도전막 및 불투명 도전막이 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 제4 도전층이 패터닝됨으로써 애노드 전극(132) 및 제3 보조 연결 전극(168)이 형성된다. 이러한 제4 도전층의 식각시 제4 도전층과 동일한 식각 특성을 가지는 패드 커버 전극(154)은 보호막(118) 및 평탄화층(126)에 의해 보호되므로 패드 커버 전극(154)이 손상되는 것을 방지할 수 있다.
- [0056] 도 10a 및 도 10b를 참조하면, 애노드 전극(132) 및 제3 보조 연결 전극(168)이 형성된 기판(101) 상에 बैं크

(138)가 형성된다.

- [0057] 구체적으로, 애노드 전극(132) 및 제3 보조 연결 전극(168)이 형성된 기관(101) 상에 बैं크용 감광막이 전면 도포된다. 그런 다음, बैं크용 감광막이 포토리소그래피 공정을 통해 패터닝됨으로써 애노드 전극(132) 및 제3 보조 연결 전극(168)을 노출시키는 बैं크(138)가 형성된다.
- [0058] 도 11a 및 도 11b를 참조하면, बैं크(138)가 형성된 기관(101) 상에 패드 커버 전극(154)을 노출시키는 제2 패드 컨택홀(158)이 형성된다.
- [0059] 구체적으로, बैं크(138)가 형성된 기관(101) 상에 포토리소그래피 공정을 통해 포토레지스트 패턴(도시하지 않음)이 형성된다. 이 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 패드 커버 전극(154) 상의 평탄화층(126) 및 보호막(118)을 제거됨으로써 패드 커버 전극(154)을 노출시키는 제2 패드 컨택홀(158)이 형성된다.
- [0060] 도 12a 및 도 12b를 참조하면, 제2 패드 컨택홀(158)이 형성된 기관(101) 상에 격벽(148), 유기 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0061] 구체적으로, 제2 패드 컨택홀(158)가 형성된 기관(101) 상에 격벽용 감광막을 전면 도포한 다음, 그 격벽용 감광막을 포토리소그래피 공정을 통해 패터닝함으로써 격벽(148)이 형성된다. 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 패드 영역을 제외한 액티브 영역에 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0062] 이와 같이, 본 발명에서는 데이터 라인(DL), 저전압 공급 라인(VSL) 및 고전압 공급 라인(VDL1)을 포함하는 신호 라인을 차광층(142)과 동일한 하나의 마스크 공정으로 형성하고, 스토리지 상부 전극(184), 소스 및 드레인 전극(108, 208, 110, 210)을 패드 커버 전극(154)과 동일한 하나의 마스크 공정으로 형성한다. 이에 따라, 본 발명에 따른 유기 발광 표시 장치는 종래보다 적어도 1회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.
- [0063] 한편, 본 발명에서는 각 화소 구동 회로가 스위칭 트랜지스터와 구동 트랜지스터를 구비하는 것을 예로 들어 설명하였지만, 이외에도 구동 트랜지스터(TD)의 문턱 전압을 감지하는 센싱 트랜지스터를 더 구비할 수도 있다. 이 경우, 센싱 트랜지스터의 소스 전극과 접속된 레퍼런스 라인 역시 차광층(142)과 동일 마스크 공정으로 형성되므로, 레퍼런스 라인도 차광층(142)과 동일 평면 상에 동일 재질로 이루어진다. 이 레퍼런스 라인은 버퍼막(104) 및 층간 절연막(116)을 관통하는 컨택홀을 통해 투명 도전막으로 이루어진 센싱 트랜지스터의 소스 전극과 접속된다.
- [0064] 또한, 본 발명에 따른 유기 발광 표시 장치가 전면형 발광 구조인 경우, 제2 기관 상에 컬러 필터가 형성된 컬러 필터 어레이를 추가로 구비한다. 이 경우, 발광 소자에서 생성된 백색광이 컬러 필터를 통해 제2 기관의 전면으로 출사됨으로써 영상을 구현할 수 있다.
- [0065] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

[0066] 101 : 기관 126 : 평탄화층

132 : 애노드 전극 134 : 발광층

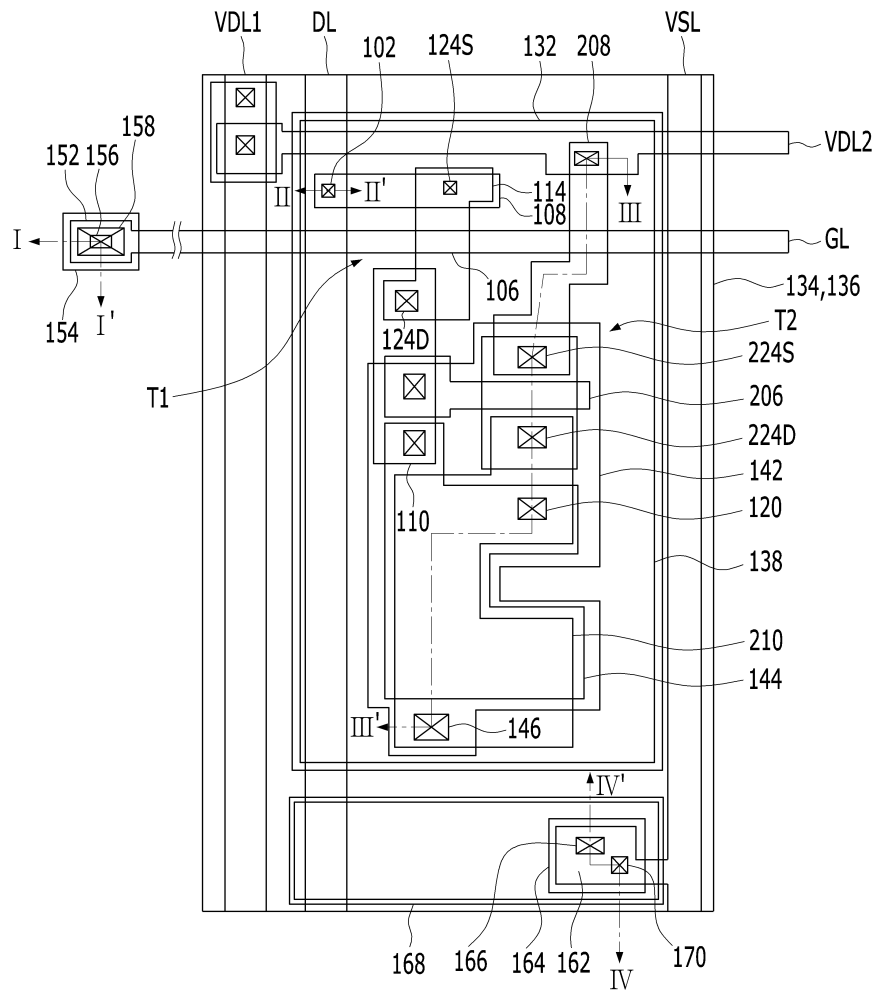
136 : 캐소드 전극 138 : बैं크

142 : 차광층 152 : 패드 전극

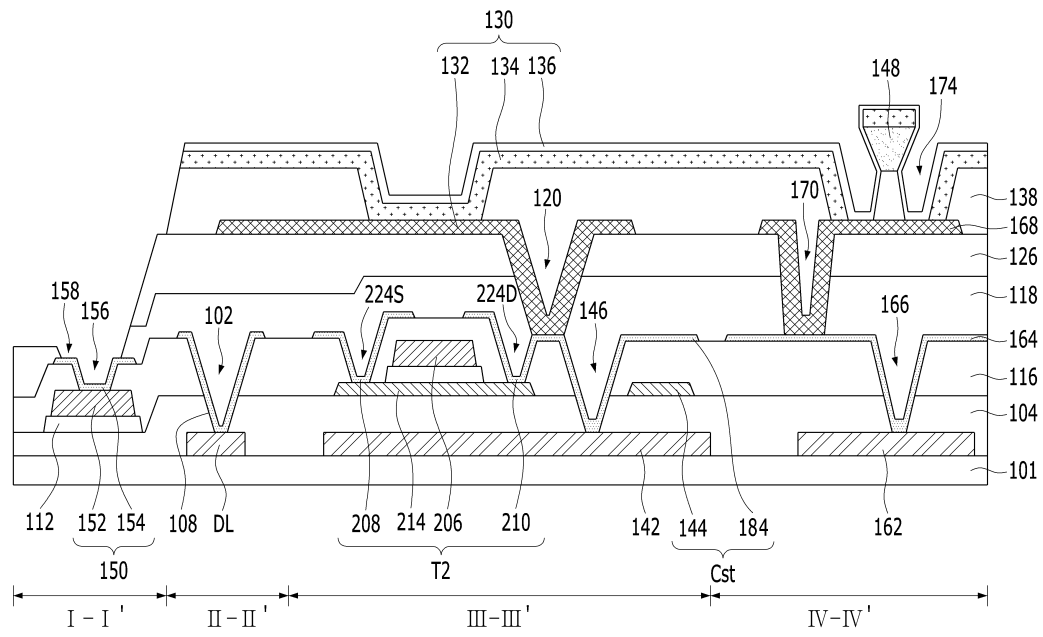
154 : 패드 커버 전극

도면

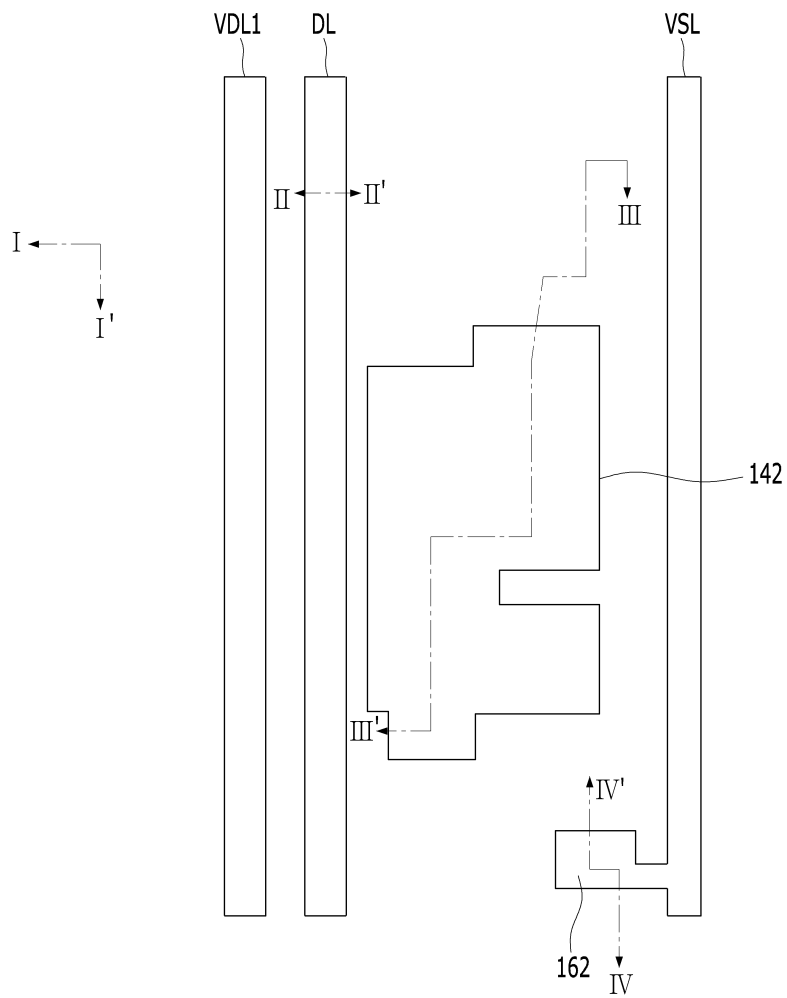
도면1



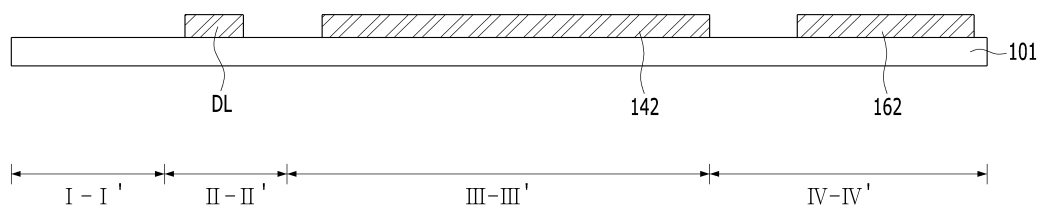
도면2



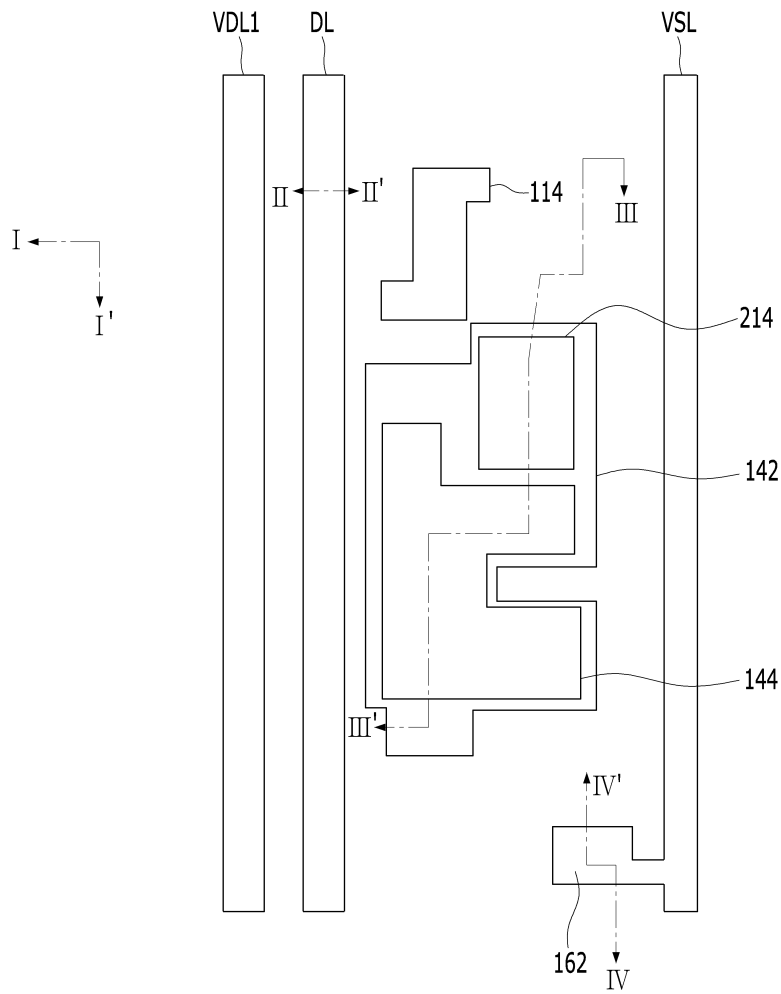
도면3a



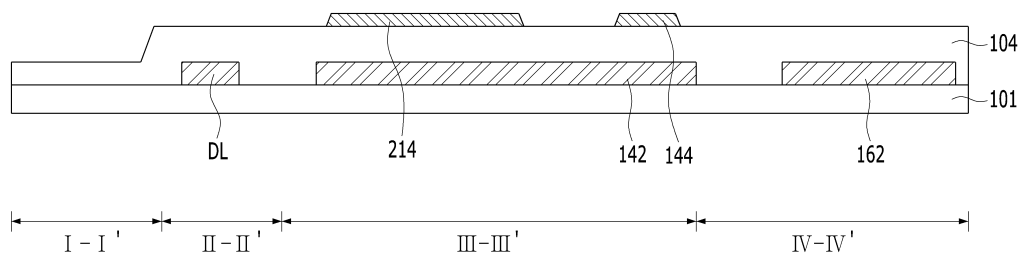
도면3b



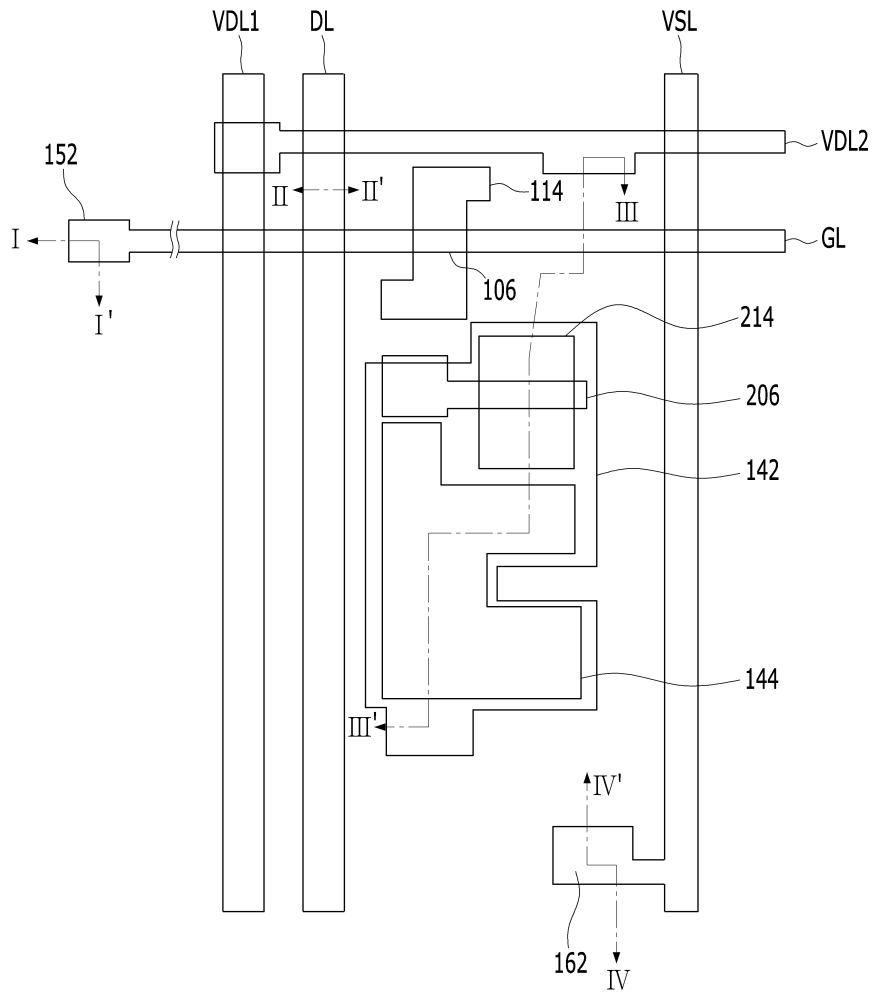
도면4a



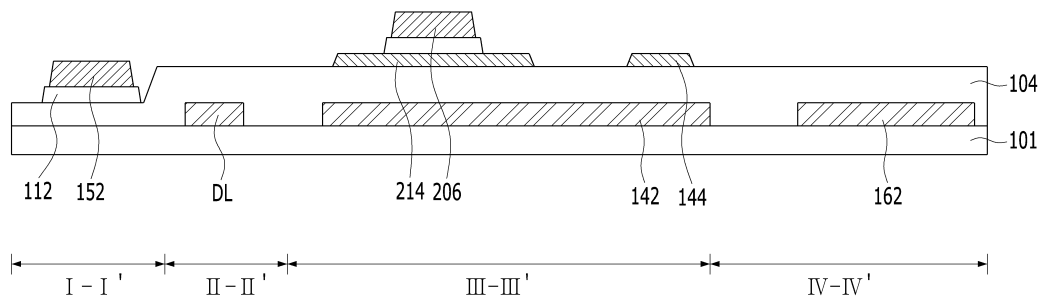
도면4b



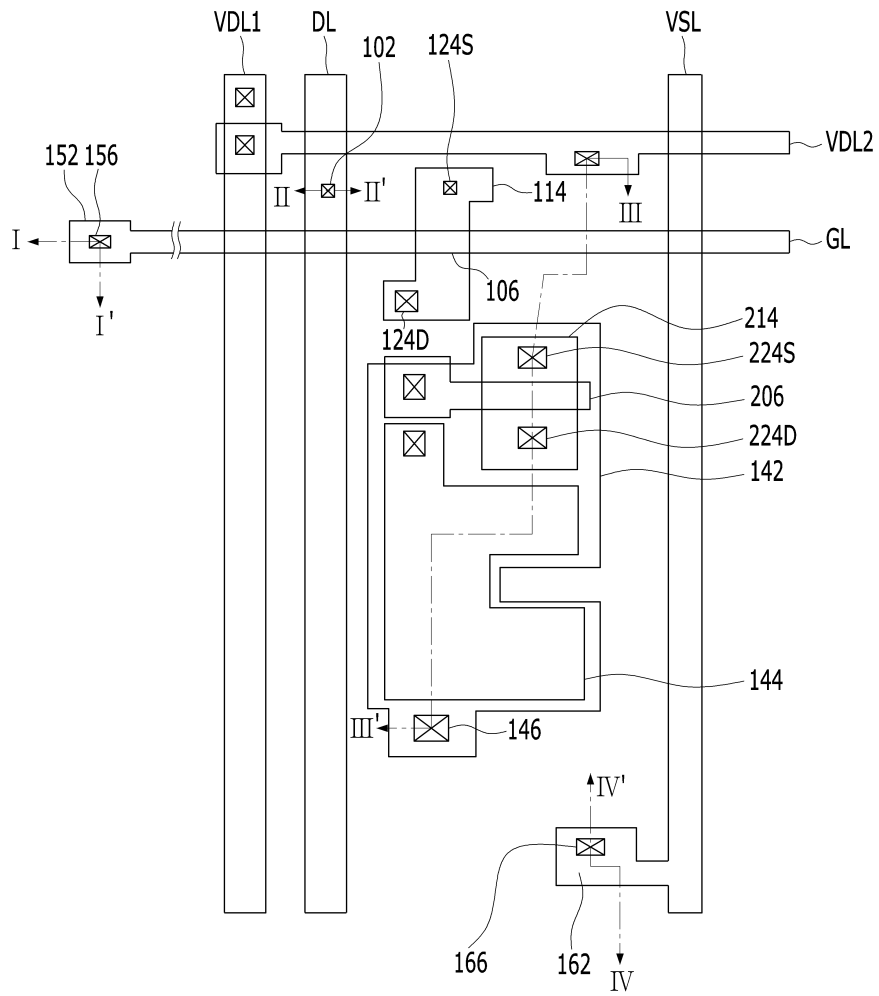
도면5a



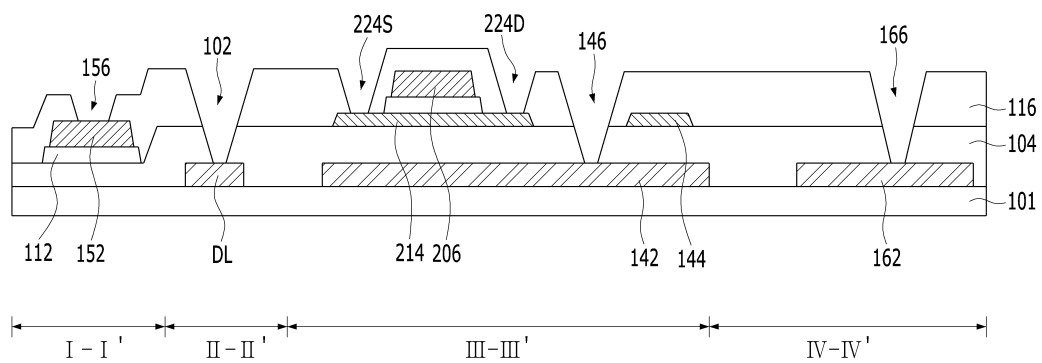
도면5b



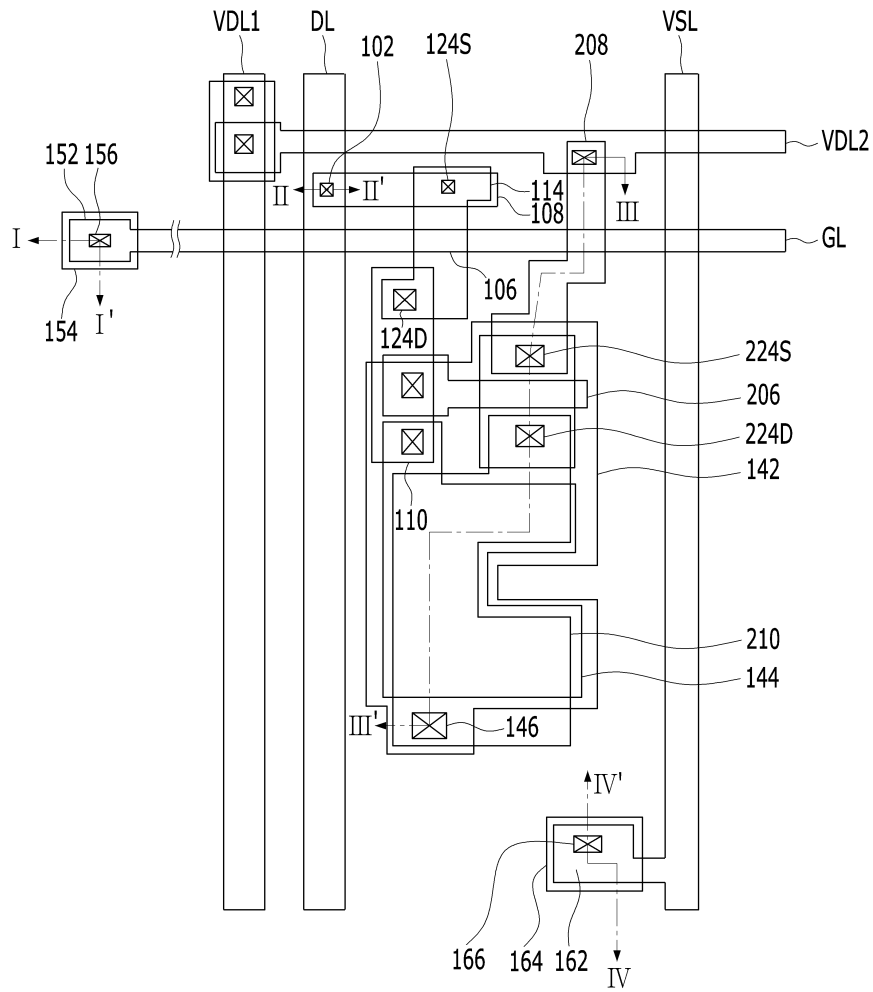
도면6a



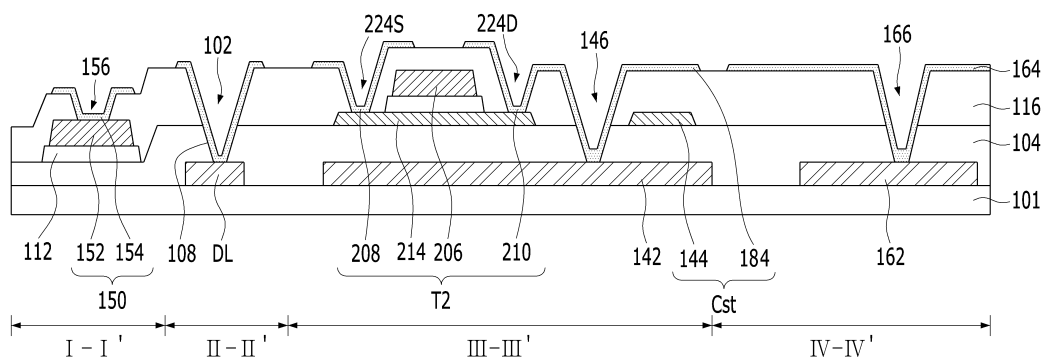
도면6b



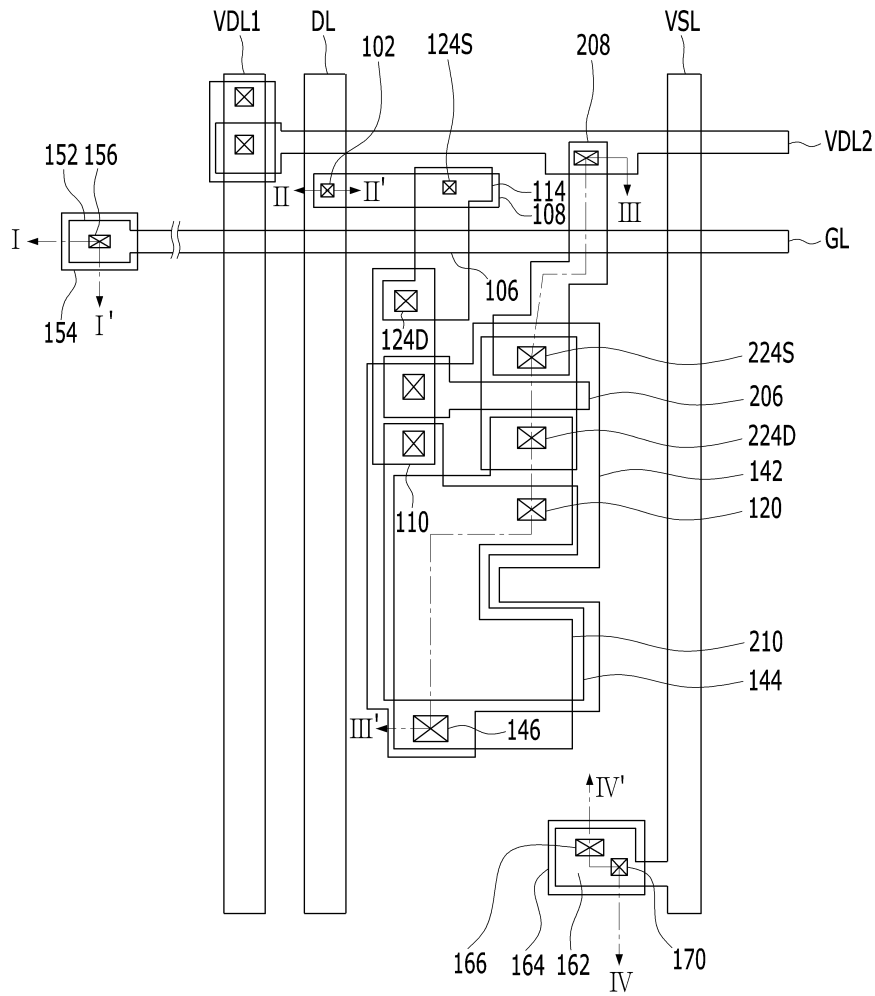
도면7a



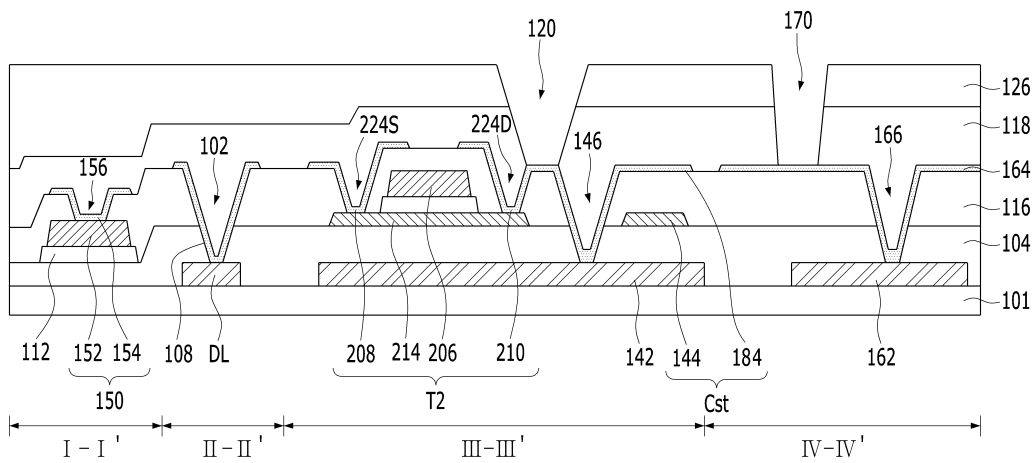
도면7b



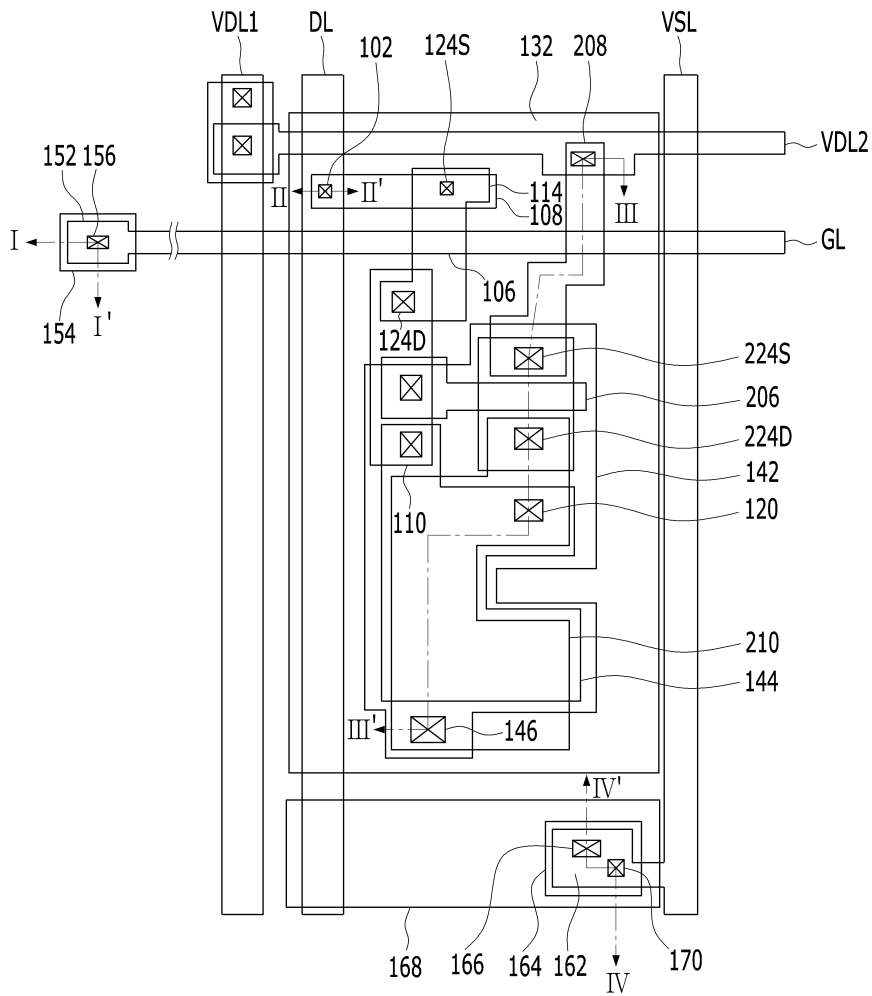
도면8a



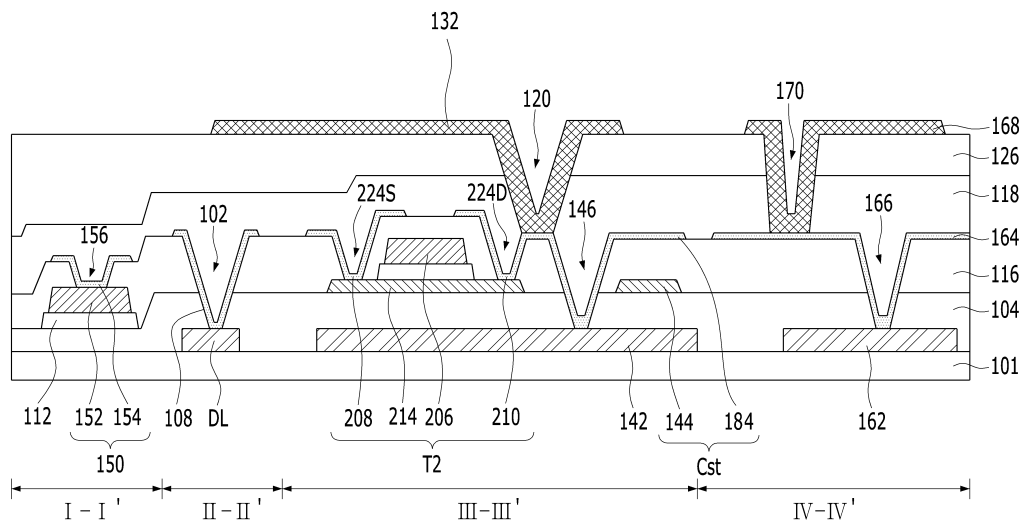
도면8b



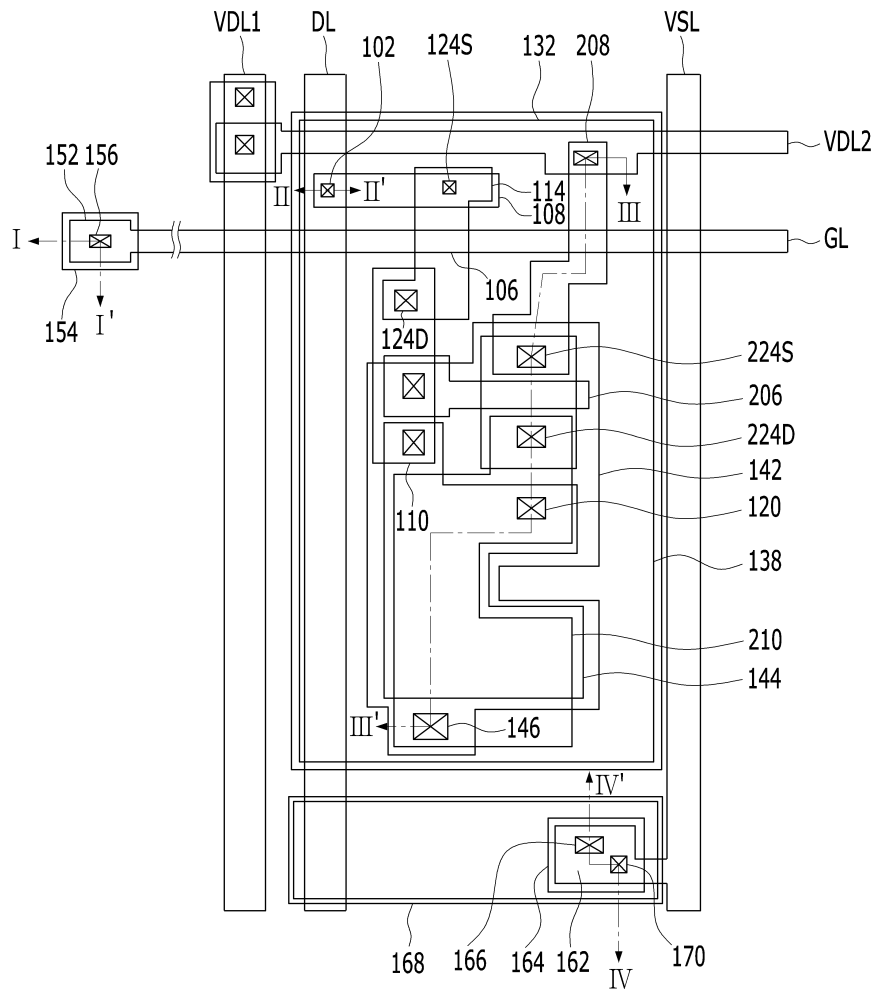
도면9a



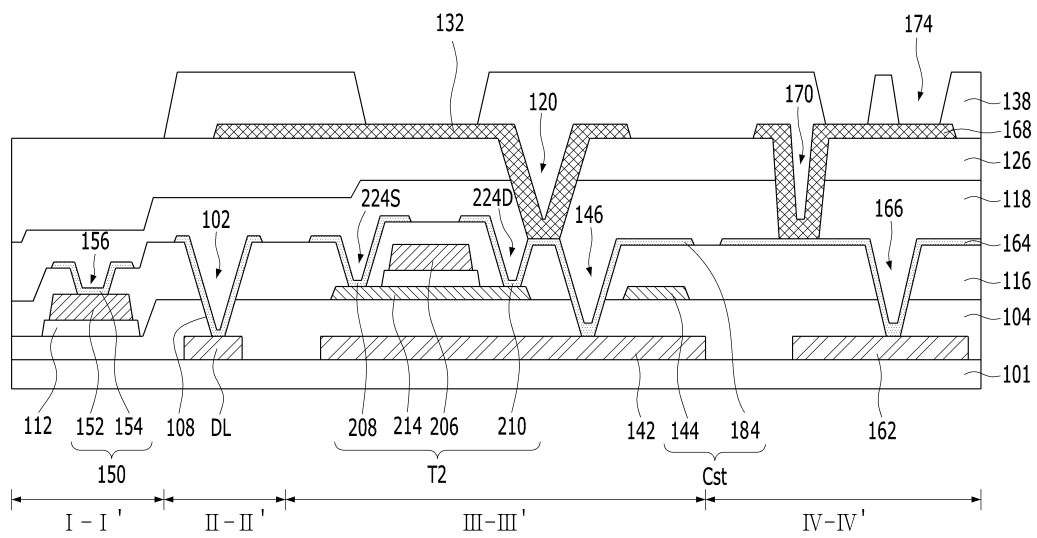
도면9b



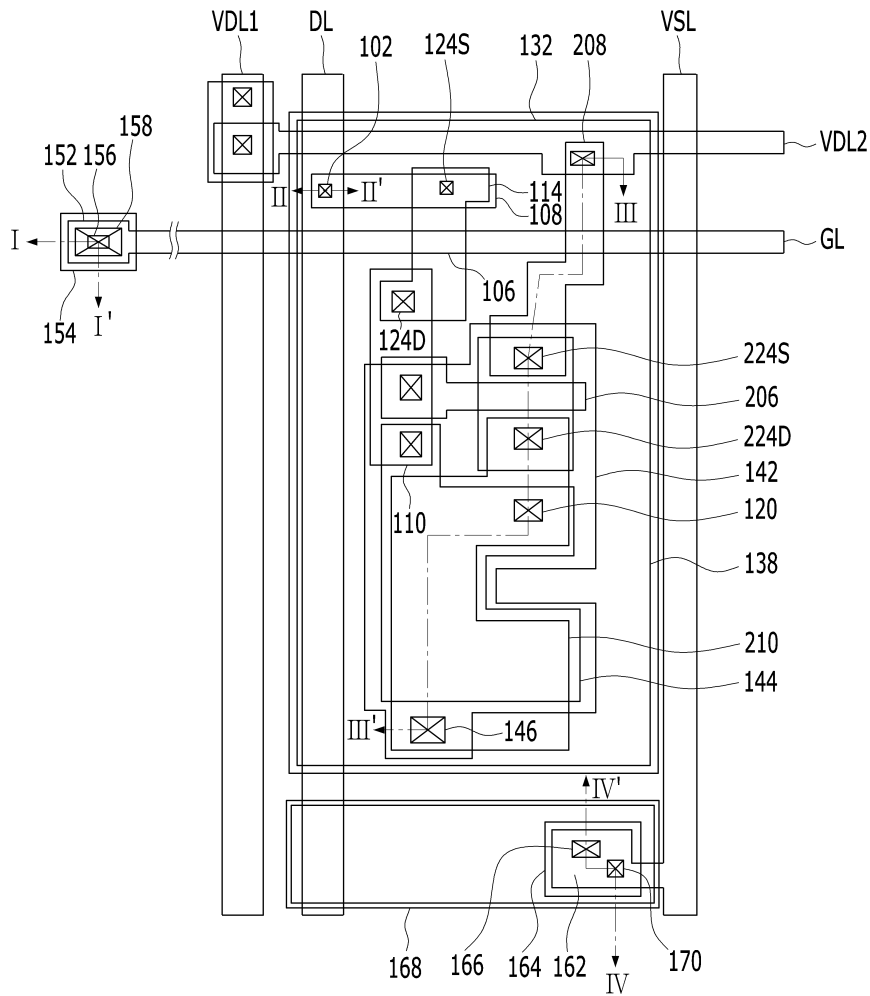
도면10a



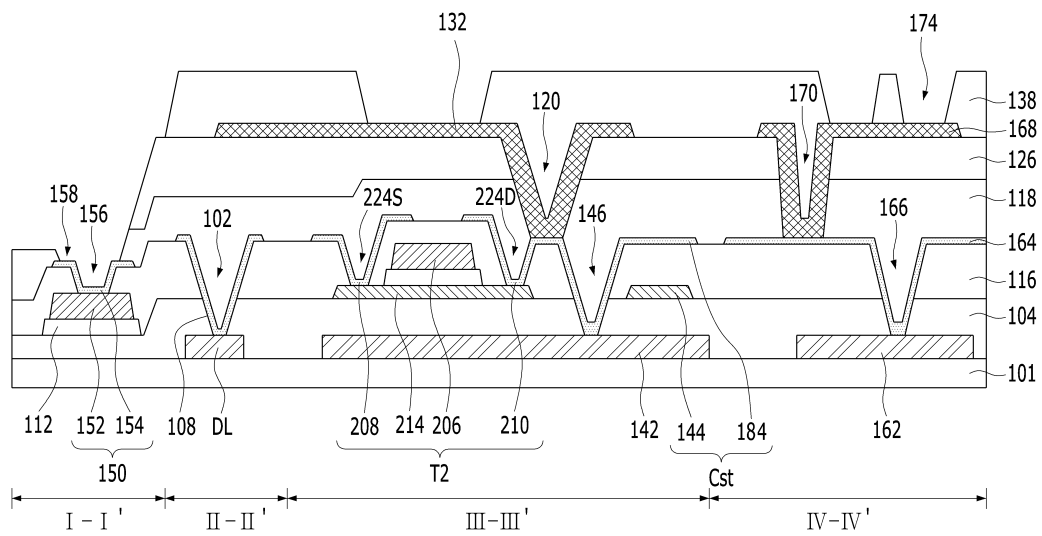
도면10b



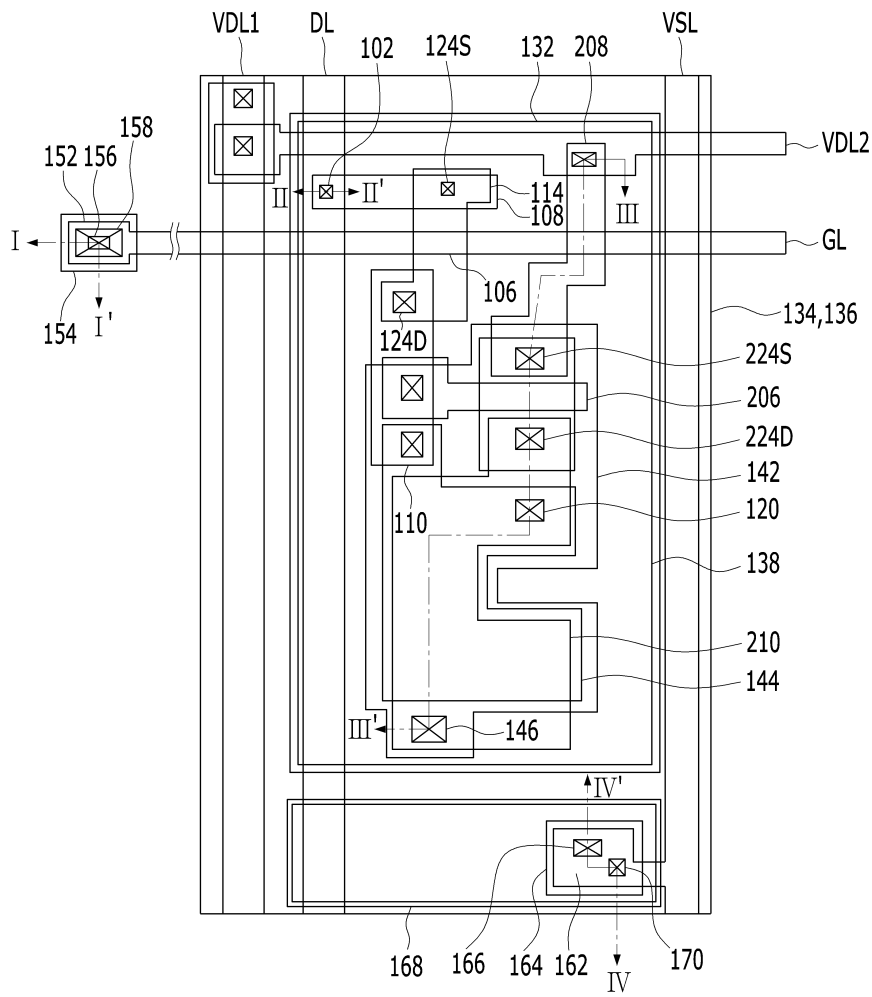
도면11a



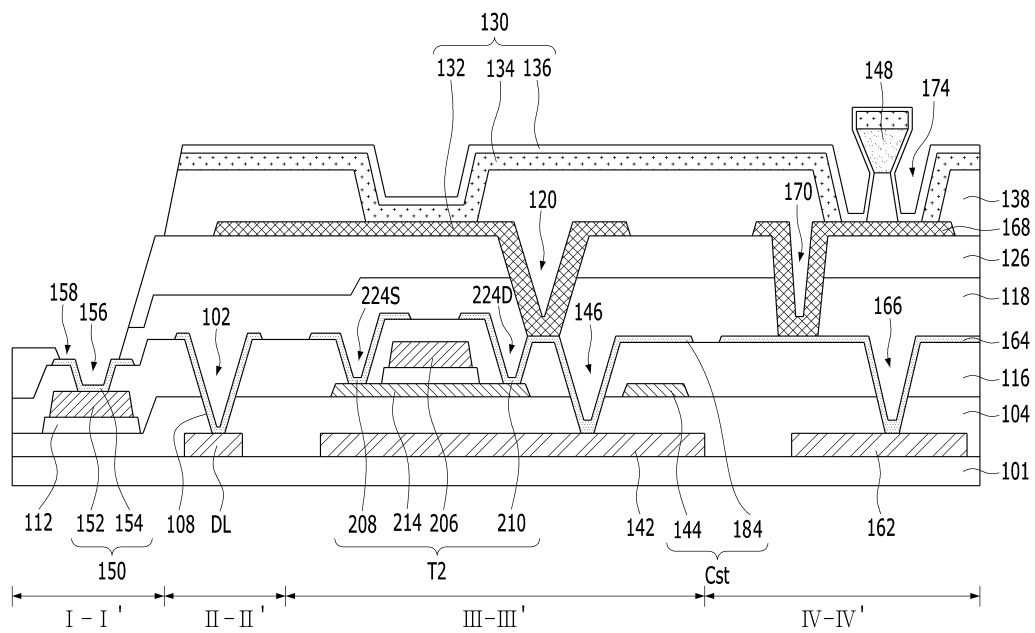
도면11b



도면12a



도면12b



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020180047607A	公开(公告)日	2018-05-10
申请号	KR1020160143983	申请日	2016-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG WOOK 이영욱 AN YONG SU 안용수 LEE BOK YOUNG 이복영		
发明人	이영욱 안용수 이복영		
IPC分类号	H01L27/32 H01L27/12 H01L51/52 H01L51/56		
CPC分类号	H01L27/3276 H01L27/3272 H01L27/3262 H01L51/5203 H01L51/56 H01L27/124 H01L27/1288 H01L2251/308		
代理人(译)	Bakyounbok		
其他公开文献	KR101920770B1		
外部链接	Espacenet		

摘要(译)

有机发光显示装置及其制造方法本发明涉及有机发光显示装置及其制造方法。根据本发明，在有机发光显示装置中，通过相同的掩模工艺形成阳极，保护膜，平坦化层，像素接触孔和辅助接触孔，焊盘覆盖电极，在形成阳极电极之后，通过相同的掩模工艺同时形成像素连接电极和辅助连接电极，并且当包括不透明导电膜的阳极电极被图案化时，通过平坦化层和保护膜保护第二焊盘电极。因此，在没有单独的焊盘保护膜的情况下，可以防止对第二焊盘电极的损坏，从而可以简化结构和制造工艺。

