(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0065069
(43) 공개일자 2017년06월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 29/78606 (2013.01)
(21) 출원번호 10-2015-0170781
(22) 출원일자 2015년12월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이동희
경기도 화성시 동탄지성로 42, 221동 1502호 (반송동, 시범한빛마을동탄아이파크아파트)
강현주
경기도 포천시 소흘읍 화합로 328
신상원
경기도 용인시 수지구 진산로 108, 609동 602호 (풍덕천동, 진산마을삼성래미안6차아파트)
(74) 대리인
팬코리아특허법인

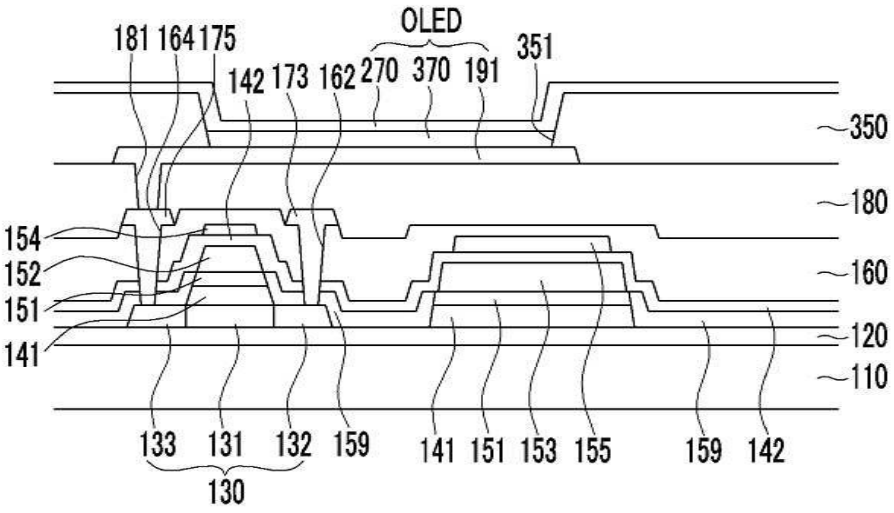
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치**

(57) 요 약

본 발명은 박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치에 관한 것으로, 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하는 반도체, 상기 반도체 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 제1 확산 방지막, 상기 제1 확산 방지막의 측면과 접하는 제2 확산 방지막, 상기 제1 확산 방지막 위에 위치하는 제1 게이트 전극, 및 상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함하고, 상기 제2 확산 방지막은 상기 제1 확산 방지막의 산화물로 이루어질 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/78618 (2013.01)
H01L 29/7869 (2013.01)
H01L 2227/32 (2013.01)

명 세 서

청구범위

청구항 1

기판,

상기 기판 위에 위치하는 반도체,

상기 반도체 위에 위치하는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 위치하는 제1 확산 방지막,

상기 제1 확산 방지막의 측면과 접하는 제2 확산 방지막,

상기 제1 확산 방지막 위에 위치하는 제1 게이트 전극, 및

상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함하고,

상기 제2 확산 방지막은 상기 제1 확산 방지막의 산화물로 이루어지는 박막 트랜지스터 표시판.

청구항 2

제1 항에 있어서,

상기 제1 확산 방지막과 상기 제1 게이트 전극의 가장자리는 일치하는 박막 트랜지스터 표시판.

청구항 3

제2 항에 있어서,

상기 반도체는 산화물 반도체 물질을 포함하고,

상기 제1 게이트 전극은 구리를 포함하는 박막 트랜지스터 표시판.

청구항 4

제3 항에 있어서,

상기 제1 확산 방지막은 티타늄을 포함하고,

상기 제2 확산 방지막은 티타늄 산화물을 포함하는 박막 트랜지스터 표시판.

청구항 5

제1 항에 있어서,

상기 반도체는 채널 영역, 및 상기 채널 영역의 양측에 위치하는 소스 영역 및 드레인 영역을 포함하는 박막 트랜지스터 표시판.

청구항 6

제5 항에 있어서,

상기 제1 게이트 절연막, 상기 제1 확산 방지막, 및 상기 제1 게이트 전극은 상기 반도체의 채널 영역과 중첩하고,

상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역과 중첩하는 박막 트랜지스터 표시판.

청구항 7

제6 항에 있어서,

상기 제2 확산 방지막은 상기 제1 게이트 절연막의 측면과 접하고, 상기 반도체의 소스 영역 및 드레인 영역의 바로 위에 위치하는 박막 트랜지스터 표시판.

청구항 8

제7 항에 있어서,

상기 제1 게이트 절연막은 상기 반도체의 소스 영역 및 드레인 영역과 중첩하지 않는 박막 트랜지스터 표시판.

청구항 9

제8 항에 있어서,

상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 상부면 및 측면을 덮는 박막 트랜지스터 표시판.

청구항 10

제9 항에 있어서,

상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 전체와 중첩하는 박막 트랜지스터 표시판.

청구항 11

제6 항에 있어서,

상기 제1 게이트 절연막은 상기 반도체의 채널 영역, 소스 영역, 및 드레인 영역 바로 위에 위치하고,

상기 제2 확산 방지막은 상기 제1 게이트 절연막의 바로 위에 위치하는 박막 트랜지스터 표시판.

청구항 12

제11 항에 있어서,

상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 전체와 중첩하는 박막 트랜지스터 표시판.

청구항 13

제6 항에 있어서,

상기 제1 게이트 전극, 상기 제2 확산 방지막, 상기 반도체 위에 위치하는 제2 게이트 절연막을 더 포함하고,

상기 제2 게이트 절연막은 상기 반도체의 소스 영역 및 드레인 영역의 바로 위에 위치하는 박막 트랜지스터 표시판.

청구항 14

제13 항에 있어서,

상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 일부와 중첩하는 박막 트랜지스터 표시판.

청구항 15

제1 항에 있어서,

상기 제1 게이트 전극, 상기 제2 확산 방지막 위에 위치하는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 전극, 및

상기 제2 게이트 전극 및 상기 제2 게이트 절연막 위에 위치하는 층간 절연막을 더 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 위에 위치하는 박막 트랜지스터 표시판.

청구항 16

제15 항에 있어서,

상기 제2 게이트 절연막은 실리콘 질화물을 포함하는 박막 트랜지스터 표시판.

청구항 17

기판,

상기 기판 위에 위치하는 반도체,

상기 반도체 위에 위치하는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 위치하는 제1 확산 방지막,

상기 제1 확산 방지막의 측면과 접하는 제2 확산 방지막,

상기 제1 확산 방지막 위에 위치하는 제1 게이트 전극,

상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극,

상기 드레인 전극과 연결되어 있는 제1 전극,

상기 제1 전극 위에 위치하는 유기 발광층, 및

상기 유기 발광층 위에 위치하는 제2 전극을 포함하고,

상기 제2 확산 방지막은 상기 제1 확산 방지막의 산화물로 이루어지는 유기 발광 표시 장치.

청구항 18

제17 항에 있어서,

상기 제1 확산 방지막과 상기 제1 게이트 전극의 가장자리는 일치하는 유기 발광 표시 장치.

청구항 19

제17 항에 있어서,

상기 반도체는 산화물 반도체 물질을 포함하고,

상기 제1 게이트 전극은 구리를 포함하고,

상기 제1 확산 방지막은 티타늄을 포함하고,

상기 제2 확산 방지막은 티타늄 산화물을 포함하는 유기 발광 표시 장치.

청구항 20

제17 항에 있어서,

상기 반도체는 채널 영역, 및 상기 채널 영역의 양측에 위치하는 소스 영역 및 드레인 영역을 포함하고,

상기 제1 게이트 절연막, 상기 제1 확산 방지막, 및 상기 제1 게이트 전극은 상기 반도체의 채널 영역과 중첩하고,

상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역과 중첩하는 유기 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성한다. 여기자가 여기 상태(exited state)로부터 기저 상태(ground state)로 변하면서 에너지를 방출하여 발

광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수의 트랜지스터 및 하나 이상의 커패시터(Capacitor)가 형성되어 있다. 복수의 트랜지스터는 기본적으로 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다.

[0004] 이러한 트랜지스터는 반도체 위에 게이트 전극이 위치하는 탑게이트형(top-gate type)으로 이루어질 수 있고, 반도체는 산화물 반도체 물질을 포함할 수 있으며, 게이트 전극은 구리와 같은 저저항 금속으로 이루어질 수 있다. 이때, 구리의 산화를 방지하기 위해 게이트 전극 위에 위치하는 게이트 절연막으로 실리콘 질화물을 이용할 수 있다. 실리콘 질화물로 게이트 절연막을 형성할 경우, 산화물 반도체에 수소가 확산될 수 있으며, 수소의 확산을 방지하기 위해 게이트 전극 아래에 확산 방지막을 형성할 수 있다.

[0005] 이때, 확산 방지막과 게이트 전극의 식각비의 차이에 의해 확산 방지막이 게이트 전극보다 돌출되는 부분이 발생하며, 돌출되는 부분에 고전류가 발생하여 박막 트랜지스터의 특성을 저하시키는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 박막 트랜지스터의 특성을 향상시킬 수 있는 박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0007] 상기와 같은 목적에 따른 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하는 반도체, 상기 반도체 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 제1 확산 방지막, 상기 제1 확산 방지막의 측면과 접하는 제2 확산 방지막, 상기 제1 확산 방지막 위에 위치하는 제1 게이트 전극, 및 상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함하고, 상기 제2 확산 방지막은 상기 제1 확산 방지막의 산화물로 이루어질 수 있다.

[0008] 상기 제1 확산 방지막과 상기 제1 게이트 전극의 가장자리는 일치할 수 있다.

[0009] 상기 반도체는 산화물 반도체 물질을 포함하고, 상기 제1 게이트 전극은 구리를 포함할 수 있다.

[0010] 상기 제1 확산 방지막은 티타늄을 포함하고, 상기 제2 확산 방지막은 티타늄 산화물을 포함할 수 있다.

[0011] 상기 반도체는 채널 영역, 및 상기 채널 영역의 양측에 위치하는 소스 영역 및 드레인 영역을 포함할 수 있다.

[0012] 상기 제1 게이트 절연막, 상기 제1 확산 방지막, 및 상기 제1 게이트 전극은 상기 반도체의 채널 영역과 중첩하고, 상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역과 중첩할 수 있다.

[0013] 상기 제2 확산 방지막은 상기 제1 게이트 절연막의 측면과 접하고, 상기 반도체의 소스 영역 및 드레인 영역의 바로 위에 위치할 수 있다.

[0014] 상기 제1 게이트 절연막은 상기 반도체의 소스 영역 및 드레인 영역과 중첩하지 않을 수 있다.

[0015] 상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 상부면 및 측면을 덮을 수 있다.

[0016] 상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 전체와 중첩할 수 있다.

[0017] 상기 제1 게이트 절연막은 상기 반도체의 채널 영역, 소스 영역, 및 드레인 영역 바로 위에 위치하고, 상기 제2 확산 방지막은 상기 제1 게이트 절연막의 바로 위에 위치할 수 있다.

[0018] 상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 전체와 중첩할 수 있다.

[0019] 상기 제1 게이트 전극, 상기 제2 확산 방지막, 상기 반도체 위에 위치하는 제2 게이트 절연막을 더 포함하고, 상기 제2 게이트 절연막은 상기 반도체의 소스 영역 및 드레인 영역의 바로 위에 위치할 수 있다.

[0020] 상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역의 일부와 중첩할 수 있다.

[0021] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 제1 게이트 전극, 상기 제2 확산 방지막 위에 위치하는 제2 게이트 절연막, 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 전극, 및 상기 제2 게이트 전극 및

상기 제2 게이트 절연막 위에 위치하는 층간 절연막을 더 포함하고, 상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 위에 위치할 수 있다.

[0022] 상기 제2 게이트 절연막은 실리콘 질화물을 포함할 수 있다.

[0023] 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 기판, 상기 기판 위에 위치하는 반도체, 상기 반도체 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 제1 확산 방지막, 상기 제1 확산 방지막의 측면과 접하는 제2 확산 방지막, 상기 제1 확산 방지막 위에 위치하는 제1 게이트 전극, 상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극, 상기 드레인 전극과 연결되어 있는 제1 전극, 상기 제1 전극 위에 위치하는 유기 발광층, 및 상기 유기 발광층 위에 위치하는 제2 전극을 포함하고, 상기 제2 확산 방지막은 상기 제1 확산 방지막의 산화물로 이루어질 수 있다.

[0024] 상기 제1 확산 방지막과 상기 제1 게이트 전극의 가장자리는 일치할 수 있다.

[0025] 상기 반도체는 산화물 반도체 물질을 포함하고, 상기 제1 게이트 전극은 구리를 포함하고, 상기 제1 확산 방지막은 티타늄을 포함하고, 상기 제2 확산 방지막은 티타늄 산화물을 포함할 수 있다.

[0026] 상기 반도체는 채널 영역, 및 상기 채널 영역의 양측에 위치하는 소스 영역 및 드레인 영역을 포함하고, 상기 제1 게이트 절연막, 상기 제1 확산 방지막, 및 상기 제1 게이트 전극은 상기 반도체의 채널 영역과 중첩하고, 상기 제2 확산 방지막은 상기 반도체의 소스 영역 및 드레인 영역과 중첩할 수 있다.

발명의 효과

[0027] 상기한 바와 같은 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치는 다음과 같은 효과가 있다.

[0028] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치는 제1 확산 방지막의 측면과 접하는 제2 확산 방지막을 형성하여 제1 확산 방지막과 제1 게이트 전극의 가장자리를 일치시킬 수 있다. 따라서, 제1 확산 방지막이 제1 게이트 전극보다 돌출되지 않도록 하여 박막 트랜지스터의 특성이 저하되는 것을 방지할 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 단면도이다.

도 2 내지 도 6은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법을 나타내는 공정 단면도이다.

도 7은 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 나타낸 단면도이다.

도 8 내지 도 11은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법을 나타내는 공정 단면도이다.

도 12는 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 나타낸 단면도이다.

도 13 내지 도 17은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법을 나타내는 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하에서 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0031] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0032] 먼저, 도 1을 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치에 대해 설명하면 다음과 같다.

[0033] 도 1은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 단면도이다.

[0034] 도 1을 참조하면, 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 기판(110), 기판(110) 위에 위치하는 반

도체(130), 반도체(130) 위에 위치하는 제1 게이트 절연막(141), 제1 게이트 절연막(141) 위에 위치하는 제1 확산 방지막(151), 제1 확산 방지막(151)의 측면과 접하는 제2 확산 방지막(159), 및 제1 확산 방지막(151) 위에 위치하는 제1 게이트 전극(152)을 포함한다.

[0035] 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성된다. 그러나, 본 발명의 일 실시예는 이에 한정되지 않고, 기판(110)은 스테인리스 강 등으로 이루어진 금속성 기판일 수도 있다.

[0036] 기판(110) 위에는 버퍼층(120)이 더 위치할 수 있다. 버퍼층(120)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 포함할 수 있다. 버퍼층(120)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다. 버퍼층(120)은 경우에 따라 생략될 수 있다.

[0037] 반도체(130)는 버퍼층(120) 위에 위치할 수 있다. 반도체(130)는 산화물 반도체 물질을 포함할 수 있다. 반도체(130)는 불순물이 도핑되어 있지 않은 채널 영역(131), 및 채널 영역(131)의 양측에 위치하고 불순물이 도핑되어 있는 접촉 도핑 영역(132, 133)을 포함한다. 접촉 도핑 영역(132, 133)은 소스 영역(132) 및 드레인 영역(133)을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라진다.

[0038] 제1 게이트 절연막(141)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 포함할 수 있다. 제1 게이트 절연막(141)은 반도체(130)의 채널 영역(131)과 중첩할 수 있다. 제1 게이트 절연막(141)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)과는 중첩하지 않을 수 있다.

[0039] 제1 확산 방지막(151)은 티타늄(Ti)을 포함할 수 있다. 제1 확산 방지막(151)은 반도체(130)의 채널 영역(131)과 중첩할 수 있다. 제1 확산 방지막(151)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)과는 중첩하지 않을 수 있다.

[0040] 제2 확산 방지막(159)은 제1 확산 방지막(151)의 산화물로 이루어질 수 있다. 따라서, 제2 확산 방지막(159)은 티타늄 산화물(TiOx)을 포함할 수 있다. 제2 확산 방지막(159)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)과 중첩할 수 있다. 제2 확산 방지막(159)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 바로 위에 위치할 수 있다. 제2 확산 방지막(159)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 상부면 및 측면을 덮을 수 있다. 이때, 제2 확산 방지막(159)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 전체와 중첩하게 된다. 또한, 제2 확산 방지막(159)은 제1 게이트 절연막(141)의 측면과 접하고, 버퍼층(120) 위에도 위치할 수 있다.

[0041] 제1 게이트 전극(152)은 구리(Cu)를 포함할 수 있다. 제1 게이트 전극(152)은 반도체(130)의 채널 영역(131)과 중첩할 수 있다. 제1 게이트 전극(152)과 제1 확산 방지막(151)은 실질적으로 동일한 평면 형상을 가질 수 있다. 도 1에 도시된 제1 게이트 전극(152)과 제1 확산 방지막(152)은 서로 맞닿은 면에서 동일한 평면 형상을 가진다. 제1 게이트 전극(152)과 제1 확산 방지막(152)의 측면은 테이퍼진 형태를 가질 수 있고, 이에 따라 제1 게이트 전극(152)의 평면 크기와 제1 확산 방지막(152)의 평면 크기가 약간 상이할 수 있으나, 그 평면 형태는 실질적으로 동일하다. 따라서, 제1 게이트 전극(152)의 가장자리는 제1 확산 방지막(151)의 가장자리와 일치할 수 있다.

[0042] 제1 게이트 전극(152) 및 제2 확산 방지막(159) 위에는 제2 게이트 절연막(142)이 위치할 수 있다. 제2 게이트 절연막(142)은 실리콘 질화물(SiNx)을 포함할 수 있다.

[0043] 본 실시예에서, 제1 게이트 전극(152)은 구리(Cu)로 이루어진다. 제1 게이트 전극(152)을 형성한 후에 제2 게이트 절연막(142)을 형성하게 된다. 이때, 제2 게이트 절연막(142)은 실리콘 질화물(SiNx)로 이루어지므로 제2 게이트 절연막(142) 형성 과정에서 구리의 산화를 방지할 수 있다. 또한, 제1 게이트 전극(152) 아래에는 제1 확산 방지막(151)이 위치하므로, 제2 게이트 절연막(142) 형성 과정에서 산화물 반도체로 이루어진 반도체(130)로 수소가 확산되는 것을 방지할 수 있다. 나아가, 제1 확산 방지막(151)과 접하는 제2 확산 방지막(152)이 금속 물질이 아닌 금속 산화물로 이루어지고, 제1 확산 방지막(151)은 제1 게이트 전극(152)과 가장자리가 일치함으로써, 제1 확산 방지막(151)의 가장자리에 고전류가 발생하는 것을 방지할 수 있다. 따라서, 박막 트랜지스터의 특성 저하를 방지할 수 있다.

[0044] 제2 게이트 절연막(142) 위에는 제2 게이트 전극(154)이 위치할 수 있다. 제2 게이트 전극(154)은 제1 게이트 전극(152)과 중첩할 수 있다.

[0045] 제2 게이트 전극(154) 및 제2 게이트 절연막(142) 위에는 층간 절연막(160)이 더 위치할 수 있다.

[0046] 제2 확산 방지막(159), 제2 게이트 절연막(142), 및 층간 절연막(160)에는 반도체(130)의 적어도 일부를 드러내

는 접촉 구멍(162, 164)이 형성되어 있다. 접촉 구멍(162, 164)은 특히 반도체(130)의 접촉 도핑 영역(132, 133)을 드러내고 있다.

[0047] 층간 절연막(160) 위에는 소스 전극(173) 및 드레인 전극(175)이 위치할 수 있다. 소스 전극(173)은 접촉 구멍(162)을 통해 반도체(130)의 소스 영역(132)과 연결되어 있고, 드레인 전극(175)은 접촉 구멍(164)을 통해 반도체(130)의 드레인 영역(133)과 연결되어 있다.

[0048] 이와 같이, 반도체(130), 제1 게이트 전극(152), 소스 전극(173), 드레인 전극(175)은 하나의 박막 트랜지스터(Thin Film Transistor)를 구성한다. 상기에서 설명한 박막 트랜지스터는 스위칭 트랜지스터 또는 구동 트랜지스터일 수 있다. 이러한 박막 트랜지스터가 형성되어 있는 기판(110)을 박막 트랜지스터 표시판이라 한다.

[0049] 층간 절연막(160), 소스 전극(173), 및 드레인 전극(175) 위에는 보호막(180)이 위치할 수 있다. 보호막(180)에는 드레인 전극(175)의 적어도 일부를 노출시키는 접촉 구멍(181)이 형성되어 있다.

[0050] 보호막(180) 위에는 화소 전극(191)이 위치할 수 있다. 화소 전극(191)은 인듐-주석 산화물(ITO, Indium Tin Oxide), 인듐-아연 산화물(IZO, Indium Zinc Oxide), 산화 아연(ZnO), 인듐 산화물(In_2O_3, Indium Oxide) 등의 투명한 도전 물질이나 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 만들어질 수 있다. 화소 전극(191)은 접촉 구멍(181)을 통해서 드레인 전극(175)과 전기적으로 연결되어 유기 발광 다이오드(OLED)의 애노드 전극이 된다.

[0051] 보호막(180) 위와 화소 전극(191)의 가장자리부 위에는 화소 정의막(350)이 위치할 수 있다. 화소 정의막(350)은 화소 전극(191)을 노출하는 화소 개구부(351)를 가진다. 화소 정의막(350)은 폴리아크릴계(polyacrylics) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함할 수 있다.

[0052] 화소 정의막(350)의 화소 개구부(351)에는 유기 발광층(370)이 형성되어 있다. 유기 발광층(370)은 발광층, 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 적어도 하나를 포함할 수 있다.

[0053] 유기 발광층(370)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층 및 청색을 발광하는 청색 유기 발광층을 포함할 수 있다. 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층은 각각 적색 화소, 녹색 화소 및 청색 화소에 형성되어 컬러 화상을 구현하게 된다.

[0054] 또한, 유기 발광층(370)은 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소에 모두 함께 적층하고, 각 화소 별로 적색 필터, 녹색 필터 및 청색 필터를 형성하여 컬러 화상을 구현할 수 있다. 다른 예로, 백색을 발광하는 백색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소 모두에 형성하고, 각 화소 별로 각각 적색 필터, 녹색 필터 및 청색 필터를 형성하여 컬러 화상을 구현할 수도 있다. 백색 유기 발광층과 색필터를 이용하여 컬러 화상을 구현하는 경우, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 각각의 개별 화소 즉, 적색 화소, 녹색 화소 및 청색 화소에 증착하기 위한 증착 마스크를 사용하지 않아도 된다.

[0055] 다른 예에서 설명한 백색 유기 발광층은 하나의 유기 발광층으로 형성될 수 있음은 물론이고, 복수의 유기 발광층을 적층하여 백색을 발광할 수 있도록 한 구성까지 포함한다. 예로, 적어도 하나의 옐로우 유기 발광층과 적어도 하나의 청색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 시안 유기 발광층과 적어도 하나의 적색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 마젠타 유기 발광층과 적어도 하나의 녹색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성 등도 포함할 수 있다.

[0056] 화소 정의막(350) 및 유기 발광층(370) 위에는 공통 전극(270)이 형성된다. 공통 전극(270)은 인듐-주석 산화물(ITO, Indium Tin Oxide), 인듐-아연 산화물(IZO, Indium Zinc Oxide), 산화 아연(ZnO), 인듐 산화물(In_2O_3, Indium Oxide) 등의 투명한 도전 물질이나 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 만들어질 수 있다. 공통 전극(270)은 유기 발광 다이오드(OLED)의 캐소드 전극이 된다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(OLED)를 이룬다.

[0057] 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 기판(110) 위에 위치하는 제1 스토리지 전극(153) 및 제1 스토리지 전극(153)과 중첩하는 제2 스토리지 전극(155)을 더 포함할 수 있다.

[0058] 제1 스토리지 전극(153) 아래에는 제1 확산 방지막(151), 제1 게이트 절연막(141), 버퍼층(120)이 더 위치할 수 있다. 제1 스토리지 전극(153)과 제2 스토리지 전극(155) 사이에는 제2 게이트 절연막(142)이 더 위치할 수 있다. 제1 스토리지 전극(153)과 제2 스토리지 전극(155)은 제2 게이트 절연막(142)을 유전체로 하여 스토리지 커패시터(Storage Capacitor)를 이룬다.

[0059] 다음으로, 도 2 내지 도 6을 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법에 대해 설명하면 다음과 같다.

[0060] 도 2 내지 도 6은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법을 나타내는 공정 단면도이다.

[0061] 먼저 도 2에 도시된 바와 같이, 기판(110) 위에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 증착하여 버퍼층(120)을 형성한다.

[0062] 버퍼층(120) 위에 산화물 반도체 물질을 증착하고, 이를 패터닝하여 반도체(130)를 형성한다.

[0063] 반도체(130) 및 버퍼층(120) 위에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 증착하고, 이를 패터닝하여 제1 게이트 절연막(141)을 형성한다.

[0064] 반도체(130)는 채널 영역(131) 및 채널 영역(131)의 양측에 위치하는 소스 영역(132) 및 드레인 영역(133)을 포함한다. 이때, 제1 게이트 절연막(141)은 반도체(130)의 채널 영역(131)과 중첩할 수 있다.

[0065] 도 3에 도시된 바와 같이, 제1 게이트 절연막(141), 반도체(130), 및 버퍼층(120) 위에 제1 금속 물질층(510) 및 제2 금속 물질층(520)을 순차적으로 증착한다. 제1 금속 물질층(510)은 티타늄(Ti)을 포함할 수 있고, 제2 금속 물질층(520)은 구리(Cu)를 포함할 수 있다.

[0066] 제2 금속 물질층(520) 위에 감광성 물질을 도포하고, 이를 패터닝하여 포토 레지스트 패턴(600)을 형성한다.

[0067] 포토 레지스트 패턴(600)을 마스크로 이용하여 제2 금속 물질층(520)을 식각하여 도 4에 도시된 바와 같이, 제1 게이트 전극(152) 및 제1 스토리지 전극(153)을 형성한다.

[0068] 포토 레지스트 패턴(600)을 마스크로 이용하여 제1 금속 물질층(510)을 산화시켜 제2 확산 방지막(159)을 형성한다. 이때, 포토 레지스트 패턴(600) 아래에 위치하여 산화되지 않은 부분의 제1 금속 물질층(510)이 제1 확산 방지막(151)이 된다.

[0069] 따라서, 제1 확산 방지막(151)은 티타늄(Ti)을 포함할 수 있고, 제2 확산 방지막(159)은 티타늄 산화물(TiOx)을 포함할 수 있다.

[0070] 본 실시예에서는 포토 레지스트 패턴(600)을 마스크로 이용하여 제2 금속 물질층(520)을 식각하고, 제1 금속 물질층(510)을 산화시킨다. 따라서, 제1 게이트 전극(152)과 제1 확산 방지막(151)은 동일한 평면 형상을 가질 수 있다. 즉, 제1 게이트 전극(152)과 제1 확산 방지막(151)의 가장자리가 일치할 수 있으며, 제1 확산 방지막(151)이 제1 게이트 전극(152)보다 돌출되지 않는다. 따라서, 제1 확산 방지막(151)의 가장자리에서 고전류가 발생하는 것을 방지할 수 있으며, 박막 트랜지스터의 특성 저하를 방지할 수 있다.

[0071] 도 5에 도시된 바와 같이, 포토 레지스트 패턴(600)을 제거한다.

[0072] 도 6에 도시된 바와 같이, 제1 게이트 전극(152), 제2 확산 방지막(159) 위에 실리콘 질화물(SiNx)을 증착하여 제2 게이트 절연막(142)을 형성한다.

[0073] 제2 게이트 절연막(142) 위에 금속 물질을 증착하고, 이를 패터닝하여, 제1 게이트 전극(152)과 중첩하는 제2 게이트 전극(154)을 형성하고, 제1 스토리지 전극(153)과 중첩하는 제2 스토리지 전극(155)를 형성한다.

[0074] 제2 스토리지 전극(155) 및 제2 게이트 절연막(142) 위에 층간 절연막(160)을 형성한다. 층간 절연막(160)을 패터닝하여 반도체(130)의 소스 영역(132) 및 드레인 영역(133)을 드러내는 접촉 구멍(162, 164)을 형성한다.

[0075] 층간 절연막(160) 위에 금속 물질을 증착하고, 이를 패터닝하여 소스 전극(173) 및 드레인 전극(175)을 형성한다. 소스 전극(173) 및 드레인 전극(175)은 접촉 구멍(162, 164)을 통해 각각 반도체(130)의 소스 영역(132) 및 드레인 영역(133)과 연결된다.

[0076] 소스 전극(173), 드레인 전극(175), 및 층간 절연막(160) 위에 보호막(180)을 형성한다. 보호막(180)을 패터닝하여 드레인 전극(175)을 드러내는 접촉 구멍(181)을 형성한다.

[0077] 보호막(180) 위에 금속 물질을 증착하고, 이를 패터닝하여 화소 전극(191)을 형성한다. 화소 전극(191)은 접촉

구멍(181)을 통해 드레인 전극(175)과 연결된다.

[0078] 화소 전극(191) 및 보호막(180) 위에 절연 물질을 증착하고, 이를 패터닝하여 화소 정의막(350)을 형성한다. 화소 정의막(350)은 화소 전극(191)을 노출하는 화소 개구부(351)를 가진다.

[0079] 화소 개구부(351) 내에 유기 발광층(370)을 형성한다. 유기 발광층(370) 및 화소 정의막(350) 위에 금속 물질을 증착하고, 이를 패터닝하여 공통 전극(270)을 형성한다.

[0080] 다음으로, 도 7을 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치에 대해 설명하면 다음과 같다.

[0081] 도 7에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 도 1에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치와 동일한 부분이 상당하므로 이에 대한 설명은 생략한다. 본 실시예에서는 제1 게이트 절연막이 반도체의 채널 영역뿐만 아니라 소스 영역 및 드레인 영역을 함께 덮도록 형성된다는 점에서 앞선 실시예와 상이하며, 이하에서 더욱 설명한다.

[0082] 도 7은 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 나타낸 단면도이다.

[0083] 도 7을 참조하면, 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 기판(110), 기판(110) 위에 위치하는 반도체(130), 반도체(130) 위에 위치하는 제1 게이트 절연막(141), 제1 게이트 절연막(141) 위에 위치하는 제1 확산 방지막(151), 제1 확산 방지막(151)의 측면과 접하는 제2 확산 방지막(159), 및 제1 확산 방지막(151) 위에 위치하는 제1 게이트 전극(152)을 포함한다.

[0084] 앞선 실시예에서는 제1 게이트 절연막(141)이 반도체(130)의 채널 영역(131)과 중첩하고, 소스 영역(132) 및 드레인 영역(133)과는 중첩하지 않는다. 본 실시예에서는 제1 게이트 절연막(141)이 반도체(130)의 채널 영역(131), 소스 영역(132), 및 드레인 영역(133)과 중첩한다. 제1 게이트 절연막(141)은 반도체(130)의 채널 영역(131), 소스 영역(132), 및 드레인 영역(133) 바로 위에 위치할 수 있다. 제1 게이트 절연막(141)은 반도체(130)의 상부면과 측면을 모두 덮고 있다.

[0085] 앞선 실시예에서는 제2 확산 방지막(159)이 반도체(130)의 소스 영역(132) 및 드레인 영역(133) 바로 위에 위치한다. 본 실시예에서는 제2 확산 방지막(159)과 반도체(130)의 소스 영역(132) 사이, 제2 확산 방지막(159)과 반도체(130)의 드레인 영역(133) 사이에 제1 게이트 절연막(141)이 위치한다. 따라서, 제2 확산 방지막(159)은 제1 게이트 절연막(141) 바로 위에 위치하게 된다.

[0086] 다음으로, 도 8 내지 도 11을 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법에 대해 설명하면 다음과 같다.

[0087] 도 8 내지 도 11에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 도 2 내지 도 6에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치와 동일한 부분이 상당하므로 이에 대한 설명은 생략한다.

[0088] 도 8 내지 도 11은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법을 나타내는 공정 단면도이다.

[0089] 먼저, 도 8에 도시된 바와 같이, 기판(110) 위에 버퍼층(120)을 형성하고, 버퍼층(120) 위에 반도체(130)를 형성한다.

[0090] 반도체(130) 및 버퍼층(120) 위에 제1 게이트 절연막(141), 제1 금속 물질층(510), 제2 금속 물질층(520)을 순차적으로 증착한다.

[0091] 도 9에 도시된 바와 같이, 제2 금속 물질층(520) 위에 감광성 물질을 도포하고, 이를 패터닝하여 포토 레지스트 패턴(600)을 형성한다.

[0092] 포토 레지스트 패턴(600)을 마스크로 이용하여 제2 금속 물질층(520)을 식각하여 도 10에 도시된 바와 같이, 제1 게이트 전극(152) 및 제1 스토리지 전극(153)을 형성한다.

[0093] 포토 레지스트 패턴(600)을 마스크로 이용하여 제1 금속 물질층(510)을 산화시켜 제2 확산 방지막(159)을 형성한다. 이때, 제1 게이트 전극(152) 및 제1 스토리지 전극(153)의 아래에 각각 위치하여 산화되지 않은 부분의 제1 금속 물질층(510)이 제1 확산 방지막(151)이 된다.

[0094] 제1 확산 방지막(151)은 티타늄(Ti)을 포함할 수 있고, 제2 확산 방지막(159)은 티타늄 산화물(TiOx)을 포함할 수 있다.

[0095] 이후 포토 레지스트 패턴(600)을 제거하고, 도 11에 도시된 바와 같이, 제2 게이트 절연막(142), 제2 게이트 전

극(154), 층간 절연막(160), 소스 전극(173), 드레인 전극(175), 보호막(180), 화소 전극(191), 화소 정의막(350), 유기 발광층(370), 공통 전극(270)을 순차적으로 형성한다.

[0096] 다음으로, 도 12를 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치에 대해 설명하면 다음과 같다.

[0097] 도 12에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 도 1에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치와 동일한 부분이 상당하므로 이에 대한 설명은 생략한다. 본 실시예에서는 제2 확산 방지막이 반도체의 소스 영역 및 드레인 영역의 전체가 아닌 일부와 중첩한다는 점에서 앞선 실시예와 상이하며, 이하에서 더욱 설명한다.

[0098] 도 12는 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 나타낸 단면도이다.

[0099] 도 12를 참조하면, 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 기판(110), 기판(110) 위에 위치하는 반도체(130), 반도체(130) 위에 위치하는 제1 게이트 절연막(141), 제1 게이트 절연막(141) 위에 위치하는 제1 확산 방지막(151), 제1 확산 방지막(151)의 측면과 접하는 제2 확산 방지막(159), 및 제1 확산 방지막(151) 위에 위치하는 제1 게이트 전극(152)을 포함한다.

[0100] 앞선 실시예에서는 제2 확산 방지막(159)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 상부면 및 측면을 덮도록 형성되고, 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 전체와 중첩한다. 본 실시예에서는 제2 확산 방지막(159)이 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 일부와 중첩한다. 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 대부분은 제2 확산 방지막(159)에 의해 덮여 있지 않다.

[0101] 제1 게이트 전극(152), 제2 확산 방지막(159), 및 반도체(130) 위에는 제2 게이트 절연막(142)이 더 위치한다. 제2 게이트 절연막(142)은 반도체(130)의 소스 영역(132) 및 드레인 영역(133)의 바로 위에 위치한다.

[0102] 다음으로, 도 13 내지 도 17을 참조하여 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법에 대해 설명하면 다음과 같다.

[0103] 도 13 내지 도 17에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 도 2 내지 도 6에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치와 동일한 부분이 상당하므로 이에 대한 설명은 생략한다.

[0104] 도 13 내지 도 17은 본 발명의 일 실시예에 의한 유기 발광 표시 장치의 제조 방법을 나타내는 공정 단면도이다.

[0105] 먼저, 도 13에 도시된 바와 같이, 기판(110) 위에 버퍼층(120)을 형성하고, 버퍼층(120) 위에 반도체(130)를 형성한다.

[0106] 반도체(130) 및 버퍼층(120) 위에 제1 게이트 절연막(141), 제1 금속 물질층(510), 제2 금속 물질층(520)을 순차적으로 증착한다.

[0107] 도 14에 도시된 바와 같이, 제2 금속 물질층(520) 위에 감광성 물질을 도포하고, 이를 패터닝하여 포토 레지스트 패턴(600)을 형성한다.

[0108] 포토 레지스트 패턴(600)을 마스크로 이용하여 제2 금속 물질층(520) 및 제1 금속 물질층(510)을 동시에 식각하여, 도 15에 도시된 바와 같이, 제1 게이트 전극(152) 및 제1 스토리지 전극(153)을 형성한다. 습식 식각 방식으로 제2 금속 물질층(520)과 제1 금속 물질층(510)을 동시에 식각할 수 있다. 이때, 제1 금속 물질층(510)과 제2 금속 물질층(520)의 식각비의 차이로 인해 제1 금속 물질층(510)이 제1 게이트 전극(152)보다 돌출된 부분이 발생할 수 있다.

[0109] 이어, 포토 레지스트 패턴(600)을 마스크로 이용하여 제1 게이트 절연막(141)을 식각한다. 건식 식각 방식으로 제1 게이트 절연막(141)을 식각할 수 있다.

[0110] 포토 레지스트 패턴(600)을 마스크로 이용하여 제1 금속 물질층(510)을 산화시켜 도 16에 도시된 바와 같이, 제2 확산 방지막(159)을 형성한다. 이때, 제1 게이트 전극(152) 및 제1 스토리지 전극(153)의 아래에 각각 위치하여 산화되지 않은 부분의 제1 금속 물질층(510)이 제1 확산 방지막(151)이 된다.

[0111] 제1 확산 방지막(151)은 티타늄(Ti)을 포함할 수 있고, 제2 확산 방지막(159)은 티타늄 산화물(TiOx)을 포함할 수 있다.

[0112] 이후 포토 레지스트 패턴(600)을 제거하고, 도 17에 도시된 바와 같이, 제2 게이트 절연막(142), 제2 게이트 전극(154), 층간 절연막(160), 소스 전극(173), 드레인 전극(175), 보호막(180), 화소 전극(191), 화소 정의막

(350), 유기 발광층(370), 공통 전극(270)을 순차적으로 형성한다.

[0113] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0114] 110: 기판 130: 반도체

131: 반도체의 채널 영역 132: 반도체의 소스 영역

133: 반도체의 드레인 영역 141: 제1 게이트 절연막

142: 제2 게이트 절연막 151: 제1 확산 방지막

152: 제1 게이트 전극 153: 제1 스토리지 전극

154: 제2 게이트 전극 155: 제2 스토리지 전극

159: 제2 확산 방지막 160: 층간 절연막

173: 소스 전극 175: 드레인 전극

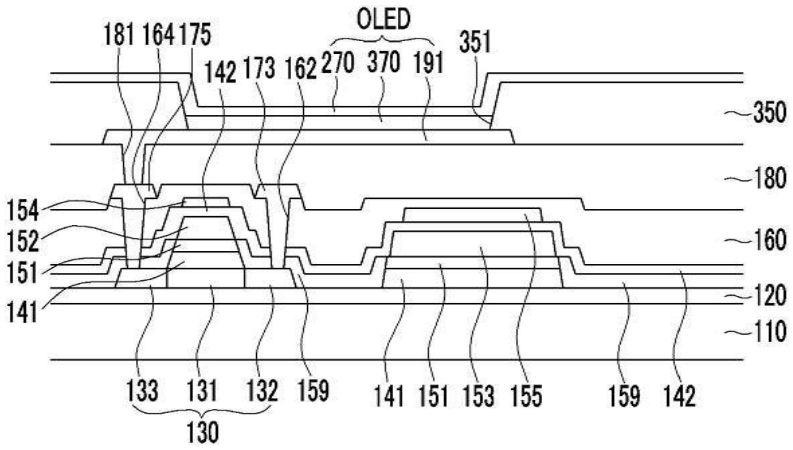
191: 화소 전극 270: 공통 전극

370: 유기 발광층 510: 제1 금속 물질층

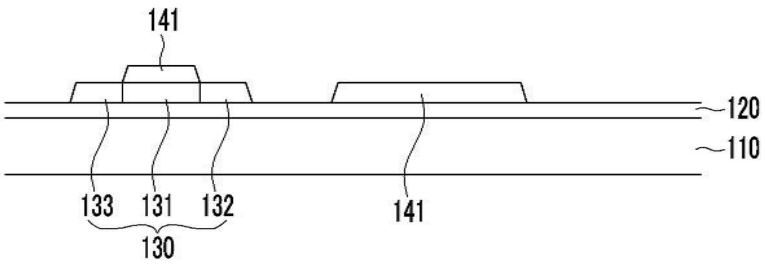
520: 제2 금속 물질층

도면

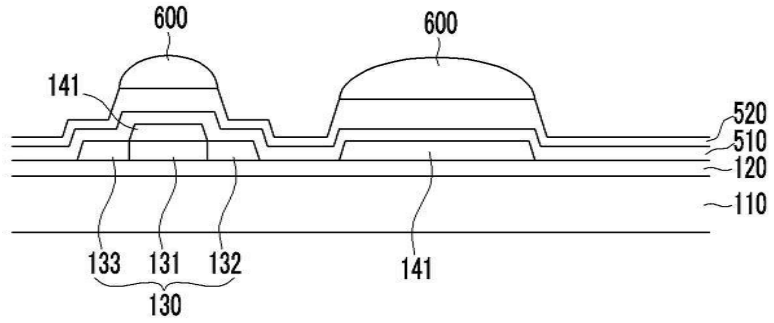
도면1



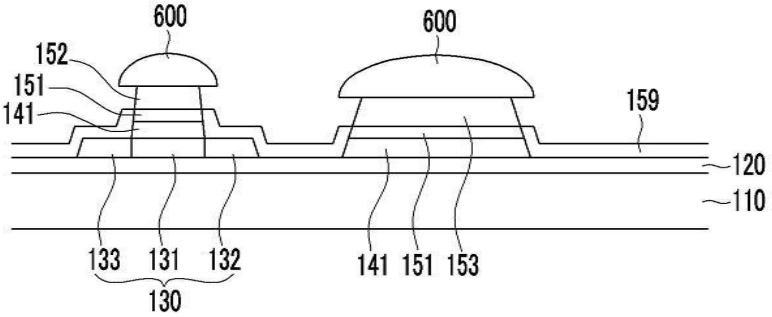
도면2



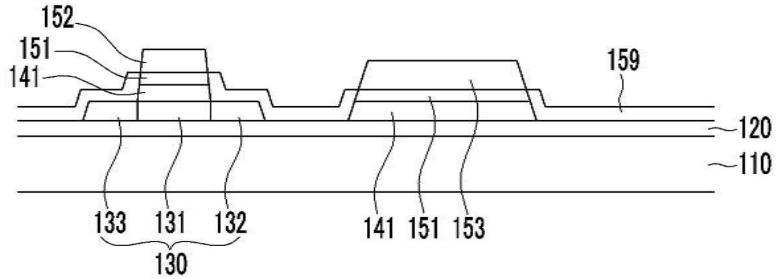
도면3



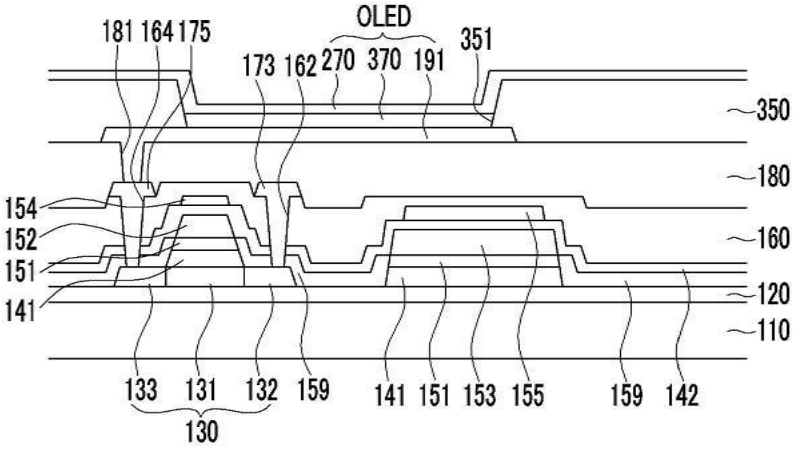
도면4



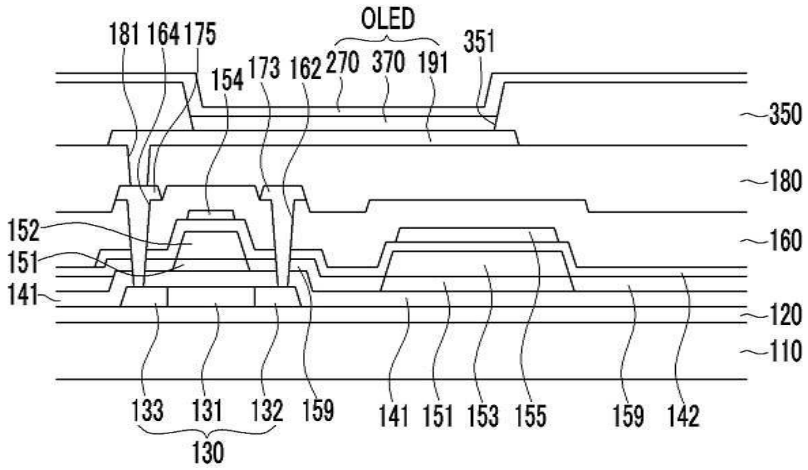
도면5



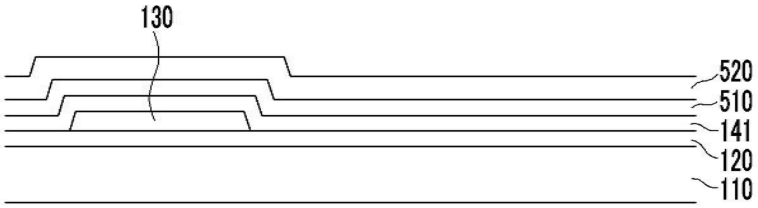
도면6



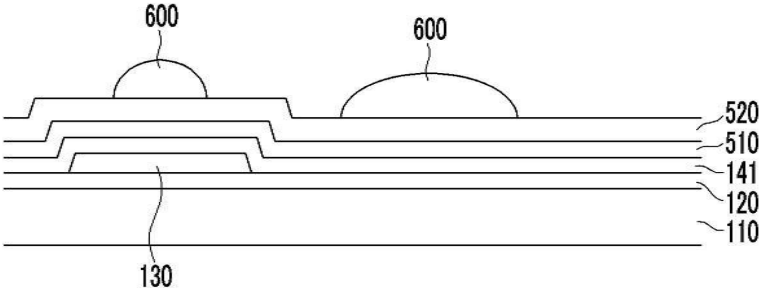
도면7



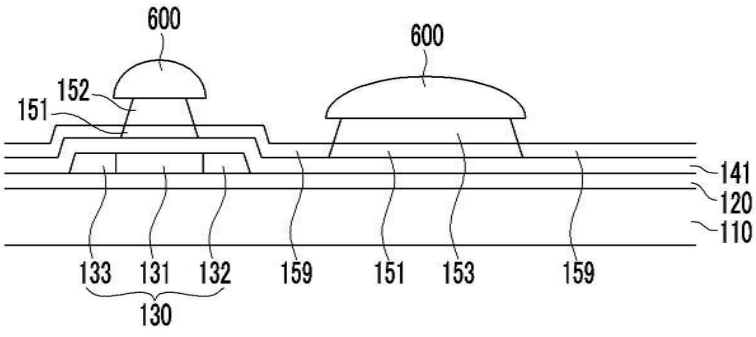
도면8



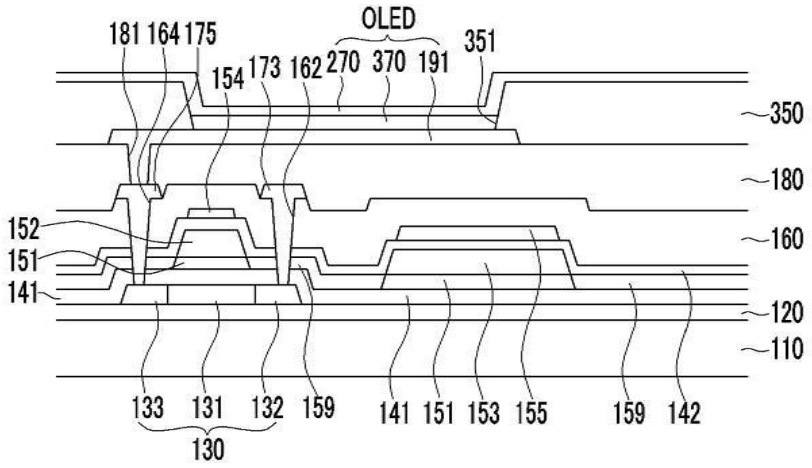
도면9



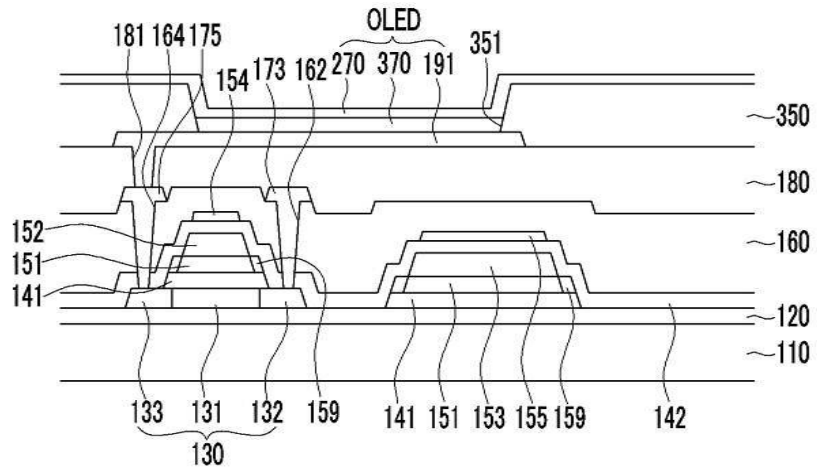
도면10



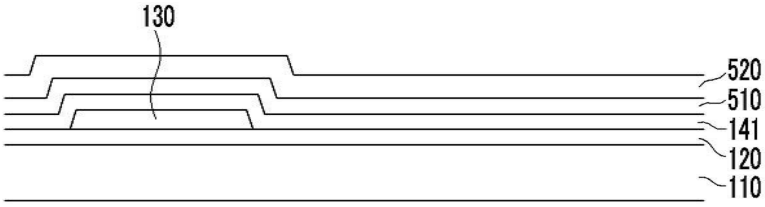
도면11



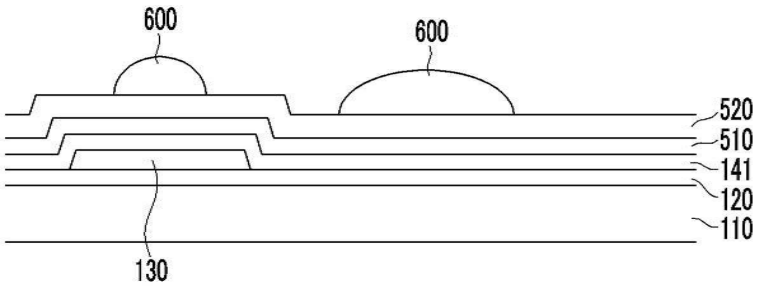
도면12



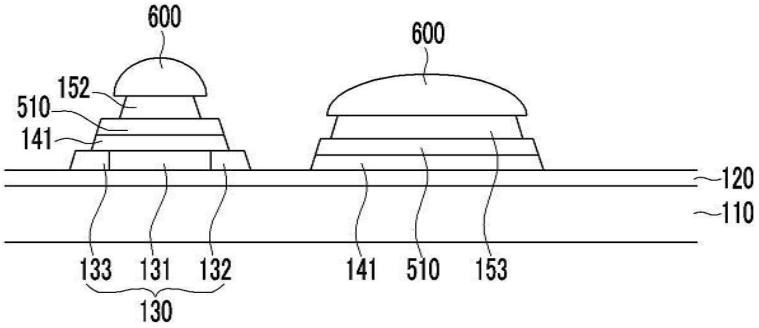
도면13



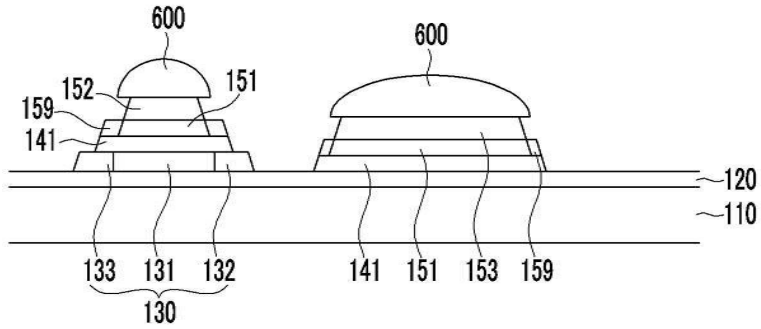
도면14



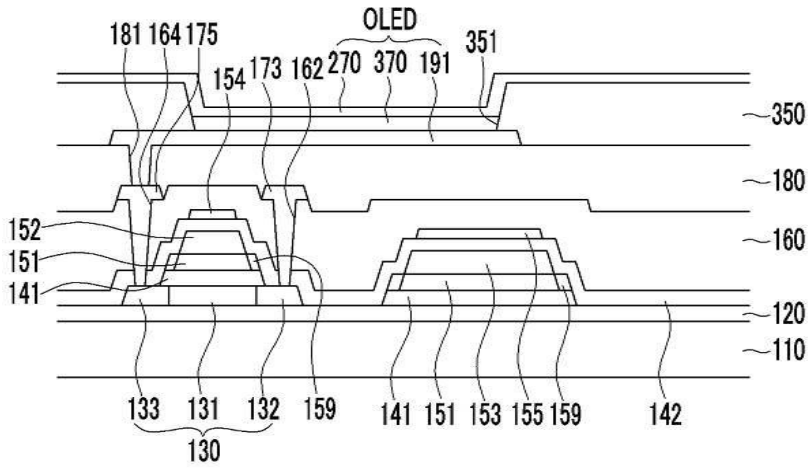
도면15



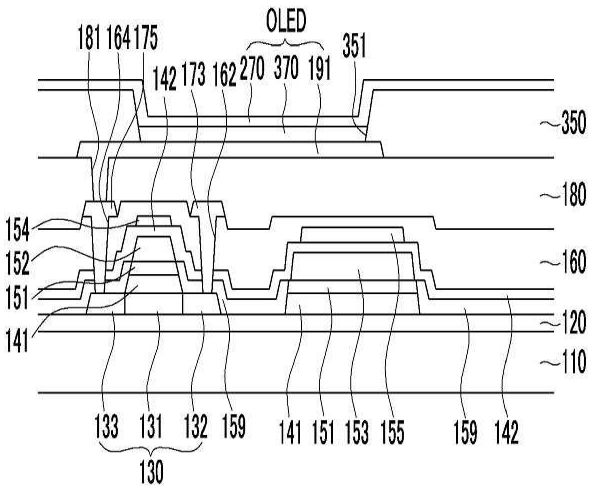
도면16



도면17



专利名称(译)	标题：薄膜晶体管显示面板和包括其的有机发光显示装置		
公开(公告)号	KR1020170065069A	公开(公告)日	2017-06-13
申请号	KR1020150170781	申请日	2015-12-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE DONG HEE 이동희 KANG HYUN JU 강현주 SHIN SANG WON 신상원		
发明人	이동희 강현주 신상원		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L29/7869 H01L29/78606 H01L29/78618 H01L2227/32 H01L27/1225 H01L27/124 H01L27/1255 H01L27/1288 H01L29/42384 H01L29/4908 H01L29/518 H01L29/78645 H01L29/78696 H01L2227/323		
外部链接	Espacenet		

摘要(译)

本发明涉及薄膜晶体管显示面板和包括该薄膜晶体管显示面板的有机发光显示装置，并且本发明优选实施例的薄膜晶体管显示面板包括基板，位于基板上的半导体，第一栅极绝缘层位于上述半导体上，第一扩散阻挡层位于第一栅极绝缘层上，第二扩散阻挡层接触第一扩散阻挡层侧，第一栅极电极位于第一扩散阻挡层上连接到上述半导体和第二扩散阻挡层的源电极和漏电极可以由第一扩散阻挡层的氧化物制成。