



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0060214
(43) 공개일자 2017년06월01일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/043 (2013.01)

(21) 출원번호 10-2015-0163975

(22) 출원일자 2015년11월23일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김철호

경기도 용인시 기흥구 삼성로 1 (농서동)

(74) 대리인

리엔목특허법인

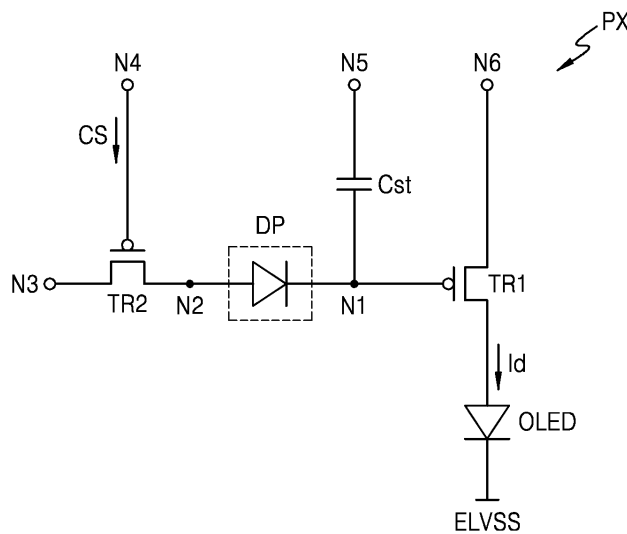
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 회로 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

다양한 실시예들에 따른 화소 회로 및 이를 포함하는 유기 발광 표시 장치가 제공된다. 화소 회로는 유기 발광 다이오드, 구동 트랜지스터, 저장 커패시터, 보상 트랜지스터 및 다이오드부를 포함한다. 상기 구동 트랜지스터는 제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급한다. 상기 저장 커패시터는 상기 제1 노드에 연결된다. 상기 보상 트랜지스터는 상기 제1 노드와 상기 구동 트랜지스터의 드레인 사이에 연결되고 주사 신호에 의해 제어된다. 상기 다이오드부는 상기 제1 노드와 상기 보상 트랜지스터 사이에 연결된다.

대표도 - 도2



(52) CPC특허분류
G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

유기 발광 다이오드;

제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터;

상기 제1 노드에 연결되는 저장 커패시터;

상기 제1 노드와 상기 구동 트랜지스터의 드레인 사이에 연결되고 주사 신호에 의해 제어되는 보상 트랜지스터; 및

상기 제1 노드와 상기 보상 트랜지스터 사이에 연결되는 다이오드부를 포함하는 화소 회로.

청구항 2

제1 항에 있어서,

상기 구동 트랜지스터의 문턱 전압의 절대값은 상기 다이오드부의 문턱 전압의 절대값보다 큰 화소 회로.

청구항 3

제1 항에 있어서,

상기 다이오드부는 상기 제1 노드에 공통적으로 연결되는 드레인 및 게이트, 및 상기 보상 트랜지스터에 연결되는 소스를 갖는 다이오드-연결 트랜지스터(diode-connected transistor)인 화소 회로.

청구항 4

제1 항에 있어서,

상기 보상 트랜지스터는 상기 주사 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함하는 화소 회로.

청구항 5

제1 항에 있어서,

상기 주사 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 소스에 전달하는 주사 트랜지스터를 더 포함하는 화소 회로.

청구항 6

제1 항에 있어서,

게이트 초기화 신호에 응답하여 초기화 전압을 상기 제1 노드에 인가하는 게이트 초기화 트랜지스터를 더 포함하는 화소 회로.

청구항 7

제6 항에 있어서,

상기 게이트 초기화 트랜지스터는 상기 게이트 초기화 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함하는 화소 회로.

청구항 8

제1 항에 있어서,

애노드 초기화 신호에 응답하여 초기화 전압을 상기 유기 발광 다이오드의 애노드에 인가하는 애노드 초기화 트랜지스터를 더 포함하는 화소 회로.

청구항 9

제1 항에 있어서,

발광 제어 신호에 응답하여 제1 구동 전압을 상기 구동 트랜지스터의 소스에 인가하는 발광 제어 트랜지스터를 더 포함하는 화소 회로.

청구항 10

제1 항에 있어서,

발광 제어 신호에 응답하여 상기 구동 트랜지스터의 드레인을 상기 유기 발광 다이오드의 애노드에 연결하는 발광 제어 트랜지스터를 더 포함하는 화소 회로.

청구항 11

유기 발광 다이오드;

제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터;

상기 제1 노드에 연결되는 저장 커패시터;

상기 제1 노드에 연결되는 다이오드부; 및

상기 다이오드부를 통해 상기 제1 노드에 연결되고, 제1 제어 신호에 의해 제어되는 스위칭 트랜지스터를 포함하는 화소 회로.

청구항 12

제11 항에 있어서,

상기 다이오드부는 상기 스위칭 트랜지스터에 연결되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하고 상기 제1 단자의 전압이 상기 제2 단자의 전압보다 제1 문턱 전압의 절대값 이상 높을 경우 턴 온 되는 화소 회로.

청구항 13

제12 항에 있어서,

상기 제1 문턱 전압의 절대값은 상기 구동 트랜지스터의 문턱 전압의 절대값보다 작은 화소 회로.

청구항 14

제11 항에 있어서,

상기 다이오드부는 상기 제1 노드에 공통적으로 연결되는 드레인 및 게이트, 및 상기 스위칭 트랜지스터에 연결되는 소스를 갖는 다이오드-연결 트랜지스터(diode-connected transistor)인 화소 회로.

청구항 15

제11 항에 있어서,

상기 스위칭 트랜지스터는 상기 제1 제어 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함하는 화소 회로.

청구항 16

복수의 화소들을 포함하는 표시 패널을 포함하고, 상기 화소들 각각은,

유기 발광 다이오드;

제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터;

상기 제1 노드에 연결되는 저장 커패시터;

상기 제1 노드와 상기 구동 트랜지스터의 드레인 사이에 연결되고 제1 제어 신호에 의해 제어되는 보상 트랜지스터; 및

상기 제1 노드와 상기 보상 트랜지스터 사이에 연결되는 다이오드-연결 트랜지스터(diode-connected transistor)를 포함하는 유기 발광 표시 장치.

청구항 17

제16 항에 있어서,

상기 구동 트랜지스터의 문턱 전압의 절대값은 상기 다이오드-연결 트랜지스터의 문턱 전압의 절대값보다 큰 유기 발광 표시 장치.

청구항 18

제16 항에 있어서,

상기 보상 트랜지스터는 상기 제1 제어 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함하는 유기 발광 표시 장치.

청구항 19

제16 항에 있어서, 상기 화소들 각각은,

상기 제1 제어 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 소스에 전달하는 주사 트랜지스터;

제2 제어 신호에 응답하여 초기화 전압을 상기 제1 노드에 인가하는 게이트 초기화 트랜지스터;

제3 제어 신호에 응답하여 제1 구동 전압을 상기 구동 트랜지스터의 소스에 인가하는 제1 발광 제어 트랜지스터; 및

상기 제3 제어 신호에 응답하여 상기 구동 트랜지스터의 드레인을 상기 유기 발광 다이오드의 애노드에 연결하는 제2 발광 제어 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 20

제19 항에 있어서, 상기 화소들 각각은,

제4 제어 신호에 응답하여 상기 초기화 전압을 상기 유기 발광 다이오드의 애노드에 인가하는 애노드 초기화 트랜지스터를 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소 회로 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(Organic Light Emitting Display)는 전류에 의해 휘도가 달라지는 발광 소자, 예컨대, 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기 발광 표시 장치 내의 한 화소는 유기 발광 다이오드, 게이트와 소스 사이의 전압에 따라 유기 발광 다이오드에 공급되는 전류량을 제어하는 구동 트랜지스터, 및 유기 발광 다이오드의 휘도를 제어하기 위한 데이터 전압을 구동 트랜지스터로 전달하는 스위칭 트랜지스터를 포함한다. 한 프레임 동안 유기 발광 다이오드의 휘도가 일정하게 유지되기 위해, 구동 트랜지스터의 게이트와 소스 사이의 전압이 일정하게 유지되어야 하며, 이를 위하여 화소는 구동 트랜지스터의 게이트에 연결되는 저장 커패시터를 더 포함한다.

[0003] 더욱 생생한 영상을 표시하기 위해 유기 발광 표시 장치의 해상도는 점점 높아지고 있으며, 화소의 크기는 점점 작아지고 있다. 화소의 크기를 줄이기 위해 저장 커패시터의 용량도 작아지고 있다.

발명의 내용

해결하려는 과제

[0004] 화소 내의 트랜지스터를 제어하기 위한 게이트 신호의 전압 레벨이 바뀔에 따라 구동 트랜지스터의 게이트 전압이 달라지는 문제가 발생하고 있다. 그 결과, 한 프레임 동안 유기 발광 다이오드의 휘도가 변하는 문제가 발생할 수 있다. 게다가, 트랜지스터가 열화됨에 따라 트랜지스터의 채널과 게이트 사이의 기생 커패시턴스가 변하게 되고, 게이트 신호의 전압 레벨이 바뀔에 따라 구동 트랜지스터의 게이트 전압이 변화하는 정도가 달라짐에 따라 구동 트랜지스터의 게이트 전압의 변화량을 보상하기 어렵다.

[0005] 본 발명의 실시예들은 화소 내의 구동 트랜지스터의 게이트 전압이 안정적으로 유지될 수 있는 화소 회로, 및 이를 포함하는 유기 발광 표시 장치를 제공할 수 있다.

[0006] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 본 발명의 기재로부터 당해 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 따른 화소 회로는 유기 발광 다이오드, 제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터, 상기 제1 노드에 연결되는 저장 커패시터, 상기 제1 노드와 상기 구동 트랜지스터의 드레인 사이에 연결되고 주사 신호에 의해 제어되는 보상 트랜지스터, 및 상기 제1 노드와 상기 보상 트랜지스터 사이에 연결되는 다이오드부를 포함한다.

[0008] 상기 화소 회로의 일 예에 따르면, 상기 구동 트랜지스터의 문턱 전압의 절대값은 상기 다이오드부의 문턱 전압의 절대값보다 클 수 있다.

[0009] 상기 화소 회로의 다른 예에 따르면, 상기 다이오드부는 상기 제1 노드에 공통적으로 연결되는 드레인 및 게이트, 및 상기 보상 트랜지스터에 연결되는 소스를 갖는 다이오드-연결 트랜지스터(diode-connected transistor)일 수 있다.

[0010] 상기 화소 회로의 또 다른 예에 따르면, 상기 보상 트랜지스터는 상기 주사 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함할 수 있다.

[0011] 상기 화소 회로의 또 다른 예에 따르면, 상기 화소 회로는 상기 주사 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 소스에 전달하는 주사 트랜지스터를 더 포함할 수 있다.

[0012] 상기 화소 회로의 또 다른 예에 따르면, 상기 화소 회로는 게이트 초기화 신호에 응답하여 초기화 전압을 상기 제1 노드에 인가하는 게이트 초기화 트랜지스터를 더 포함할 수 있다.

[0013] 상기 화소 회로의 또 다른 예에 따르면, 상기 게이트 초기화 트랜지스터는 상기 게이트 초기화 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함할 수 있다.

[0014] 상기 화소 회로의 또 다른 예에 따르면, 상기 화소 회로는 애노드 초기화 신호에 응답하여 초기화 전압을 상기 유기 발광 다이오드의 애노드에 인가하는 애노드 초기화 트랜지스터를 더 포함할 수 있다.

[0015] 상기 화소 회로의 또 다른 예에 따르면, 상기 화소 회로는 발광 제어 신호에 응답하여 제1 구동 전압을 상기 구동 트랜지스터의 소스에 인가하는 발광 제어 트랜지스터를 더 포함할 수 있다.

[0016] 상기 화소 회로의 또 다른 예에 따르면, 상기 화소 회로는 발광 제어 신호에 응답하여 상기 구동 트랜지스터의 드레인을 상기 유기 발광 다이오드의 애노드에 연결하는 발광 제어 트랜지스터를 더 포함할 수 있다.

[0017] 본 발명의 다른 측면에 따른 화소 회로는 유기 발광 다이오드, 제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터, 상기 제1 노드에 연결되는 저장 커패시터, 상기 제1 노드에 연결되는 다이오드부, 및 상기 다이오드부를 통해 상기 제1 노드에 연결되고, 제1 제어 신호에 의해 제어되는 스위칭 트랜지스터를 포함한다.

- [0018] 상기 화소 회로의 일 예에 따르면, 상기 다이오드부는 상기 스위칭 트랜지스터에 연결되는 제1 단자 및 상기 제1 노드에 연결되는 제2 단자를 포함하고 상기 제1 단자의 전압이 상기 제2 단자의 전압보다 제1 문턱 전압의 절대값 이상 높을 경우 턴 온 될 수 있다.
- [0019] 상기 화소 회로의 다른 예에 따르면, 상기 제1 문턱 전압의 절대값은 상기 구동 트랜지스터의 문턱 전압의 절대값보다 작을 수 있다.
- [0020] 상기 화소 회로의 또 다른 예에 따르면, 상기 다이오드부는 상기 제1 노드에 공통적으로 연결되는 드레인 및 게이트, 및 상기 스위칭 트랜지스터에 연결되는 소스를 갖는 다이오드-연결 트랜지스터(diode-connected transistor)일 수 있다.
- [0021] 상기 화소 회로의 또 다른 예에 따르면, 상기 스위칭 트랜지스터는 상기 제1 제어 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함할 수 있다.
- [0022] 본 발명의 일 측면에 따른 유기 발광 표시 장치는 복수의 화소들을 포함하는 표시 패널을 포함한다. 상기 화소들 각각은 유기 발광 다이오드, 제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터, 상기 제1 노드에 연결되는 저장 커패시터, 상기 제1 노드와 상기 구동 트랜지스터의 드레인 사이에 연결되고 제1 제어 신호에 의해 제어되는 보상 트랜지스터, 및 상기 제1 노드와 상기 보상 트랜지스터 사이에 연결되는 다이오드-연결 트랜지스터(diode-connected transistor)를 포함한다.
- [0023] 상기 유기 발광 표시 장치의 일 예에 따르면, 상기 구동 트랜지스터의 문턱 전압의 절대값은 상기 다이오드-연결 트랜지스터의 문턱 전압의 절대값보다 클 수 있다.
- [0024] 상기 유기 발광 표시 장치의 다른 예에 따르면, 상기 보상 트랜지스터는 상기 제1 제어 신호에 의해 동시에 턴 온되고 서로 직렬로 연결되는 한 쌍의 트랜지스터들을 포함할 수 있다.
- [0025] 상기 유기 발광 표시 장치의 일 예에 따르면, 상기 화소들 각각은, 상기 제1 제어 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 소스에 전달하는 주사 트랜지스터, 제2 제어 신호에 응답하여 초기화 전압을 상기 제1 노드에 인가하는 게이트 초기화 트랜지스터, 제3 제어 신호에 응답하여 제1 구동 전압을 상기 구동 트랜지스터의 소스에 인가하는 제1 발광 제어 트랜지스터, 및 상기 제3 제어 신호에 응답하여 상기 구동 트랜지스터의 드레인을 상기 유기 발광 다이오드의 애노드에 연결하는 제2 발광 제어 트랜지스터를 더 포함할 수 있다.
- [0026] 상기 유기 발광 표시 장치의 일 예에 따르면, 상기 화소들 각각은, 제4 제어 신호에 응답하여 상기 초기화 전압을 상기 유기 발광 다이오드의 애노드에 인가하는 애노드 초기화 트랜지스터를 더 포함할 수 있다.

발명의 효과

- [0027] 본 발명의 다양한 실시예들에 따르면, 화소 내의 구동 트랜지스터의 게이트 전압이 안정적으로 유지될 수 있다. 따라서, 유기 발광 소자의 휘도는 일정하게 유지될 수 있으며, 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치는 개선된 화질 특성을 가질 수 있다.

도면의 간단한 설명

- [0028] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 개략적인 블록도이다.
- 도 2는 일 실시예에 따른 화소의 개략적인 블록도이다.
- 도 3는 도 2의 다이오드부의 예시적인 회로도이다.
- 도 4a는 다른 실시예에 따른 화소의 개략적인 회로도이다.
- 도 4b는 도 4a에 도시된 화소의 동작 타이밍도이다.
- 도 5는 또 다른 실시예에 따른 화소의 개략적인 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양하게 변형되고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 도시하고 상세한 설명을 통해 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시

예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들이 상세히 설명된다. 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0031] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 명세서 전체에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 개략적인 블록도이다.
- [0034] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시부(10), 스캔 구동부(20), 데이터 구동부(30), 제어부(40) 및 전압 공급부(50)를 포함한다.
- [0035] 표시부(10)는 매트릭스 형태로 배열되는 복수의 화소(PX)들을 포함한다. 화소(PX)는 유기 발광 다이오드, 제1 노드에 연결되는 게이트를 갖고, 상기 게이트의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 공급하는 구동 트랜지스터, 상기 제1 노드에 연결되는 저장 커패시터, 상기 제1 노드에 연결되는 다이오드부, 및 상기 다이오드부를 통해 상기 제1 노드에 연결되고, 제1 제어 신호에 의해 제어되는 스위칭 트랜지스터를 포함한다.
- [0036] 화소(PX)는 스캔 라인들(SL1 내지 SLm) 중 대응하는 스캔 라인 및 데이터 라인들(DL1 내지 DLn) 중 대응하는 데이터 라인에 연결된다. 스캔 라인들(SL1 내지 SLm) 각각은 스캔 구동부(20)로부터 출력되는 제어 신호들을 동일 행의 화소들(PX)에게 전달하고, 데이터 라인들(DL1 내지 DLn) 각각은 데이터 구동부(30)로부터 출력되는 데이터 전압을 동일 열의 화소들(PX)에게 전달한다. 도 1에서 스캔 라인들(SL1 내지 SLm) 각각은 하나의 선으로 도시되지만, 화소(PX)에 따라 복수의 제어 신호들을 병렬로 전달하기 위한 복수의 선들을 포함할 수 있다.
- [0037] 화소들(PX)은 전압 공급부(50)로부터 제1 구동 전압(ELVDD), 제2 구동 전압(ELVSS) 및 초기화 전압(Vinit)을 공급받는다. 제1 구동 전압(ELVDD)과 제2 구동 전압(ELVSS)은 화소(PX)의 유기 발광 다이오드를 발광시키기 위한 구동 전압이며, 제1 구동 전압(ELVDD)은 제2 구동 전압(ELVSS)보다 높은 레벨을 가질 수 있다. 초기화 전압(Vinit)은 화소(PX)의 동작에 필요한 전압으로서, 제2 구동 전압(ELVSS)과 유사한 전압 레벨을 가질 수 있다. 다른 예에 따르면, 초기화 전압(Vinit)은 화소(PX)의 화소 회로 및 트랜지스터들의 도전형에 따라 제1 구동 전압(ELVDD)과 유사한 전압 레벨을 가질 수 있다.
- [0038] 화소(PX)는 대응하는 데이터 라인을 통해 전달되는 데이터 전압에 기초하여, 제1 구동 전압(ELVDD)으로부터 유기 발광 다이오드를 경유하여 제2 구동 전압(ELVSS)으로 흐르는 전류량을 제어할 수 있다. 데이터 전압은 대응하는 데이터 라인을 통해 전달되는 신호 또는 이의 전압 레벨을 의미한다. 화소(PX)의 유기 발광 다이오드는 데이터 전압에 대응하는 휘도로 발광한다. 화소(PX)는 풀 컬러를 표시할 수 있는 화소의 일부, 예컨대, 서브 화소에 대응되지만, 설명의 편의상 서브 화소가 아닌 화소로 지칭한다.
- [0039] 제어부(40)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭 신호(CLK), 데이터 신호(RGB)를 수신한다. 제어부(40)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭 신호(CLK) 등의 타이밍 신호를 이용하여 스캔 구동부(20)와 데이터 구동부(30)의 동작 타이밍을 제어할 수 있다. 제어부(40)는 1 수평 주사 기간(horizontal scanning period)의 데이터 인에이블 신호(DE)를 카운트하여 프레임 기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 데이터 신호(RGB)는 화소들(PX)의 휘도(luminance) 정보를 포함한다. 휘도는 정해진 수효, 예를 들어, 1024(=2¹⁰), 256(=2⁸) 또는 64(=2⁶)개의 계조(gray)를 갖는다.
- [0040] 제어부(40)는 스캔 구동부(20)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 포함하는 제어 신호들을 생성할 수 있다.
- [0041] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블(Gate Output Enable, GOE) 신호 등을 포함할 수 있다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔신호가 발생하는 스캔 구동부(20)에 공급된다. 게이트 시프트 클럭(GSC)은 스캔 구동부

(20)에 공통으로 입력되는 클럭 신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭 신호이다. 게이트 출력 인에이블(GOE) 신호는 스캔 구동부(20)의 출력을 제어한다.

[0042] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블(Source Output Enable, SOE) 신호 등을 포함할 수 있다. 소스 스타트 펄스(SSP)는 데이터 구동부(30)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동부(30) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(30)의 출력을 제어한다. 한편, 데이터 구동부(30)에 공급되는 소스 스타트 펄스(SSP)는 데이터 전송 방식에 따라 생략될 수도 있다.

[0043] 스캔 구동부(20)는 제어부(40)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시부(10)에 포함된 픽셀들(PX)의 트랜지스터들을 동작하기 위한 제어 신호들을 순차적으로 생성한다. 스캔 구동부(20)는 스캔라인들(SL1 내지 SLm)을 통해 제어 신호들을 표시부(10)에 포함된 픽셀들(PX)에 공급한다. 화소(PX)의 설계에 따라서, 하나의 화소(PX)에 복수의 제어 신호들이 제공될 수 있다. 예를 들면, 한 화소(PX)에 한 프레임 동안 제1 내지 제4 제어 신호들이 정해진 순서에 따라 제공될 수 있다.

[0044] 데이터 구동부(30)는 제어부(40)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 제어부(40)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터 구동부(30)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준전압으로 변환하여 아날로그 형태의 데이터 전압으로 변환한다. 데이터 구동부(30)는 데이터 라인들(DL1 내지 DLn)을 통해 데이터 전압을 표시부(10)에 포함된 픽셀들(PX)에 공급한다.

[0045] 아래에서는 다양한 실시예들에 따른 화소들에 대하여 자세히 설명한다.

[0047] 도 2는 일 실시예에 따른 화소의 개략적인 블록도이다.

[0048] 도 2를 참조하면, 화소(PX)는 유기 발광 다이오드(OLED), 제1 및 제2 트랜지스터(TR1, TR2), 저장 커패시터(Cst) 및 다이오드부(DP)를 포함한다.

[0049] 제1 트랜지스터(TR1)는 제1 노드(N1)에 연결되는 게이트를 갖고, 게이트의 전압에 따라 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다. 구동 전류(Id)의 크기는 제1 트랜지스터(TR1)의 게이트-소스 전압에 의해 결정되지만, 제1 트랜지스터(TR1)의 소스의 전압이 고정된 경우, 구동 전류(Id)의 크기는 제1 트랜지스터(TR1)의 게이트 전압에 의해 제어될 수 있다. 제1 트랜지스터(TR1)는 구동 트랜지스터로 지칭될 수 있다. 제1 트랜지스터(TR1)는 유기 발광 다이오드(OLED)의 애노드에 연결되는 드레인, 및 제6 노드(N6)에 연결되는 소스를 가질 수 있다. 제6 노드(N6)에는 제1 구동 전압(ELVDD)이 인가될 수 있다.

[0050] 저장 커패시터(Cst)는 제1 노드(N1)와 제5 노드(N5) 사이에 연결되며, 제1 노드(N1)의 전압, 즉, 제1 트랜지스터(TR1)의 게이트 전압을 일정하게 유지한다. 저장 커패시터(Cst)는 한 프레임 동안, 예컨대, 데이터 기입 구간 이후 발광 구간 동안, 제1 트랜지스터(TR1)의 게이트 전압을 일정하게 유지할 수 있다. 그 결과, 제1 트랜지스터(TR1)는 발광 구간 동안 일정한 구동 전류(Id)를 유기 발광 다이오드(OLED)에 공급할 수 있으며, 유기 발광 다이오드(OLED)는 일정한 휘도로 발광할 수 있다. 제5 노드(N5)는 제1 트랜지스터(TR1)의 소스, 즉, 제6 노드(N6)에 연결될 수 있다. 제5 노드(N5)에는 일정한 크기를 갖는 제1 구동 전압(ELVDD)이 인가될 수 있다.

[0051] 제2 트랜지스터(TR2)는 제2 노드(N2)와 제3 노드(N3) 사이에 연결되며, 제4 노드(N4)를 통해 제공되는 제어 신호(CS)에 의해 제어될 수 있다. 다른 예에 따르면, 제2 트랜지스터(TR2)는 제어 신호(CS)에 의해 동시에 제어되고 서로 직렬로 연결되는 한 쌍의 트랜지스터를 포함할 수 있다. 제2 트랜지스터(TR2)는 스위칭 트랜지스터로 지칭될 수 있다.

[0052] 제2 트랜지스터(TR2)는 도 2에 도시된 바와 같이 p형 MOSFET(metal-oxide-semiconductor field-effect transistor)일 수 있다. 제2 트랜지스터(TR2)는 제4 노드(N4)를 통해 하이 레벨의 제어 신호(CS)가 수신될 때 턴 오프되고, 로우 레벨의 제어 신호(CS)가 수신될 때 턴 온된다. 이때, 하이 레벨은 턴 오프 레벨로 지칭되고, 로우 레벨은 턴 온 레벨로 지칭될 수 있다. 본 발명은 이에 한정되지 않으며, 본 발명의 다양한 기술적 사상은 제2 트랜지스터(TR2)가 n형 MOSFET인 경우에도 동일한 방식으로 적용될 수 있다. 아래에서는 제2 트랜지스터(TR2)가 p형 MOSFET인 것으로 가정하여 설명한다.

[0053] 제어 신호(CS)가 라이징 에지(rising edge)를 가지면, 제2 트랜지스터(TR2)는 턴 오프된다. MOSFET으로 이루어

진 제2 트랜지스터(TR2)의 게이트 전극과 드레인 영역(즉, 제2 노드(N2)) 사이에는 기생 커패시턴스(Cp)가 존재한다. 따라서, 제어 신호(CS)가 라이징 에지를 가질 경우, 제2 노드(N2)의 전압은 제어 신호(CS)의 라이징 에지에 용량적으로 커플링되어 상승하게 된다.

[0054] 다이오드부(DP)가 없는 경우, 즉, 제2 노드(N2)가 제1 노드(N1)(즉, 제1 트랜지스터(TR1)의 게이트 전극)와 직접 연결되는 경우, 제2 트랜지스터(TR2)의 게이트 전극과 제1 트랜지스터(TR1)의 게이트 전극 사이에 기생 커패시턴스(Cp)가 존재하게 된다. 제1 노드(N1)의 전압은 저장 커패시터(Cst)에 의해 유지된다. 화소(PX)의 크기가 작아지면서, 저장 커패시터(Cst)의 면적 및 저장 커패시터(Cst)의 용량도 작아지고 있다. 따라서, 저장 커패시터(Cst)의 커패시턴스에 대한 제2 트랜지스터(TR2)의 기생 커패시턴스(Cp)의 비율은 점점 커지게 된다.

[0055] 제어 신호(CS)는 제2 트랜지스터(TR2)를 제어하기 위한 신호로서 예컨대 대략 20V의 전압 변동 폭을 갖는다. 제어 신호(CS)의 라이징 에지에 대응하여 제1 노드(N1)의 전압이 상승하는 폭은 저장 커패시터(Cst)의 커패시턴스에 대한 제2 트랜지스터(TR2)의 기생 커패시턴스(Cp)의 비율에 비례한다. 제1 노드(N1)의 전압은 제어 신호(CS)의 라이징 에지에 의해 추가적으로 상승하게 된다. 추가적으로 상승되는 게이트 전압은 킥백 전압으로 지칭될 수 있다. 이러한 킥백 전압에 의해 제1 트랜지스터(TR1)로부터 출력되는 구동 전류(Id)는 감소하게 된다. 따라서, 유기 발광 다이오드(OLED)의 휘도는 낮아질 수 있다.

[0056] 다이오드부(DP)가 없는 경우, 즉, 제2 노드(N2)가 제1 노드(N1)와 직접 연결되는 경우라도, 제어 신호(CS)의 라이징 에지에 의해 상승되는 제1 노드(N1)의 전압의 변동량, 즉, 킥백 전압이 일정하다면, 데이터 전압을 킥백 전압만큼 미리 낮춤으로써 킥백 전압을 보상될 수 있다. 그러나, 제2 트랜지스터(TR2)의 문턱 전압이 변할 경우, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트 사이의 기생 커패시턴스(Cp)가 달라지며, 킥백 전압의 크기도 변하게 된다. 예를 들어, 열화 등의 이유로 제2 트랜지스터(TR2)의 채널 길이가 짧아질 경우, 문턱 전압의 절대값은 작아지고 기생 커패시턴스는 증가하게 된다.

[0057] 제2 트랜지스터(TR2)의 문턱 전압의 절대값이 작아지면, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트 사이의 기생 커패시턴스(Cp)가 커지고, 킥백 전압의 크기도 증가하게 된다. 구동 전류(Id)의 크기는 더욱 감소하고, 유기 발광 다이오드(OLED)의 휘도는 더욱 낮아지게 된다. 이와 같이, 제2 트랜지스터(TR2)의 문턱 전압의 변동은 표시 패널 내의 위치에 따라 달라질 수 있기 때문에, 이를 보상하는 것은 어렵다.

[0058] 본 발명의 일 실시예에 따르면, 다이오드부(DP)는 제2 노드(N2)와 제1 노드(N1) 사이에 연결된다. 다이오드부(DP)는 제1 노드(N1)에 연결되는 제1 단자, 예컨대, 캐소드 및 제2 노드(N2)에 연결되는 제2 단자, 예컨대, 애노드를 가질 수 있다. 다이오드부(DP)는 제2 단자의 전압이 제1 단자의 전압보다 문턱 전압 이상 높은 경우에 턴 온될 수 있다. 그에 따라, 다이오드부(DP)는 제2 노드(N2)로부터 제1 노드(N1)로 흐르는 전류만을 통과시키고, 이의 반대 방향의 전류는 차단한다. 따라서, 화소(PX)에서 제1 트랜지스터(TR1)의 게이트, 즉, 제1 노드(N1)에 연결되는 경로들 중에서 어느 일 방향으로만 전류가 흐르는 경로 상에 다이오드부(DP)가 배치될 수 있다. 도 2에 도시되지는 않았지만, 전류가 제2 노드(N2)에서 제1 노드(N1)로만 흐르도록, 매 프레임의 초기에 제1 노드(N1)의 전압을 낮은 레벨의 전압으로 초기화하는 별도의 회로가 연결될 수 있다.

[0059] 다른 예에 따르면, 다이오드부(DP)는 반대 방향으로 연결될 수도 있다. 예컨대, 제1 트랜지스터(TR1)가 n형 MOSFET이 경우, 다이오드부(DP)의 애노드는 제1 노드(N1)에 연결되고, 캐소드는 제2 노드(N2)에 연결될 수 있다. 이 경우, 매 프레임의 초기에 제1 노드(N1)의 전압을 높은 레벨의 전압으로 초기화하는 회로가 연결될 수 있다.

[0060] 본 발명의 일 실시예에 따라 제2 노드(N2)와 제1 노드(N1) 사이에 다이오드부(DP)가 개재됨으로써, 제어 신호(CS)가 라이징 에지를 가질 때, 제2 노드(N2)의 전압은 변하지만 제1 노드(N1)의 전압은 변하지 않거나 제1 노드(N1)의 전압 변화량은 감소될 수 있다. 제2 노드(N2)와 제1 노드(N1)가 직접 연결되지 않고, 다이오드부(DP)를 통해 연결됨으로써, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트가 직접 용량적으로 커플링되지 않기 때문이다.

[0061] 게다가, 제2 트랜지스터(TR2)의 문턱 전압이 변함에 따라 제2 노드(N2)에 나타나는 킥백 전압이 크기가 변할 수 있지만, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트가 직접 용량적으로 커플링되지 않기 때문에, 제1 노드(N1)에 나타나는 킥백 전압의 크기는 적어도 감소하거나 제거될 수 있다.

[0062] 시뮬레이션 결과에 따르면, 다이오드부(DP)가 없는 경우, 제2 트랜지스터(TR2)의 문턱 전압의 절대값이 1V 감소할 경우, 유기 발광 다이오드(OLED)의 휘도는 15%만큼 감소하였다. 본 발명의 일 실시예에 따라 제2 노드(N2)와 제1 노드(N1) 사이에 다이오드부(DP)를 개재할 경우, 제2 트랜지스터(TR2)의 문턱 전압의 절대값이 1V 감소

하더라도, 유기 발광 다이오드(OLED)의 휘도는 2.5% 내지 4.5%만큼만 감소하였다. 또한, 제2 트랜지스터(TR2)의 문턱 전압의 절대값이 2V 감소할 경우, 유기 발광 다이오드(OLED)의 휘도는 25% 내지 30%만큼 감소하였다. 본 발명의 일 실시예에 따라 제2 노드(N2)와 제1 노드(N1) 사이에 다이오드부(DP)를 개재할 경우, 제2 트랜지스터(TR2)의 문턱 전압의 절대값이 2V 감소하더라도, 유기 발광 다이오드(OLED)의 휘도는 3% 내지 5%만큼만 감소하였다.

[0063] 일 예에 따르면, 제3 노드(N3)는 제1 트랜지스터(TR1)의 드레인에 연결되어, 제2 트랜지스터(TR2)는 제1 트랜지스터(TR1)의 문턱 전압을 보상하기 위해 제1 트랜지스터(TR1)를 다이오드-연결하도록 구성될 수 있다. 이 경우, 제1 노드(N1)에는 미리 정해진 초기화 전압을 인가하기 위한 초기화 회로가 연결될 수 있다. 초기화 전압은 다이오드부(DP)의 연결 방향 및 제1 트랜지스터(TR1)의 도전형에 따라 제1 구동 전압(ELVDD) 또는 제2 구동 전압(ELVSS) 중 하나와 유사한 전압 레벨을 가질 수 있다.

[0064] 다른 예에 따르면, 제3 노드(N3)는 데이터 전압을 전달하는 데이터 라인에 연결될 수 있으며, 제2 트랜지스터(TR2)는 제어 신호(CS)에 응답하여 데이터 전압을 제1 노드(N1)로 전달하도록 구성될 수 있다. 이 경우, 제1 노드(N1)에는 미리 정해진 초기화 전압을 인가하기 위한 초기화 회로가 연결될 수 있다. 초기화 전압은 다이오드부(DP)의 연결 방향 및 제1 트랜지스터(TR1)의 도전형에 따라 제1 구동 전압(ELVDD) 또는 제2 구동 전압(ELVSS) 중 하나와 유사한 전압 레벨을 가질 수 있다.

[0065] 도 3는 도 2의 다이오드부의 예시적인 회로도이다.

[0066] 도 3을 참조하면, 다이오드부(DP)는 게이트와 드레인이 서로 연결되는 다이오드-연결(diode-connected) 트랜지스터(DCTR)를 포함할 수 있다. 다이오드-연결 트랜지스터(DCTR)가 p형 MOSFET으로 구성되는 경우, 제2 노드(N2)에서 제1 노드(N1)로의 방향이 정방향하도록, 다이오드-연결 트랜지스터(DCTR)의 게이트는 제1 노드(N1)에 연결될 수 있다. 다이오드-연결(diode-connected) 트랜지스터(DCTR)는 제2 노드(N2)의 전압이 제1 노드(N1)의 전압보다 문턱 전압의 절대값 이상으로 높은 경우에 턴 온 된다.

[0067] 다른 예에 따라서, 다이오드-연결 트랜지스터(DCTR)가 n형 MOSFET으로 구성되는 경우, 제2 노드(N2)에서 제1 노드(N1)로의 방향이 정방향하도록, 다이오드-연결 트랜지스터(DCTR)의 게이트는 제2 노드(N2)에 연결될 수 있다. 다이오드-연결 트랜지스터(DCTR)의 도전형은 제2 트랜지스터(TR2)의 도전형과 동일할 수 있다.

[0069] 도 4a는 또 다른 실시예에 따른 화소의 개략적인 블록도이다. 도 4b는 도 4a에 도시된 화소의 동작 타이밍도이다.

[0070] 도 4a 및 도 4b를 참조하면, 화소(PX)는 유기 발광 다이오드(OLED), 제1 내지 제7 트랜지스터(TR1-TR7), 저장 커패시터(Cst) 및 다이오드-연결 트랜지스터(DCTR)를 포함한다.

[0071] 제1 트랜지스터(TR1)는 제1 노드(N1)에 연결되는 게이트, 제5 트랜지스터(TR5)를 통해 제1 구동 전압(ELVDD)이 인가되는 소스, 및 제6 트랜지스터(TR6)를 통해 유기 발광 다이오드(OLED)의 애노드에 연결되는 드레인을 갖는다. 제1 트랜지스터(TR1)는 게이트의 전압에 따라 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다. 구동 전류(Id)의 크기는 제1 트랜지스터(TR1)의 게이트 전압에 의해 제어될 수 있다. 제1 트랜지스터(TR1)는 구동 트랜지스터로 지칭될 수 있다.

[0072] 저장 커패시터(Cst)는 제1 노드(N1)에 연결되는 제1 전극과 제1 구동 전압(ELVDD)이 인가되는 제2 전극을 가지고, 제1 트랜지스터(TR1)의 게이트 전압을 일정하게 유지하도록 구성된다. 제1 트랜지스터(TR1)의 소스에는 제5 트랜지스터(TR5)를 통해 제1 구동 전압(ELVDD)이 인가되므로, 데이터 기입 구간 이후 발광 구간 동안 제5 트랜지스터(TR5)가 턴 온되면, 저장 커패시터(Cst)는 제1 트랜지스터(TR1)의 게이트-소스 전압을 일정하게 유지할 수 있다.

[0073] 제3 트랜지스터(TR3)는 데이터 전압(Dj)이 전달되는 데이터 라인과 제1 트랜지스터(TR1)의 소스 사이에 연결된다. 제3 트랜지스터(TR3)는 제1 제어 신호(Si)에 의해 제어된다. 제1 제어 신호(Si)는 스캔 라인을 통해 전달된다. 제3 트랜지스터(TR3)는 제1 제어 신호(Si)에 응답하여 데이터 전압(Dj)을 제1 트랜지스터(TR1)의 소스에 전달한다. 제3 트랜지스터(TR3)는 주사 트랜지스터로 지칭될 수 있다.

[0074] 다이오드-연결 트랜지스터(DCTR)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결된다. 다이오드-연결 트랜지스터(DCTR)는 제1 노드(N1)에 공통적으로 연결되는 게이트와 드레인, 및 제2 노드(N2)에 연결되는 소스를 갖는다. 제2 노드(N2)의 전압이 제1 노드(N1)의 전압보다 문턱 전압의 절대값 이상으로 높은 경우에, 다이오드-연결 트

랜지스터(DCTR)는 턴 온 된다.

- [0075] 제2 트랜지스터(TR2)는 제2 노드(N2)와 제1 트랜지스터(TR1)의 드레인 사이에 연결된다. 제2 트랜지스터(TR2)는 다이오드-연결 트랜지스터(DCTR)를 통해 제1 노드(N1)에 연결된다. 제2 트랜지스터(TR2)는 제1 제어 신호(Si)에 의해 제어된다. 제2 트랜지스터(TR2)는 제1 제어 신호(Si)에 응답하여 다이오드-연결 트랜지스터(DCTR)를 통해 제1 트랜지스터(TR1)의 게이트와 드레인을 서로 전기적으로 연결함으로써, 제1 트랜지스터(TR1)을 다이오드-연결할 수 있다. 제2 트랜지스터(TR2)는 제1 트랜지스터(TR1)를 다이오드-연결함으로써 제1 트랜지스터(TR1)의 문턱 전압이 반영된 보상 전압이 저장 커패시터(Cst)에 저장된다. 제2 트랜지스터(TR2)는 보상 트랜지스터로 지칭될 수 있다.
- [0076] 제1 제어 신호(Si)가 턴 온 레벨, 예컨대, 로우 레벨을 갖는 경우, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 턴 온 된다. 데이터 전압(Dj)은 제3 트랜지스터(TR3)를 통해 제1 트랜지스터(TR1)의 소스에 전달된다. 이때, 제5 트랜지스터(TR5)는 턴 오프 된다. 제1 트랜지스터(TR1)는 제2 트랜지스터(TR2)에 의해 다이오드-연결되고, 순방향으로 바이어스 된다. 그 결과, 제1 노드(N1)에는 데이터 전압(Dj)에 제1 트랜지스터(TR1)의 문턱 전압(V_{th} , V_{th} 는 (-)의 값)이 반영된 보상 전압($Dj+V_{th}$)이 인가된다.
- [0077] 저장 커패시터(Cst)의 제1 전극에 보상 전압($Dj+V_{th}$)이 인가되고, 저장 커패시터(Cst)의 제2 전극에는 제1 구동 전압(ELVDD)이 인가되므로, 제5 트랜지스터(TR5)가 턴 온 되면, 제1 트랜지스터(TR1)의 게이트-소스 전압은 ' $Dj+V_{th}-ELVDD$ '이 된다. 발광 구간 동안, 제5 트랜지스터(TR5)는 턴 온 되고, 제1 트랜지스터(TR1)로부터 출력되는 구동 전류(I_d)는 게이트-소스 전압($Dj+V_{th}-ELVDD$)에서 문턱 전압(V_{th})을 차감한 값의 제곱, 즉, $(Dj-ELVDD)^2$ 에 비례하는 값을 갖는다. 즉, 제1 트랜지스터(TR1)의 문턱 전압(V_{th})와 관계 없이 결정되는 구동 전류(I_d)가 출력된다.
- [0078] 제4 트랜지스터(TR4)는 제2 제어 신호(Ci)에 응답하여 제1 노드(N1)에 초기화 전압(Vinit)을 인가한다. 제1 노드(N1)에 초기화 전압(Vinit)이 인가되면, 제1 트랜지스터(TR1)는 풀(full) 턴 온 된다. 초기화 전압(Vinit)은 제1 트랜지스터(TR1)를 풀 턴 온 시킬 수 있는 전압으로 설정될 수 있다. 제4 트랜지스터(TR4)는 게이트 초기화 트랜지스터로 지칭될 수 있다.
- [0079] 제5 트랜지스터(TR5)는 제3 제어 신호(Ei)에 응답하여 제1 트랜지스터(TR1)의 소스에 제1 구동 전압(ELVDD)을 인가한다. 제5 트랜지스터(TR5)의 소스에 제1 구동 전압(ELVDD)이 인가되면, 제1 트랜지스터(TR1)는 게이트-소스 전압에 대응하는 구동 전류(I_d)를 드레인으로부터 출력한다.
- [0080] 제6 트랜지스터(TR6)는 제3 제어 신호(Ei)에 응답하여 제1 트랜지스터(TR1)의 드레인과 유기 발광 다이오드(OLED)의 애노드를 서로 연결한다. 제1 트랜지스터(TR1)의 드레인으로부터 출력되는 구동 전류(I_d)는 유기 발광 다이오드(OLED)에 제공되며, 유기 발광 다이오드(OLED)는 구동 전류(I_d)에 대응하는 휘도로 발광한다. 제5 및 제6 트랜지스터(TR5, TR6)는 발광 제어 트랜지스터로 지칭될 수 있다.
- [0081] 제7 트랜지스터(TR7)는 제4 제어 신호(Bi)에 응답하여 유기 발광 다이오드(OLED)의 애노드에 초기화 전압(Vinit)을 인가한다. 유기 발광 다이오드(OLED)의 애노드에 초기화 전압(Vinit)이 인가되면, 유기 발광 다이오드(OLED)는 턴 오프 되어 발광하지 않게 된다. 유기 발광 다이오드(OLED)가 턴 오프 될 수 있도록, 초기화 전압(Vinit)과 제2 구동 전압(ELVSS)의 차는 유기 발광 다이오드(OLED)의 문턱 전압보다 낮을 수 있다. 제7 트랜지스터(TR7)는 애노드 초기화 트랜지스터로 지칭될 수 있다.
- [0082] 본 발명의 다른 실시예에 따르면, 제7 트랜지스터(TR7)는 생략될 수 있다. 또 다른 실시예에 따르면, 제7 트랜지스터(TR7)는 제2 제어 신호(Ci)에 의해 제어될 수 있다.
- [0083] 도 4a에 도시된 바와 같이, 제1 내지 제7 트랜지스터(TR1-TR7) 및 다이오드-연결 트랜지스터(DCTR)는 p형 MOSFET일 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 제1 내지 제7 트랜지스터(TR1-TR7) 또는 다이오드-연결 트랜지스터(DCTR) 중 적어도 하나는 n형 MOSFET일 수 있다.
- [0084] 도 4b를 참조하면, 제1 내지 제4 제어 신호들(Si, Ci, Ei, Bi)의 한 프레임 동안의 타이밍도가 도시된다. 도 4a에 도시된 바와 같이, 제1 내지 제7 트랜지스터(TR1-TR7) 및 다이오드-연결 트랜지스터(DCTR)는 p형 MOSFET인 것으로 가정한다.
- [0085] 제3 제어 신호(Ei)가 턴 오프 레벨(로우 레벨)로 천이하면, 제2 제어 신호(Ci), 제1 제어 신호(Si) 및 제4 제어 신호(Bi)가 순차적으로 턴 오프 레벨 구간을 갖는다. 제4 제어 신호(Bi)가 턴 온 레벨(하이 레벨)로 천이한 후, 제3 제어 신호(Ei)가 턴 온 레벨(하이 레벨)로 천이한다.

- [0086] 제3 제어 신호(Ei)가 턴 오프 레벨인 동안, 제3 제어 신호(Ei)에 의해 제어되는 제5 및 제6 트랜지스터(TR5, TR6)는 턴 오프 된다. 제1 트랜지스터(TR1)에는 제1 구동 전압(ELVDD)이 더 이상 인가되지 않고 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED) 사이가 개방되면서, 유기 발광 다이오드(OLED)는 비발광하게 된다. 제3 제어 신호(Ei)가 턴 오프 레벨인 구간은 비발광 구간으로 지칭될 수 있다. 반대로, 제3 제어 신호(Ei)가 턴 온 레벨인 구간은 발광 구간으로 지칭될 수 있다.
- [0087] 제2 제어 신호(Ci)가 턴 온 레벨인 동안, 제2 제어 신호(Ci)에 의해 제어되는 제4 트랜지스터(T4)는 턴 온된다. 제1 트랜지스터(TR1)의 게이트에 초기화 전압(Vinit)이 인가되면서, 제1 트랜지스터(TR1)는 풀 턴 온 된다. 매 프레임마다 제1 트랜지스터(TR1)가 풀 턴 온 됨에 따라, 제1 트랜지스터(TR1)의 히스테리시스(hysteresis) 특성으로 인한 부정확한 색 표현이 개선될 수 있다. 제2 제어 신호(Ci)가 턴 온 레벨인 구간은 게이트 초기화 구간으로 지칭될 수 있다.
- [0088] 제1 제어 신호(Si)가 턴 온 레벨인 동안, 제1 제어 신호(Si)에 의해 제어되는 제2 및 제3 트랜지스터(T2, T3)는 턴 온된다. 제3 트랜지스터(TR3)를 통해 제1 트랜지스터(TR1)의 소스에 데이터 전압(Dj)이 인가된다. 제1 노드(N1)의 전압이 초기화 전압(Vinit)으로 낮아져 있으므로, 제2 노드(N2)의 전압 레벨이 제1 노드(N1)의 전압 레벨보다 높으며, 다이오드-연결 트랜지스터(DCTR)는 순방향으로 턴 온 된다. 제1 트랜지스터(TR1)는 다이오드-연결 트랜지스터(DCTR) 및 제2 트랜지스터(TR2)를 통해 다이오드-연결된다. 데이터 전압(Dj)에 제1 트랜지스터(TR1)의 문턱 전압(V_{th} , V_{th} 는 (-)의 값)이 반영된 보상 전압($Dj+V_{th}$)이 제1 노드(N1)에 인가되며, 보상 전압($Dj+V_{th}$)이 저장 커패시터(Cst)의 제1 전극에 저장된다. 제1 제어 신호(Si)가 턴 온 레벨인 구간은 데이터 기입 구간으로 지칭될 수 있다. 이 데이터 기입 구간 동안의 회로 동작에 의해, 제1 트랜지스터(TR1)의 문턱 전압(V_{th})이 보상될 수 있다.
- [0089] 제1 제어 신호(Si)가 턴 오프 레벨로 천이하는 순간, 제1 제어 신호(Si)는 라이징 에지를 갖는다. 제2 트랜지스터(T2)의 게이트와 드레인 사이에 기생 커패시턴스가 존재하므로, 제2 노드(N2)의 전압은 제1 제어 신호(Si)의 라이징 에지에 대응하여 상승한다. 그러나, 제2 노드(N2)와 제1 노드(N1) 사이에 다이오드-연결 트랜지스터(DCTR)가 연결되므로, 제2 트랜지스터(T2)의 게이트와 제1 트랜지스터(T1)의 게이트는 직접 용량적으로 커플링되지 않으며, 제1 노드(N1)의 전압은 제1 제어 신호(Si)의 라이징 에지에 대응하여 상승하지 않거나, 상승폭이 감소한다. 따라서, 제2 트랜지스터(T2)의 문턱 전압이 변하거나, 제2 트랜지스터(T2)의 게이트와 드레인 사이의 기생 커패시턴스가 변하더라도, 제1 노드(N1)의 전압은 안정적으로 유지될 수 있다.
- [0090] 제4 제어 신호(Bi)가 턴 온 레벨인 동안, 제4 제어 신호(Bi)에 의해 제어되는 제7 트랜지스터(T7)는 턴 온된다. 제7 트랜지스터(TR7)에 의해 유기 발광 다이오드(OLED)의 애노드에 초기화 전압(Vinit)이 인가되며, 유기 발광 다이오드(OLED)는 턴 오프 된다. 제4 제어 신호(Bi)가 턴 온 레벨인 구간은 애노드 초기화 구간으로 지칭될 수 있다.
- [0091] 비발광 구간 동안, 게이트 초기화 구간, 데이터 기입 구간 및 애노드 초기화 구간이 순차적으로 진행된다. 발광 구간이 되면, 제1 트랜지스터(TR1)는 저장 커패시터(Cst)에 저장된 보상 전압($Dj+V_{th}$)에 따라 데이터 전압(Dj)에 대응하는 구동 전류(I_d)를 유기 발광 다이오드(OLED)에 제공하며, 유기 발광 다이오드(OLED)는 데이터 전압(Dj)에 대응하는 휘도로 발광한다.
- [0092] 데이터 기입 구간에 대하여 더욱 자세히 설명한다.
- [0093] 제2 트랜지스터(TR2)는 제1 제어 신호(Si)의 라이징 에지에 응답하여 턴 오프된다. 제2 트랜지스터(TR2)의 게이트 전극과 드레인 영역(즉, 제2 노드(N2)) 사이에 기생 커패시턴스(C_p)가 존재한다. 따라서, 제1 제어 신호(Si)가 라이징 에지를 가질 경우, 제2 노드(N2)의 전압은 제1 제어 신호(Si)의 라이징 에지에 용량적으로 커플링되어 상승하게 된다. 이와 같이, 제1 제어 신호(Si)의 라이징 에지에 용량적으로 커플링되어 추가적으로 상승되는 제2 노드(N2)의 전압은 킥백 전압(kick-back voltage)으로 지칭될 수 있다.
- [0094] 다이오드-연결 트랜지스터(DCTR)가 없는 경우, 즉, 제2 노드(N2)와 제1 노드(N1)가 서로 직접 연결되는 경우, 제2 노드(N2)는 제1 트랜지스터(TR1)의 게이트와 직접 연결되므로, 제2 트랜지스터(TR2)의 게이트 전극과 제1 트랜지스터(TR1)의 게이트 전극 사이에 기생 커패시턴스(C_p)가 존재하게 된다. 제1 노드(N1)에는 저장 커패시터(Cst)가 연결되며, 제1 노드(N1)의 전압은 저장 커패시터(Cst)에 의해 유지된다. 제1 제어 신호(Si)의 라이징 에지에 대응하여 제1 노드(N1)에 나타나는 킥백 전압은 저장 커패시터(Cst)의 커패시턴스에 대한 제2 트랜지스터(TR2)의 기생 커패시턴스(C_p)의 비율에 비례한다.
- [0095] 화소(PX)의 크기가 작아지면서, 저장 커패시터(Cst)의 커패시턴스는 점점 작아지고 있다. 저장 커패시터(Cst)

의 커패시턴스에 대한 제2 트랜지스터(TR2)의 기생 커패시턴스(C_p)의 비율은 점점 커지게 된다. 제1 노드(N1)에 나타나는 킥백 전압의 크기는 증가하고, 제1 트랜지스터(TR1)로부터 출력되는 구동 전류(I_d)는 감소한다. 따라서, 유기 발광 다이오드(OLED)의 휘도는 낮아질 수 있다.

[0096] 다이오드-연결 트랜지스터(DCTR)가 없는 경우, 즉, 제2 노드(N2)가 제1 노드(N1)와 직접 연결되는 경우라도, 제1 제어 신호(Si)의 라이징 에지에 의해 상승되는 제1 노드(N1)의 전압의 변동량, 즉, 킥백 전압이 일정하다면, 이를 감안하여 데이터 전압(D_j)을 킥백 전압만큼 미리 낮춤으로써 킥백 전압을 보상할 수 있다. 그러나, 제2 트랜지스터(TR2)의 문턱 전압이 변할 경우, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트 사이의 기생 커패시턴스(C_p)가 달라지며, 킥백 전압의 크기도 변하게 된다. 예를 들어, 열화 등의 이유로 제2 트랜지스터(TR2)의 채널 길이가 짧아질 경우, 문턱 전압의 절대값은 작아지고 기생 커패시턴스는 증가하게 된다.

[0097] 제2 트랜지스터(TR2)의 문턱 전압의 절대값이 작아지면, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트 사이의 기생 커패시턴스(C_p)가 커지고, 킥백 전압의 크기도 증가하게 된다. 구동 전류(I_d)의 크기는 더욱 감소하고, 유기 발광 다이오드(OLED)의 휘도는 더욱 낮아지게 된다. 제2 트랜지스터(TR2)의 문턱 전압의 변동은 표시 패널 내의 위치에 따라 달라질 수 있기 때문에, 이를 보상하는 것은 어렵다.

[0098] 본 발명의 일 실시예에 따라, 제2 노드(N2)와 제1 노드(N1) 사이에 다이오드-연결 트랜지스터(DCTR)가 연결됨으로써, 제1 제어 신호(Si)가 라이징 에지를 가질 때, 제2 노드(N2)의 전압은 변하더라도 제1 노드(N1)의 전압은 변하지 않거나 제1 노드(N1)의 전압 변화량은 감소될 수 있다. 제2 노드(N2)와 제1 노드(N1)가 직접 연결되지 않고, 다이오드-연결 트랜지스터(DCTR)를 통해 연결됨으로써, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트가 직접 용량적으로 커플링되지 않기 때문이다.

[0099] 게다가, 제2 트랜지스터(TR2)의 문턱 전압이 변함에 따라 제2 노드(N2)에 나타나는 킥백 전압이 크기가 변할 수 있지만, 제2 트랜지스터(TR2)의 게이트와 제1 트랜지스터(TR1)의 게이트가 직접 용량적으로 커플링되지 않기 때문에, 제1 노드(N1)에 나타나는 킥백 전압의 크기는 적어도 감소하거나 제거될 수 있다.

[0100] 한편, 제1 트랜지스터(TR1)의 문턱 전압을 제1 문턱 전압(V_{th1} , V_{th1} 은 (-)의 값)이라고 지칭하고, 다이오드-연결 트랜지스터(DCTR)의 문턱 전압을 제2 문턱 전압(V_{th2} , V_{th2} 은 (-)의 값)이라고 지칭한다. 제1 트랜지스터(TR1) 및 다이오드-연결 트랜지스터(DCTR)의 도전형은 모두 p형이라고 가정한다. 저장 커패시터(C_{st})의 제1 전극에 데이터 전압(D_j)에서 제1 트랜지스터(TR1)의 제1 문턱 전압(V_{th1})이 반영된 보상 전압($D_j + V_{th1}$)이 저장되기 위해서, 제1 문턱 전압(V_{th1})은 제2 문턱 전압(V_{th2})보다 작을 수 있다. 즉, 제1 문턱 전압(V_{th1})의 절대값($|V_{th1}|$)은 제2 문턱 전압(V_{th2})의 절대값($|V_{th2}|$)보다 클 수 있다.

[0101] 제3 트랜지스터(TR3)를 통해 제1 트랜지스터(TR1)의 소스에는 데이터 전압(D_j)이 인가된다. 이 때, 제1 트랜지스터(TR1)의 게이트, 즉, 제1 노드(N1)의 전압이 소스에 인가되는 데이터 전압(D_j)보다 제1 문턱 전압(V_{th})만큼 낮을 때, 제1 트랜지스터(TR1)는 턴 오프 된다. 다시 말하면, 제1 노드(N1)의 전압이 초기화 전압(V_{init})에서 증가되어 보상 전압($D_j + V_{th1}$)과 동일해지면, 제1 트랜지스터(TR1)는 턴 오프 된다. 다이오드-연결 트랜지스터(DCTR)의 문턱 전압인 제2 문턱 전압(V_{th2})의 절대값($|V_{th2}|$)은 제1 문턱 전압(V_{th1})의 절대값($|V_{th1}|$)보다 작으므로, 제1 노드(N1)의 전압이 보상 전압($D_j + V_{th1}$)과 동일해질 때까지 다이오드-연결 트랜지스터(DCTR)는 턴 온 상태를 유지한다.

[0102] 만약 제1 문턱 전압(V_{th1})의 절대값($|V_{th1}|$)이 제2 문턱 전압(V_{th2})의 절대값($|V_{th2}|$)보다 작다면, 제1 노드(N1)의 전압이 초기화 전압(V_{init})에서 증가되어 전압($D_j + V_{th2}$)과 동일해지면, 다이오드-연결 트랜지스터(DCTR)은 턴 오프 된다. 즉, 제1 트랜지스터(TR1)보다 다이오드-연결 트랜지스터(DCTR)이 먼저 턴 오프된다. 따라서, 저장 커패시터(C_{st})의 제1 전극에 데이터 전압(D_j)에서 제2 문턱 전압(V_{th2})이 반영된 보상 전압($D_j + V_{th2}$)이 저장되게 되어, 제1 트랜지스터(TR1)의 문턱 전압이 보상되지 못하게 된다.

[0103] 다른 실시예에 따라, 트랜지스터들(TR1-TR3, DCTR)이 n형 MOSFET인 경우, 제1 트랜지스터(TR1)의 제1 문턱 전압(V_{th1})은 다이오드-연결 트랜지스터(DCTR)의 제2 문턱 전압(V_{th2})보다 클 수 있다.

[0105] 도 5는 또 다른 실시예에 따른 화소의 개략적인 블록도이다.

[0106] 도 5를 참조하면, 화소(PX)는 유기 발광 다이오드(OLED), 제1 내지 제7 트랜지스터(TR1-TR7), 저장 커패시터(C_{st}) 및 다이오드-연결 트랜지스터(DCTR)를 포함한다. 화소(PX)는 도 4b에 도시된 타이밍도에 따라 제어될 수

있다. 화소(PX)는 제2 및 제4 트랜지스터(TR2, TR4)를 제외하고는 도 4a에 도시된 화소(PX)와 실질적으로 동일하다. 동일한 구성요소들에 대해서는 반복하여 설명하지 않는다.

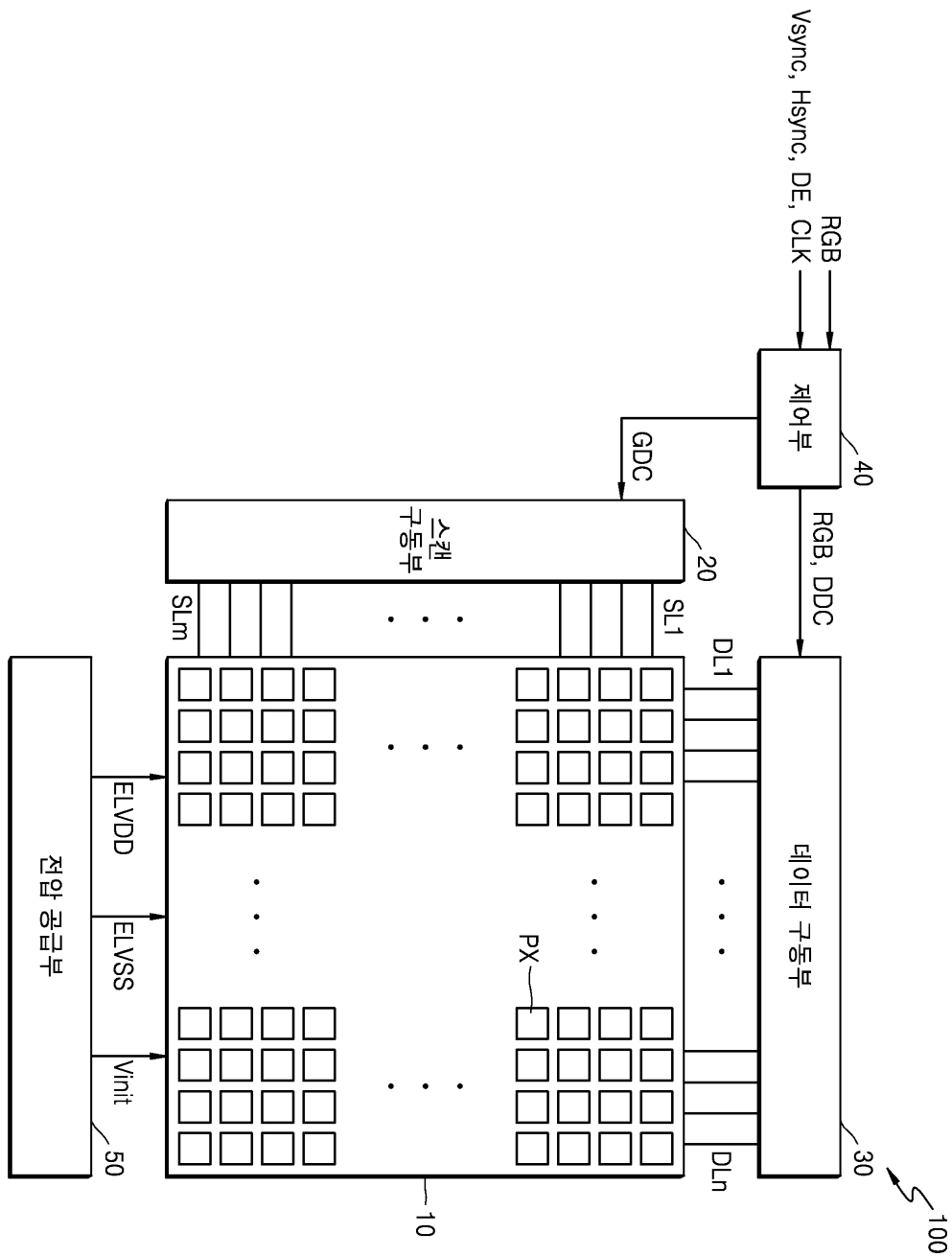
- [0107] 다이오드-연결 트랜지스터(DCTR)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결된다. 다이오드-연결 트랜지스터(DCTR)는 제1 노드(N1)에 공통적으로 연결되는 게이트와 드레인, 및 제2 노드(N2)에 연결되는 소스를 갖는다. 제2 노드(N2)의 전압이 제1 노드(N1)의 전압보다 문턱 전압의 절대값 이상으로 높은 경우에, 다이오드-연결 트랜지스터(DCTR)는 턴 온 된다.
- [0108] 제2 트랜지스터(TR2)는 제1 제어 신호(Si)에 응답하여 제1 트랜지스터(TR1)의 드레인을 제2 노드(N2)에 연결된다. 제2 트랜지스터(TR2)는 다이오드-연결 트랜지스터(DCTR)를 통해 제1 노드(N1)에 연결된다. 다이오드-연결 트랜지스터(DCTR)가 턴 온 되면, 제1 트랜지스터(TR1)의 게이트와 드레인은 서로 전기적으로 연결되며, 제1 트랜지스터(TR1)을 다이오드-연결할 수 있다. 제1 트랜지스터(TR1)가 다이오드-연결되면, 데이터 전압(Dj)에서 제1 트랜지스터(TR1)의 문턱 전압(V_{th})이 반영된 보상 전압($Dj+V_{th}$)이 저장 커패시터(Cst)의 제1 전극에 저장된다.
- [0109] 제2 트랜지스터(TR2)는 제1 제어 신호(Si)에 의해 동시에 제어되고 서로 직렬로 연결되는 한 쌍의 트랜지스터(TR2a, TR2b)를 포함할 수 있다. 제2 트랜지스터(TR2)의 턴 오프 시에, 직렬로 연결되는 한 쌍의 트랜지스터(TR2a, TR2b)가 모두 턴 오프됨으로써, 저장 커패시터(Cst)의 제1 전극, 즉, 제1 노드(N1)로부터 유출되거나 제1 노드(N1)에 유입되는 누설 전류를 최소화할 수 있다.
- [0110] 제4 트랜지스터(TR4)는 제2 제어 신호(Ci)에 응답하여 제1 노드(N1)에 초기화 전압(Vinit)을 인가한다. 제1 노드(N1)에 초기화 전압(Vinit)이 인가되면, 제1 트랜지스터(TR1)는 풀(full) 턴 온 된다. 초기화 전압(Vinit)은 제1 트랜지스터(TR1)를 풀 턴 온 시킬 수 있는 전압으로 설정될 수 있다.
- [0111] 제4 트랜지스터(TR4)는 제2 제어 신호(Ci)에 의해 동시에 제어되고 서로 직렬로 연결되는 한 쌍의 트랜지스터(TR4a, TR4b)를 포함할 수 있다. 제4 트랜지스터(TR4)의 턴 오프 시에, 직렬로 연결되는 한 쌍의 트랜지스터(TR4a, TR4b)가 모두 턴 오프됨으로써, 저장 커패시터(Cst)의 제1 전극, 즉, 제1 노드(N1)로부터 유출되거나 제1 노드(N1)에 유입되는 누설 전류를 최소화할 수 있다.
- [0112] 다른 실시예에 따르면, 제2 트랜지스터(TR2)가 직렬로 연결되는 한 쌍의 트랜지스터(TR2a, TR2b)를 포함하거나, 제4 트랜지스터(TR4)가
- [0113] 제1 제어 신호(Si)가 턴 오프 레벨로 천이하는 순간, 제1 제어 신호(Si)는 라이징 에지를 갖는다. 제2 트랜지스터(T2)의 게이트와 드레인 사이에 기생 커패시턴스가 존재하므로, 제2 노드(N2)의 전압은 제1 제어 신호(Si)의 라이징 에지에 대응하여 상승한다. 그러나, 제2 노드(N2)와 제1 노드(N1) 사이에 다이오드-연결 트랜지스터(DCTR)가 연결되므로, 제2 트랜지스터(T2)의 게이트와 제1 트랜지스터(T1)의 게이트는 직접 용량적으로 커플링되지 않으며, 제1 노드(N1)의 전압은 제1 제어 신호(Si)의 라이징 에지에 대응하여 상승하지 않거나, 상승폭이 감소한다. 따라서, 제2 트랜지스터(T2)의 문턱 전압이 변하거나, 제2 트랜지스터(T2)의 게이트와 드레인 사이의 기생 커패시턴스가 변하더라도, 제1 노드(N1)의 전압은 안정적으로 유지될 수 있다.

부호의 설명

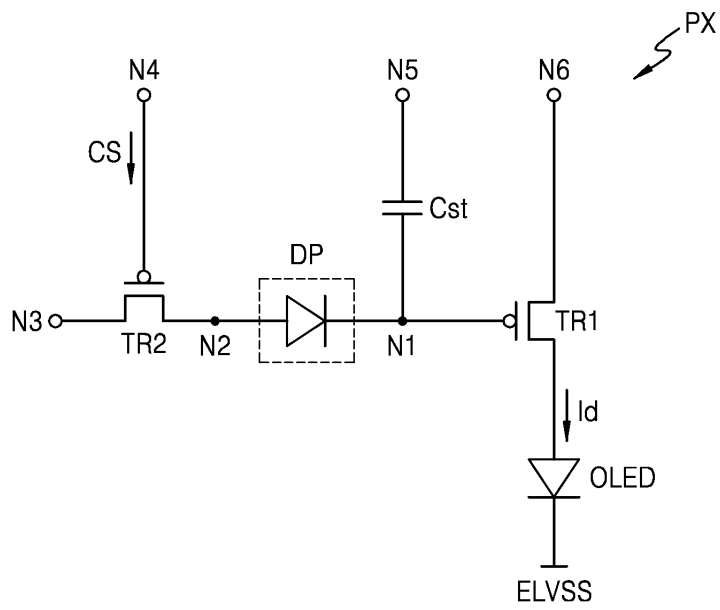
- [0115] 100: 유기 발광 표시 장치
- 10: 표시부
- 20: 스캔 구동부
- 30: 데이터 구동부
- 40: 제어부
- 50: 전압 공급부

도면

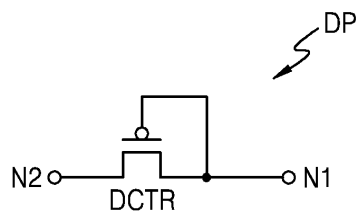
도면1



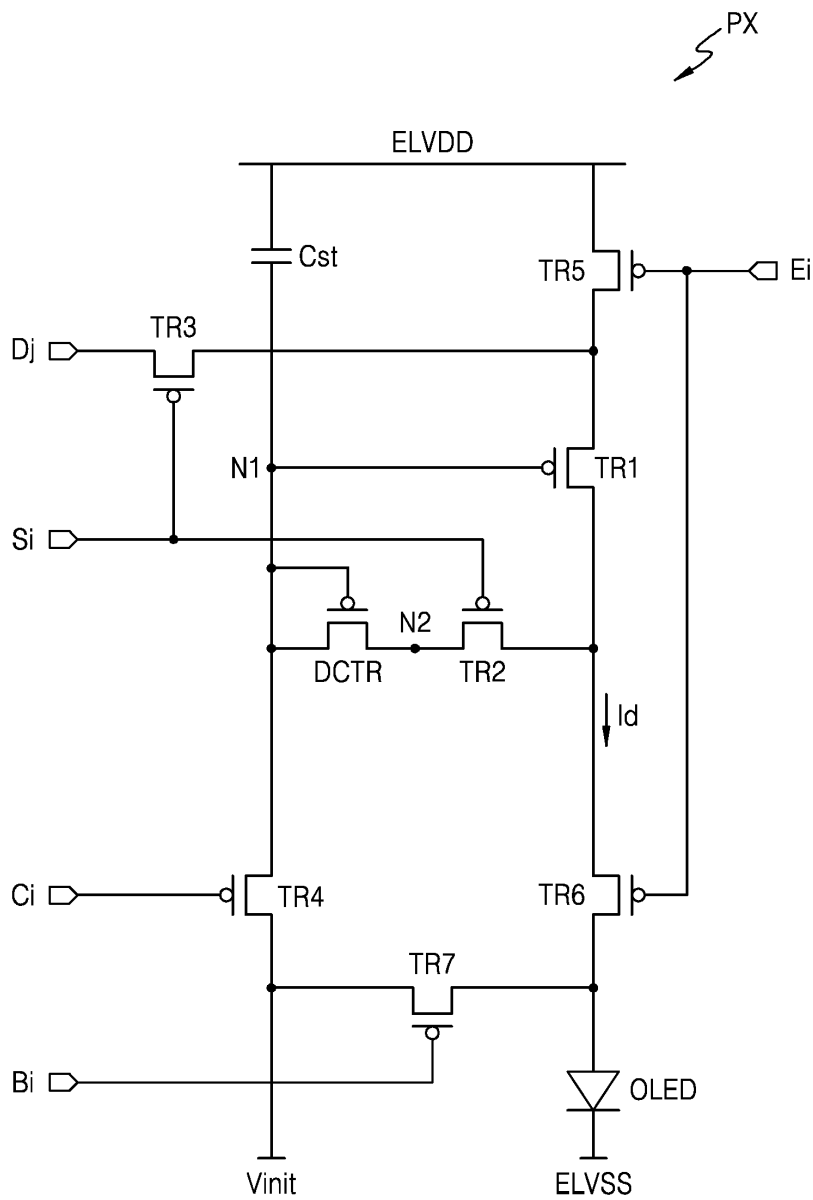
도면2



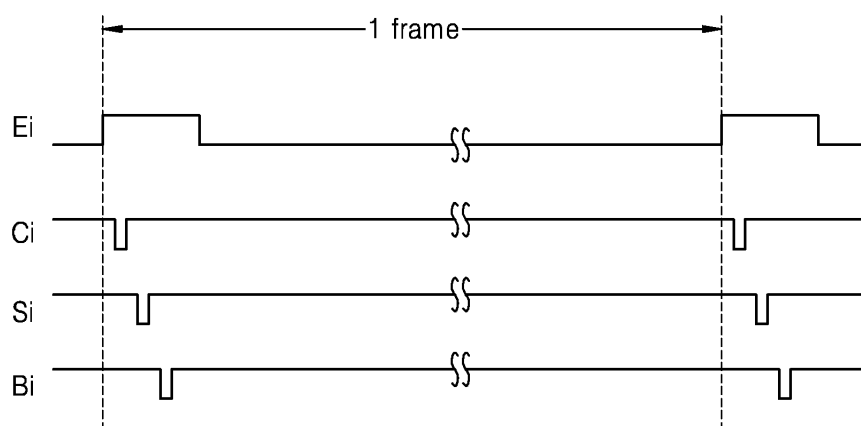
도면3



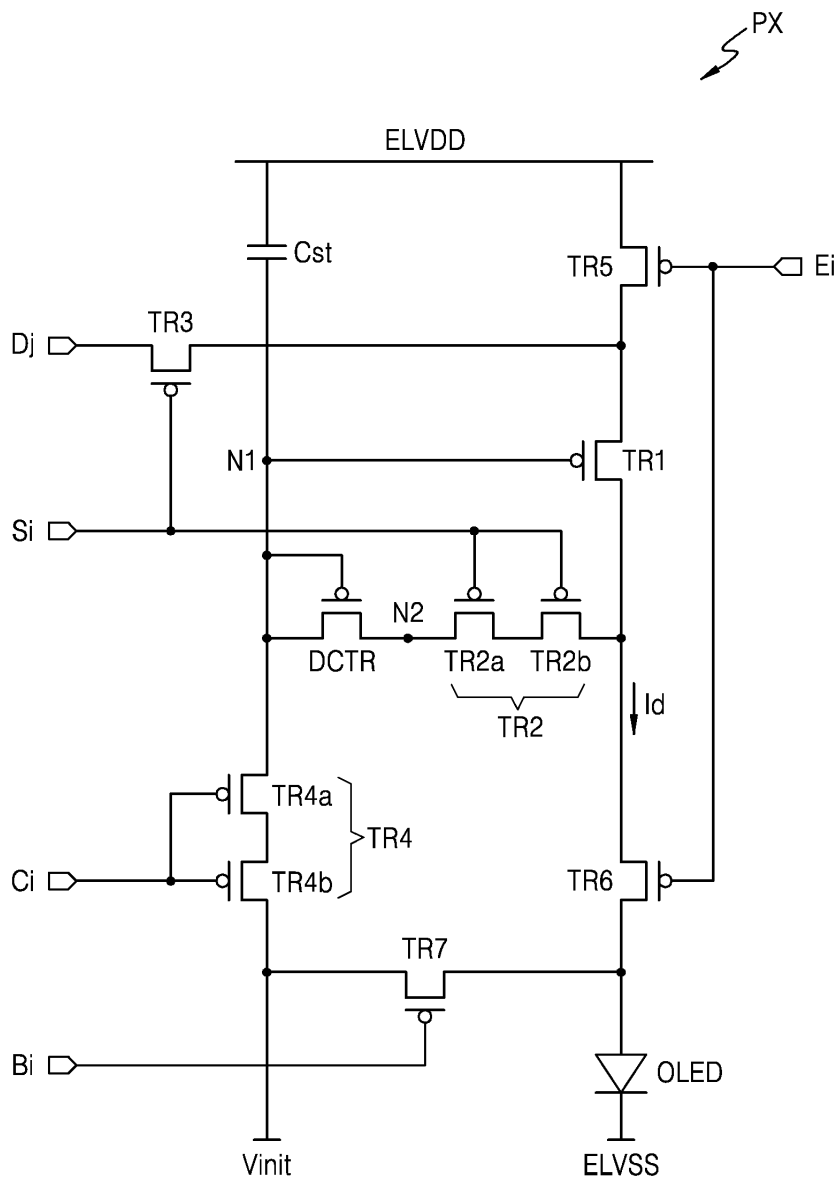
도면4a



도면4b



도면5



专利名称(译)	标题：像素电路和包括其的有机发光显示装置		
公开(公告)号	KR1020170060214A	公开(公告)日	2017-06-01
申请号	KR1020150163975	申请日	2015-11-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM CHUL HO 김철호		
发明人	김철호		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/043 G09G2300/0819 G09G2300/0861 G09G2320/0233 G09G2320/0238 G09G3/3266 G09G3/3275 G09G2340/0407		
外部链接	Espacenet		

摘要(译)

提供根据各种实施例的像素电路和包括该像素电路的有机发光显示装置。像素电路包括有机发光二极管，驱动晶体管，存储电容器和补偿晶体管，以及二极管。它具有驱动晶体管连接到第一节点的栅极，并且根据栅极电压将驱动电流提供给有机发光二极管。存储电容器连接到第一节点。补偿晶体管连接在驱动晶体管的漏极和第一节点之间，并且用扫描信号控制补偿晶体管。二极管连接在第一节点和补偿晶体管之间。

