



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0024718
(43) 공개일자 2017년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2015-0120071
(22) 출원일자 2015년08월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오금미
서울특별시 서대문구 세무서2가길 47 (홍제동)
엄혜선
대구광역시 서구 국채보상로78길 20-1 (비산동)
(74) 대리인
박영복

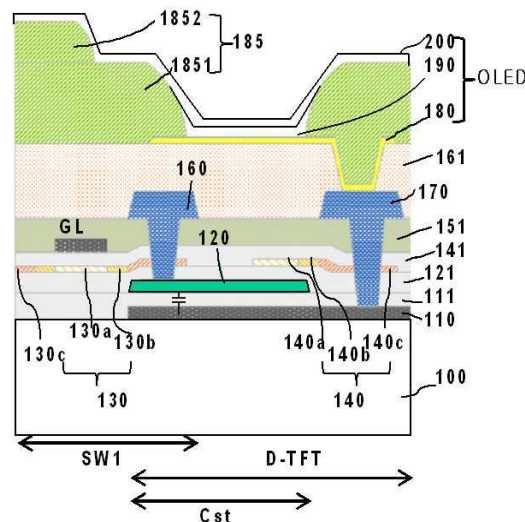
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 특히 상부 발광 방식에 있어서, 화소 내 집적 설계가 가능하고, 충분한 용량 확보가 가능한 유기 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 서로 교차하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 평행한 센싱 라인 및 상기 데이터 라인과 평행한 전류 구동 라인 및 기준 전압 라인과, 서로 다른 층에 구비된 스토리지 전극 및 구동 게이트 전극의 중첩으로 정의되는 스토리지 캐패시터와, 상기 게이트 라인과 교차하여, 양단이 상기 구동 게이트 전극 및 상기 데이터 라인에 접속된 제 1 액티브층 및 상기 제 1 액티브층과 이격하여, 상기 구동 게이트 전극과 중첩하며 상기 구동 게이트 전극에서 돌출된 양측이 각각 상기 전류 구동 라인과 상기 스토리지 전극과 접속된 제 2 액티브층을 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3265 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

(72) 발명자

양선영

경기도 부천시 원미구 상동로 57, 2411동 1201호
(상동, 행복한마을 서해그랑블)

이정인

서울특별시 구로구 벚꽃로70길 28, 삼성하이츠 40
2호 (구로동)

명세서

청구범위

청구항 1

기관 상에 서로 교차하는 게이트 라인 및 데이터 라인;

상기 게이트 라인과 평행한 센싱 라인 및 상기 데이터 라인과 평행한 전류 구동 라인 및 기준 전압 라인;

서로 다른 층에 구비된 스토리지 전극 및 구동 게이트 전극의 중첩으로 정의되는 스토리지 캐패시터;

상기 게이트 라인과 교차하여, 양단이 상기 구동 게이트 전극 및 상기 데이터 라인에 접속된 제 1 액티브층; 및
상기 제 1 액티브층과 이격하여, 상기 구동 게이트 전극과 중첩하며 상기 구동 게이트 전극에서 돌출된 양측이 각각 상기 전류 구동 라인과 상기 스토리지 전극과 접속된 제 2 액티브층을 포함한 유기 발광 표시 장치.

청구항 2

제 1항에 있어서,

제 2 액티브층은 상기 스토리지 전극과 접속된 부분에서 연장하여, 상기 센싱 라인을 교차하며 상기 기준 전압 라인측에 접속된 유기 발광 표시 장치.

청구항 3

제 2항에 있어서,

상기 제 1, 제 2 액티브층은 동일층에 있으며,

상기 구동 게이트 전극은 상기 제 1, 제 2 액티브층 하측에 있고,

상기 스토리지 전극은 상기 구동 게이트 전극 하측에 위치하는 유기 발광 표시 장치.

청구항 4

제 3항에 있어서,

상기 제 1 액티브층 및 구동 게이트 전극에 공통으로 중첩하는 부분에 대응하여, 상기 제 1 액티브층 상측에 스위칭 전극 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 5

제 4항에 있어서,

상기 스위칭 전극 패턴은 상기 제 1 액티브층의 일단을 관통하며 측면 접속되고, 상기 구동 게이트 전극의 상부 표면과 접속되며,

상기 게이트 라인과, 상기 게이트 라인 중첩 부위에 제 1 스위칭 채널 영역을 가지는 상기 제 1 액티브층과, 상기 제 1 액티브층의 일단과 측면 접속된 상기 스위칭 전극 패턴 및 상기 제 1 액티브층의 타단과 접속된 상기 데이터 라인에 의해 제 1 스위칭 박막 트랜지스터가 정의된 유기 발광 표시 장치.

청구항 6

제 5항에 있어서,

상기 구동 게이트 전극과 비중첩하며, 상기 스토리지 전극과 중첩하도록 상기 제 2 액티브층의 상측에 구동 전극 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 7

제 6항에 있어서,

상기 구동 전극 패턴은 상기 제 2 액티브층을 관통하며 측면 접속되고, 상기 스토리지 전극의 상부 표면과 접속되며,

상기 구동 게이트 전극과, 상기 구동 게이트 전극과의 중첩 부위에 구동 채널 영역을 갖는 상기 제 2 액티브층과, 상기 제 2 액티브층과 접속된 상기 전류 구동 라인 및 상기 구동 전극 패턴에 의해 구동 박막 트랜지스터가 정의된 유기 발광 표시 장치.

청구항 8

제 6항에 있어서,

상기 제 2 액티브층과, 상기 제 2 액티브층에 교차하는 센싱 라인과, 상기 제 2 액티브층과 접속된 상기 기준 전압 라인 및 상기 구동 전극 패턴에 의해 제 2 스위칭 박막 트랜지스터가 정의된 유기 발광 표시 장치.

청구항 9

제 5항에 있어서,

상기 구동 게이트 전극과 중첩하며 상기 스위칭 전극 패턴과 접속된 구동 보조 게이트 전극을 더 포함한 유기 발광 표시 장치.

청구항 10

제 9항에 있어서,

상기 게이트 라인 및 센싱 라인은 상기 제 1, 제 2 액티브층의 상측에 위치하며,

상기 데이터 라인, 기준 전압 라인 및 전류 구동 라인은 상기 게이트 라인 및 센싱 라인의 상측에 위치하는 유기 발광 표시 장치.

청구항 11

제 10항에 있어서,

상기 구동 보조 게이트 전극은 상기 게이트 라인과 동일층에 있으며, 상기 제 2 액티브층과 일부 중첩되는 유기 발광 표시 장치.

청구항 12

제 7항에 있어서,

상기 스위칭 전극 패턴과 상기 제 1 액티브층의 측면 접속은 상기 제 1 액티브층의 불순물 영역에서 이루어지며,

상기 구동 전극 패턴과 상기 제 2 액티브층의 측면 접속은 상기 제 2 액티브층의 불순물 영역에서 이루어지는 유기 발광 표시 장치.

청구항 13

제 6항에 있어서,

발광 영역을 구분하는 बैं크와,

상기 구동 전극 패턴과 접속하는 제 1 전극과, 상기 발광 영역에 발광층 및 상기 발광층 상에 제 2 전극을 포함하는 유기 발광 다이오드를 더 포함하는 유기 발광 표시 장치.

청구항 14

제 13항에 있어서,

상기 발광 영역은 상기 스토리지 캐패시터를 완전히 중첩하는 유기 발광 표시 장치.

청구항 15

복수개의 화소를 매트릭스 상으로 갖는 기관;

상기 기관 상에 각 화소에 구비된 스토리지 전극;

상기 스토리지 전극 상에 제 1 층간 절연막을 개재하여, 상기 스토리지 전극과 중첩하여 스토리지 캐패시터를 정의하는 구동 게이트 전극;

상기 구동 게이트 전극 상에 제 1 게이트 절연막을 개재하여, 서로 이격하며 각각 상기 구동 게이트 전극과 상기 스토리지 전극과 중첩된 제 1 액티브층 및 제 2 액티브층;

상기 제 1 액티브층 상에 제 2 게이트 절연막을 개재하여, 동일 방향으로 각각 상기 제 1 액티브층과 제 2 액티브층을 교차하는 게이트 라인 및 센싱 라인;

상기 게이트 라인 및 센싱 라인 상에 제 2 층간 절연막을 개재하여, 각각 상기 게이트 라인에 교차하는 방향으로, 상기 제 1 액티브층과 일단과 접속된 데이터 라인과, 상기 제 2 액티브층의 양단에 접속된 전류 구동 라인 및 기준 전압 라인; 및

상기 제 2 층간 절연막 상에, 상기 데이터 라인과 동일층에, 상기 제 1 액티브층의 타단과 접속된 스위칭 전극 패턴 및 상기 구동 게이트 전극으로부터 돌출된 상기 스토리지 전극과 접속된 구동 전극 패턴을 포함하는 유기 발광 표시 장치.

청구항 16

제 15항에 있어서,

상기 구동 게이트 전극과 중첩하며 상기 스위칭 전극 패턴과 접속된 구동 보조 게이트 전극을 상기 제 2 게이트 절연막 상에 더 포함한 유기 발광 표시 장치.

청구항 17

복수개의 화소를 매트릭스 상으로 갖는 기관을 준비하는 단계;

상기 기관 상에 각 화소에 스토리지 전극을 형성하는 단계;

상기 스토리지 전극 상에 제 1 층간 절연막을 개재하여, 상기 스토리지 전극과 중첩하여 스토리지 캐패시터를 정의하는 구동 게이트 전극을 형성하는 단계;

상기 구동 게이트 전극 상에 제 1 게이트 절연막을 개재하여, 서로 이격하며 각각 상기 구동 게이트 전극과 상기 스토리지 전극과 중첩된 제 1 액티브층 및 제 2 액티브층을 형성하는 단계;

상기 제 1 액티브층 상에 제 2 게이트 절연막을 개재하여, 동일 방향으로 각각 상기 제 1 액티브층과 제 2 액티브층을 교차하는 게이트 라인 및 센싱 라인을 구비하는 단계;

상기 게이트 라인 및 센싱 라인 상에 제 2 층간 절연막을 개재하여, 각각 상기 게이트 라인에 교차하는 방향으로, 상기 제 1 액티브층과 일단과 접속된 데이터 라인과, 상기 제 2 액티브층의 양단에 접속된 전류 구동 라인 및 기준 전압 라인과, 상기 제 2 층간 절연막 상에, 상기 데이터 라인과 동일층에, 상기 제 1 액티브층의 타단과 접속된 스위칭 전극 패턴 및 상기 구동 게이트 전극으로부터 돌출된 상기 스토리지 전극과 접속된 구동 전극 패턴을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 특히 상부 발광 방식에 있어서, 화소 내 집적 설계가 가능하고, 충분한 용량 확보가 가능한 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 표시 장치(Plasma Display

Panel device), 전계 방출 표시 장치(Field Emission Display Device), 유기 또는 무기 발광 표시 장치(Organic or Inorganic Light Emitting Diode Display Device) 등이 연구되고 있다. 이러한 평판 표시 장치 중에서 특히 유기 발광 표시 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 대화면 구현 및 연성화의 장점으로 적용 분야가 확대되고 있다.

- [0004] 유기 발광 표시 장치는, 각 화소별로 발광을 위한 유기 발광 다이오드와 상기 유기 발광 다이오드에 흐르는 전류를 제어하는 화소 회로부를 갖고, 상기 화소 회로부에 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터를 포함한다.
- [0005] 한편, 박막 트랜지스터는 게이트 전극의 위치에 따라 탑 게이트 구조와 바텀 게이트 구조로 구분된다.
- [0006] 일반적인 탑 게이트 구조의 TFT(Thin Film Transistor)는 먼저, 기판 상에, 비정질 실리콘(amorphous)층을 형성하고, 이를 엑시머 레이저(eximer laser)를 이용하여 결정화하여 다결정 실리콘(poly-silicon)화 한다. 이어, 결정화된 다결정 실리콘 상에 감광막(미도시)을 도포하고, 상기 감광막을 노광 및 현상하여, 감광막 패턴을 형성하고, 감광막 패턴을 마스크로 하여 상기 다결정 실리콘을 식각하여, 각 화소별 필요 부위에 액티브층을 남긴다. 그리고, 액티브층을 덮으며 게이트 절연막이 형성되고, 상기 액티브층 상부에 대응되도록 게이트 전극 상에 게이트 전극을 형성한다.
- [0007] 또한, 바텀 게이트 구조의 TFT는 상술한 탑 게이트 구조와 액티브층과 게이트 전극의 형성 순서를 반대로 한다. 그런데, 비정질 실리콘을 다결정화하는 결정화 공정은 400℃ 이상의 온도에서 진행되고, 이 과정에서, 바텀 게이트 구조에 있어서는, 액티브층 단선이 문제되어, 최근 유기 발광 표시 장치에서는 이러한 액티브층 단선 문제를 방지하도록 결정화가 완료된 후에 게이트 전극을 형성하는 탑 게이트 구조의 박막 트랜지스터가 선호되고 있다.
- [0008] 이하, 종래의 유기 발광 표시 장치에 있어서, 탑 게이트 구조의 박막 트랜지스터를 포함한 일 화소의 구성을 도면을 통해 살펴본다.
- [0009] 도 1은 종래의 유기 발광 표시 장치의 일 화소를 나타낸 회로도이며, 도 2는 도 1의 구동 트랜지스터와 스위칭 박막 트랜지스터의 지나는 선상의 단면도이다.
- [0010] 도 1은 기본적인 구조의 유기 발광 표시 장치의 화소 회로부 구성을 나타낸 것으로, 스위칭 박막 트랜지스터(ST), 스위칭 박막 트랜지스터(ST)와 연결된 구동 박막 트랜지스터(DT), 및 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLED)를 포함하고 있다.
- [0011] 스위칭 박막 트랜지스터(ST)는 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 영역에 형성되어, 화소를 선택하는 기능을 한다. 그리고, 스위칭 박막 트랜지스터(ST)는 도 2에 도시된 바와 같이, 게이트 라인(GL)에서 돌출된 스위칭 게이트 전극(SG))(10)과, 데이터 라인(DL)에서 분기된 스위칭 소오스 전극(SS)과, 스위칭 드레인 전극(SD))(45) 및 스위칭 채널 영역이 정의된 제 1 액티브층(60)을 포함한다.
- [0012] 여기서, 제 1 액티브층(60)은 스위칭 게이트 전극(SG)과 중첩된 부분에 스위칭 채널 영역(60a)이 정의되고, 스위칭 채널 영역 양 주변이 불순물이 도핑되어 소오스 영역(60b)과 드레인 영역(60c)으로 기능한다. 그리고, 소오스 영역(60b)과 드레인 영역(60c)은 각각 스위칭 박막 트랜지스터(ST)의 스위칭 소오스 전극(SS)과 스위칭 드레인 전극(SD)에 접속한다.
- [0013] 또한, 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 화소의 유기발광 다이오드(OLED)를 구동하는 기능을 한다. 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 스위칭 드레인 전극(SD)과 연결된 구동 게이트 전극(DG)(15)과, 기준 전압 라인(RL) 상에 포함된 구동 소오스 전극(DS)과, 상기 구동 소오스 전극(DS)과 이격된 구동 전극 패턴(DD)(55), 및 구동 채널 영역(70a)과 주변에 상기 구동 소오스 전극(DS)과 구동 전극 패턴(DD)(55)와 접속된 소오스 영역(70b) 및 드레인 영역(70c)을 갖는 제 2 액티브층(70)을 포함한다. 구동 박막 트랜지스터(DT)의 구동 전극 패턴(DD)은 유기발광 다이오드(OLED)의 제 1 전극과 연결된다.
- [0014] 그리고, 상기 스위칭 박막 트랜지스터(ST)와 구동 박막 트랜지스터(DT)는 구동 게이트 전극(DG)(15)가 상하부에서 연장되어, 각각 스위칭 드레인 전극(45)와 구동 전극 패턴(55)과 중첩된다. 상기 구동 게이트 전극(DG)(15)과 스위칭 드레인 전극(45)의 중첩부에서 전기적 접속이 이루어져 스위칭 박막 트랜지스터(ST)의 드레인 전극과 구동 박막 트랜지스터(DT)의 게이트 전극이 접속된다.
- [0015] 또한, 상기 구동 박막 트랜지스터(DT)의 구동 게이트 전극(DG)(15)와 상기 구동 전극 패턴(55)과의 중첩부에는

스토리지 캐패시터(Cst)가 정의될 수 있다.

[0016] 그런데, 종래의 유기 발광 표시 장치에 있어서는, 스위칭 박막 트랜지스터의 드레인 전극과 구동 박막 트랜지스터의 게이트 전극간의 접속을 위해, 평면상에서 일자로 형성된 스위칭 드레인 전극(SD)과 구동 게이트 전극(DG)이 평면상에서 중첩되어야 하고, 이들은 평면상의 긴 일자 전극 형상을 갖는다. 그리고, 이 경우, 스토리지 캐패시터(Cst)의 일 전극으로 이용되는 구동 전극 패턴(DD)(35)은 구동 게이트 전극(DG)(15)과 평면적인 중첩은 있어도, 둘 간 접속되지 않아야 하므로, 적어도 구동 게이트 전극(DG)(15)과 제 2 액티브층(70)과 구동 전극 패턴(55)의 접속부는 평면적으로 이격되어야 한다. 따라서, 구동 게이트 전극(DG)(15)이 제 2 액티브층(70)과 구동 전극 패턴(DD)(55)의 접속부로부터 평면적 이격을 유지한 상태이기 때문에, 구동 전극 패턴(DD)(55)과 구동 게이트 전극(DG)(15)의 중첩 면적은 작을 수 밖에 없고, 이에 따라 중첩 면적에 의해 정해지는 스토리지 캐패시터의 값도 충분히 확보하기 어렵다.

[0017] 한편, 유기 발광 표시 장치는, 적용 범위가 점차 확대되어 가며, 대면적 및 고밀도 사양을 만족하는 개발이 가속화되고 있다. 특히, 해상도가 높아질수록 단위 화소의 크기가 점차 작아진다. 단위 화소의 크기가 작아진다는 것으로, 화소 내 구비되는 박막 트랜지스터와 스토리지 캐패시터가 위치하는 공간이 작아진다는 것을 의미한다. 상술한 종래의 유기 발광 표시 장치에 있어서는, 스토리지 캐패시터의 영역을 충분히 확보하게 되면, 화소 크기가 커지는 문제가 있어, 고해상도와 충분한 용량의 스토리지 캐패시터를 동시에 얻기 힘들다.

[0018] 한편, 유기발광 다이오드(OLED)는 상기 구동 박막 트랜지스터(DT)의 드레인 전극(DD)(55)과 접속된 제 1 전극과, 유기 발광층을 포함한 유기층, 제 2 전극이 적층되어 이루어진다.

[0019] 또한, 발광 방식에 따라 유기 발광 다이오드의 화소 내 위치는 달라질 수 있다. 예를 들어, 상부 발광 방식에는 발광이 차광성의 금속 배선을 포함하는 화소 회로부 중첩에 무관하게 상부에서 발광이 가능하지만, 하부 발광 방식에는 차광성의 금속 배선이 발광을 가릴 수 있으므로, 화소 회로부의 면적이 클수록 개구율이 떨어질 수 있다.

발명의 내용

해결하려는 과제

[0020] 상술한 종래의 탑 게이트 구조의 유기 발광 표시 장치의 경우, 평면적으로 서로 이격되어 있는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 액티브층간의 구성 사이에, 일 방향을 따라 접속되는 스위칭 드레인 전극과 구동 게이트 전극을 구비하여야 하므로, 화소 내 회로 집적화가 불리하다. 따라서, 종래 탑 게이트 구조의 유기 발광 표시 장치는, 화소 내 회로 영역간의 이격 공간을 확보하여야 하여, 고해상도를 얻기 힘들다.

[0021] 또한, 탑 게이트 구조의 특성상 상대적으로 화소 내에서 작은 면적을 차지하는 게이트 전극층이 액티브층 상부에 위치하여, 스토리지 캐패시터의 면적을 확보하기가 어렵다. 즉, 작은 면적의 게이트 금속층과 중첩 영역을 확보하기 어려워 충분한 용량의 스토리지 캐패시터를 얻기 힘들다.

[0022] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 상부 발광 방식에 있어서, 화소 내 집적 설계가 가능하고, 충분한 용량 확보가 가능한 유기 발광 표시 장치 및 이의 제조 방법을 제공하는 데, 그 목적이 있다.

과제의 해결 수단

[0023] 상기와 같은 목적을 달성하기 위한 본 발명의 유기 발광 표시 장치는 탑 게이트와 바텀 게이트를 공용하는 구조로, 서로 다른 층에 구비된 스토리지 전극 및 구동 게이트 전극의 중첩으로 정의되는 스토리지 캐패시터와, 상기 게이트 라인과 교차하여, 양단이 상기 구동 게이트 전극 및 상기 데이터 라인에 접속된 제 1 액티브층 및 상기 제 1 액티브층과 이격하여, 상기 구동 게이트 전극과 중첩하며 상기 구동 게이트 전극에서 돌출된 양측이 각각 상기 전류 구동 라인과 상기 스토리지 전극과 접속된 제 2 액티브층을 포함할 수 있다.

[0024] 여기서, 제 2 액티브층은 상기 스토리지 전극과 접속된 부분에서 연장하여, 상기 센싱 라인을 교차하며 상기 기준 전압 라인층에 접속된다.

[0025] 그리고, 상기 제 1, 제 2 액티브층은 동일층에 있으며, 상기 구동 게이트 전극은 상기 제 1, 제 2 액티브층 하층에 있고, 상기 스토리지 전극은 상기 구동 게이트 전극 하층에 위치한다.

[0026] 상기 제 1 액티브층 및 구동 게이트 전극에 공통으로 중첩하는 부분에 대응하여, 상기 제 1 액티브층 상층에 스위칭 전극 패턴을 더 포함할 수 있으며, 상기 스위칭 전극 패턴은 상기 제 1 액티브층의 일단을 관통하며 측면

접속되고, 상기 구동 게이트 전극의 상부 표면과 접속되며, 상기 게이트 라인과, 상기 게이트 라인과 중첩 부위에 제 1 스위칭 채널 영역을 가지는 상기 제 1 액티브층과, 상기 제 1 액티브층의 일단과 측면 접속된 상기 스위칭 전극 패턴 및 상기 제 1 액티브층의 타단과 접속된 상기 데이터 라인에 의해 제 1 스위칭 박막 트랜지스터가 정의될 수 있다.

[0027] 또한, 상기 구동 게이트 전극과 비중첩하며, 상기 스토리지 전극과 중첩하도록 상기 제 2 액티브층의 상측에 구동 전극 패턴을 더 포함할 수 있으며, 상기 구동 전극 패턴은 상기 제 2 액티브층을 관통하며 측면 접속되고, 상기 스토리지 전극의 상부 표면과 접속되며, 상기 구동 게이트 전극과, 상기 구동 게이트 전극과의 중첩 부위에 구동 채널 영역을 갖는 상기 제 2 액티브층과, 상기 제 2 액티브층과 접속된 상기 전류 구동 라인 및 상기 구동 전극 패턴에 의해 구동 박막 트랜지스터가 정의될 수 있다. 상기 제 2 액티브층과, 상기 제 2 액티브층에 교차하는 센싱 라인과, 상기 제 2 액티브층과 접속된 상기 기준 전압 라인 및 상기 구동 전극 패턴에 의해 제 2 스위칭 박막 트랜지스터가 정의될 수 있다.

[0028] 또한, 상기 구동 게이트 전극과 중첩하며 상기 스위칭 전극 패턴과 측면 접속된 구동 보조 게이트 전극을 더 포함할 수 있다.

발명의 효과

[0029] 본 발명의 유기 발광 표시 장치 및 이의 제조 방법은 다음과 같은 효과가 있다.

[0030] 첫째, 스토리지 캐패시터를 위해 박막 트랜지스터 외에 별도 공간을 구비하지 않고, 박막 트랜지스터와 중첩된 영역, 특히, 구동 박막 트랜지스터의 구동 게이트 전극을 스토리지 대향 전극으로 이용하고, 이와 서로 다른 층에 중첩되는 스토리지 전극을 구비하여, 둘간의 중첩 영역에 스토리지 캐패시터를 정의하였다. 이를 통해, 화소 영역 내에 박막 트랜지스터의 배치에 크게 구애받지 않고, 충분한 용량의 스토리지 캐패시터를 얻을 수 있다.

[0031] 둘째, 구동 전류의 새투레이션 특성이 좋고, 킥 특성이 안정화된 바텀 게이트 전극을 구동 박막 트랜지스터에 적용하여, 유기 발광 표시 장치의 화소 회로의 신뢰성을 향상시킬 수 있다.

[0032] 셋째, 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 연결을 스위칭 박막 트랜지스터의 일 전극이 액티브층을 관통하여 구동 게이트 전극과 연결되도록 하여, 박막 트랜지스터간 접속에 요구되는 평면적 연결 부위를 생략할 수 있어, 화소 영역의 고집적화 및 고해상도에 유리하다.

[0033] 넷째, 구동 박막 트랜지스터에는 액티브층 하측에 구동 게이트 전극을 구비하고, 스위칭 박막 트랜지스터에는 액티브층 상측에 게이트 라인 또는 센싱 라인을 구비하여, 서로 다른 층에 게이트 전극(라인)을 구비하고 있어, 필요에 따라 고이동도 특성이 요구되는 박막 트랜지스터에 대해 이중 게이트 전극을 적용하기 용이하다.

[0034] 다섯째, 탑 게이트 구조에서 이용하는 액티브층을 하측에서 가리는 하부 금속 패턴을 생략하여도, 구동 전류 특성에 주요하게 작용한 구동 박막 트랜지스터의 부위에서, 바텀 게이트 구조를 적용하여, 구동 게이트 전극을 먼저 형성하고, 액티브층을 후에 형성하여, 구동 박막 트랜지스터의 액티브층이 하부의 외부광에 대해 영향을 받거나 손상되는 점을 방지할 수 있어, 종래 하부 금속 패턴 구비시, 패턴 형성과 전압 인가에 요구되는 2회 이상의 마스크를 줄일 수 있다.

[0035] 여섯째, 구동 박막 트랜지스터의 경우 구동 게이트 전극 형성 후, 상측에 액티브층이 형성되어, 구동 게이트 전극의 형상과 무관하게 채널 영역이 정의될 수 있으며, 이에 따라 설계 자유도가 증가할 수 있다.

도면의 간단한 설명

[0036] 도 1은 종래의 유기 발광 표시 장치의 일 화소를 나타낸 회로도

도 2는 도 1의 구동 트랜지스터와 스위칭 박막 트랜지스터의 지나는 선상의 단면도이다.

도 3은 본 발명의 유기 발광 표시 장치의 일 화소를 나타낸 회로도

도 4는 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 평면도

도 5는 도 4의 I-I' 선상의 단면도

도 6은 본 발명의 유기 발광 표시 장치의 제조 순서를 나타낸 공정 순서도

도 7은 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 평면도

도 8a는 도 7의 II~II' 선상의 단면도

도 8b 및 도 8c는 제 2 실시예의 변형예를 나타낸 단면도

도 9는 구동 박막 트랜지스터의 구조를 탑 게이트 구조를 하였을 때와 바텀 게이트 구조로 하였을 때, V_g -Id 특성을 나타낸 그래프

도 10은 구동 박막 트랜지스터의 구조를 탑 게이트 구조를 하였을 때와 바텀 게이트 구조로 하였을 때, V_d -Id 특성을 나타낸 그래프

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 부품 명칭과 상이할 수 있다.
- [0038] 앞서 종래의 유기 발광 표시 장치에 있어서, 탑 게이트 구조를 사용하는 이유를 바텀 게이트 전극의 구조의 경우, 게이트 전극의 테이퍼를 그대로 따라 액티브층이 형성되고, 상기 액티브층은 결정화 과정에서, 결정질끼리 서로 응집하여 게이트 전극 테이퍼 부위에서 단선이 발생하여, 이 점을 방지하기 위한 것임을 설명하였다.
- [0039] 본 발명의 출원인은 이러한 바텀 게이트 구조를 사용한 경우에도 게이트 전극 형상을 변경하여, 액티브층 단선 문제를 해결한 사상을 출원번호 10-2015-0067321호로 출원한 바 있다.
- [0040] 따라서, 본 발명은 바텀 게이트 구조를 갖는 구동 게이트 전극의 측부가 낮은 경사를 갖도록 하여, 게이트 전극의 테이퍼에서 결정질 단선을 해결하며, 동시에 스토리지 캐패시터의 영역을 충분히 확보하여, 화소 영역 내 유효 회로 영역을 손실없이 확보하여 집적도를 높여 고해상도를 꾀한 것이다.
- [0041] 도 3은 본 발명의 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.
- [0042] 먼저, 본 발명의 유기 발광 표시 장치의 일 화소를 회로로 표현하면, 도 3과 같이, 서로 교차하는 게이트 라인(SL)과 데이터 라인(DL) 사이에 제 1 스위칭 박막 트랜지스터(SW1)와, 상기 스위칭 박막 트랜지스터(SW1)와 전류 구동 라인(VDL) 사이에 연결된 구동 박막 트랜지스터(D-TFT)와, 상기 구동 박막 트랜지스터(D-TFT)와 기준 전압 라인(RL) 사이에 연결된 제 2 스위칭 박막 트랜지스터(SW2)와, 상기 제 1 스위칭 박막 트랜지스터(SW1)와 상기 구동 박막 트랜지스터(D-TFT)의 접속 지점인 제 1 노드(A)와 상기 구동 박막 트랜지스터와 제 2 스위칭 박막 트랜지스터의 접속 지점인 제 2 노드(B)에 연결된 스토리지 캐패시터(Cst) 및 상기 제 2 노드(B)와 접지단자 사이에 구비된 유기발광 다이오드(OLED)를 포함한다. 여기서, 서로 교차하는 게이트 라인(GL)과 데이터 라인(DL) 사이에 화소 영역이 정의되며, 상기 화소 영역은 기관(도 5의 100 참조) 상에, 매트릭스 상으로 배치되어 있다.
- [0043] 한편, 상기 제 1 노드(A)에는 상기 제 1 스위칭 박막 트랜지스터(SW1)의 스위칭 드레인 전극(SD1)과 구동 박막 트랜지스터(D-TFT)의 구동 게이트 전극(DG)이 접속되며, 상기 제 2 노드(B)에는 상기 구동 박막 트랜지스터의 구동 전극 패턴(DD)과 상기 제 2 스위칭 박막 트랜지스터의 제2 스위칭 드레인 전극(SD2)이 접속된다.
- [0044] 그리고, 상기 제 1 스위칭 박막 트랜지스터(SW1)와 제 2 스위칭 박막 트랜지스터(SW2)의 각각의 게이트 전극(SG1, SG2)은 게이트 라인(GL) 및 센싱 라인(SSL)에 연결되어 있다.
- [0045] 상기 제 1 스위칭 박막 트랜지스터(SW1)는 게이트 라인(GL)의 인가되는 신호에 따라 구동되는 화소를 선택하며, 상기 구동 박막 트랜지스터(D-TFT)는 상기 제 1 스위칭 박막 트랜지스터(SW1)에 연결되어, 선택된 화소의 구동 전류를 제어하여 유기 발광 다이오드(OLED)에 공급한다. 또한, 상기 스토리지 캐패시터(Cst)는 상기 제 1 스위칭 박막 트랜지스터(SW1)로부터 제공받은 전압을 한 프레임 동안 유지하여 구동 박막 트랜지스터(D-TFT)가 일정한 전압을 유지하도록 한다. 이를 위해 스토리지 캐패시터(Cst)는 구동 박막 트랜지스터(D-TFT)의 구동 게이트 전극(DG)과 구동 전극 패턴(DD) 사이에 위치한다. 여기서, 상기 스토리지 캐패시터(Cst)는 제 2 스위칭 박막 트랜지스터(SW2)와 연결되어, 제 2 스위칭 박막 트랜지스터(SW)가 센싱 라인(SSL)의 센스 신호 공급시 턴온되는 동안, 기준 전압 라인(RL)으로부터 제공받는 초기화 전압을 제 2 노드(B)로 제공하며, 이는 특징의 구간에서 센싱 라인(SSL)으로부터 센싱 신호 인가에 따라 초기화가 이루어짐을 의미한다.

- [0046] *제 1 실시예*
- [0047] 도 4는 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 평면도이고, 도 5는 도 4의 I-I' 선상의 단면도이다.
- [0048] 도 4 및 도 5를 참조하여, 상술한 유기 발광 표시 장치의 회로 구성을 갖는 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치에 대해 설명한다. 동일한 전기적 연결 관계를 가지며, 평면 및 단면 상의 배치에 특성을 갖는 것이다.
- [0049] 도 4 및 도 5와 같이, 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소 영역은, 서로 교차하는 게이트 라인(GL) 및 데이터 라인(DL)에 의해 정의될 수 있다.
- [0050] 그리고, 유기 발광 표시 장치의 일 화소 영역에는 각각 상기 게이트 라인(GL)과 평행하게 센싱 라인(SSL) 및 상기 데이터 라인(DL)과 평행하게 전류 구동 라인(VDL) 및 기준 전압 라인(RL)이 배치되며, 상기 화소 영역 내에 서로 다른 층에 구비된 스토리지 전극(110) 및 구동 게이트 전극(120)의 중첩으로 정의되는 스토리지 캐패시터(Cst)와, 상기 게이트 라인(GL)과 교차하여, 양단이 상기 구동 게이트 전극(120) 및 상기 데이터 라인(DL)에 접속된 제 1 액티브층(130) 및 상기 제 1 액티브층(130)과 이격하여, 상기 구동 게이트 전극(120)과 중첩하며 상기 구동 게이트 전극(120)에서 돌출된 양측이 각각 상기 전류 구동 라인(VDL)과 상기 스토리지 전극(110)과 접속된 제 2 액티브층(140)을 포함한다.
- [0051] 여기서, 제 2 액티브층(140)은 상기 스토리지 전극(110)과 접속된 부분에서 연장하여, 상기 센싱 라인(SSL)을 교차하며 상기 기준 전압 라인(RL)측에 접속되어 있다.
- [0052] 상기 제 1, 제 2 액티브층(130, 140)은 동일층에 있으며, 상기 구동 게이트 전극(120)은 상기 제 1, 제 2 액티브층(130, 140) 하측에 있고, 상기 스토리지 전극(110)은 상기 구동 게이트 전극(120) 하측에 위치한다.
- [0053] 상기 제 1 액티브층(130) 및 구동 게이트 전극(120)에 공통으로 중첩하는 부분에 대응하여, 상기 제 1 액티브층(130) 상측에 스위칭 전극 패턴(160)을 더 포함한다. 상기 스위칭 전극 패턴(160)은 도 3의 회로도 노드 A에 상당하며, 스위칭 전극 패턴(160) 자신이 스위칭 박막 트랜지스터(SW1)의 드레인 전극으로 기능하며, 제 1 스위칭 박막 트랜지스터(SW1)와, 구동 박막 트랜지스터(D-TFT) 및 스토리지 캐패시터(Cst)가 모두 접속되어 있다.
- [0054] 상기 스위칭 전극 패턴(160)은 상기 제 1 액티브층(130)의 일단을 관통하며 제 1 액티브층(130)에 측면 접속되고, 상기 구동 게이트 전극(120)의 상부 표면과 접속되며, 상기 구동 게이트 전극(120), 제 1 액티브층(130) 및 스위칭 전극 패턴(160)간의 전기적 연결이 얻어진다.
- [0055] 또한, 상기 구동 게이트 전극(120)과 비중첩하며, 상기 스토리지 전극(110)과 중첩하도록 상기 제 2 액티브층(140)의 상측에 구동 전극 패턴(170)을 포함한다. 여기서, 상기 구동 전극 패턴(170)은 상기 제 2 액티브층(140)을 관통하며 측면 접속되고, 상기 스토리지 전극(110)의 상부 표면과 접속되며, 상기 스토리지 전극(110), 제 2 액티브층(140) 및 구동 전극 패턴(170)간의 전기적 연결이 얻어진다. 이 때, 상기 구동 게이트 전극(120)과, 상기 구동 게이트 전극(120)과의 중첩 부위에 구동 채널 영역(140a)을 갖는 상기 제 2 액티브층(140)과, 상기 제 2 액티브층(140)과 접속된 상기 전류 구동 라인(VDL) 및 상기 구동 전극 패턴(170)에 의해 구동 박막 트랜지스터(D-TFT)가 정의된다. 또한, 상기 구동 전극 패턴(170)을 통해 상기 스토리지 전극(110)에 전압 신호가 인가되어, 제 1 스위칭 박막 트랜지스터(SW1)의 드레인 전극으로 기능하는 스위칭 전극 패턴(160)과의 사이에 스토리지 캐패시터(Cst)가 형성된다. 한편, 상기 구동 전극 패턴(170)은 도 3의 회로도 노드 B에 상당하며, 구동 전극 패턴(170) 자신이 구동 박막 트랜지스터(D-TFT)의 드레인 전극으로 기능하며, 제 2 스위칭 박막 트랜지스터(SW2)와, 구동 박막 트랜지스터(D-TFT) 및 스토리지 캐패시터(Cst)가 모두 접속되어 있다.
- [0056] 이 때, 상기 게이트 라인(GL)과, 상기 게이트 라인(GL)과 중첩 부위에 제 1 스위칭 채널 영역을 가지는 상기 제 1 액티브층(130)과, 상기 제 1 액티브층(130)의 일단과 측면 접속된 상기 스위칭 전극 패턴(160) 및 상기 제 1 액티브층(130)의 타단과 접속된 상기 데이터 라인(DL)에 의해 제 1 스위칭 박막 트랜지스터(SW1)가 정의되고, 상기 구동 게이트 전극(120)과, 상기 구동 게이트 전극(120)과의 중첩 부위에 구동 채널 영역을 갖는 상기 제 2 액티브층(140)과, 상기 제 2 액티브층(140)과 접속된 상기 전류 구동 라인(VDL) 및 상기 구동 전극 패턴(170)에 의해 구동 박막 트랜지스터(D-TFT)가 정의된다.
- [0057] 여기서, 상기 구동 게이트 전극(120)은, 구동 박막 트랜지스터(D-TFT)의 게이트 전극으로 기능함과 함께, 상기 스토리지 전극에 중첩함에 의해 스토리지 캐패시터의 대향 스토리지 전극으로 기능하는 것이다. 또한, 각각 제 1 스위칭 박막 트랜지스터(SW1)의 영역과 구동 박막 트랜지스터(D-TFT)의 영역에 공통적으로 걸쳐 형성되어, 스

토리지 캐패시터(Cst)를 형성하기 위해, 별도의 영역이 요구되지 않고 제 1 스위칭 박막 트랜지스터(SW1)와 구동 박막 트랜지스터(D-TFT)의 형성 부위를 공유하는 것으로, 화소 영역의 회로 집적도를 향상시킬 수 있다.

[0058] 한편, 제 2 액티브층(140)이 센싱 라인(SSL)으로 연장된 부위에는, 제 2 스위칭 박막 트랜지스터(SW2)가 구비되는 것으로, 이는 상기 센싱 라인(SSL)과의 중첩 부위에 제 2 스위칭 채널 영역을 갖는 제 2 액티브층(140)과, 상기 제 2 액티브층과 접속된 상기 기준 전압 라인(RL) 및 상기 구동 전극 패턴(170)으로 이루어진다.

[0059] 또한, 상기 제 1 스위칭 박막 트랜지스터(SW1)와 구동 박막 트랜지스터(D-TFT)가 별도의 전극을 매개하지 않고, 상측에 있는 스위칭 드레인 전극 기능을 하는 스위칭 전극 패턴(160)이 하측의 구동 게이트 전극(120)과 직접 접속하는 것으로, 종래의 평면 상의 이중 접속 구조에서 발생하는 집적물이 떨어지는 점을 해결할 수 있다.

[0060] 한편, 각 스위칭 박막 트랜지스터(SW1)와 제 2 스위칭 박막 트랜지스터(SW2)의 게이트 전극은 각각 게이트 라인(GL)과 센싱 라인(SSL)이 제 1, 제 2 액티브층(130, 140)과 교차하는 부분에서 정의하고 있고, 이들 게이트 라인(GL)과 센싱 라인(SSL)은 제 1, 제 2 액티브층(130, 140) 상측에 위치하여, 탑 게이트 구조를 갖고 있다. 반면, 구동 게이트 전극(120)은 제 1, 제 2 액티브층(130, 140)의 하측에 위치하여, 바텀 게이트 구조를 갖는다. 이 경우, 서로 다른 층에 게이트 전극을 포함하기에, 제 1, 제 2 스위칭 박막 트랜지스터와 구동 박막 트랜지스터간의 중첩 구성이 유리하고, 결과적으로 화소 영역에 고집적도를 갖고 회로를 구성할 수 있으며, 이에 따라 고해상도 대응이 용이하다. 여기서, 상기 게이트 라인(GL) 및 센싱 라인(SSL)은 제 1, 제 2 액티브층의 상측에 위치하며, 상기 데이터 라인(DL), 기준 전압 라인(RL) 및 전류 구동 라인(VDL)은 상기 게이트 라인(GL) 및 센싱 라인(SSL)의 상측에 위치한다.

[0061] 상기 제 1 액티브층(130)은 'ㄱ'자 형상으로, 양단이 각각 스위칭 전극 패턴(160)에 측면 접속되고, 타단이 데이터 라인(DL)에 측면 접속되는 것으로, 측면 접속 부위의 제 1 액티브층(130)의 양단은 각각 고농도 불순물이 도핑된 고농도 불순물 도핑 영역(130c)이다. 진성 영역의 상기 제 1 스위칭 채널 영역(160a)과 상기 고농도 불순물 도핑 영역(130c) 사이에는 오프 전류를 감소시키기 위해 저농도 불순물 영역(130b)을 구비할 수 있다. 상기 저농도 불순물 영역(130b)의 구비는 선택적인 것으로 경우에 따라 생략될 수도 있다.

[0062] 상기 제 2 액티브층(140)은 좌우 반전된 'Z'의 형상을 갖는 것으로, 제 2 액티브층(140)과 중첩하는 부위에 구동 박막 트랜지스터(D-TFT) 및 제 2 스위칭 박막 트랜지스터(SW2)를 갖는다. 그리고, 제 2 액티브층(140)의 양단은 각각 상측의 위치한 전류 구동 라인(VDL) 및 기준 전압 라인(RL)과 접속되며, 구동 게이트 전극(120)으로부터 벗어난 부위에 구동 박막 트랜지스터(D-TFT)와 제 2 스위칭 박막 트랜지스터(SW2)의 전극 패턴으로 공유하는 구동 전극 패턴(170)이 제 2 액티브층(140) 상측에 형성되어 접속된다. 여기서, 상기 구동 전극 패턴(170)은 구동 박막 트랜지스터(D-TFT)와 제 2 스위칭 박막 트랜지스터(SW2)의 공통의 드레인 전극일 수도 있고, 공통의 소오스 전극일 수도 있다. 박막 트랜지스터가 n형인지 또는 p형인지 따라 달라질 수 있으며, 상기 공통의 드레인 전극 또는 공통의 소오스 전극은 유기 발광 다이오드(OLED)의 제 1 전극과 접속되어, 유기 발광 다이오드(OLED)에 구동 전류를 공급한다.

[0063] 상기 구동 게이트 전극(120)으로부터 돌출된 상기 구동 전극 패턴(170)과 구동 전류 라인(VDL)과의 접속부의 상기 제 2 액티브층(140)은 고농도 불순물 영역(140c)을 갖고, 또한, 기준 전압 라인(RL)과의 접속 부위에도 고농도 불순물 영역(140c)을 갖는다. 제 1 액티브층(130)과 마찬가지로, 구동 게이트 전극(120)과의 중첩 부위의 구동 채널 영역과 센싱 라인(SSL)에 교차하는 제 2 스위칭 채널 영역은 진성 영역이며, 진성 영역의 채널 영역들(140a)과 고농도 불순물 영역(140c) 사이에는 오프 전류 감소를 위해 저농도 불순물 영역(140b)을 구비할 수 있다. 또한, 상기 구동 전극 패턴(170)과 상기 제 2 액티브층(140)의 측면 접속은 상기 제 2 액티브층(140)의 고농도 불순물 영역(140c)에서 이루어져 저저항으로 구동 전극 패턴(170)과 제 2 액티브층(140)이 접속될 수 있다.

[0064] 한편, 상기 제 1, 제 2 액티브층(130, 140)의 형상은 도시된 바에 한하지 않으며, 서로 이격한 상태를 유지하여 다른 형상으로 대체 가능하다.

[0065] 또한, 상기 유기 발광 다이오드(OLED)는 제 1 전극(180)과, 발광 영역에 구비된 유기 발광층(190)과 상기 유기 발광층(190) 상에 위치한 제 2 전극(200)을 포함하여 이루어진다. 경우에 따라, 유기 발광층(190)은 그 하측에 정공 주입층, 정공 수송층을 더 구비할 수 있고, 그 상측에 전자 수송층 및 전자 주입층을 더 구비할 수 있다. 이 경우, 정공 주입층, 정공 수송층, 유기 발광층, 전자 수송층 및 전자 주입층은 유기물로 이루어지며, 유기물을 소정의 개구부를 갖는 금속 마스크를 이용하여, 개구부를 통해 기상화 증착시키는 이베포레이션 공정을 거쳐 증착된다.

- [0066] 또한, 유기 발광 다이오드(OLED)는 발광 영역을 정의하기 위해 화소 영역의 경계부에 대응하여, 제 1 전극(180) 상에 뱅크(185)를 구비하는데, 상기 뱅크(185)는 제 1 두께부(1851) 및 제 2 두께부(1852)의 이중 단차를 가질 수 있다. 이러한 이중 단차 구조에서, 제 1 두께부(1851)은 발광 영역을 정의하는 실질적인 기능을 하고, 제 2 두께부(1851)는 유기 발광층(190)을 포함한 유기물을 증착 과정에서, 금속 마스크의 자체 하중에 의해 처짐이 있을 때, 직접적으로 제 1 두께부(1851)에 닿는 것을 방지하여, 제 1 두께부(1851)의 무너짐을 방지한다.
- [0067] 본 발명에서, 상기 유기 발광 다이오드(OLED)가 갖는 발광 영역은 증착 과정에서 발광색간의 혼색을 방지하는 수준에서 최대로 결정할 수 있다. 왜냐하면 본 발명의 유기 발광 다이오드(OLED)는 상부 발광 방식으로, 화소 영역의 회로부와 중첩되더라도, 상층으로 발광이 이루어지기 때문에, 하부의 회로부의 구성 중에 차광 배선, 차광 패턴이 있더라도 이와 무관하게 발광이 이루어질 수 있기 때문이다. 따라서, 상기 발광 영역은 구동 게이트 전극(120)과 스토리지 전극(110)의 중첩 부로 정의되는 스토리지 캐패시터를 완전히 중첩할 수 있으며, 그 외 부분에서도 인접 화소간의 혼색을 방지하는 수준에서, 최대로 확장될 수 있다. 또한, 이 경우, 상부 발광에 유용하도록 제 1 전극(180)은 반사 전극이며, 제 2 전극(200)은 투명 전극일 수 있다.
- [0068] 도 6은 본 발명의 유기 발광 표시 장치의 제조 순서를 나타낸 공정 순서도이다.
- [0069] 이어, 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해, 도 4 내지 도 6을 이용하여 설명하면 다음과 같다.
- [0070] 먼저, 복수개의 화소 영역을 매트릭스 상으로 갖는 기판(100)을 준비한다.
- [0071] 상기 기판(100) 상에 버퍼층(미도시)을 더 구비할 수 있다.
- [0072] 이어, 상기 기판(100) 상에 각 화소 영역에 섬상의 스토리지 전극(110)을 형성한다 (10S).
- [0073] 이어, 상기 스토리지 전극(110) 상에 제 1 층간 절연막(111)을 개재하여, 상기 스토리지 전극(110)과 중첩하는 구동 게이트 전극(120)을 형성한다(20S). 여기서, 상기 구동 게이트 전극(120)은 측부 경사를 약 50° 이하의 수준으로 낮게 한다.
- [0074] 이어, 상기 구동 게이트 전극(120) 상에 제 1 게이트 절연막(121)을 개재하여, 서로 이격하며 각각 상기 구동 게이트 전극(120)과 상기 스토리지 전극(110)과 중첩되며, 제 1 액티브층(130) 및 형상의 제 2 액티브층(140)을 형성한다(30S). 초기의 제 1, 제 2 액티브층(130, 140)은 비정질(amorphous) 상태이며 박막 트랜지스터의 반도체층을 적용시 충분한 이동도를 얻을 수 없기 때문에, 각각 도시된 형상으로 패터닝을 하기 전 또는 후에, 엑시머 레이저를 이용하여 결정화를 진행하여 폴리실리콘화 한다. 이러한 결정화 과정에 제 1, 제 2 액티브층(130, 140)에 열이 인가되는데, 이 과정에서 구동 게이트 전극(120)의 측부를 따라 경사진 부위의 제 1, 제 2 액티브층(130, 140)의 단선을 방지하기 위해 구동 게이트 전극(120)의 측부 경사를 낮은 수준으로 하였다.
- [0075] 이어, 상기 제 1 액티브층(130) 상에 제 2 게이트 절연막(141)을 개재하여, 동일 방향으로 각각 상기 제 1 액티브층(130)과 제 2 액티브층(140)을 교차하는 게이트 라인(GL) 및 센싱 라인(SSL)을 형성한다 (40S).
- [0076] 이어, 상기 게이트 라인(GL)과 제 1 액티브층(130)의 중첩 부위 및 그 주변과, 상기 센싱 라인과 상기 제 2 액티브층(140)의 중첩 부위와 그 주변 및 상기 구동 게이트 전극과 상기 제 2 액티브층(140)의 중첩 부위 및 그 주변을 감광막 패턴으로 마스크하여, 고농도 불순물을 도핑하여 고농도 불순물 영역(130c, 140c)을 형성한다 (50S).
- [0077] 이어, 상기 감광막 패턴을 애싱하여 상기 구동 게이트 전극과 상기 제 2 액티브층(140)의 중첩 부위에만 남겨 노출된 부위에 저농도 불순물 영역(130b, 140b)을 형성한다.
- [0078] 이어, 상기 감광막 패턴을 스트립하여 제거한다.
- [0079] 이어, 상기 게이트 라인(GL) 및 센싱 라인(SSL)을 포함한 제 2 게이트 절연막(141) 상에 제 2 층간 절연막(151)을 형성한다.
- [0080] 이어, 상기 제 1 액티브층(130)의 양단과, 제 2 액티브층(140)의 양단 및 양단 사이의 구동 게이트 전극(120)에 대해 돌출된 부분에 대응하여, 상기 제 2 층간 절연막(151), 제 2 게이트 절연막(141), 제 1 액티브층(130), 제 1 게이트 절연막(121) 및 제 1 층간 절연막(111)을 선택적으로 제거하여, 제 1 내지 제 5 콘택홀(CNT1~CNT5)을 형성한다(60S). 이러한 제거 공정에서, 각각 금속의 표면이 노출되는 수준까지 식각이 이루어진다. 예를 들어, 여기서, 상기 제 1 액티브층(130)의 일단의 영역에서 상기 제 1 액티브층(130)은 관통되며, 그 하층의 상기 구동 게이트 전극(120)의 상부 표면이 노출되어 제 2 콘택홀(CNT2)이 형성된다. 또한, 상기 제 2 액티브층(140)의

양단 사이의 구동 게이트 전극(120)으로부터 돌출된 부위에서, 제 2 액티브층(140)은 관통되며, 그 하층의 스토리지 전극(110)의 상부 표면이 노출되어 제 3 콘택홀(CNT3)이 형성된다. 그리고, 제 1 액티브층(130)의 타단의 영역에서는 상기 제 1 액티브층(130)이 관통되도록 하여 그 하층의 제 1 게이트 절연막(121) 및 제 1 층간 절연막(111)이 식각되어 제 1 콘택홀(CNT1)이 형성되며, 마찬가지로, 제 2 액티브층(140)의 양단의 영역에서는 상기 제 2 액티브층(140)이 관통되도록 하여 그 하층의 제 1 게이트 절연막(121) 및 제 1 층간 절연막(111)이 식각되어 제 4 및 제 5 콘택홀(CNT4, CNT5)이 형성된다.

[0081] 이러한 식각 공정에서는 절연막과 액티브층에 대한 식각률은 유사하고, 금속에 대한 식각률은 상이한 에천트 또는 플라즈마 가스를 이용한다.

[0082] 이어, 상기 제 2 층간 절연막을 금속을 증착하고 이를 식각하여, 각각 상기 게이트 라인(GL)에 교차하는 방향으로, 상기 제 1 액티브층(130)과 일단과 접속된 데이터 라인(DL)과, 상기 제 2 액티브층(140)의 양단에 접속된 전류 구동 라인(VDL) 및 기준 전압 라인(RL)을 형성한다. 또한, 동일 공정에서, 상기 제 1 액티브층(130)의 타단과 접속된 스위칭 전극 패턴(160) 및 상기 구동 게이트 전극(120)으로부터 돌출된 상기 스토리지 전극(110)과 접속된 구동 전극 패턴(170)을 형성한다(70S).

[0083] 여기서, 상기 데이터 라인(DL)은 제 1 콘택홀(CNT1)의 부위에서, 제 1 액티브층(130) 및 그 하층의 절연막들(121, 111)을 관통하여 형성되며, 유사하게 기준 전압 라인(RL) 및 구동 전압 라인(VDL)도 각각 제 4, 제 5 콘택홀(CNT4, CNT5)의 부위에서, 제 2 액티브층(140) 및 그 하층의 절연막들을 관통하여 형성된다. 또한, 상기 스위칭 전극 패턴(160)은 제 2 콘택홀(CNT2) 부위에서 노출된 구동 게이트 전극(120)과 접속되며, 상기 구동 전극 패턴(170)은 상기 제 3 콘택홀(CNT3) 부위에서 노출된 스토리지 전극(110)과 접속된다.

[0084] 이상과 같이, 제 1, 제 2 스위칭 박막 트랜지스터(SW1, SW2) 및 구동 박막 트랜지스터(D-TFT)의 형성을 완료한 후, 상기 데이터 라인(DL), 구동 전류 라인(VDL) 및 기준 전압 라인(RL)과, 스위칭 전극 패턴(160) 및 구동 전극 패턴(170)을 포함한 제 2 층간 절연막(141) 상에 보호막(161)을 전면 형성한 후, 구동 박막 트랜지스터(D-TFT)의 구동 전극 패턴(170)을 노출시키는 제 6 콘택홀(CNT6)을 형성한다(80S).

[0085] 이어, 상기 제 6 콘택홀(CNT6)을 통해 상기 구동 전극 패턴(170)과 접속된 제 1 전극(180)을 형성한다(90S).

[0086] 이어, 상기 제 1 전극(180)과 일부 중첩하며, 발광 영역을 오픈하는 बैं크(185)를 형성한다(100S). 여기서, बैं크(185)는 상기 발광 영역을 정의하는 제 1 두께부(1851)와 상기 제 1 두께부(1851) 상부에 제 1 두께부(1851)보다 작은 폭으로 형성하며, 유기물 증착 공정에서, 금속 마스크가 직접 제 1 두께부(1851)에 접합을 방지하는 스페이서 기능의 제 2 두께부(1852)를 포함하여 이루어질 수 있다.

[0087] 이어, 발광 영역에 대응된 개구부를 갖는 금속 마스크를 통해 유기 발광층(190)을 포함한 유기물을 증착한다.

[0088] 이어, 상기 유기 발광층(190) 상에 제 2 전극(200)을 형성한다.

[0089] 여기서, 제 1 전극(180), 유기 발광층(190) 및 제 2 전극(200)의 적층 구조는 유기 발광 다이오드(OLED)를 이룬다.

[0090] 한편, 상술한 설명에서, 10S~100S는 각각 마스크가 요구되는 것으로, 본 발명의 유기 발광 표시 장치는, 액티브층을 하층에서 가리는 하부 금속 패턴을 생략하는 것이다. 이 경우에도, 구동 전류 특성에 주요하게 작용한 구동 박막 트랜지스터의 부위에서, 바텀 게이트 구조를 적용하여, 구동 게이트 전극을 먼저 형성하고, 액티브층을 후에 형성하여, 구동 박막 트랜지스터의 액티브층이 하부의 외부광에 대해 영향을 받거나 손상되는 점을 방지할 수 있어, 종래 하부 금속 패턴 구비시, 패턴 형성과 전압 인가에 요구되는 2회 이상의 마스크를 줄일 수 있다.

[0091] 또한, 경우에 따라, 상기 제 1, 제 2 액티브층(130, 140)에 고농도 불순물의 도핑과 저농도 불순물의 도핑은, 게이트 라인 형성의 전후로 나누어 진행할 수도 있다.

[0092] 도 3의 회로도에는 상기 유기 발광 다이오드의 제 2 전극(200)이 접지되어 있는 것을 도시하였지만, 이에 한정되지 않고, 소정의 전압을 인가할 수도 있다. 상기 제 2 전극(200)은 별도의 마스크 없이 전면 증착될 수 있는 것으로, 전면 증착 후, 외곽 영역에서 공통적으로 접지하거나 공통의 소정 전압을 인가한다.

[0093] *제 2 실시예*

[0094] 도 7은 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 평면도이며, 도 8a는 도 7의 II~II' 선상의 단면도이다.

- [0095] 도 7 및 도 8a의 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치는, 상술한 제 1 실시예와 비교하여, 구동 박막 트랜지스터의 이동도 특성을 향상시키기 위하여 이중 게이트 전극 구조를 갖는 점을 특징으로 하고 나머지 구성은 동일한 구성을 취한다.
- [0096] 즉, 제 2 액티브층(140) 하측에 제 1 게이트 전극의 구동 게이트 전극과, 상기 제 2 액티브층(140) 상측에, 제 2 게이트 전극으로, 구동 보조 게이트 전극(250)을 갖는다. 이 경우, 상기 구동 보조 게이트 전극(250)은 상기 게이트 라인과 동일층, 즉, 제 2 게이트 절연막(141) 상에 있으며, 상기 제 2 액티브층(140)과 일부 중첩되어 있어, 불순물 도핑 공정에서, 저농도 불순물 영역(LDD)(130b, 140b)을 생략할 경우 감광막 패턴을 정의하기 위한 마스크가 구비될 필요없이, 게이트 라인, 센싱 라인 및 구동 보조 게이트 전극(250)으로 각 채널 영역을 보호한 상태로, 고농도 불순물 영역(130c, 140c) 형성이 가능하다.
- [0097] 이러한 구동 박막 트랜지스터에 대해 이중 게이트 형성으로, 상대적으로 화소 영역에 구비된 박막 트랜지스터 중 구동 박막 트랜지스터의 이동도를 향상시킬 수 있으며, 온 커런트(on current) 특성을 향상시킬 수 있다.
- [0098] 상술한 제 2 실시예에 있어서도 제 1 실시예에서 달성한 스토리지 전극을 구동 게이트 전극과 중첩하여 다른 층에 위치시켜 스토리지 캐패시터를 정의할 수 있어, 화소 영역의 다른 박막 트랜지스터의 배치에 영향을 받지 않아, 회로 집적도를 향상시키며 고해상도를 꾀할 수 있다.
- [0099] 또한, 제 1 스위칭 박막 트랜지스터의 일 전극인 스위칭 전극 패턴(160)이 구동 보조 게이트 전극(250)에 접속되고, 상기 스위칭 전극 패턴(160)이 제 1 액티브층(130)을 관통하여 구동 게이트 전극(120)과 접속시킴에 의해 스위칭 박막 트랜지스터와 구동 박막 트랜지스터간의 연결에 평면적으로 긴 이차 접속을 요하지 않아 고해상도 대응에 용이하다. 여기서, 상기 스위칭 전극 패턴(160)은 저항 감소와 충분한 접속 면적 확보를 위해 구동 보조 게이트 전극(250)의 측면 및 상부 일부에 접속한다.
- [0100] 도 8b 및 도 8c는 제 2 실시예의 변형예를 나타낸 단면도이다.
- [0101] 경우에 따라, 도 8b와 같이, 상기 스위칭 전극 패턴(160)은 구동 보조 게이트 전극(250)의 측면에만 접속할 수도 있고, 도 8c와 같이, 상기 스위칭 전극 패턴(160)을 상기 구동 게이트 전극(120)과 접속하는 공정에서, 구동 게이트 전극(120)을 노출하는 콘택홀 외에 상기 구동 보조 게이트 전극(250)의 일부를 노출시키는 콘택홀을 더 구비하여, 상기 구동 보조 게이트 전극(250)의 상측과 상기 스위칭 전극 패턴(160)과의 전기적 연결을 꾀할 수 있다. 또한, 도 8c의 경우에, 구동 보조 게이트 전극(250)의 일측으로 연장시켜 상기 스위칭 전극 패턴(160)에 측면 접속하고, 콘택홀을 통한 접속이 동시에 이루어질 수 있게 할 수 있다.
- [0102] 이하, 본 발명의 유기 발광 표시 장치의 효과를 살펴본다.
- [0103] 도 9는 구동 박막 트랜지스터의 구조를 탑 게이트 구조로 하였을 때와 바텀 게이트 구조로 하였을 때 V_g - I_d 특성을 나타낸 그래프이다.
- [0104] 도 9와 같이, 트랜스퍼 커브 특성을 살펴보면, 구동 게이트 전극에 인가되는 전압이 상승할 때, 탑 게이트 구조보다 바텀 게이트 구조의 경우, 약간 구동 전류(I_d) 값이 우위의 값을 가짐을 알 수 있다.
- [0105] 도 10은 구동 박막 트랜지스터의 구조를 탑 게이트 구조로 하였을 때와 바텀 게이트 구조로 하였을 때, V_d - I_d 특성을 나타낸 그래프이다.
- [0106] 도 10과 같이, 출력 커브 특성을 살펴보면, 구동 박막 트랜지스터의 게이트 전극이 바텀 게이트형일 때, 게이트 전압을 0V에서, 4V까지 차례로 올렸을 때, 바텀 게이트 구조는 드레인 전극의 전압(V_d) 값에 따라, 구동 전류(I_d)가 거의 새투레이션된 특성을 나타낸 데 비해, 탑 게이트 구조는 비선형적 상승 특성을 나타내고 있음을 알 수 있다. 이는, 출력 특성이 드레인 전극의 전압(V_d)값 변화에 따라, 탑 게이트 구조가 불안정한 상태를 나타내는 것으로, 상대적으로 안정한 바텀 게이트 구조의 우위를 확인할 수 있었다.
- [0107] 즉, 본 발명의 유기 발광 소자는 상술한 고집적화, 고해상도의 이점 외에 특히, 화소 영역에 구비되는 소자 중 구동 전류 특성에 직접적으로 영향을 미치는 구동 박막 트랜지스터의 구성을 바텀 게이트 구조로 하여, 구동 전류가 새투레이션 특성을 갖게 하고, 킥 효과(kink effect)를 안정화시킬 수 있는 이점이 있다.
- [0108] 또한, 게이트 구조의 이원화를 통해 스토리지 캐패시터의 중첩 영역을 확보하여 고해상도를 꾀할 수 있다.
- [0109] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에

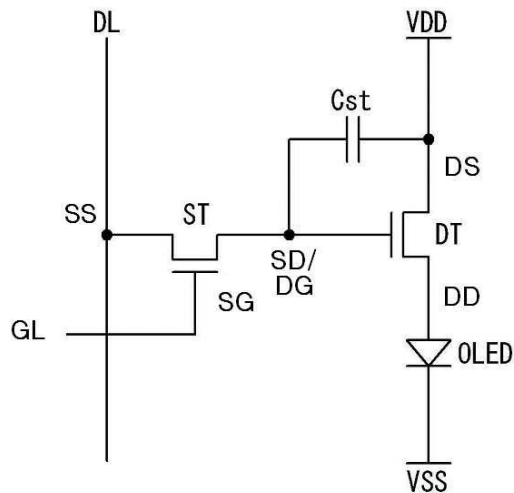
서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

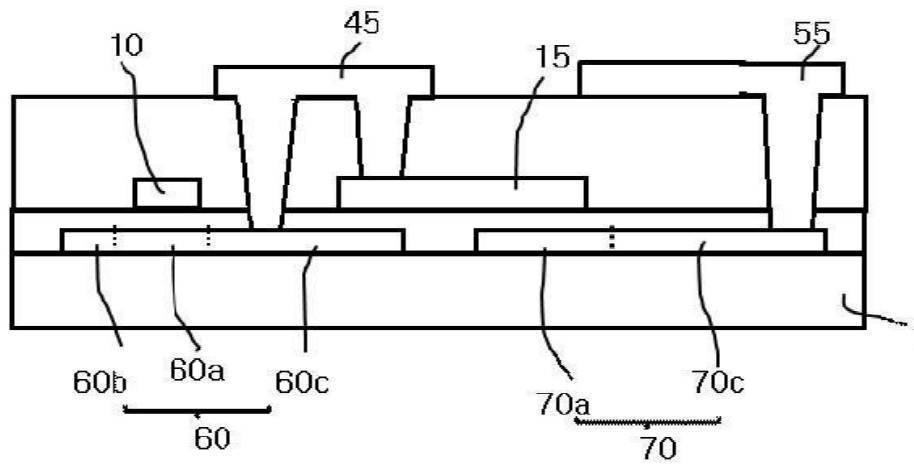
[0110]	100: 기판	110: 버퍼층
	GL: 게이트 라인	121: 구동 게이트 전극
	130: 게이트 절연막	DL: 데이터 라인
	160: 보조 층간 절연막	VDL: 구동 전류 라인
	150: 제 1 액티브층	155: 제 2 액티브층
	170: 층간 절연막	190: 보호막
	170a~170d: 콘택홀	ST: 스위칭 박막 트랜지스터
	SG: 스위칭 게이트 전극	SS: 스위칭 소오스 전극
	SD: 스위칭 드레인 전극	DT: 구동 트랜지스터
	DG: 구동 게이트 전극	DS: 구동 소오스 전극
	DD: 구동 전극 패턴	200: 제 1 전극
	210: 뱅크	220: 유기층
	230: 제 2 전극	190a: 보호막 콘택홀

도면

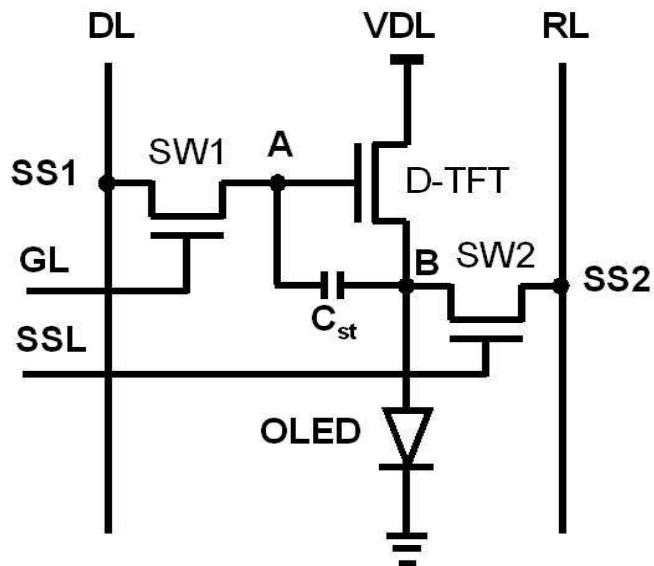
도면1



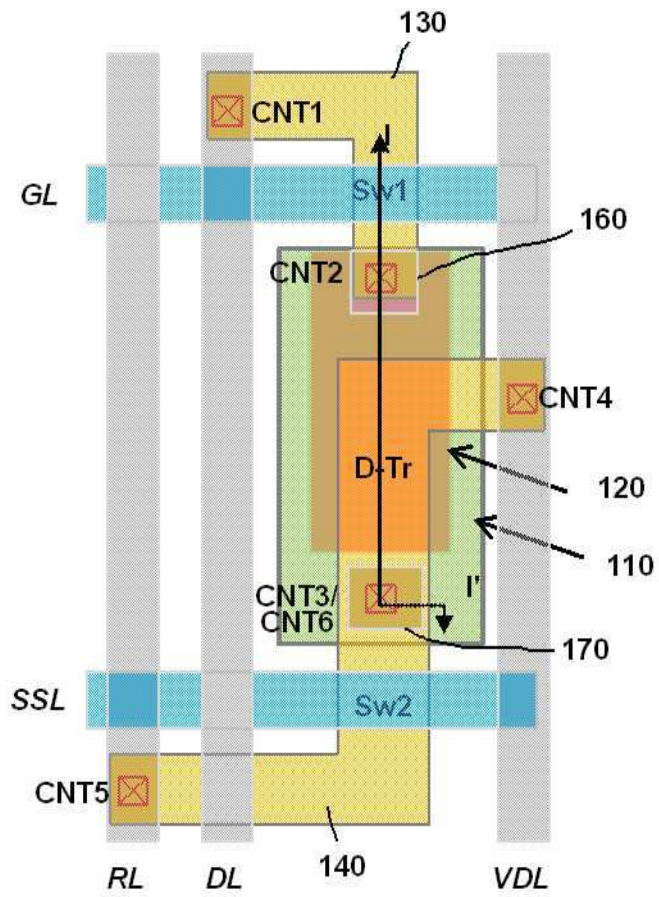
도면2



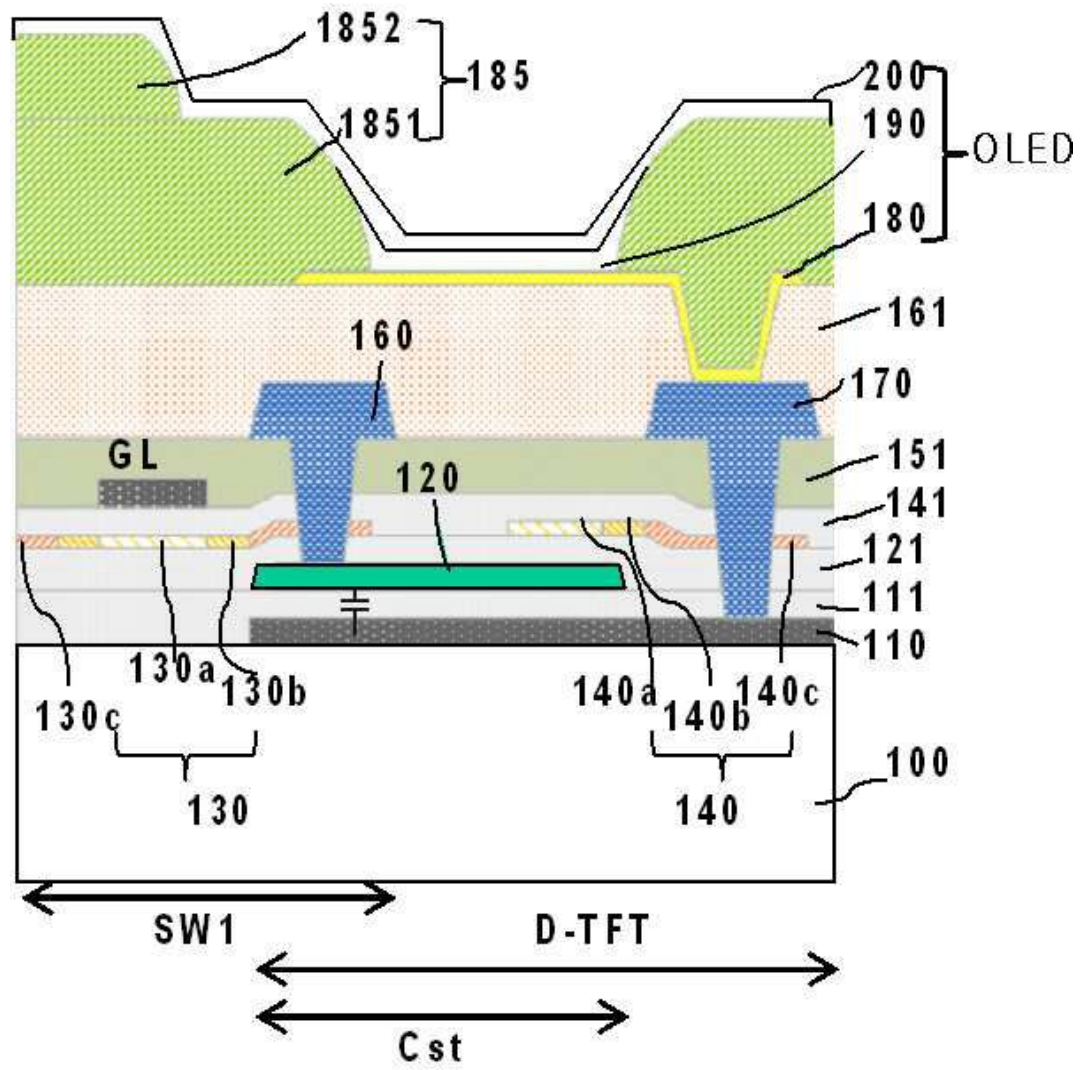
도면3



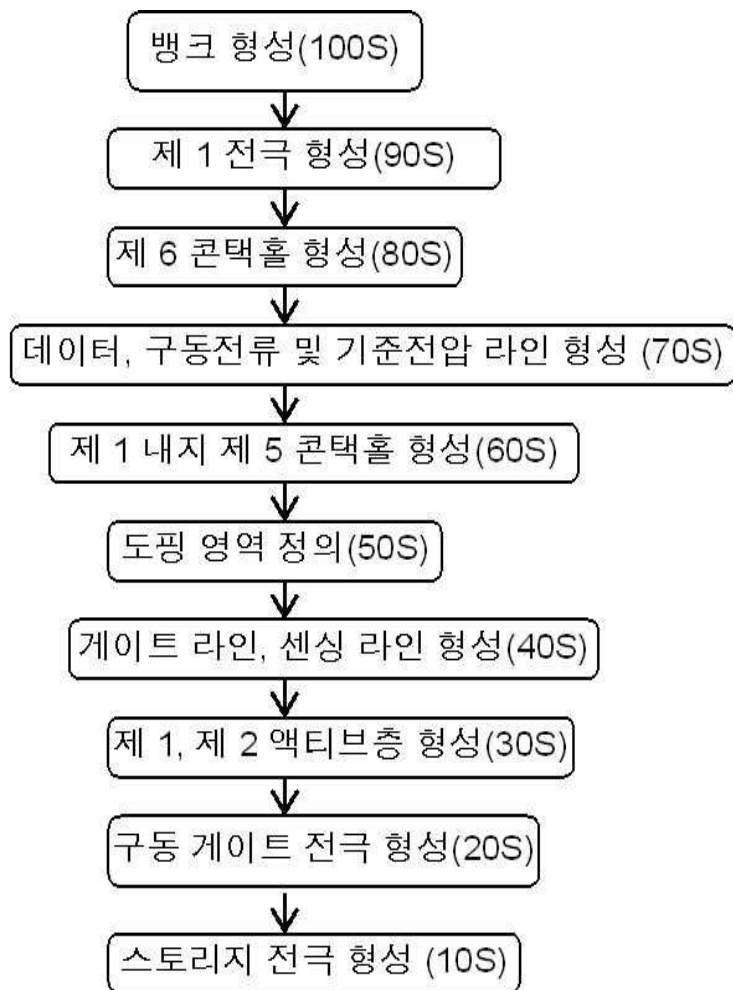
도면4



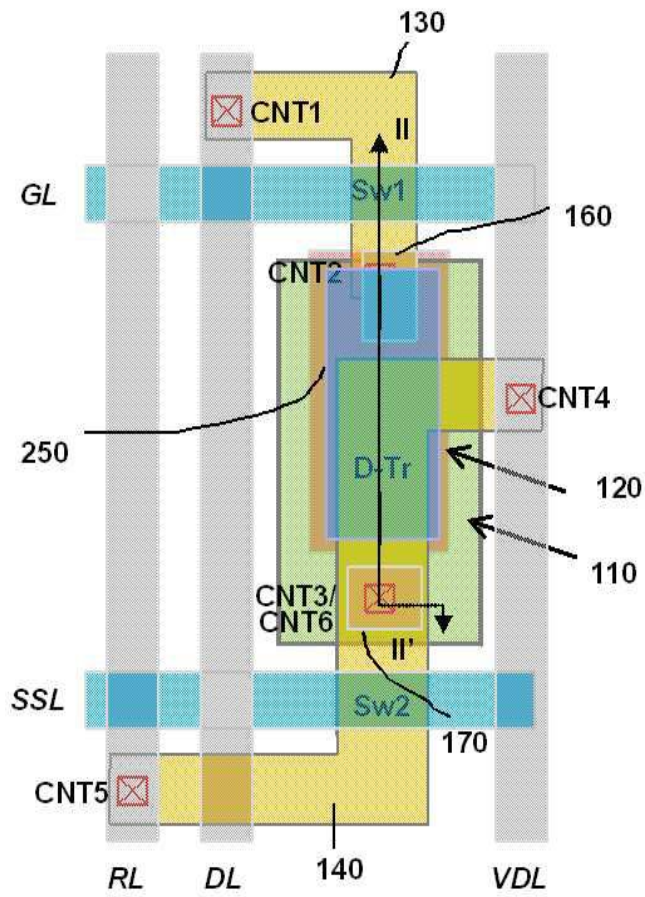
도면5



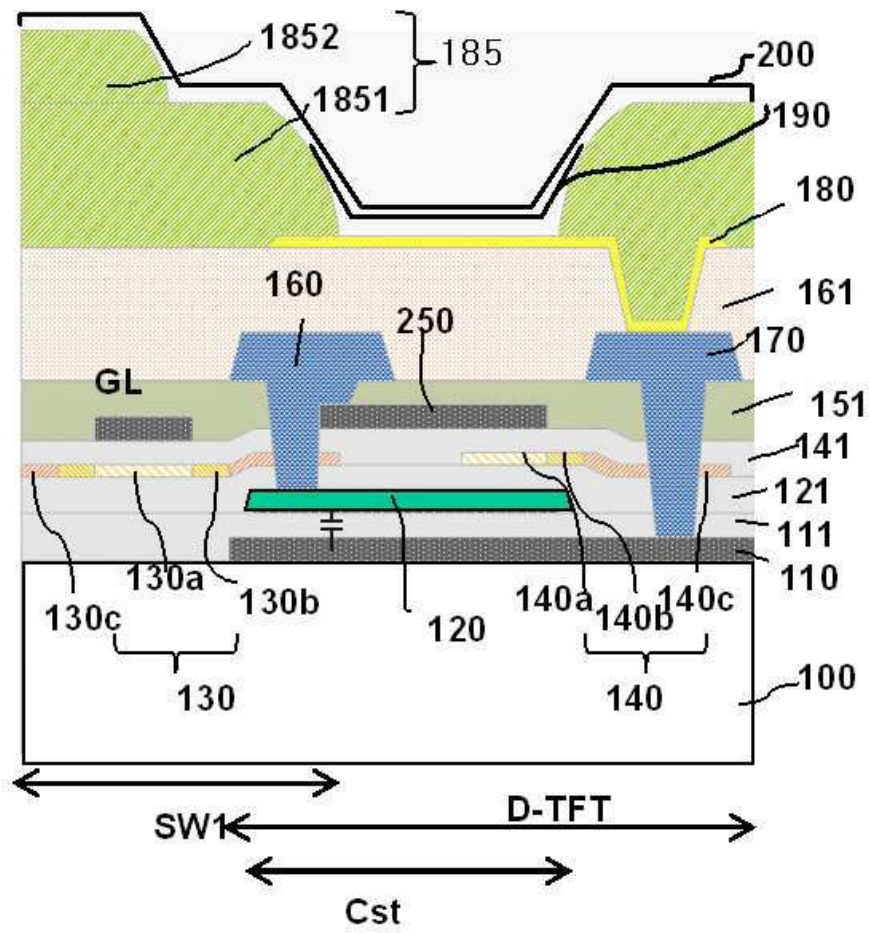
도면6



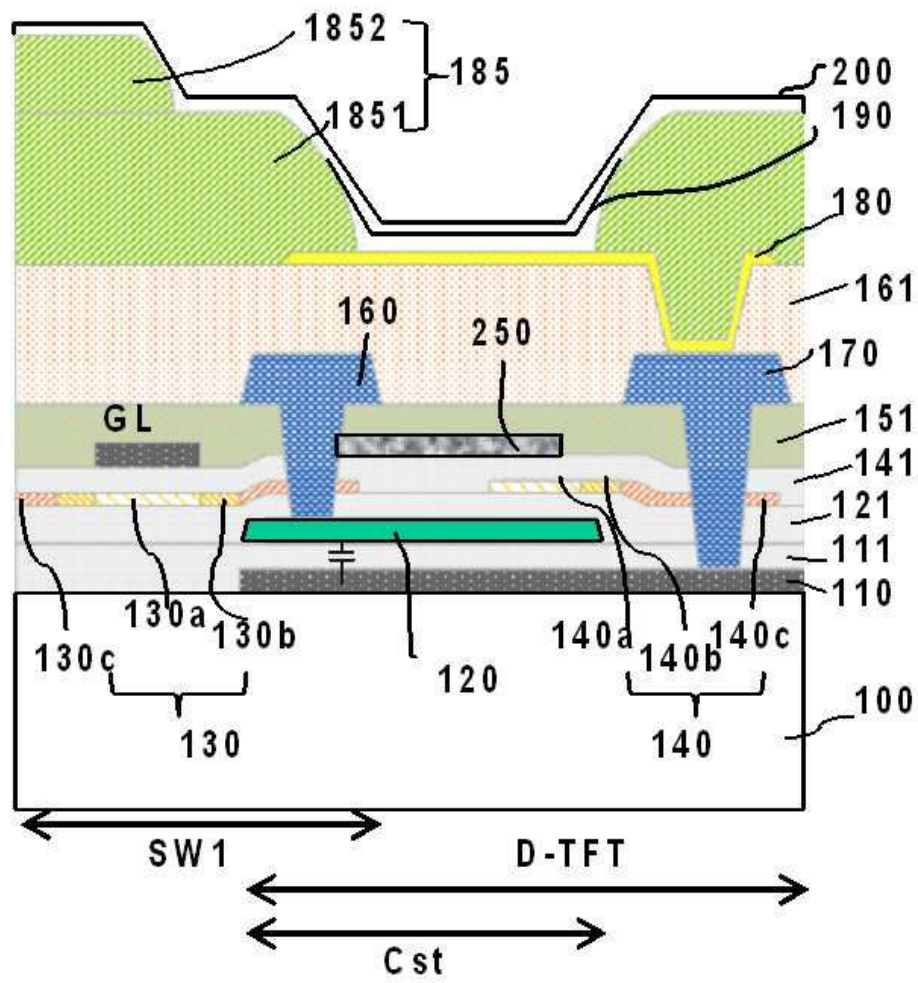
도면7



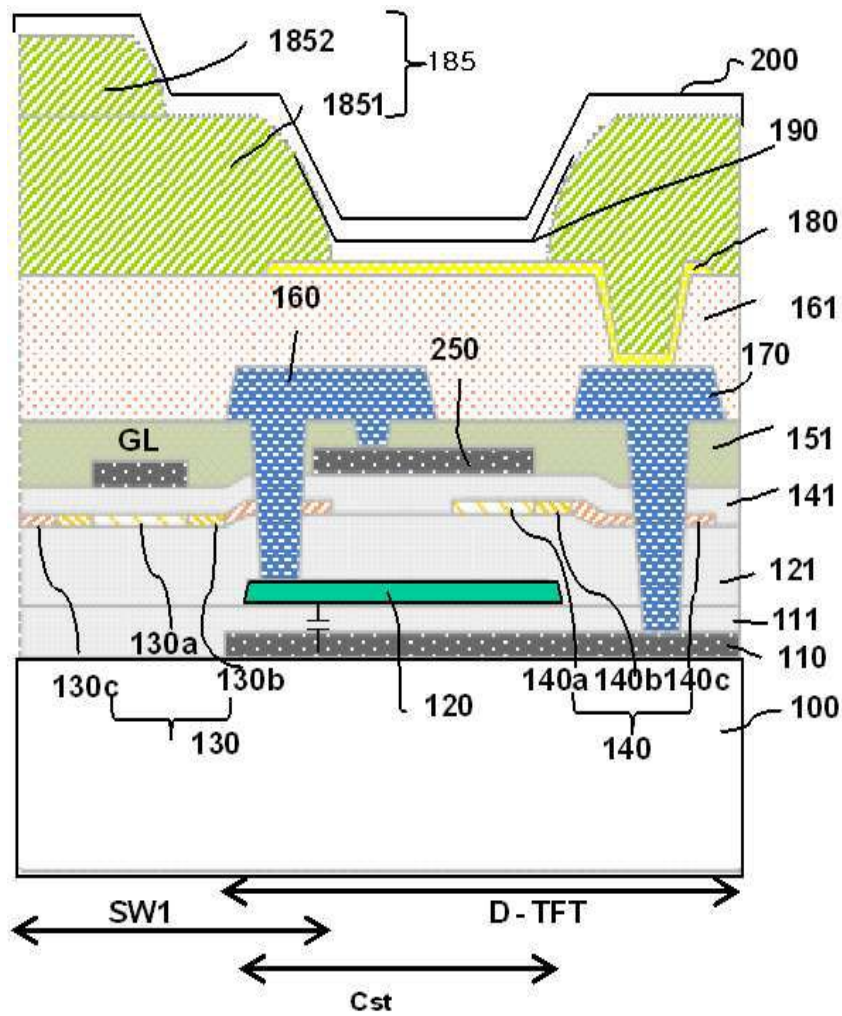
도면8a



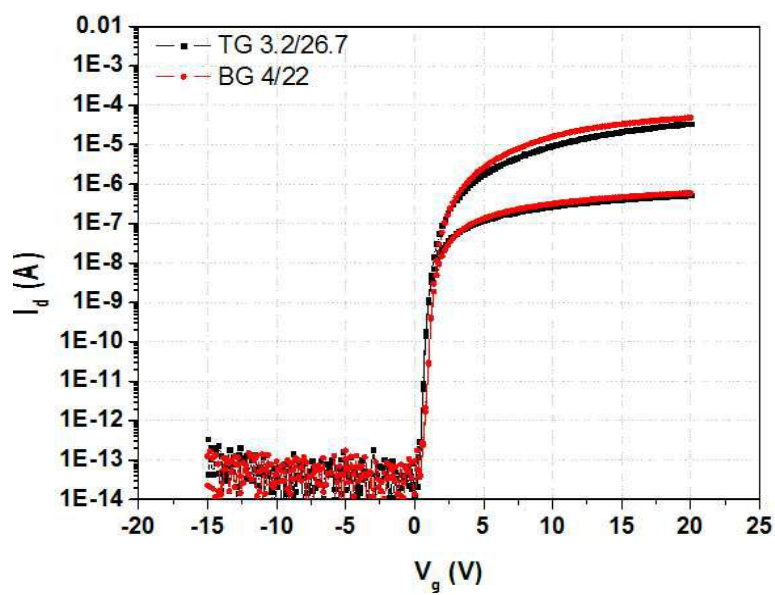
도면8b



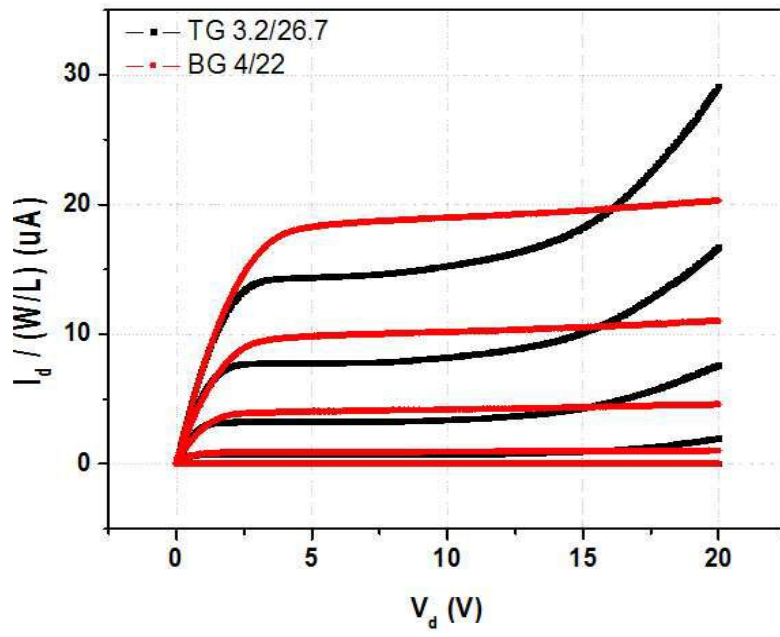
도면8c



도면9



도면10



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020170024718A	公开(公告)日	2017-03-08
申请号	KR1020150120071	申请日	2015-08-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KUM MI 오금미 EOM HYE SEON 엄혜선 YANG SHUN YOUNG 양선영 LEE JEOUNG IN 이정인		
发明人	오금미 엄혜선 양선영 이정인		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3265 H01L27/3248 H01L27/3246 H01L51/56 H01L2227/32 H01L2251/56 G09G3/3233 H01L27/326 H01L27/3276 H01L27/1251 H01L27/1255 H01L2227/323		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示装置及其制造方法技术领域本发明涉及一种有机发光二极管显示装置及其制造方法，其能够设计集成像素并且能够确保顶部发射型的足够容量，以及制造该有机发光二极管显示装置的方法。由感测线，电流驱动线和与数据线平行的参考电压线限定的存储电容器，设置在不同层中的存储电极和驱动栅电极，以及与栅极线交叉的存储电容器，连接到驱动栅电极和数据线的第一有源层和连接到数据线的第二有源层，以及连接到电流驱动线和存储电极的第二有源层，以及与其连接的第二有源层。 Lee Jung In

