



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0103595
(43) 공개일자 2016년09월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2015-0025917
(22) 출원일자 2015년02월24일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박종현
경기도 용인시 기흥구 삼성로 95 (농서동)
허성권
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

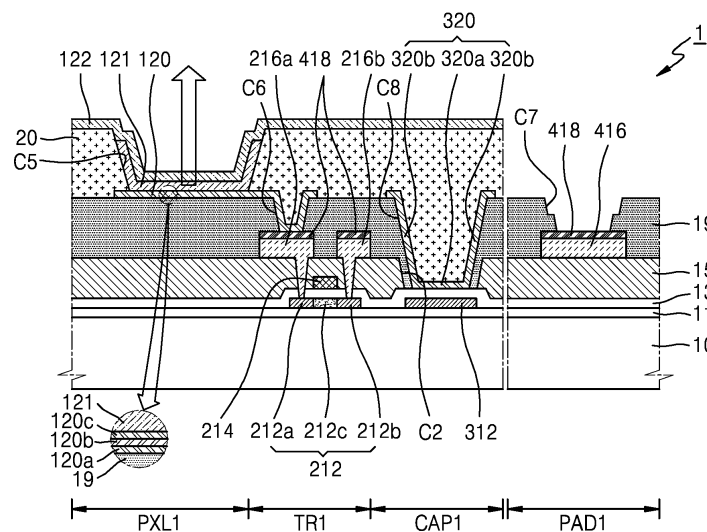
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예는 전면 발광형의 유기 발광 표시 장치에 있어서, 커패시터의 제1전극은 박막 트랜지스터의 활성층과 동일해 형성되고, 커패시터의 제2 전극은 화소 전극과 동일 물질로 형성되고, 커패시터의 제1 전극과 제2 전극 사이에는 유전막으로서 게이트 절연막이 구비되어, 정전용량이 큰 커패시터를 구비한 유기 발광 표시 장치를 제공한다. 이와 같은 유기 발광 표시 장치는 7회의 포토 마스크 공정을 실시하여 제공된다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성된 박막 트랜지스터의 활성층; 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 활성층과 상기 게이트 전극 사이에 형성된 게이트 절연막;

상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 형성된 층간 절연막;

상기 소스 전극 및 드레인 전극 상에 형성된 평탄화막;

상기 평탄화막 상에 형성된 화소 전극;

상기 활성층과 동일층에 형성된 제1 전극, 및 상기 화소 전극과 동일 물질로 형성된 제2 전극을 포함하는 커패시터;

상기 화소 전극의 단부를 덮는 화소 정의막;

상기 화소 전극 상에 형성된 유기 발광층; 및

상기 유기 발광층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 전극은 이온 불순물이 도핑된 반도체를 포함하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제2 전극의 저면은 상기 게이트 절연막에 직접 접촉하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 층간 절연막은 상기 제1 전극 상부에 형성된 제1 개구를 포함하고,

상기 평탄화막은, 상기 제1 개구 내측에 상기 제1 개구보다 작은 폭으로 형성된 제2 개구를 포함하고,

상기 제2 개구에 상기 제2 전극이 형성된 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 평탄화막은 상기 층간 절연막에 형성된 제1 개구의 측면을 덮는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제2 전극의 상면은 상기 화소 정의막에 직접 접촉하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 화소 전극은 반사물질을 포함하고, 상기 대향 전극은 투명 물질을 포함하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 화소 전극은 상기 기판으로부터 제1 투명도전성 산화물층, 반투과 금속층, 제2 투명도전성 산화물층이 순차로 적층된 유기 발광 표시 장치.

청구항 9

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극 상에 보호층이 더 위치하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 보호층은 투명 도전성 산화물을 포함하는 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극과 동일층에 배치된 패드 전극을 더 포함하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 패드 전극 상에 투명 도전성 산화물을 포함하는 보호층이 더 위치하는 유기 발광 표시 장치.

청구항 13

제 11 항에 있어서,

상기 패드 전극의 단부를 덮는 평탄화막의 두께는, 상기 소스 전극 및 드레인 전극을 덮는 평탄화막의 두께보다 얇은 유기 발광 표시 장치.

청구항 14

기판 상에 박막 트랜지스터의 활성층과 커패시터의 제1 전극을 형성하는 제1 마스크 공정;

게이트 절연막을 형성하고, 상기 게이트 절연막 상에 박막 트랜지스터의 게이트 전극과, 상기 제1 전극에 대응되는 영역에 식각 방지층을 형성하는 제2 마스크 공정;

층간 절연막을 형성하고, 상기 제1 층간 절연막에 상기 활성층의 일부를 노출시키는 콘택홀 및 상기 식각 방지층을 노출시키는 제1 개구를 형성하는 제3 마스크 공정;

상기 층간 절연막 상에 상기 박막 트랜지스터의 소스 전극 및 드레인 전극을 형성하고, 상기 식각 방지층을 제거하는 제4 마스크 공정;

평탄화막을 형성하고, 상기 소스 전극 및 드레인 전극 중 하나를 노출시키는 콘택홀, 및 상기 제1 개구 안에 제2 개구를 형성하는 제5 마스크 공정;

상기 평탄화막 상에 화소 전극을 형성하고, 상기 제2 개구에 커패시터의 제2 전극을 형성하는 제6 마스크 공정; 및

상기 화소 전극의 단부 및 상기 제2 전극을 덮는 화소 정의막을 형성하는 제7 마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제2 마스크 공정 후, 상기 제2 마스크 공정의 결과물 상에, 이온 분술문을 도핑하는 공정을 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 제3 마스크 공정에서, 상기 콘택홀 및 상기 제1 개구는 드라이 에칭으로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 제4 마스크 공정 후, 상기 제4 마스크 공정의 결과물 상에, 이온 불순물을 도핑하는 공정을 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 14 항에 있어서,

상기 제4 마스크 공정에서, 상기 소스 전극 및 드레인 전극과 함께 패드 전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 패드 전극의 단부를 덮는 평탄화막의 두께는, 상기 소스 전극 및 드레인 전극을 덮는 평탄화막의 두께보다 얇게 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 14 항에 있어서,

상기 제7 마스크 공정 후에, 상기 화소 전극 상에 유기 발광층을 형성하는 공정; 및

상기 유기 발광층 상에 대향 전극을 형성하는 공정을 더 포함하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light-emitting display apparatus)는 정공 주입 전극과 전자 주입 전극, 그리고 정공 주입 전극과 전자 주입 전극 사이에 형성되어 있는 유기 발광층을 포함하고, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 재결합하고 소멸하면서 빛을 내는 자발광형 표시 장치이다. 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은 유기 발광 표시 장치 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

- [0004] 본 실시예의 일 측면은 기관; 상기 기관 상에 형성된 박막 트랜지스터의 활성층; 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 활성층과 상기 게이트 전극 사이에 형성된 게이트 절연막; 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 형성된 층간 절연막; 상기 소스 전극 및 드레인 전극 상에 형성된 평탄화막; 상기 평탄화막 상에 형성된 화소 전극; 상기 활성층과 동일층에 형성된 제1 전극, 및 상기 화소 전극과 동일 물질로 형성된 제2 전극을 포함하는 커패시터; 상기 화소 전극의 단부를 덮는 화소 정의막; 상기 화소 전극 상에 형성된 유기 발광층; 및 상기 유기 발광층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.
- [0005] 본 실시예는, 상기 제1 전극은 이온 불순물이 도핑된 반도체를 포함할 수 있다.
- [0006] 본 실시예는, 상기 제2 전극의 저면은 상기 게이트 절연막에 직접 접촉할 수 있다.
- [0007] 본 실시예는, 상기 층간 절연막은 상기 제1 전극 상부에 형성된 제1 개구를 포함하고, 상기 평탄화막은, 상기 제1 개구 내측에 상기 제1 개구보다 작은 폭으로 형성된 제2 개구를 포함하고, 상기 제2 개구에 상기 제2 전극이 형성될 수 있다.
- [0008] 본 실시예는, 상기 평탄화막은 상기 층간 절연막에 형성된 제1 개구의 측면을 덮을 수 있다.
- [0009] 본 실시예는, 상기 제2 전극의 상면은 상기 화소 정의막에 직접 접촉할 수 있다.
- [0010] 본 실시예는, 상기 화소 전극은 반사물질을 포함하고, 상기 대향 전극은 투명 물질을 포함할 수 있다.
- [0011] 본 실시예는, 상기 화소 전극은 상기 기관으로부터 제1 투명도전성 산화물층, 반투과 금속층, 제2 투명도전성 산화물층이 순차로 적층될 수 있다.
- [0012] 본 실시예는, 상기 소스 전극 및 드레인 전극 상에 보호층이 더 위치할 수 있다.
- [0013] 본 실시예는, 상기 보호층은 투명 도전성 산화물을 포함할 수 있다.
- [0014] 본 실시예는, 상기 소스 전극 및 드레인 전극과 동일층에 배치된 패드 전극을 더 포함할 수 있다.
- [0015] 본 실시예는, 상기 패드 전극 상에 투명 도전성 산화물을 포함하는 보호층이 더 위치할 수 있다.
- [0016] 본 실시예는, 상기 패드 전극의 단부를 덮는 평탄화막의 두께는, 상기 소스 전극 및 드레인 전극을 덮는 평탄화막의 두께보다 얇을 수 있다.
- [0017] 본 실시예의 다른 측면은 기관 상에 박막 트랜지스터의 활성층과 커패시터의 제1 전극을 형성하는 제1 마스크 공정; 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 박막 트랜지스터의 게이트 전극과, 상기 제1 전극에 대응되는 영역에 식각 방지층을 형성하는 제2 마스크 공정; 층간 절연막을 형성하고, 상기 제1 층간 절연막에 상기 활성층의 일부를 노출시키는 콘택홀 및 상기 식각 방지층을 노출시키는 제1 개구를 형성하는 제3 마스크 공정; 상기 층간 절연막 상에 상기 박막 트랜지스터의 소스 전극 및 드레인 전극을 형성하고, 상기 식각 방지층을 제거하는 제4 마스크 공정; 평탄화막을 형성하고, 상기 소스 전극 및 드레인 전극 중 하나를 노출시키는 콘택홀, 및 상기 제1 개구 안에 제2 개구를 형성하는 제5 마스크 공정; 상기 평탄화막 상에 화소 전극을 형성하고, 상기 제2 개구에 커패시터의 제2 전극을 형성하는 제6 마스크 공정; 및 상기 화소 전극의 단부 및 상기 제2 전극을 덮는 화소 정의막을 형성하는 제7 마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0018] 본 실시예는, 상기 제2 마스크 공정 후, 상기 제2 마스크 공정의 결과물 상에, 이온 분사문을 도핑하는 공정을 더 포함할 수 있다.
- [0019] 본 실시예는, 상기 제3 마스크 공정에서, 상기 콘택홀 및 상기 제1 개구는 드라이 에칭으로 형성할 수 있다.
- [0020] 본 실시예는, 상기 제4 마스크 공정 후, 상기 제4 마스크 공정의 결과물 상에, 이온 불순물을 도핑하는 공정을 더 포함할 수 있다.
- [0021] 본 실시예는, 상기 제4 마스크 공정에서, 상기 소스 전극 및 드레인 전극과 함께 패드 전극을 더 형성할 수 있다.
- [0022] 본 실시예는, 상기 패드 전극의 단부를 덮는 평탄화막의 두께는, 상기 소스 전극 및 드레인 전극을 덮는 평탄화

막의 두께보다 얇게 형성할 수 있다.

- [0023] 본 실시예는, 상기 제7 마스크 공정 후에, 상기 화소 전극 상에 유기 발광층을 형성하는 공정; 및 상기 유기 발광층 상에 대향 전극을 형성하는 공정을 더 포함할 수 있다.
- [0024] 본 실시예는, 상기 화소 전극은 반사물질을 포함하고, 상기 대향 전극은 투명 물질을 포함하도록 형성할 수 있다.
- [0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0026] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 커패시터의 제1 전극 및 제2 전극을 도핑된 활성층 및 화소 전극과 각각 동일한 물질을 사용하고, 유전막으로 게이트 절연막만 사용함으로써, 커패시터의 정전 용량을 높일 수 있다.
- [0027] 또한, 화소 전극을 반투과 금속층을 포함하도록 형성함으로써 마이크로 캐비티(micro-cavity)에 의한 유기 발광 표시 장치의 광 효율을 향상시킬 수 있다.
- [0028] 또한, 7단계의 포토 마스크 공정으로 유기 발광 표시 장치를 제조 할 수 있기 때문에 제조 비용을 절감할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 발광 화소와 패드의 일부를 개략적으로 도시한 단면도이다.
- 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1 마스크 공정을 개략적으로 도시한 단면도이다.
- 도 4a 및 4b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2 마스크 공정을 개략적으로 도시한 단면도이다.
- 도 5는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3 마스크 공정을 개략적으로 도시한 단면도이다.
- 도 6a 및 6b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4 공정을 개략적으로 도시한 단면도이다.
- 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 8은 본 실시예에 따른 유기 발광 표시 장치(1)의 제6 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 9는 본 실시예에 따른 유기 발광 표시 장치(1)의 제7 공정의 결과를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0032] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0033] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0034] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0035] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바

로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

- [0036] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0037] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 평면도이고, 도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1)의 발광 화소와 패드의 일부를 개략적으로 도시한 단면도이다.
- [0038] 도 1을 참조하면, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1)의 기관(10) 상에는 복수의 화소(P)가 포함되어 화상을 표시하는 표시 영역(DA)이 구비된다. 표시 영역(DA)은 밀봉 라인(SL) 내부에 형성되고, 밀봉 라인(SL)을 따라 표시 영역(DA)을 봉지하는 봉지 부재(미도시)가 구비된다.
- [0039] 도 2를 참조하면, 기관(10) 상에 적어도 하나의 유기 발광층(121)이 구비된 픽셀 영역(PXL1), 적어도 하나의 박막 트랜지스터가 구비된 트랜지스터 영역(TR1), 적어도 하나의 커패시터가 구비된 커패시터 영역(CAP1), 및 패드 영역(PAD1)이 구비된다.
- [0040] 트랜지스터 영역(TR1)에는 기관(10) 및 버퍼층(11) 상에 박막 트랜지스터의 활성층(212)이 구비된다.
- [0041] 기관(10)은 유리 기관뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관 등 투명 기관으로 구비될 수 있다.
- [0042] 기관(10)의 상부에 평활한 면을 형성하고 불순 원소가 침투하는 것을 차단하기 위한 버퍼층(11)이 더 구비될 수 있다. 버퍼층(11)은 실리콘질화물 및/또는 실리콘산화물 등으로 단수층 또는 복수층으로 형성될 수 있다.
- [0043] 버퍼층(11) 상의 박막 트랜지스터 영역(TR1)에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다.
- [0044] 활성층(212)은 채널영역(212c)과, 채널영역(212c) 외측에 이온 불순물이 도핑된 소스 영역(212b) 및 드레인 영역(212a)을 포함할 수 있다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘에만 한정되지는 않으며, 산화물 반도체를 포함할 수 있다.
- [0045] 활성층(212) 상에는 게이트 절연막(13)이 구비된다. 게이트 절연막(13)은 실리콘질화물 및/또는 실리콘산화물 등으로 단수층 또는 복수층으로 형성될 수 있다.
- [0046] 게이트 절연막(13) 상에 게이트 전극(214)이 구비된다. 게이트 전극(214)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단수층 또는 복수층으로 형성될 수 있다.
- [0047] 도 2에는 도시되어 있지 않지만, 게이트 전극(214)과 동일층에 게이트 전극(214)과 동일한 재료로 예들 들어, 스캔 라인과 같은 배선 등이 형성될 수 있다.
- [0048] 유기 발광 표시 장치(1)의 화면이 커질수록 배선의 두께를 두껍게 하여야 대화면화에 따른 신호 지연을 방지할 수 있다. 본 실시예에서, 게이트 전극(214)과 배선의 두께는 6,000 내지 12,000 옴스트롱(Å) 범위에서 형성될 수 있다. 게이트 전극(214)과 배선의 두께는 적어도 6,000 옴스트롱(Å) 이상일 때 50인치 이상의 대화면에서 신호 지연 방지 효과를 기대할 수 있다. 한편, 게이트 전극(214)과 배선의 두께를 증착으로 12,000 옴스트롱(Å) 보다 두껍게 형성하는 것은 공정상 어렵다.
- [0049] 게이트 전극(214) 상에는 층간 절연막(15)이 위치한다. 층간 절연막(15)은 실리콘질화막 및/또는 실리콘산화막이 단수층 또는 복수층으로 형성될 수 있다.
- [0050] 층간 절연막(15) 위에 소스 전극(216b) 및 드레인 전극(216a)이 구비된다. 소스 전극(216b) 및 드레인 전극(216a)은 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 및 이들의 합금 가운데 선택된 금속층이 단수층 또는 복수층으로 형성할 수 있다.
- [0051] 소스 전극(216b) 및 드레인 전극(216a) 상에 보호층(418)이 형성된다. 보호층(418)에 의해 화소 전극(120)을 에칭하는 동안 소스 전극(216b) 및 드레인 전극(216a)이 에천트에 노출되는 것을 방지하여, 불량을 방지할 수 있다.

- [0052] 한편, 보호층(418)과 소스 전극(216b), 보호층(418)과 드레인 전극(216a)은 동일한 마스크로 에칭되기 때문에, 보호층(418)과 소스 전극(216b), 보호층(418)과 드레인 전극(216a) 각 단부의 식각면이 일치할 수 있다.
- [0053] 소스 전극(216b) 및 드레인 전극(216a) 상에는, 소스 전극(216b) 및 드레인 전극(216a)을 덮는 평탄화막(19)이 위치한다. 평탄화막(19)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0054] 평탄화막(19) 상에 화소 전극(120)이 구비된다. 화소 전극(120)은 평탄화막(19)에 형성된 콘택홀(C6)을 통하여 소스 전극(216b) 및 드레인 전극(216a) 중 하나와 접촉한다. 도 2는 화소 전극(120)이 드레인 전극(216a)과 콘택된 구조를 도시하고 있으나 본 발명은 이에 한정되지 않는다. 즉, 화소 전극(120)은 소스 전극(216b)과 콘택될 수 있다.
- [0055] 화소 전극(120)은 반사 물질을 포함할 수 있다. 화소 전극(120)은 반투과 금속층(120b)을 포함할 수 있다. 또한, 화소 전극(120)은 반투과 금속층(120b)의 하부에 형성된 제1 투명 도전성 산화물층(120a)과, 반투과 금속층(120b)의 상부에 형성된 제2 투명 도전성 산화물층(120c)을 포함할 수 있다.
- [0056] 반투과 금속층(120b)은 은(Ag) 또는 은 합금으로 형성될 수 있다. 반투과 금속층(120b)은 후술할 투과 전극인 대향 전극(122)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성함으로써 유기 발광 표시 장치(1)의 광 효율을 향상시킬 수 있다.
- [0057] 제1 및 제2 투명 도전성 산화물층(120a, 120c)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 제1 투명 도전성 산화물층(120a)은 평탄화막(19)과 반투과 금속층(120b)의 접착력을 강화하고, 제2 투명 도전성 산화물층(120c)은 반투과 금속층(120b)을 보호하는 배리어층으로 기능할 수 있다.
- [0058] 한편, 반투과 금속층(120b)을 형성하는 은(Ag)과 같이 환원성이 강한 금속은, 화소 전극(120)을 식각하는 공정 중, 은(Ag) 입자를 석출하는 문제가 발생할 수 있다. 이렇게 석출된 은(Ag) 입자는 암점을 발생시키는 파티클성 불량 요인이 될 수 있다. 만약, 은(Ag)을 포함하는 화소 전극(120)을 식각하는 공정에서, 소스 전극(216b)이나 드레인 전극(216a), 패드 전극(416) 또는 기타 배선이 에천트에 노출될 경우, 환원성이 강한 은(Ag) 이온은 이들 금속 재료로부터 전자를 전달받아 은(Ag) 입자로 재석출 될 수 있다. 그러나, 본 실시예에 따른 유기 발광 표시 장치(1)는 소스 전극(216b)이나 드레인 전극(216a), 패드 전극(416)은 보호층(418)으로 보호받고 있기 때문에, 에천트에 노출되지 않는다. 따라서, 은(Ag) 입자의 재석출에 의한 불량을 방지할 수 있다.
- [0059] 화소 전극(120)의 단부는 화소 정의막(20)에 의해 커버된다. 화소 정의막(20)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0060] 화소 정의막(20)에 형성된 개구(C5)에 의해 상면이 노출된 화소 전극(120) 상에는 유기 발광층(121)을 포함하는 중간층(미도시)이 구비된다. 유기 발광층(121)은 저분자 유기물 또는 고분자 유기물일 수 있다.
- [0061] 유기 발광층(121)이 저분자 유기물일 경우, 중간층(미도시)은 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등을 더 포함할 수 있다. 이외에도 필요에 따라 다양한 층들을 더 포함할 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0062] 유기 발광층(121)이 고분자 유기물일 경우, 중간층(미도시)은 홀 수송층(HTL)을 더 포함할 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 또한, 유기 발광층(121)과 화소 전극(120) 및 대향 전극(122) 사이에는 무기 재료가 더 구비될 수도 있다.
- [0063] 도 2에는 유기 발광층(121)이 개구(C8) 안쪽에 위치하는 것으로 도시되어 있으나 이는 설명의 편의를 위한 것이

며 본 발명은 이에 한정되지 않는다. 유기 발광층(121)은 개구(C8)의 안쪽뿐 아니라 화소 정의막(20)에 형성된 개구(C8)의 식각면을 따라 화소 정의막(20)의 상면까지 연장되어 형성될 수 있다.

- [0064] 유기 발광층(121) 상에는 복수의 픽셀에 공통으로 형성된 대향 전극(122)이 구비된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(120)은 애노드로 사용되고, 대향 전극(122)은 캐소드로 사용되었다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0065] 대향 전극(122)은 투명 물질을 포함하는 투과 전극일 수 있다. 이때 상기 대향 전극(122)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함하여, 빛을 투과할 수 있는 적절한 두께로 형성될 수 있다. 유기 발광층(121)에서 방출된 빛은 화소 전극(120)에서 반사되어 투과 전극인 대향 전극(122)을 투과하여 기관(10)의 반대 방향으로 방출된다.
- [0066] 대향 전극(122)은 각 화소마다 별개로 형성되는 것이 아니라, 표시 영역(DA, 도 1) 전체를 하나로 덮는 공통 전극으로 형성될 수 있다.
- [0067] 커패시터 영역(CAP1)에는 활성층(212)과 동일층에 배치된 제1 전극(312)과, 화소 전극(120)과 동일 물질로 형성된 제2 전극(320)을 구비한 커패시터가 배치된다. 제1 전극(314)과 제2 전극(316) 사이에는 유전막으로 게이트 절연막(13)이 배치된다.
- [0068] 제1 전극(314)은 활성층(212)과 동일한 물질로 형성될 수 있다. 구체적으로 제1 전극(312)은 이온 불순물이 도핑된 반도체를 포함할 수 있다. 이온 불순물은 박막 트랜지스터의 소스 영역(216b) 및 드레인 영역(212a)에 포함된 이온 불순물과 동일할 수 있다.
- [0069] 제1 전극(312) 상에 게이트 절연막(13)이 위치한다. 게이트 절연막(13)상에 커패시터의 제2 전극(320)이 직접 접촉하여 위치한다.
- [0070] 박막 트랜지스터의 활성층(212)과 게이트 전극(214) 사이에 형성된 게이트 절연막(13)은 커패시터 영역(CAP1) 영역으로 연장되어 제1 전극(312)과 제2 전극(320) 사이에 형성된다. 따라서, 게이트 절연막(13)은 커패시터의 유전막으로 기능한다.
- [0071] 박막 트랜지스터의 게이트 전극(214)과 소스 전극(216b) 및 드레인 전극(216a) 사이에 형성된 층간 절연막(15)은, 커패시터 영역(CAP1)의 제1 전극(312)의 상부에서 제거된다. 층간 절연막(15)이 제거된 영역에 제1 개구(C2)가 형성된다. 따라서, 층간 절연막(15)은 본 실시예에서 커패시터의 유전막으로 기능하지 않는다.
- [0072] 박막 트랜지스터의 소스 전극(216b) 및 드레인 전극(216a)과, 화소 전극(120) 사이에 형성된 평탄화막(19)은, 커패시터 영역(CAP1)의 제1 전극(312)의 상부에서 제거된다. 평탄화막(19)이 제거된 영역에 제2 개구(C8)가 형성된다.
- [0073] 제2 개구(C8)는 제1 개구(C2) 내측으로 형성되고, 제1 개구(C2)의 폭보다 작은 폭으로 형성된다. 즉, 평탄화막(19)은 층간 절연막(15)에 형성된 제1 개구(C2)의 측면을 덮도록 형성된다. 제1 전극(312) 상부에서 평탄화막(19)이 제거되기 때문에, 평탄화막(19)은 본 실시예에서 커패시터의 유전막으로 기능하지 않는다.
- [0074] 따라서, 본 실시예의 커패시터는 제1 전극(312)을 도핑된 활성층(312)으로 사용하고, 제2 전극(320)을 화소 전극(120)과 각각 동일한 물질을 사용하고, 게이트 절연막(13)만 유전막으로 사용함으로써, 커패시터의 정전 용량을 높일 수 있다. 커패시터의 정전 용량이 높을 경우, 유기 발광 표시 장치를 구동하기 위한 구동 회로부의 구성이 복잡해짐으로 인하여 요구되는 대용량 커패시터의 요구를 충족시킬 수 있다.
- [0075] 평탄화막(19)에 형성된 제2 개구(C8)에 커패시터의 제2 전극(320)이 형성된다. 제2 전극(320)은 화소 전극(120)과 동일 물질로 형성된다. 후술하겠지만, 제2 전극(320)은 화소 전극(120)과 동일한 포토 마스크 공정에서 형성된다.
- [0076] 유기 절연막으로 형성된 제2 개구(C8)는, 드라이 에칭으로 패터닝 되어, 경사가 급하고 표면 성질이 좋지 않은 제1 개구(C2)의 식각면을 커버하여, 제2 전극(320)이 제2 개구(C8)에 효과적으로 형성되도록 한다.
- [0077] 제2 전극(320)은 제2개구(C8)의 바닥에 위치하는 제1부분(312a)과, 제2 개구(C8)의 측면에 위치하는 제2부분(312b)를 포함한다.
- [0078] 제1부분(312a)의 일면은 게이트 절연막(13)에 직접 접촉하고, 다른 일면은 화소 정의막(20)에 직접 접촉한다. 제2부분(312b)의 일면은 평탄화막(19)에 직접 접촉하고, 다른 일면은 화소 정의막(20)에 직접 접촉한다.

- [0079] 표시 영역(DA)의 외곽에는 외장 드라이버의 접속 단자인 패드 전극(416)이 배치되는 패드 영역(PAD1)이 위치한다.
- [0080] 패드 전극(416)은 층간 절연막(15) 상에 위치하고, 패드 전극(416)의 단부는 평탄화막(19)에 의해 커버된다.
- [0081] 패드 전극(416)은 소스 전극(216b) 및 드레인 전극(216a)과 동일 재료로 형성되고, 패드 전극(416) 상에 보호층(418)이 형성된다. 보호층(418)에 의해 화소 전극(120)을 에칭하는 동안 패드 전극(416)이 에천트에 노출되는 것을 방지하여, 파티클성 불량을 방지할 수 있다. 또한, 보호층(418)은 패드 전극(416)이 수분과 산소에 노출되는 것을 방지하여 패드의 신뢰성 저하를 방지할 수 있다.
- [0082] 보호층(418)과 패드 전극(416)은 동일한 마스크로 에칭되기 때문에, 보호층(418)과 패드 전극(416) 단부의 식각면이 일치할 수 있다.
- [0083] 패드 전극(416)의 단부를 덮는 평탄화막(19)의 두께는 박막 트랜지스터 영역(TR1)에서 소스 전극(126a)과 드레인 전극(126b)을 덮는 평탄화막(19)의 두께, 픽셀 영역(PXL1) 영역에서 층간 절연막(15)과 화소 전극(120) 사이에 위치하는 평탄화막(19)의 두께보다 얇다.
- [0084] 평탄화막(19)은 패드 전극(416)의 단부를 커버함으로써 패드 전극(416) 단부가 열화되는 것을 방지하지만, 평탄화막(19)의 두께가 두꺼울 경우 외장 드라이버의 접속 시 접속 불량을 일으킬 수 있기 때문에, 두께를 얇게 하는 것이 바람직하다.
- [0085] 한편, 도 2에는 도시되어 있지 않으나, 본 실시예에 따른 유기 발광 표시 장치(1)는 픽셀 영역(PXL1), 커패시터 영역(CAP1), 및 박막 트랜지스터 영역(TR1)을 포함하는 표시 영역을 봉지하는 봉지 부재(미도시)를 더 포함할 수 있다. 봉지 부재는 글라스재를 포함하는 기판, 금속 필름, 또는 유기 절연막 및 무기 절연막이 교번하여 배치된 봉지 박막 등으로 형성될 수 있다.
- [0086] 이하, 도 3 내지 9를 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0087] 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1 마스크 공정을 개략적으로 도시한 단면도이다.
- [0088] 도 3을 참조하면, 기판(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11) 상에 반도체층(미도시)을 형성한 후, 반도체층(미도시)을 패터닝하여 박막 트랜지스터의 활성층(212)과 커패시터의 제1 전극(312)을 형성한다.
- [0089] 상기 도면에는 도시되어 있지 않지만, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1 포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)을 패터닝하여, 전술한 활성층(212)이 형성된다. 포토리소그래피에 의한 제1 공정은 제1 포토마스크(미도시)에 노광 장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0090] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 한편, 반도체층(미도시)은 비정질 실리콘 또는 결정질 실리콘에만 한정되지는 않으며, 산화물 반도체를 포함할 수 있다.
- [0091] 도 4a 및 4b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2 마스크 공정을 개략적으로 도시한 단면도이다.
- [0092] 도 4a를 참조하면, 도 3의 제1 공정의 결과물 상에 게이트 절연막(13)을 형성하고, 게이트 절연막(13) 상에 제1 금속층(미도시)을 형성한 후 이를 패터닝한다. 제1 금속층(미도시)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0093] 패터닝 결과, 게이트 절연막(13) 상에 게이트 전극(214)과 식각 방지층(314)이 형성된다. 게이트 전극(214)은 활성층(212)의 채널 영역(212c)에 대응되는 영역에 형성되고, 식각 방지층(314)은 커패시터의 제1 전극(312)에

대응되는 영역에 형성된다.

- [0094] 도 4b를 참조하면, 상기와 같은 구조물 위에 이온 불순물이 1차 도핑 된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑한다.
- [0095] 게이트 전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)은 이온불순물이 도핑된 소스 영역(212b) 및 드레인 영역(212a)과, 그 사이에 채널 영역(212c)을 구비하게 된다.
- [0096] 도 5는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3 마스크 공정을 개략적으로 도시한 단면도이다.
- [0097] 도 4b의 제2 공정의 결과물 상에 층간 절연막(15)을 형성하고, 층간 절연막(15)을 패터닝하여, 활성층(212)의 소스 영역(212b) 및 드레인 영역(212a)을 노출시키는 콘택홀(C3, C4)과, 식각 방지층(314)을 노출시키는 제1 개구(C2)를 형성한다.
- [0098] 층간 절연막(15)을 패터닝하여 콘택홀(C3, C4)과 제1 개구(C2)를 형성하는 공정은 건식 식각(dry etching)으로 형성할 수 있다. 식각 방지층(314)은 제1 전극(312) 상부에 위치하여 본 실시예의 유전막으로 기능하는 게이트 절연막(13)이 식각되는 것을 방지한다.
- [0099] 도 6a 및 6b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4 공정을 개략적으로 도시한 단면도이다.
- [0100] 도 6a를 참조하면, 도 5의 제3 공정의 결과물 상에 제2 금속층(미도시) 및 보호층(418)을 형성하고, 제2 금속층(미도시) 및 보호층(418)을 패터닝하여 소스 전극(216b)과 보호층(418), 드레인 전극(216a)과 보호층(418), 및 패드 전극(416)과 보호층(418)을 동시에 형성한다.
- [0101] 이때, 커패시터 영역(CAP1)의 식각 방지층(314)은, 제2 금속층(미도시) 및 보호층(418)의 패터닝 시, 식각 방지층(314) 위의 제2 금속층(미도시)과 함께 제거된다.
- [0102] 제2 금속층(미도시)은 전자 이동도가 다른 이종의 금속층이 2층 이상 형성된 것일 수 있다. 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 및 이들의 합금 가운데 선택된 금속층이 2층 이상 형성된 것일 수 있다.
- [0103] 보호층(418)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포하는 투명 도전성 산화물로 형성될 수 있다.
- [0104] 도 6b를 참조하면, 상기와 같은 구조물 위에 이온 불순물이 2차 도핑 된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 커패시터의 제1 전극(312)을 타겟으로 하여 도핑한다. 2차 도핑으로, 커패시터의 정전 용량은 증가한다.
- [0105] 한편, 도 6b에는 커패시터의 제1 전극(312)만 도핑되는 것으로 도시되어 있으나, 제1 전극(312)과 동일층에 형성되고, 제1 전극(312)과 연결되는 배선들도 도핑되어 전기 전도도가 증가한다.
- [0106] 도 7은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0107] 도 7을 참조하면, 도 6b의 제4 공정의 결과물 상에 평탄화막(19)을 형성하고, 평탄화막(19)을 패터닝하여, 드레인 전극(216a) 일부를 노출시키는 콘택홀(C6), 패드 전극의 보호층(418) 상부를 노출시키는 콘택홀(C7), 및 제2 개구(C8)를 형성한다.
- [0108] 도 7은 드레인 전극(216a)의 상부에 콘택홀(C6)이 형성된 구조를 개시하고 있으나 본 발명은 이에 한정되지 않는다. 즉 콘택홀(C6)은 소스 전극(216b) 상부에 형성될 수 있다.
- [0109] 제2 개구(C8)는 커패시터의 제1 전극(312)의 상부에 형성된 게이트 절연막(13)의 상면이 노출되고, 층간 절연막

(15)에 형성된 제1 개구(C2)의 측면 식각면을 커버하도록 형성된다.

- [0110] 층간 절연막(15)이 무기 절연막으로 형성되고 건식 식각으로 패터닝 되었기 때문에, 제1 개구(C2)의 측면 식각면은 경사가 급하고, 제1 개구(C2)의 저면 식각면은 표면 성질이 좋지 않다. 그런데, 본 실시예에서, 유기 절연막으로 형성된 평탄화막(19)을 제1 개구(C2) 안에 형성되도록 습식 식각으로 패터닝하였기 때문에, 제2 개구(C8)는 제1 개구(C2)의 측면 식각면을 커버하여 측면 식각면의 경사를 완만하게 하고, 저면 식각면의 성질을 개선한다.
- [0111] 콘택홀(C7)은 패드 전극의 보호층(418) 상부를 노출시키도록 평탄화막(19)에 형성된다. 패드 전극(416)의 단부를 덮는 평탄화막(19)의 두께를 박막 트랜지스터 영역(TR1)에서 소스 전극(126a)과 드레인 전극(126b)을 덮는 평탄화막(19)의 두께, 픽셀 영역(PXL1) 영역에서 층간 절연막(15)과 화소 전극(120) 사이에 위치하는 평탄화막(19)의 두께보다 얇게 형성함으로써, 패드 전극(416)에 외장 드라이버의 접속 시 접속 불량을 줄일 수 있다.
- [0112] 제7 마스크 공정은 하프톤(half-tone) 마스크(미도시)를 이용하여 형성될 수 있다.
- [0113] 도 8은 본 실시예에 따른 유기 발광 표시 장치(1)의 제6 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0114] 도 8을 참조하면, 도 7의 제5 공정의 결과물 상에 반사 물질을 포함하는 층(미도시)을 형성하고, 이를 패터닝하여 화소 전극(120)과 커패시터의 제2 전극(320)을 형성한다.
- [0115] 화소 전극(120)은 제1 투명 도전성 산화물층(120a), 반투과 금속층(120b), 제2 투명 도전성 산화물층(120c)을 포함할 수 있다. 또한, 커패시터의 제2 전극(320)은 화소 전극(120)과 동일한 물질을 포함할 수 있다.
- [0116] 제2 전극(320)은 평탄화막(19)에 형성된 제2 개구(C8)에 형성된다. 제2 전극(320)은 제2개구(C8)의 바닥에 위치하는 제1부분(312a)과, 제2 개구(C8)의 측면에 위치하는 제2부분(312b)를 포함한다.
- [0117] 제1부분(312a)의 일면은 게이트 절연막(13)에 직접 접촉하고, 제2부분(312b)의 일면은 평탄화막(19)에 직접 접촉하도록 형성된다.
- [0118] 커패시터는 제1 전극(312)과 제2 전극(320) 사이에 유전막으로 얇은 게이트 절연막(13) 만이 존재하기 때문에, 커패시터의 정전 용량을 증가시킬 수 있다.
- [0119] 도 9는 본 실시예에 따른 유기 발광 표시 장치(1)의 제7 공정의 결과를 개략적으로 도시한 단면도이다.
- [0120] 도 9를 참조하면, 도 8의 제7 공정의 결과물 상에 화소 정의막(20)을 형성한 후, 화소 전극(120) 상부를 노출시키는 개구(C5)를 형성하는 제7 공정을 실시한다.
- [0121] 커패시터의 제2 전극(320)의 상면은 화소 정의막(20)에 직접 접촉한다.
- [0122] 화소 정의막(20)은 예를 들어, 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함하는 유기 절연막으로 형성될 수 있다.
- [0123] 도 9의 제7 공정의 결과물 상에 유기 발광층(121, 도 2 참조)을 포함하는 중간층(미도시)을 형성하고, 대향 전극(122, 도 2참조)을 형성한다.
- [0124] 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)는, 커패시터의 제1 전극 및 제2 전극을 도핑된 활성층 및 화소 전극과 각각 동일한 물질을 사용하고, 유전막으로 게이트 절연막만 사용함으로써, 커패시터의 정전 용량을 높일 수 있다.
- [0125] 또한, 화소 전극(120)을 반투과 금속층(120b)으로 형성함으로써 마이크로 캐비티(micro-cavity)에 의한 유기 발광 표시 장치(1)의 광 효율을 향상시킬 수 있다.
- [0126] 또한, 7단계의 포토 마스크 공정으로 유기 발광 표시 장치를 제조 할 수 있기 때문에 제조 비용을 절감할 수 있다.
- [0127] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통

상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

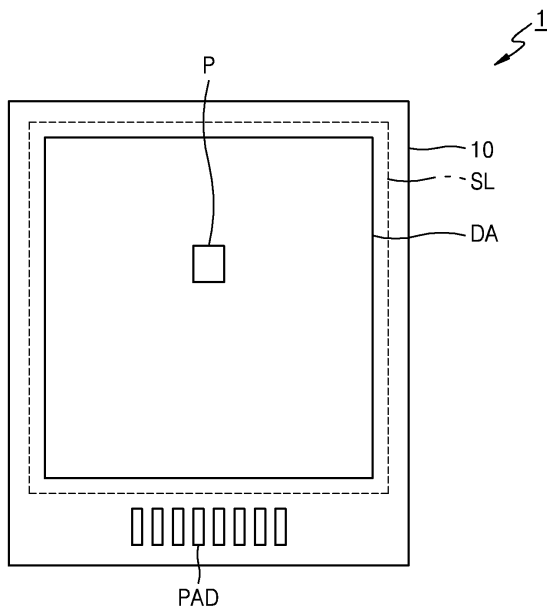
부호의 설명

[0128]

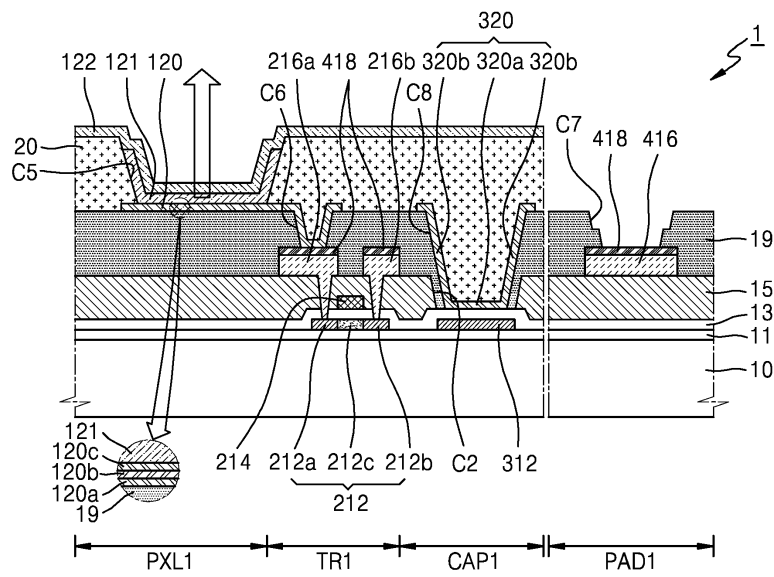
1: 유기 발광 표시 장치
 10: 기판 11: 버퍼층
 13: 게이트 절연막 15: 층간 절연막
 19: 평탄화막 20: 화소 정의막
 120: 화소 전극 121: 유기 발광층
 122: 대향 전극 212: 활성층
 212a: 드레인 영역 212b: 소스 영역
 212c: 채널 영역 214: 게이트 전극
 216a: 드레인 전극 216b: 소스 전극
 312: 커패시터의 제1 전극 314: 식각 방지층
 320: 커패시터의 제2 전극 416: 패드 전극
 418: 보호층 C2: 제1 개구
 C8: 제2 개구

도면

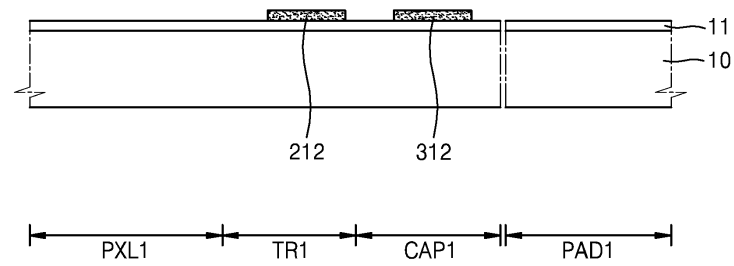
도면1



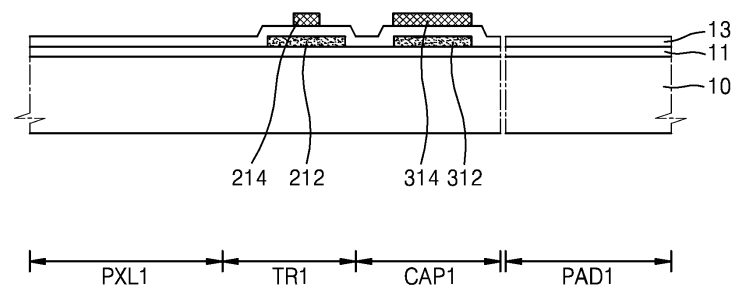
도면2



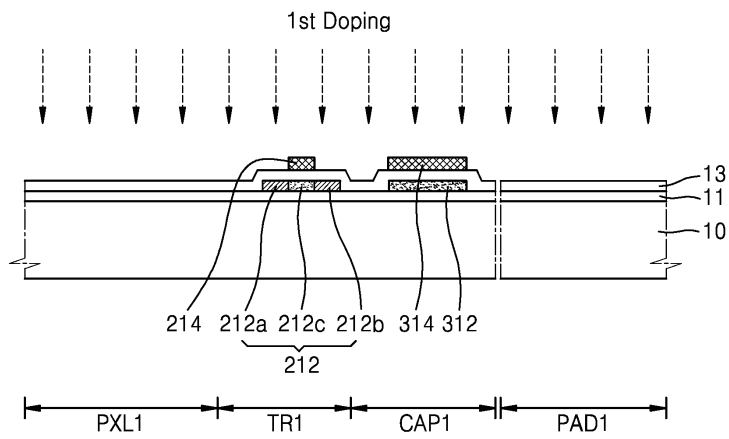
도면3



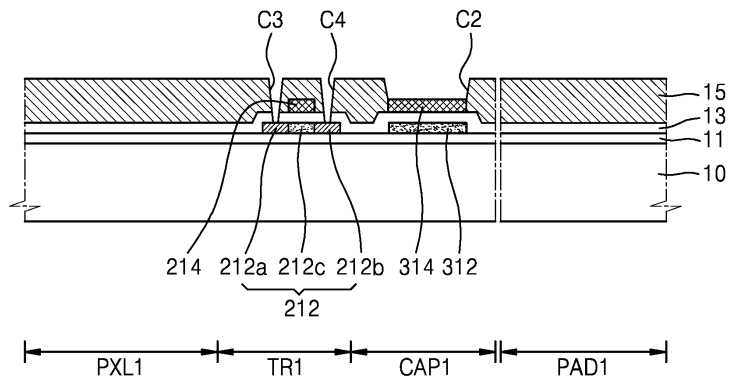
도면4a



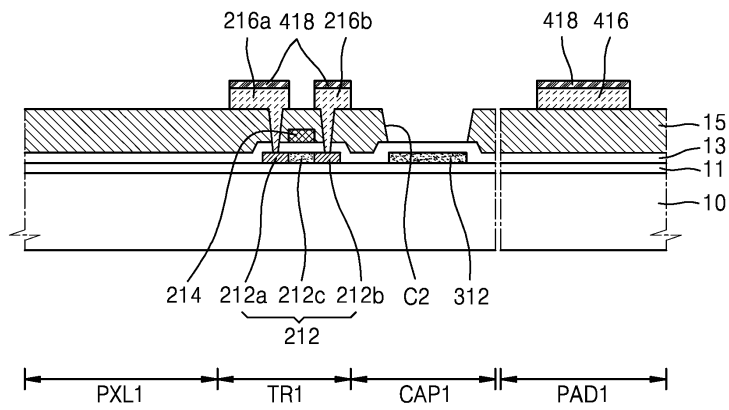
도면4b



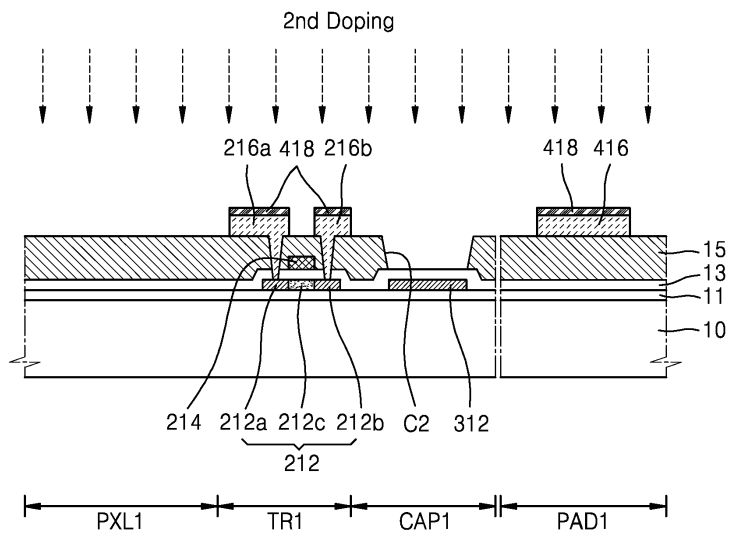
도면5



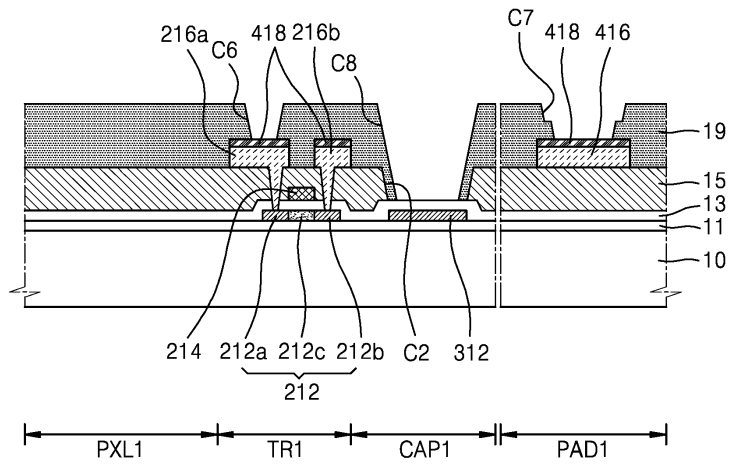
도면6a



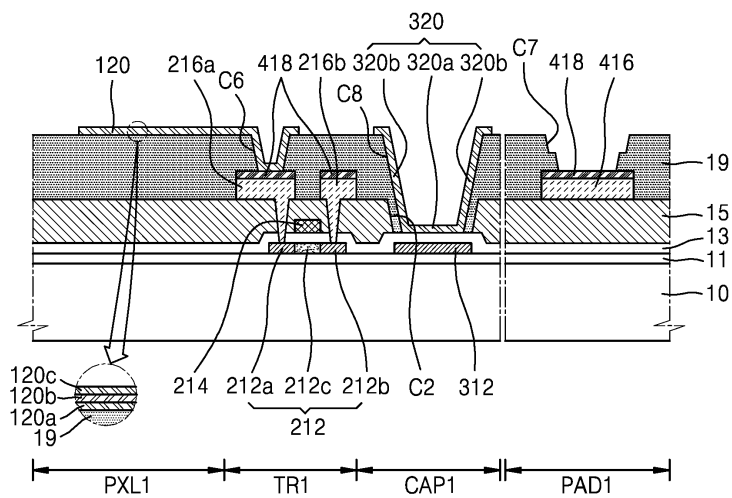
도면6b



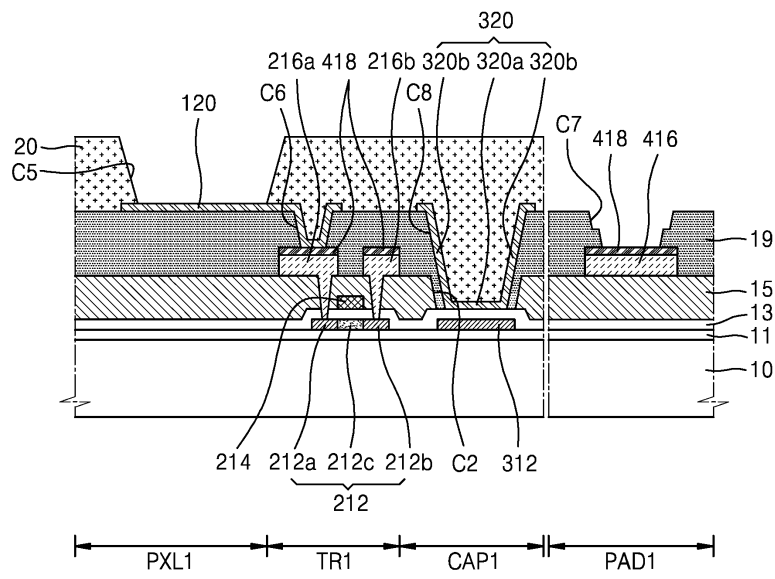
도면7



도면8



도면9



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020160103595A	公开(公告)日	2016-09-02
申请号	KR1020150025917	申请日	2015-02-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JONG HYUN 박종현 HEO SEONG KWEON 허성권		
发明人	박종현 허성권		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3258 H01L27/3246 H01L51/56 H01L2227/32 H01L2251/56 H01L27/3265 H01L27/1248 H01L27/1255 H01L27/1259 H01L27/1288 H01L27/3262 H01L27/3276 H01L51/5218 H01L51/5234 H01L51/5265 H01L2227/323 H01L2251/5315		
外部链接	Espacenet		

摘要(译)

本发明的优选实施例包括电容器的第一电极，关于前发光型的有机发光显示装置是薄膜晶体管的有源层和作为第一电极中的介电层的栅极绝缘层在电容器和第二电极中，电容器的第二电极由与其形成的像素电极相同的材料形成。并且静电电容提供配备有大电容器的有机发光显示装置。这种有机发光显示装置进行7次光掩模处理并提供。

