



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0010760
(43) 공개일자 2016년01월28일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/52 (2006.01)

H01L 51/56 (2006.01)

(21) 출원번호 10-2014-0090714

(22) 출원일자 2014년07월18일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

박상호

경기도 수원시 영통구 영통로290번길 28, 837동

장재혁

경기도 성남시 분당구 미금로 63, 311동 1504호

(뒷면에 계속)

(74) 대리인

박영우

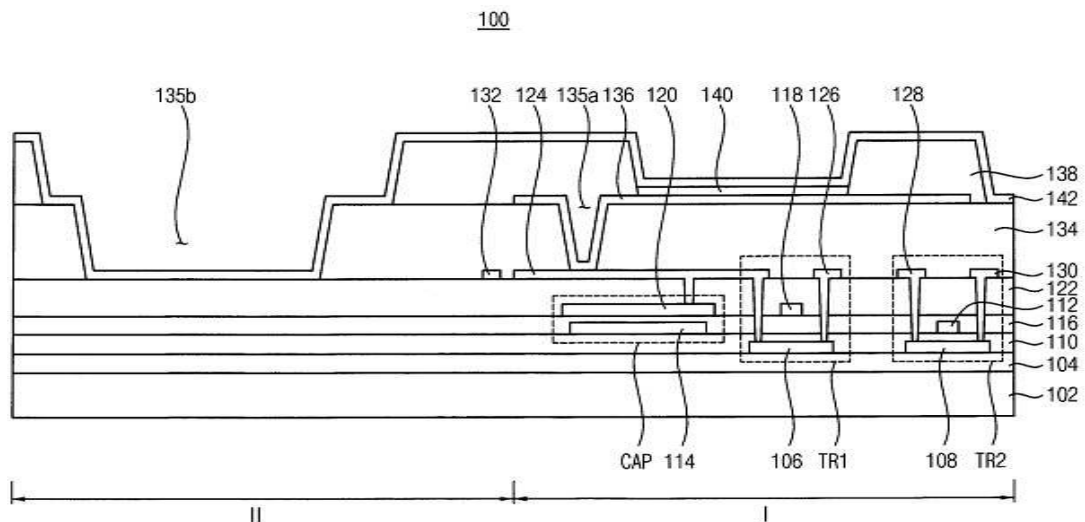
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

유기 발광 표시 장치는 불투명 영역 및 투명 영역을 포함할 수 있다. 상기 유기 발광 표시 장치는 기판, 제1 트랜지스터, 제2 트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있다. 제1 트랜지스터는 불투명 영역의 기판 상에 배치될 수 있다. 제2 트랜지스터는 불투명 영역에서 제1 방향을 따라 제1 트랜지스터에 인접할 수 있다. 커패시터는 불투명 영역에서 제1 방향과 다른 제2 방향을 따라 제1 트랜지스터에 인접할 수 있다. 커패시터는 제1 커패시터 전극, 제1 커패시터 전극 상에 배치되며 실리콘 산질화물을 포함하는 유전체 구조물 및 유전체 구조물 상에 배치되는 제2 커패시터 전극을 포함할 수 있다.

대표도 - 도1



(72) 발명자

김창욱

경기도 용인시 기흥구 새천년로 40, 414동 1303호

윤주선

서울특별시 강남구 도곡로93길 12, 202동 401호

장용재

서울특별시 마포구 상암산로1길 92, 706동 403호

명세서

청구범위

청구항 1

불투명 영역 및 투명 영역을 포함하는 유기 발광 표시 장치에 있어서,
기관;

상기 불투명 영역의 상기 기관 상에 배치되는 제1 트랜지스터;

상기 불투명 영역의 상기 기관 상에 배치되고, 제1 방향을 따라 상기 제1 트랜지스터에 인접하는 제2 트랜지스터; 및

상기 불투명 영역의 상기 기관 상에 배치되고, 상기 제1 방향과 다른 제2 방향을 따라 상기 제1 트랜지스터에 인접하며, 제1 커패시터 전극, 실리콘 산질화물을 포함하는 유전체 구조물 및 제2 커패시터 전극을 구비하는 커패시터를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서, 상기 제1 트랜지스터는,

상기 불투명 영역의 상기 기관 상에 배치되는 제1 액티브 패턴;

상기 제1 액티브 패턴 상에 배치되며, 상기 투명 영역까지 연장되는 제1 게이트 절연막;

상기 제1 게이트 절연막 상에 배치되고, 상기 투명 영역까지 연장되며, 실리콘 산질화물을 포함하는 제2 게이트 절연막;

상기 제2 게이트 절연막 상에 배치되는 제1 게이트 전극;

상기 제1 액티브 패턴에 접속되며, 상기 제2 방향을 따라 연장되는 제1 소스 전극; 및

상기 제1 액티브 패턴에 접속되는 제1 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제2항에 있어서, 상기 제2 게이트 절연막은 질소 함량에 따라 유전율 및 굴절률이 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제2항에 있어서, 상기 제1 커패시터 전극은 상기 제1 게이트 절연막 상부에 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제2항에 있어서, 상기 유전체 구조물은 상기 제2 게이트 절연막의 일부로 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제2항에 있어서, 상기 제2 커패시터 전극은 상기 제2 게이트 절연막 상에 배치되며, 상기 제2 방향을 따라 상기 제1 게이트 전극과 이격되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제2항에 있어서, 상기 제2 커패시터 전극은 상기 제1 소스 전극이 연장되는 부분에 접속되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제2항에 있어서, 상기 제2 트랜지스터는,

상기 불투명 영역의 상기 기판 상에 배치되는 제2 액티브 패턴;

상기 제2 액티브 패턴 상에 배치되며, 상기 투명 영역까지 연장되는 상기 제1 게이트 절연막;

상기 제1 게이트 절연막 상에 배치되는 제2 게이트 전극;

상기 제2 게이트 전극을 덮고, 상기 투명 영역까지 연장되며, 실리콘 산질화물을 포함하는 상기 제2 게이트 절연막; 및

상기 제2 액티브 패턴에 접속되는 제2 소스 전극 및 제2 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제8항에 있어서, 상기 제1 커패시터 전극은 상기 제1 게이트 절연막 상에 배치되며, 상기 제2 방향을 따라 상기 제2 게이트 전극과 이격되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제8항에 있어서,

상기 제2 게이트 전극을 덮으며 실리콘 산화물을 포함하는 층간 절연막; 및

상기 층간 절연막 상에 배치되며 상기 제2 방향을 따라 상기 제1 소스 전극과 이격되는 데이터 라인을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제10항에 있어서, 상기 커패시터 상에 배치되는 추가 커패시터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서, 상기 추가 커패시터는,

상기 제1 게이트 전극과 동일한 레벨에 위치하는 제1 추가 커패시터 전극;

상기 제1 추가 커패시터 전극 상에 배치되고, 상기 층간 절연막의 일부를 포함하는 추가 유전체 구조물; 및

상기 추가 유전체 구조물 상에 배치되며, 상기 데이터 라인의 일부를 포함하는 제2 추가 커패시터 전극을 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제1항에 있어서,

상기 제1 트랜지스터, 상기 제2 박막 트랜지스터 및 상기 커패시터 상에 배치되며, 상기 투명 영역을 노출시키는 개구를 갖는 절연층;

상기 절연층 상에 배치되는 제1 전극;

상기 제1 전극 상에 배치되는 유기 발광 소자; 및

상기 유기 발광 소자 상에 배치되는 제2 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

불투명 영역과 투명 영역을 포함하는 유기 발광 표시 장치의 제조 방법에 있어서,

상기 불투명 영역의 상기 기판 상에 제1 트랜지스터를 형성하는 단계;

상기 불투명 영역의 상기 기판 상에 제1 방향을 따라 상기 제1 트랜지스터에 인접하는 제2 트랜지스터를 형성하는 단계; 및

상기 불투명 영역의 상기 기판 상에 상기 제1 방향과 다른 제2 방향을 따라 상기 제1 트랜지스터에 인접하며, 제1 커패시터 전극, 실리콘 산질화물을 포함하는 유전체 구조물 및 제2 커패시터 전극을 구비하는 커패시터를 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14항에 있어서, 상기 제1 트랜지스터를 형성하는 단계는,

상기 불투명 영역의 상기 기판 상에 제1 액티브 패턴을 형성하는 단계;

상기 제1 액티브 패턴을 덮으며, 상기 투명 영역까지 연장되는 제1 게이트 절연막을 형성하는 단계;

상기 제1 게이트 절연막 상에 상기 투명 영역까지 연장되며, 실리콘 산질화물을 포함하는 제2 게이트 절연막을 형성하는 단계;

상기 제2 게이트 절연막 상에 제1 게이트 전극을 형성하는 단계;

상기 제1 액티브 패턴과 접속되며 상기 제2 방향을 따라 연장되는 제1 소스 전극을 형성하는 단계; 및

상기 제1 액티브 패턴과 접속되는 제1 드레인 전극을 형성하는 단계를 포함하며,

상기 제2 게이트 절연막을 형성하는 단계 및 상기 유전체 구조물을 형성하는 단계는 동시에 수행되고, 상기 제1 게이트 전극을 형성하는 단계 및 상기 제2 커패시터 전극을 형성하는 단계는 동시에 수행되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15항에 있어서, 상기 제2 트랜지스터를 형성하는 단계는,

상기 불투명 영역의 상기 기판 상에 제2 액티브 패턴을 형성하는 단계;

상기 제2 액티브 패턴 상에 상기 투명 영역으로 연장되는 상기 제1 게이트 절연막을 형성하는 단계;

상기 제1 게이트 절연막 상에 제2 게이트 전극을 형성하는 단계;

상기 제2 게이트 전극을 덮고 상기 투명 영역까지 연장되며, 실리콘 산질화물을 포함하는 상기 제2 게이트 절연막을 형성하는 단계;

상기 제2 액티브 패턴과 접속되는 제2 소스 전극을 형성하는 단계; 및

상기 제2 액티브 패턴과 접속되는 제2 드레인 전극을 형성하는 단계를 포함하며,

상기 제2 게이트 전극을 형성하는 단계와 상기 제1 커패시터 전극을 형성하는 단계는 동시에 수행되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제15항에 있어서,

실리콘 산화물을 사용하여 상기 제2 게이트 전극을 덮는 층간 절연막을 형성하는 단계; 및

상기 층간 절연막 상에 상기 제2 방향을 따라 상기 제1 소스 전극과 이격되는 데이터 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에 있어서, 상기 제1 게이트 전극과 동일한 레벨에 위치하는 제1 추가 커패시터 전극, 상기 제1 추가 커패시터 상에 위치하며 상기 층간 절연막의 일부를 포함하는 추가 유전체 구조물, 그리고 상기 추가 유전체 구조물 상에 위치하고 상기 데이터 라인의 일부를 포함하는 제2 추가 커패시터 전극을 구비하는 추가 커패시터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제14항에 있어서, 상기 제1 트랜지스터를 형성하는 단계, 상기 제2 트랜지스터를 형성하는 단계 및 상기 커패시터를 형성하는 단계는 동시에 수행되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제14항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 커패시터 상에 상기 투명 영역을 노출시키는 개구를 포함하는 절연층을 형성하는 단계;

상기 절연층 상에 제1 전극을 형성하는 단계;

상기 제1 전극 상에 유기 발광 소자를 형성하는 단계; 및

상기 유기 발광 소자 상에 제2 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 실리콘 산질화물로 구성되는 유전체 구조물을 구비하는 적어도 하나의 커패시터를 포함하는 유기 발광 표시 장치 및 이러한 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 근래 들어 투명 영역과 불투명 영역을 구비하여, 오프 상태에서는 유기 발광 표시 장치의 반대편에 위치하는 사물 또는 이미지를 투과시켜 투명 모드를 구현할 수 있고, 온 상태에서는 영상을 표시할 수 있는 디스플레이 모드를 구현할 수 있는 투명 유기 발광 표시 장치가 개발되고 있다.

[0003] 그러나, 종래의 투명 유기 발광 표시 장치에 있어서, 트랜지스터들과 커패시터들이 모두 불투명 영역 내에 배치되므로, 투명 영역의 면적을 확보하는데 한계가 있고, 상기 커패시터들의 커패시턴스를 증가시키는데 어려움이 있다. 또한, 최근의 상기 투명 유기 발광 표시 장치의 투과 영역의 면적의 증가 요구에 따라 상기 불투명 영역의 면적이 상대적으로 더욱 감소되는 경우, 상기 투명 유기 발광 표시 장치의 구성 요소들을 위하여 충분한 커패시터의 커패시턴스를 제공하기 어려운 문제점이 발생된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 실리콘 산질화물을 함유하는 유전체 구조를 포함하는 커패시터를 구비하여 충분한 커패시턴스를 확보할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상술한 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

[0006] 본 발명의 목적이 진술한 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 불투명 영역 및 투명 영역을 포함할 수 있다. 상기 유기 발광 표시 장치는, 기판, 상기 불투명 영역의 상기 기판 상에 배치되는 제1 트랜지스터, 상기 불투명 영역의 상기 기판 상에 배치되고, 제1 방향을 따라 상기 제1 트랜지스터에 인접하는 제2 트랜지스터, 그리고 상기 불투명 영역의 상기 기판 상에 배치되고, 상기 제1 방향과 다른 제2 방향을 따라 상기 제1 트랜지스터에 인접하며, 제1 커패시터 전극, 실리콘 산질화물을 포함하는 유전체 구조물 및 제2 커패시터 전극을 구비하는 커패시터를 포함할 수 있다. 상기 유기 발광 표시 장치는, 상기 제1

트랜지스터, 상기 제2 박막 트랜지스터 및 상기 커패시터 상에 배치되며, 상기 투명 영역을 노출시키는 개구를 갖는 절연층, 상기 절연층 상에 배치되는 제1 전극, 상기 제1 전극 상에 배치되는 유기 발광 소자, 그리고 상기 유기 발광 소자 상에 배치되는 제2 전극을 더 포함할 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제1 트랜지스터는, 상기 불투명 영역의 상기 기판 상에 배치되는 제1 액티브 패턴, 상기 제1 액티브 패턴 상에 배치되며 상기 투명 영역까지 연장되는 제1 게이트 절연막, 상기 제1 게이트 절연막 상에 배치되고 상기 투명 영역까지 연장되며 실리콘 산질화물을 포함하는 제2 게이트 절연막, 상기 제2 게이트 절연막 상에 배치되는 제1 게이트 전극, 상기 제1 액티브 패턴에 접속되며, 상기 제2 방향을 따라 연장되는 제1 소스 전극, 그리고 상기 제1 액티브 패턴에 접속되는 제1 드레인 전극을 포함할 수 있다.

[0009] 예시적인 실시예들에 따르면, 상기 제2 게이트 절연막은 질소 함량에 따라 유전율 및 굴절률이 조절될 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 제1 커패시터 전극은 상기 제1 게이트 절연막 상부에 배치될 수 있다. 상기 유전체 구조물은 상기 제2 게이트 절연막의 일부로 구성될 수 있다. 상기 제2 커패시터 전극은 상기 제2 게이트 절연막 상에 배치될 수 있고, 상기 제2 방향을 따라 상기 제1 게이트 전극과 이격될 수 있다. 이 경우, 상기 제2 커패시터 전극은 상기 제1 소스 전극이 연장되는 부분에 접속될 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 제2 트랜지스터는, 상기 불투명 영역의 상기 기판 상에 배치되는 제2 액티브 패턴, 상기 제2 액티브 패턴 상에 배치되며 상기 투명 영역까지 연장되는 상기 제1 게이트 절연막, 상기 제1 게이트 절연막 상에 배치되는 제2 게이트 전극, 상기 제2 게이트 전극을 덮고 상기 투명 영역까지 연장되며 실리콘 산질화물을 포함하는 상기 제2 게이트 절연막, 그리고 상기 제2 액티브 패턴에 접속되는 제2 소스 전극 및 제2 드레인 전극을 포함할 수 있다.

[0012] 예시적인 실시예들에 따르면, 상기 제1 커패시터 전극은 상기 제1 게이트 절연막 상에 배치될 수 있고, 상기 제2 방향을 따라 상기 제2 게이트 전극과 이격될 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 제2 게이트 전극을 덮으며 실리콘 산화물을 포함하는 층간 절연막, 그리고 상기 층간 절연막 상에 배치되며 상기 제2 방향을 따라 상기 제1 소스 전극과 이격되는 데이터 라인을 더 포함할 수 있다.

[0014] 다른 예시적인 실시예들에 따르면, 상기 커패시터 상에 배치되는 추가 커패시터를 더 포함할 수 있다. 상기 추가 커패시터는, 상기 제1 게이트 전극과 동일한 레벨에 위치하는 제1 추가 커패시터 전극, 상기 제1 추가 커패시터 전극 상에 배치되고 상기 층간 절연막의 일부를 포함하는 추가 유전체 구조물, 그리고 상기 추가 유전체 구조물 상에 배치되며 상기 데이터 라인의 일부를 포함하는 제2 추가 커패시터 전극을 구비할 수 있다.

[0015] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 불투명 영역과 투명 영역을 포함하는 유기 발광 표시 장치의 제조 방법에 있어서, 상기 불투명 영역의 상기 기판 상에 제1 트랜지스터를 형성할 수 있다. 상기 불투명 영역의 상기 기판 상에 제1 방향을 따라 상기 제1 트랜지스터에 인접하는 제2 트랜지스터를 형성할 수 있다. 상기 불투명 영역의 상기 기판 상에 상기 제1 방향과 다른 제2 방향을 따라 상기 제1 트랜지스터에 인접하며, 제1 커패시터 전극, 실리콘 산질화물을 포함하는 유전체 구조물 및 제2 커패시터 전극을 구비하는 커패시터를 형성할 수 있다.

[0016] 예시적인 실시예들에 따른 상기 제1 트랜지스터를 형성하는 과정에 있어서, 상기 불투명 영역의 상기 기판 상에 제1 액티브 패턴을 형성할 수 있다. 상기 제1 액티브 패턴을 덮으며, 상기 투명 영역까지 연장되는 제1 게이트 절연막을 형성할 수 있다. 상기 제1 게이트 절연막 상에 상기 투명 영역까지 연장되며, 실리콘 산질화물을 포함하는 제2 게이트 절연막을 형성할 수 있다. 상기 제2 게이트 절연막 상에 제1 게이트 전극을 형성할 수 있다. 상기 제1 액티브 패턴과 접속되며 상기 제2 방향을 따라 연장되는 제1 소스 전극을 형성할 수 있다. 상기 제1 액티브 패턴과 접속되는 제1 드레인 전극을 형성할 수 있다. 상기 제2 게이트 절연막 및 상기 유전체 구조물은 동시에 형성될 수 있다. 또한, 상기 제1 게이트 전극 및 상기 제2 커패시터 전극은 동시에 형성될 수 있다.

[0017] 예시적인 실시예들에 따른 상기 제2 트랜지스터를 형성하는 과정에 있어서, 상기 불투명 영역의 상기 기판 상에 제2 액티브 패턴을 형성할 수 있다. 상기 제2 액티브 패턴 상에 상기 투명 영역으로 연장되는 상기 제1 게이트 절연막을 형성할 수 있다. 상기 제1 게이트 절연막 상에 제2 게이트 전극을 형성할 수 있다. 상기 제2 게이트 전극을 덮고 상기 투명 영역까지 연장되며, 실리콘 산질화물을 포함하는 상기 제2 게이트 절연막을 형성할 수 있다. 상기 제2 액티브 패턴과 접속되는 제2 소스 전극을 형성할 수 있다. 상기 제2 액티브 패턴과 접속되는 제2 드레인 전극을 형성할 수 있다. 상기 제2 게이트 전극과 상기 제1 커패시터 전극은 동시에 형성될 수 있다.

[0018] 예시적인 실시예들에 있어서, 실리콘 산화물을 사용하여 상기 제2 게이트 전극을 덮는 층간 절연막을 형성할 수 있다. 상기 층간 절연막 상에 상기 제2 방향을 따라 상기 제1 소스 전극과 이격되는 데이터 라인을 형성할 수 있다.

[0019] 다른 예시적인 실시예들에 있어서, 상기 제1 게이트 전극과 동일한 레벨에 위치하는 제1 추가 커패시터 전극, 상기 제1 추가 커패시터 상에 위치하며 상기 층간 절연막의 일부를 포함하는 추가 유전체 구조물, 그리고 상기 추가 유전체 구조물 상에 위치하고 상기 데이터 라인의 일부를 포함하는 제2 추가 커패시터 전극을 구비하는 추가 커패시터를 형성할 수 있다.

[0020] 예시적인 실시예들에 있어서, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 커패시터는 실질적으로 동시에 형성될 수 있다.

[0021] 예시적인 실시예들에 있어서, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 커패시터 상에 상기 투명 영역을 노출시키는 개구를 포함하는 절연층을 형성할 수 있다. 상기 절연층 상에 제1 전극을 형성할 수 있으며, 상기 제1 전극 상에 유기 발광 소자를 형성할 수 있다. 상기 유기 발광 소자 상에 제2 전극을 형성할 수 있다.

발명의 효과

[0022] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 기관, 제1 트랜지스터, 제2 트랜지스터, 적어도 하나의 커패시터 등을 포함할 수 있다. 상기 커패시터의 유전체 구조물은 실리콘 산질화물로 구성될 수 있고, 상기 유전체 구조물의 유전율 및 굴절률은 실리콘 산질화물에 함유된 질소 함량에 따라서 제어될 수 있기 때문에, 상기 커패시터가 적절한 커패시턴스를 가질 수 있다. 또한, 상기 유전체 구조물이 불투명 영역으로부터 투명 영역까지 연장되더라도, 인접하는 층 간의 굴절률 차이를 최소화시킬 수 있기 때문에, 상기 투명 영역의 투과율이 실질적으로 저하되지 않는다. 더욱이, 상기 커패시터 상에 추가적인 커패시터를 구현하여 복수의 커패시터들을 수직적으로 배치할 수 있으므로, 커패시터들이 수평적으로 배치되는 경우에 비해, 상기 커패시터들이 차지하는 면적을 감소시킬 수 있다. 상기 투명 영역의 면적을 증가시키면서, 커패시터들의 용량을 극대화시킬 수 있다.

[0023] 다만, 본 발명의 효과들이 상술한 바에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 2는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 3 내지 도 10은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치들 및 유기 발광 표시 장치의 제조 방법들을 상세하게 설명한다.

[0026] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

[0027] 도 1을 참조하면, 유기 발광 표시 장치(100)는, 기관(102), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 커패시터(CAP), 유기 발광 소자 등을 포함할 수 있다. 유기 발광 표시 장치(100)는 불투명 영역(I) 및 투명 영역(II)을 포함할 수 있다. 불투명 영역(I)에서는 유기 발광 표시 장치(100)가 온(ON) 상태일 때에 영상이 표시될 수 있으며, 투명 영역(II)에서는 유기 발광 표시 장치(100)가 오프(OFF) 상태일 때에 유기 발광 표시 장치(100)를 통해 대상의 이미지가 투과될 수 있다.

[0028] 도 1에 예시한 바와 같이, 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 커패시터(CAP) 및 상기 유기 발광 소자는 불투명 영역(I)의 기관(102) 상에 배치될 수 있다. 제2 트랜지스터(TR2)는 제1 방향을 따라 제1 트랜지스터(TR1)에 인접하여 위치할 수 있으며, 커패시터(CAP)는 상기 제1 방향과 다른 제2 방향으로 제1 트랜지스터(TR1)에 인접하여 배치될 수 있다. 예를 들면, 상기 제2 방향은 상기 제1 방향에 실질적으로 직교할 수 있다.

[0029] 기관(102)은 투명 절연 기관을 포함할 수 있다. 예를 들면, 기관(102)은 투명 수지 기관, 유리 기관, 석영 기관 등으로 이루어질 수 있다. 기관(102) 상에는 버퍼층(104)이 배치될 수 있다. 도 1에 예시한 바와 같이, 버퍼층

(104)은 불투명 영역(I)으로부터 투명 영역(II)까지 연장될 수 있다. 버퍼층(104)은 기관(102)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있고, 기관(102)의 평탄도를 향상시킬 수 있다. 예를 들면, 버퍼층(104)은 실리콘 산화물과 같은 실리콘 화합물로 구성될 수 있다. 버퍼층(104)이 실리콘 산화물로 이루어질 경우, 외부로부터 유기 발광 표시 장치(100)의 투명 영역(II)으로 입사되는 광이 버퍼층(104)을 통과할 수 있다. 선택적으로는, 기관(102)의 구성 물질, 표면 상태 등에 따라 버퍼층(104)이 생략될 수 있다.

[0030] 제1 트랜지스터(TR1)는 불투명 영역(I)에서 버퍼층(104) 상에 배치될 수 있다. 전술한 바와 같이, 기관(102) 상에 버퍼층(104)이 위치하지 않을 경우, 제1 트랜지스터(TR1)는 기관(102) 상에 직접 배치될 수 있다. 제1 트랜지스터(TR1)는 제1 액티브 패턴(106), 제1 게이트 절연막(110), 제2 게이트 절연막(116), 제1 게이트 전극(118), 제1 소스 전극(124) 그리고 제1 드레인 전극(126)을 포함할 수 있다. 예를 들면, 제1 트랜지스터(TR1)는 유기 발광 표시 장치(100)의 구동 트랜지스터로 기능할 수 있다.

[0031] 제2 트랜지스터(TR2)는 상기 제1 박막 트랜지스터(TR1)에 인접하여 버퍼층(104) 상에 위치할 수 있다. 제2 트랜지스터(TR2)는 제2 액티브 패턴(108), 제1 게이트 절연막(110), 제2 게이트 전극(112), 제2 소스 전극(128) 그리고 제2 드레인 전극(130)을 포함할 수 있다. 예를 들면, 제2 트랜지스터(TR2)는 유기 발광 표시 장치(100)의 스위칭 트랜지스터로 작용할 수 있다.

[0032] 제1 및 제2 액티브 패턴들(106, 108)은 불투명 영역(I)의 버퍼층(104) 상에 배치될 수 있다. 제2 액티브 패턴(108)은 상기 제1 방향을 따라 제1 액티브 패턴(106)으로부터 소정의 간격으로 이격될 수 있다. 제1 액티브 패턴(106) 및 제2 액티브 패턴(108)은 각기 실리콘을 함유하는 물질 또는 산화물 반도체를 포함할 수 있다.

[0033] 제1 게이트 절연막(110)은 제1 및 제2 액티브 패턴들(106, 180)을 커버하며, 투명 영역(II)까지 연장될 수 있다. 예를 들면, 제1 게이트 절연막(110)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 절연막(110)은 실리콘 산화물로 이루어질 수 있다. 선택적으로는, 제1 게이트 절연막(110)과 버퍼층(104)은 실질적으로 동일한 물질로 구성될 수 있다. 이 경우, 투명 영역(II)에서 제1 게이트 절연막(110)과 버퍼층(104)은 실질적으로 동일한 광 투과율을 가질 수 있다.

[0034] 제2 게이트 전극(112)은 제1 게이트 절연막(110)을 개재하여 제2 액티브 패턴(108)과 중첩되는 부분들 상에 배치될 수 있다. 제2 게이트 전극(112)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등으로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0035] 예시적인 실시예들에 있어서, 제1 커패시터 전극(114)은 제1 게이트 절연막(110) 상에서 제2 게이트 전극(112)과 상기 제2 방향을 따라 소정의 간격으로 이격될 수 있다. 제1 커패시터 전극(114)은 제2 게이트 전극(112)과 실질적으로 동일한 물질을 포함할 수 있다. 선택적으로는, 제1 커패시터 전극(114)은 제2 게이트 전극(112)과 다른 물질을 포함할 수 있다.

[0036] 제2 게이트 절연막(116)은 제2 게이트 전극(112)과 제1 커패시터 전극(114)을 커버할 수 있으며, 투명 영역(II)까지 연장될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 절연막(116)은 실리콘 산질화물로 구성되어 이러한 실리콘 산질화물에 함유된 질소 함량에 따라 유전율 및 굴절률이 각기 조절될 수 있다. 예를 들면, 제2 게이트 절연막(116)을 구성하는 실리콘 산질화물은 질소가 약 25at% 이하로 함유되는 실리콘 산질화물일 수 있다. 이러한 제2 게이트 절연막(116)의 유전율은 약 5 이하일 수 있고, 제2 게이트 절연막(116)의 굴절률은 약 1.7 이하일 수 있다. 또한, 제2 게이트 절연막(116)의 두께는 실리콘 산질화물이 아닌 실리콘 산화물로 구성되는 제2 게이트 절연막의 두께에 비해, 약 1.2배 정도 클 수 있다. 이에 따라, 제2 게이트 절연막(116)이 실리콘 산질화물로 구성되어 투명 영역(II)에 배치되더라도 유기 발광 표시 장치(100)는 광투과율을 실질적으로 저하시키지 않는 선에서 커패시터(CAP)의 커패시턴스를 보다 충분하게 확보할 수 있다.

[0037] 예시적인 실시예들에 따르면, 제2 게이트 절연막(116)이 실리콘 산질화물을 제외한 다른 물질(예를 들면, 실리콘 산화물)로 구성되는 경우에 비해 상대적으로 큰 유전율을 가짐에 따라, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 문턱 전압이 낮아지고, 그에 따라, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 전기적 특성 산포가 개선될 수 있다. 또한, 제2 게이트 절연막(116)의 커패시턴스는 유전율에 비례하므로, 불투명 영역(I) 내에서 제2 게이트 절연막(116)의 일부가 커패시터(CAP)의 상기 유전체 구조물의 역할을 수행하는 경우, 커패시터(CAP)의 커패시턴스를 극대화시킬 수 있다. 더욱이, 인접하는 층 간의 굴절률 차이도 최소화될 수 있기 때문에, 제2 게이트 절연막(116)이 투명 영역(II)까지 연장되더라도, 유기 발광 표시 장치(100)의 투명 영역(II)의 투과율이 실질적으로 저하되는 것을 방지할 수 있다.

[0038] 제1 게이트 전극(118)은 제1 게이트 절연막(110)과 제2 게이트 절연막(116) 중에서 하부에 제1 액티브 패턴

(106)이 위치하는 부분들 상에 배치될 수 있다. 제1 게이트 전극(118)은 제2 게이트 전극(112)과 제1 커패시터 전극(114)과 실질적으로 동일한 물질로 구성될 수 있다. 선택적으로는, 제1 게이트 전극(118), 제2 게이트 전극(112) 및 제1 커패시터 전극(114)은 다른 물질을 포함할 수도 있다.

[0039]

제2 커패시터 전극(120)은 제2 게이트 절연막(116) 상에서 제1 게이트 전극(118)과 상기 제2 방향을 따라 소정의 간격으로 이격될 수 있다. 예시적인 실시예들에 있어서, 제2 커패시터 전극(120)은 상기 제2 방향을 따라 연장되어 투명 영역(II)의 일부까지 연장될 수 있다. 이에 따라, 제2 커패시터 전극(120)은 층간 절연막(122) 및 제2 드레인 전극(132)과 함께 추가 커패시터(즉, 제2의 커패시터(CAP2), 도 2 참조)를 구성할 수 있다. 이에 대해서는 후술한다. 제2 커패시터 전극(120) 및 제1 게이트 전극(118)은 실질적으로 동일한 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다. 예를 들면, 제2 커패시터 전극(120)은 제1 게이트 전극(118)과 다른 물질로 구성될 수 있다.

[0040]

층간 절연막(122)은 제1 게이트 전극(118)과 제2 커패시터 전극(120)을 덮을 수 있으며, 투명 영역(I)까지 연장될 수 있다. 층간 절연막(122)은 제1 소스 전극(124)과 제1 드레인 전극(126)으로부터 제2 게이트 전극(120)을 전기적으로 절연시킬 수 있으며, 제2 소스 전극(128)과 제2 드레인 전극(130)으로부터 제1 게이트 전극(114)을 전기적으로 절연시킬 수 있다. 예시적인 실시예들에 따르면, 층간 절연막(122)은 실리콘 산화물로 구성되어 기 때문에, 실리콘 질화물로 구성된 층간 절연막을 갖는 종래의 유기 발광 표시 장치에 비해, 향상된 광투과율을 가질 수 있고, 층간 절연막(122)은 상술한 버퍼층(104) 및 제1 게이트 절연막(110)과 실질적으로 동일한 물질을 포함하여, 층간 절연막(122), 제1 게이트 절연막(110) 및 버퍼층(104)은 동일한 광투과율을 가짐에 따라, 투명 영역(II) 내에 배치된 층간 절연막(122), 제1 게이트 절연막(110) 및 버퍼층(104)을 통해 외부 광이 효율적으로 투과될 수 있다. 또한, 층간 절연막(122)의 두께는 제2 게이트 절연막(116)의 두께보다 실질적으로 클 수 있다. 예를 들면, 본 발명의 예시적인 실시예들에 따른 층간 절연막(122)은 층간 절연막을 제외한 다른 절연막들이 실리콘 산화물을 포함하는 경우보다 약 1.6배 증가된 두께를 가질 수 있다. 따라서, 제2 게이트 전극(120)과 제1 소스 전극(124) 및 제1 드레인 전극(126) 사이에 각기 발생될 수 있는 커패시팅 현상을 완화시킬 수 있으며, 제2 커패시터 전극(120)과 제1 소스 전극(124) 및 제1 드레인 전극(126) 사이에 각기 발생될 수 있는 커패시팅 현상을 완화시킬 수 있다.

[0041]

또한, 층간 절연막(122)의 일부를 상기 추가 커패시터(즉, 제2의 커패시터(CAP2))의 추가 유전체 구조물로 활용하게 될 경우, 유기 발광 표시 장치(100)가 커패시터(CAP)만을 포함하는 경우에 비해 커패시턴스를 극대화시킬 수 있고, 상술한 바와 같이 층간 절연막(122)은 제2 게이트 절연막(116) 보다 상대적으로 큰 두께를 가지므로, 실리콘 산화물을 구비하는 유전체 구조물을 포함하는 종래의 커패시터에 비해, 커패시터(CAP)의 커패시턴스를 보다 충분하게 확보할 수 있다. 실리콘 산화물로 구성된 층간 절연막(122)의 일부가 추가적으로 배치되는 제2의 커패시터(CAP2)의 추가 유전체 구조물로 활용되는 경우에 대해서는 후술한다.

[0042]

제1 소스 전극(124)과 제1 드레인 전극(126)은 제2 층간 절연막(126) 상에 배치될 수 있으며, 제1 및 제2 층간 절연막들(124, 126) 및 제1 및 제2 게이트 절연막들(112, 118)의 일부들을 관통하여 제2 액티브 패턴(108)에 접속될 수 있다. 예시적인 실시예들에 있어서, 제1 소스 전극(124)은 투명 영역(I)으로 연장되기 때문에, 제1 소스 전극(124)이 투명 영역(I)으로 연장된 부분은 제1 및 제2 층간 절연막들(124, 126)을 관통하여 제2 커패시터 전극(120)에 접속될 수 있다. 제1 소스 전극(124) 및 제1 드레인 전극(126)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투과성을 가지는 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0043]

제2 소스 전극(128) 및 제2 드레인 전극(130)은 제2 층간 절연막(126) 상에 배치될 수 있으며, 제1 및 제2 층간 절연막들(124, 126) 및 제1 및 제2 게이트 절연막들(112, 118)의 일부들을 관통하여 제1 액티브 패턴(106)에 접속될 수 있다. 제2 소스 전극(128) 및 제2 드레인 전극(130)은 각기 제1 소스 전극(124)과 제1 드레인 전극(126)과 실질적으로 동일한 물질을 포함할 수 있다.

[0044]

절연층(134)은 층간 절연막(122) 상에 배치될 수 있으며, 제1 소스 전극(124), 제2 소스 전극(128), 제1 드레인 전극(126) 및 제2 드레인 전극(130)을 커버할 수 있다. 예시적인 실시예들에 있어서, 절연층(134)은 투명 영역(I)의 일부를 노출시키는 개구(135b)를 포함할 수 있다. 이러한 개구(135b)에 의해 투명 영역(I)으로 연장된 층간 절연막(122)의 일부가 노출될 수 있다. 도 1에 예시한 바와 같이, 절연층(134)은 투명 영역(I)으로 연장된 제1 소스 전극(124)을 부분적으로 노출시키는 콘택 홀(135a)을 추가적으로 포함할 수 있다. 예를 들면, 절연층(134)은 유기 물질, 무기 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0045]

제1 전극(136)은 절연층(134) 상에 배치될 수 있으며, 상기 콘택 홀에 의해 투명 영역(I)으로 연장되는 제1 소

스 전극(124)과 접촉될 수 있다. 제1 전극(136)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등으로 이루어질 수 있다.

[0046] 화소 정의막(138)은 제1 전극(136) 상에 배치될 수 있다. 화소 정의막(138)은 제1 전극(136)을 각기 부분적으로 노출시키는 개구를 포함할 수 있다. 예를 들면, 화소 정의막(138)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0047] 유기 발광 소자(140)는 화소 정의막(138)의 상기 개구를 통해 노출되는 제1 전극(136) 상에 배치될 수 있다. 유기 발광 소자(140)는 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들을 사용하여 형성될 수 있다. 선택적으로는, 유기 발광 소자(140)는 적색광, 녹색광, 청색광 등과 같은 상이한 색광들을 방출시킬 수 있는 발광 물질들이 적층되어 백색광을 발광할 수도 있다.

[0048] 제2 전극(142)은 화소 정의막(138)과 유기 발광 소자(140) 상에 배치될 수 있다. 제2 전극(142)은 투명 영역(II)까지 연장되어 절연층(134)의 개구(135b)를 통해 층간 절연막(122)의 일부와 접촉할 수 있다. 예시적인 실시예들에 있어서, 제2 전극(142)은 투명 도전성 물질로 구성될 수 있다. 예를 들면, 제2 전극(142)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다. 따라서, 투명 영역(II) 내에 존재하는 제2 전극(142)은 투명 영역(II)의 투과율을 실질적으로 감소시키지 않는다. 선택적으로는, 제2 전극(142)은 제1 전극(136)과 실질적으로 동일한 물질을 포함할 수 있다.

[0049] 종래의 투명 유기 발광 표시 장치에 있어서, 트랜지스터들과 커패시터들이 모두 불투명 영역 내에 배치되므로, 투명 영역의 면적을 확보하는데 한계가 있고, 상기 커패시터들의 커패시턴스를 증가시키는데 어려운 문제점이 있다. 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 불투명 영역(I)과 투명 영역(II)을 포함하며, 이러한 유기 발광 표시 장치(100)의 불투명 영역(I)에는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2) 및 적어도 하나의 커패시터(CAP)가 배치될 수 있다. 예를 들면, 커패시터(CAP)는 제1 커패시터 전극(114), 제1 커패시터 전극(114) 상에 배치되며 실리콘 산질화물을 포함하는 유전체 구조물(즉, 제2 게이트 절연막(116)의 일부) 및 상기 유전체 구조물 상에 배치되는 제2 커패시터 전극(120)을 포함할 수 있으며, 상기 유전체 구조물은 실리콘 산질화물로 구성되어 상대적으로 큰 유전율을 가지기 때문에, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 문턱 전압이 낮아지고, 그 결과, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 전기적 특성 산포가 개선될 수 있다. 또한, 제2 게이트 절연막(116)의 커패시턴스는 유전율에 비례하며, 실리콘 산질화물에 함유된 질소 함량에 따라서 상기 유전체 구조물의 유전율 및 굴절률을 각기 제어할 수 있기 때문에, 커패시터(CAP)의 커패시턴스를 충분하게 확보할 수 있다. 더욱이, 상기 유전체 구조물이 투명 영역(II)으로 연장되더라도, 인접하는 층 간의 굴절률 차이를 최소화시킬 수 있기 때문에, 유기 발광 표시 장치(100)의 투명 영역(II)의 투과율이 저하되는 것을 방지할 수 있다.

[0050] 도 2는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 2에 예시한 유기 발광 표시 장치(200)는 추가 커패시터인 제2의 커패시터(CAP2)를 제외하면, 도 1을 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 따라서, 도 2에 있어서, 도 1을 참조하여 설명한 구성 요소들과 실질적으로 동일한 구성 요소들에 대해서는 상세한 설명은 생략한다.

[0051] 도 2를 참조하면, 제2의 커패시터(CAP2)는 제1 추가 커패시터 전극(220), 추가 유전체 구조물 및 제2 추가 커패시터 전극을 포함할 수 있다. 여기서, 상기 제2 추가 커패시터 전극은 데이터 라인(232)의 일부를 포함할 수 있다.

[0052] 제1 추가 커패시터 전극(220)은 제2 게이트 절연막(118) 상에 위치할 수 있으며, 제2 방향을 따라 연장되어 투명 영역(II)의 일부까지 배치될 수 있다. 이에 따라, 제1 추가 커패시터 전극(220), 층간 절연막(122)의 일부들 및 데이터 라인(232)의 일부가 제2의 커패시터(CAP2)를 구성할 수 있다. 다시 말하면, 제1 추가 커패시터 전극(220)은 제2의 커패시터(CAP2)의 하부 전극의 역할을 수행할 수 있지만, 도 1을 참조하여 설명한 바와 같이, 커패시터(CAP1)의 상부 전극으로도 기능할 수 있다. 이와 같이, 유기 발광 표시 장치(200)는 제1 커패시터 전극(220)을 서로 공유하여 서로 수직적으로 위치하는 커패시터(CAP1)와 제2의 커패시터(CAP2)를 포함함에 따라, 서로 수평적으로 위치하는 커패시터들에 비해, 커패시터들이 차지하는 면적을 감소시킬 수 있고, 이에 따라 투명 영역(II)의 면적을 증가시킬 수 있다.

[0053] 상술한 바와 같이, 예시적인 실시예들에 따르면, 층간 절연막(222)의 일부는 제2의 커패시터(CAP2)의 추가 유전체 구조물의 역할을 수행할 수 있으며, 실리콘 산화물을 포함할 수 있다. 예를 들면, 본 발명의 예시적인 실시예들에 따른 층간 절연막(222)은 층간 절연막 이외의 다른 절연막들이 실리콘 산화물로 구성되는 경우보다 약

1.6배 증가된 두께를 가질 수 있다. 이와 같이, 층간 절연막(222)의 일부를 상기 추가 커패시터의 추가 유전체 구조물로 활용하게 될 경우, 유기 발광 표시 장치(200)가 하나의 커패시터만을 포함하는 경우에 비해 커패시턴스를 보다 증가시킬 수 있다.

[0054] 또한, 층간 절연막(222)은 상술한 버퍼층(204)과 제1 게이트 절연막(210)과 실질적으로 동일한 물질로 구성되어 제1 게이트 절연막(210) 및 버퍼층(204)와 동일한 광 투과율을 가질 수 있다. 따라서, 투명 영역(Ⅱ) 내에 배치된 층간 절연막(222), 제1 게이트 절연막(210) 및 버퍼층(204)을 통해 외부 광이 효율적으로 투과될 수 있다.

[0055] 상술한 바와 같이, 실리콘 산질화물을 포함하는 층간 절연막(222)은 실리콘 산화물보다 약 1.6배 증가된 두께를 가질 수 있으므로, 제2 게이트 전극(220)과 제1 소스 전극(224) 및 제1 드레인 전극(226) 사이에 각기 발생될 수 있는 정전기 문제를 방지할 수 있으며, 제2 커패시터 전극(220)과 제1 소스 전극(224) 및 제1 드레인 전극(226) 사이에 각기 발생될 수 있는 정전기 문제를 방지하여 유기 발광 표시 장치(200)의 신뢰성을 실질적으로 향상시킬 수 있다. 그 결과, 층간 절연막(222)이 투명 영역(Ⅱ)으로 연장되더라도, 투명 영역(Ⅱ)의 투과율이 저하되는 문제를 방지하면서, 동시에 이러한 층간 절연막(222)의 일부가 제2의 커패시터(CAP2)의 추가 유전체 구조물로 기능하는 경우, 유기 발광 표시 장치(200)에 필요한 커패시터의 용량을 보다 충분히 확보할 수 있다.

[0056] 도 3 내지 도 10은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 3 내지 도 10에 있어서, 도 1을 참조하여 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사한 구성을 가지는 유기 발광 표시 장치의 제조 방법에 대하여 설명하지만, 증착 공정, 식각 공정 등의 자명한 변경들을 통해 도 1 및 도 2에 예시한 유기 발광 표시 장치들(100, 200) 가운데 임의의 하나를 제조할 수 있다.

[0057] 도 3을 참조하면, 기판(102) 상에 버퍼층(104)을 형성할 수 있다. 기판(102)은 투명 절연 기판으로 이루어질 수 있으며, 버퍼층(104)은 실리콘 산화물로 사용하여 형성되기 때문에, 버퍼층(104)이 불투명 영역(Ⅰ)에서 투명 영역(Ⅱ)까지 연장되더라도, 투명 영역(Ⅱ)의 투과율에는 실질적으로 영향을 미치지 않을 수 있다.

[0058] 버퍼층(104) 상에 제1 액티브 패턴(106) 및 제2 액티브 패턴(108)을 형성할 수 있다. 도 3에 예시한 바와 같이, 제1 액티브 패턴(106)과 제2 액티브 패턴(108)은 불투명 영역(Ⅰ) 내에 위치하며, 소정의 간격을 가지면서 인접하게 배치될 수 있다.

[0059] 도 4를 참조하면, 버퍼층(104) 상에 제1 액티브 패턴(106) 및 제2 액티브 패턴(108)을 커버하는 제1 게이트 절연막(110)을 형성할 수 있다. 제1 게이트 절연막(110)은 투명 영역(Ⅱ)으로 연장될 수 있다. 달리 말하면, 제1 게이트 절연막(110)은 버퍼층(104) 상에서 불투명 영역(Ⅰ)으로부터 투명 영역(Ⅱ)까지 연속적으로 위치할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 절연막(110)은 실리콘 산화물을 사용하여 형성될 수 있기 때문에, 도 4에 예시한 바와 같이, 제1 게이트 절연막(110)이 투명 영역(Ⅱ)까지 배치된다 하더라도, 투명 영역(Ⅱ)의 투과율이 저하되는 문제는 실질적으로 발생하지 않는다.

[0060] 이어서, 제1 게이트 절연막(110) 상에 제2 게이트 전극(112)과 제1 커패시터 전극(114)을 형성할 수 있다. 제2 게이트 전극(112) 및 제1 커패시터 전극(114)은 모두 불투명 영역(Ⅰ) 내에 위치할 수 있다. 예를 들면, 제2 게이트 전극(112)은 제1 게이트 절연막(110)을 사이에 두고 하부에 제2 액티브 패턴(108)이 위치하는 부분들과 중첩될 수 있으며, 제1 커패시터 전극(114)은 제2 방향을 따라 제2 액티브 패턴(108)과 소정의 간격으로 이격될 수 있다. 제2 게이트 전극(112) 및 제1 커패시터 전극(114)은 실질적으로 동일한 물질로 구성될 수 있으며, 예를 들면, 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있으며, 하나의 마스크를 사용하는 식각 공정을 통해 동시에 형성될 수 있다. 선택적으로는, 제2 게이트 전극(112)과 제1 커패시터 전극(114)은 다른 물질로 이루어질 수도 있다.

[0061] 도 5를 참조하면, 제1 게이트 절연막(110) 상에 제2 게이트 전극(112) 및 제1 커패시터 전극(114)을 덮는 제2 게이트 절연막(116)을 형성할 수 있다. 제2 게이트 절연막(116)은 제1 게이트 절연막(110) 상에서 불투명 영역(Ⅰ)과 투명 영역(Ⅱ) 모두에 위치할 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 절연막(116)은 실리콘 산질화물을 사용하여 형성될 수 있으며, 실리콘 산질화물은 함유된 질소 함량에 따라 유전율과 굴절률을 조절할 수 있기 때문에, 도 5에 예시한 바와 같이, 제2 게이트 절연막(116)이 투명 영역(Ⅱ)까지 배치되는 경우, 인접하는 층 간의 굴절률을 최소화시켜 투명 영역(Ⅱ)의 투과율이 저하되는 문제를 방지하면서, 상대적으로 큰 유전율로 인해 커패시터의 용량을 증가시킬 수 있다. 또한, 제2 게이트 절연막(116)은 실리콘 산화물로 구성되는 제2 게이트 절연막에 비해, 약 1.2배 증가된 두께를 가질 수 있다. 이에 따라, 제2 게이트 절연막(116)의 일부가 불투명 영역(Ⅰ) 내에서 커패시터(CAP)의 유전체 구조물의 역할을 수행하는 경우, 유기 발광 표시 장치(200)는

광 투과율을 실질적으로 저하시키지 않는 선에서 커패시터의 커패시턴스를 확보할 수 있다.

[0062] 다시 도 5를 참조하면, 제2 게이트 절연막(118) 중에서 하부에 제1 액티브 패턴(106)이 위치하는 부분들 상에 제1 게이트 전극(118)을 형성할 수 있으며, 제2 커패시터 전극(120)은 상기 제2 방향을 따라 제1 게이트 전극(118)과 소정의 간격으로 이격될 수 있다. 도 5에 예시한 바와 같이, 제1 게이트 전극(118)과 제2 커패시터 전극(120)은 불투명 영역(I) 내에 위치할 수 있다. 제1 게이트 전극(118) 및 제2 커패시터 전극(120)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 또한, 제1 게이트 전극(118)과 제2 커패시터 전극(120)은 1회의 식각 공정을 사용하여 동시에 얻어질 수 있다. 제2 게이트 절연막(118) 상에 제2 커패시터 전극(120)이 형성됨에 따라, 불투명 영역(I) 내에 제1 커패시터 전극(114), 제2 게이트 절연막(118)의 일부 및 제2 커패시터 전극(120)으로 구성되는 커패시터(CAP)가 위치할 수 있다.

[0063] 도 6을 참조하면, 제2 게이트 절연막(118) 상에 제1 게이트 전극(118)과 제2 커패시터 전극(120)을 커버하는 층간 절연막(122)을 형성할 수 있다. 층간 절연막(122)은 불투명 영역(I)에서 투명 영역(II)으로 연장되기 때문에 제1 게이트 전극(118) 및 제2 커패시터 전극(120)을 충분하게 커버할 수 있다. 예시적인 실시예들에 따르면, 층간 절연막(122)은 실리콘 산화물을 사용하여 형성되기 때문에, 투명 영역(II) 내에 위치하는 층간 절연막(122)에 의해 투명 영역(II)의 투과율은 실질적으로 변화되지 않으며, 실리콘 질화물로 구성된 종래의 층간 절연막에 비해 투명 영역(II)의 투과율을 높일 수 있다. 더욱이, 층간 절연막(122)은 제2 게이트 절연막(116) 보다 상대적으로 큰 두께를 가질 수 있다. 예를 들면, 본 발명의 예시적인 실시예들에 따른 층간 절연막(122)은 층간 절연막을 제외한 다른 절연막들이 실리콘 산화물을 포함하는 경우보다 약 1.6배 증가된 두께를 가질 수 있다. 이에 따라, 층간 절연막(122)은 후술할 제1 소스 전극(124)과 제2 커패시터 전극(120) 사이, 후술할 제1 드레인 전극(126)과 제2 커패시터 전극(120) 사이, 후술할 제2 소스 전극(128)과 제1 게이트 전극(114) 사이 및 후술할 제2 드레인 전극(130)과 제1 게이트 전극(114) 사이를 전기적으로 절연시킬 수 있다. 이에 따라, 층간 절연막(122)이 효율적인 절연 기능을 확보하여 상기 유기 발광 표시 장치의 신뢰성을 실질적으로 향상시킬 수 있다.

[0064] 도 7을 참조하면, 층간 절연막(122) 상에 층간 절연막(122)의 일부와 제1 및 제2 게이트 절연막들(124, 126)의 일부를 관통하여 형성된 콘택 홀들을 통해 제2 액티브 패턴(108)의 일부들과 접촉되는 제1 소스 전극(124) 및 제1 드레인 전극(126)을 형성할 수 있다. 동시에, 층간 절연막(122) 상에 층간 절연막(122)의 일부와 제1 및 제2 게이트 절연막들(124, 126)의 일부를 관통하여 형성된 콘택홀들을 통해 제1 액티브 패턴(106)의 일부들과 접촉되는 제2 소스 전극(128) 및 제2 드레인 전극(130)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 소스 전극(124)은 불투명 영역(I) 내에서 제2 방향을 따라 연장될 수 있다. 따라서, 제1 소스 전극(124)은 층간 절연막(122)의 일부가 관통된 상기 콘택 홀들에 의해 제2 커패시터 전극(120)과 접촉될 수 있다. 도 7에 예시한 바와 같이, 투명 영역(II) 내에 제1 소스 전극(124)과 소정의 간격으로 이격된 데이터 라인(132)을 형성할 수 있다. 제1 소스 및 드레인 전극(124, 126), 제2 소스 및 드레인 전극(128, 130) 및 데이터 라인(132)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투과성을 가지는 물질 등을 사용하여 얻어질 수 있다.

[0065] 도 8을 참조하면, 층간 절연막(122) 상에 제1 소스 전극(124), 제2 소스 전극(128), 제1 드레인 전극(126) 및 제2 드레인 전극(130)을 덮는 절연층(134)을 형성할 수 있다. 예시적인 실시예들에 따르면, 절연층(134)은 투명 영역(I)의 일부를 노출시키는 개구(135b)를 포함하여 층간 절연막(122)을 부분적으로 노출시킬 수 있다. 이어서, 절연층(134) 상에 제1 전극(136)을 형성할 수 있다. 제1 전극(136)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.

[0066] 도 9를 참조하면, 제1 전극(136)과 절연층(134) 상에 제1 전극(136)을 부분적으로 노출시키는 개구를 구비하는 화소 정의막(138)을 형성할 수 있다. 예를 들면, 화소 정의막(138)은 유기 물질 또는 무기 물질로 이루어질 수 있다.

[0067] 다시 도 9를 참조하면, 화소 정의막(138)의 상기 개구를 통해 노출되는 제1 전극(136) 상에 유기 발광 소자(140)를 형성할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 소자(140)는 유기 발광 소자(EL), 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 전자 주입층(EIL) 등을 포함하는 다층 구조를 가질 수 있다.

[0068] 도 10을 참조하면, 화소 정의막(138)과 유기 발광 소자(140) 상에 제2 전극(142)을 형성할 수 있다. 예를 들면, 제2 전극(142)은 제1 전극(136)과 실질적으로 동일한 물질을 사용하여 수득될 수 있다. 이와는 달리, 제2 전극(142) 및 제1 전극(136)은 다른 물질을 사용하여 형성될 수 있다.

[0069] 상술한 바에 있어서는, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치 및 유기 발광 표시 장치의 제

조 방법에 대해 도면들을 참조하여 설명하였지만, 상술한 실시예들은 예시적인 것으로서, 특허청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정, 변형 및 변경될 수 있을 것이다.

산업상 이용가능성

[0070]

본 발명은 투명 유기 발광 표시 장치를 구비하는 다양한 전자 기기들에 적용될 수 있다. 예를 들면, 본 발명은 업소용 냉장고, 스마트 윈도우, 투명 태블릿, 헤드업 디스플레이 장치, 웨어러블 디스플레이 장치 등과 같은 다양한 전자 기기들에 적용될 수 있다.

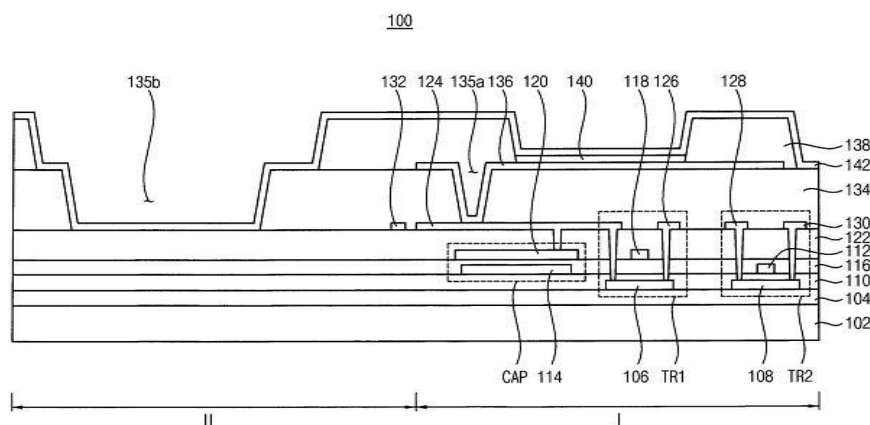
부호의 설명

[0071]

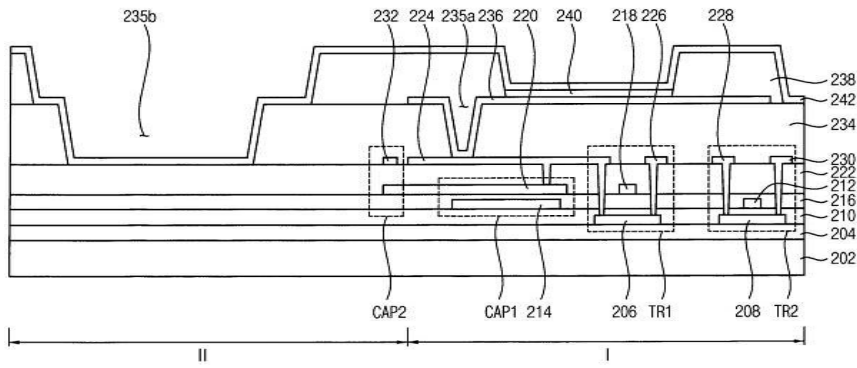
100, 200: 유기 발광 표시 장치	102, 202: 기판
104, 204: 버퍼층	106, 206: 제1 액티브 패턴
108, 208: 제2 액티브 패턴	110, 210: 제1 게이트 절연막
112, 212: 제2 게이트 전극	114, 214: 제1 커패시터 전극
116, 216: 제2 게이트 절연막	118, 218: 제1 게이트 전극
120, 220: 제2 커패시터 전극	122, 222: 층간 절연막
124, 224: 제1 소스 전극	126, 226: 제1 드레인 전극
128, 228: 제2 소스 전극	130, 230: 제2 드레인 전극
132, 232: 데이터 라인	134, 234: 절연층
136, 236: 제1 전극	138, 238: 화소 정의막
140, 240: 유기 발광 소자	142, 242: 제2 전극

도면

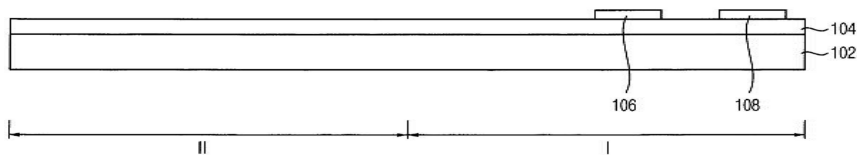
도면1



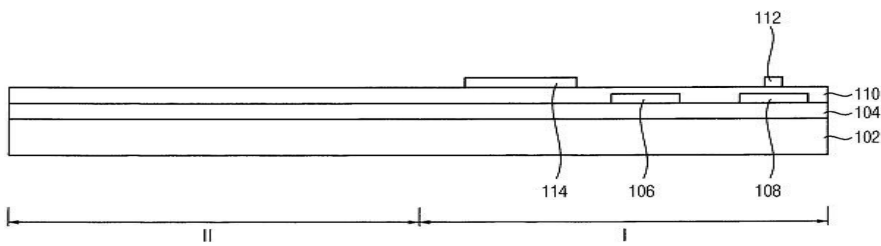
도면2



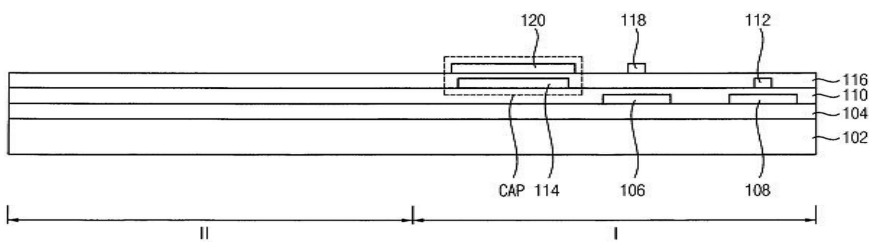
도면3



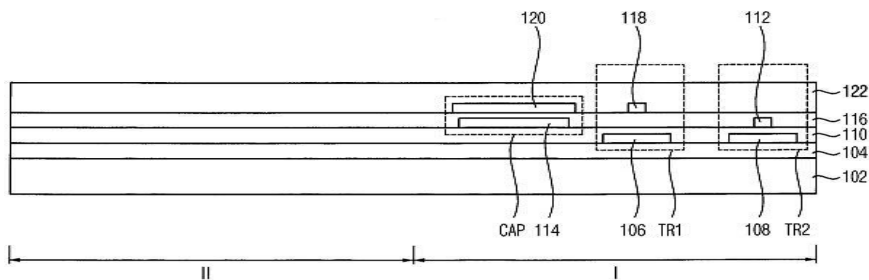
도면4



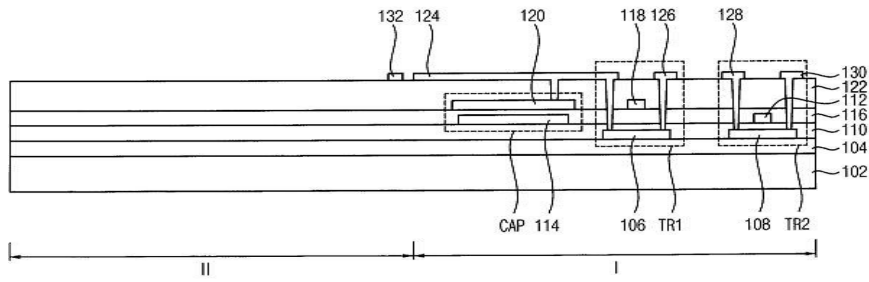
도면5



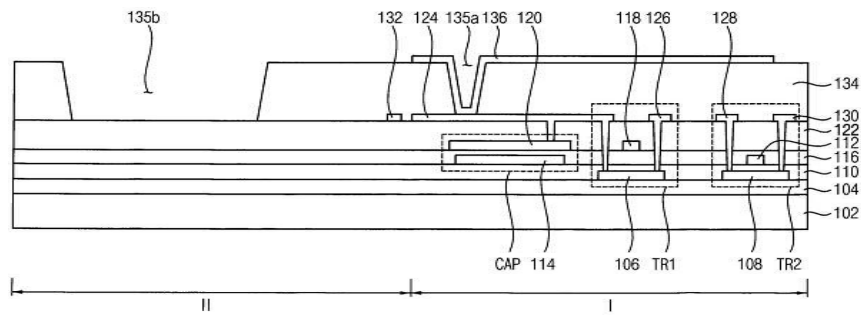
도면6



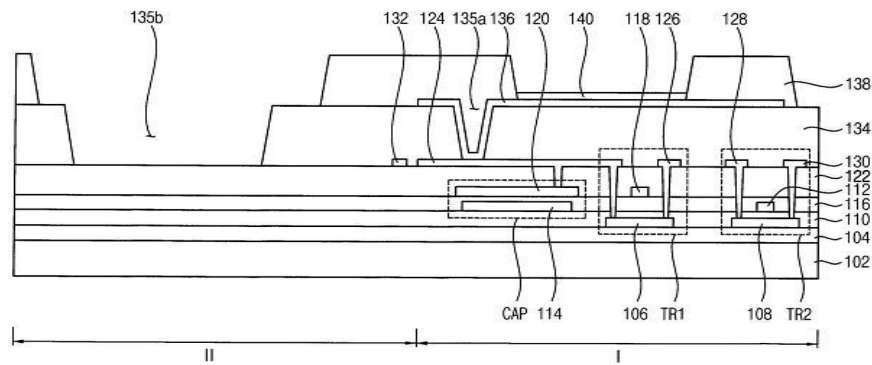
도면7



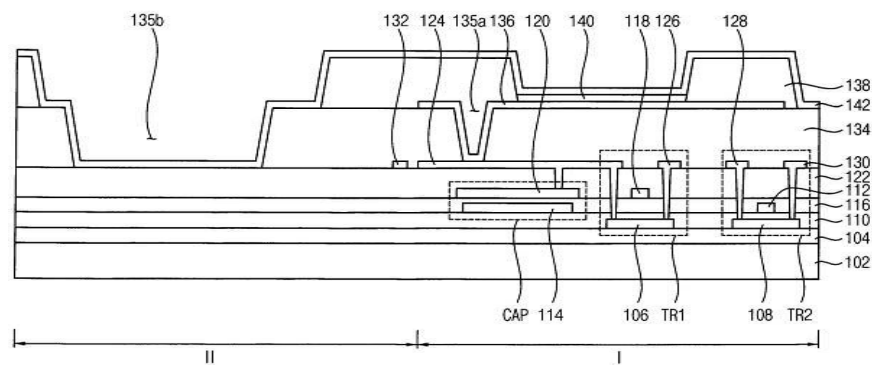
도면8



도면9



도면10



专利名称(译)	有机发光显示器和制造有机发光显示器的方法		
公开(公告)号	KR1020160010760A	公开(公告)日	2016-01-28
申请号	KR1020140090714	申请日	2014-07-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SANG HO 박상호 JANG JAE HYUK 장재혁 KIM CHANG OK 김창옥 YOON JOO SUN 윤주선 JANG YONG JAE 장용재		
发明人	박상호 장재혁 김창옥 윤주선 장용재		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L29/518 H01L27/1237 H01L27/1255 H01L27/1259 H01L27/3258 H01L27/326 H01L27/3262 H01L27/3265 H01L29/4908		
代理人(译)	PARK , YOUNG WOO PARK , YOUNG WOO박영우		
外部链接	Espacenet		

摘要(译)

有机发光显示器可以包括不透明区域和透明区域。OLED显示器可以包括衬底，第一晶体管，第二晶体管和至少一个电容器。第一晶体管可以设置在不透明区域中的基板上。第二晶体管可沿不透明区域中的第一方向与第一晶体管相邻。电容器可以沿着与不透明区域中的第一方向不同的第二方向与第一晶体管相邻。电容器可以包括第一电容器电极，设置在第一电容器电极上并包括氮氧化硅的电介质结构，以及设置在电介质结构上的第二电容器电极。

