



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0142116
(43) 공개일자 2015년12월22일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0070059

(22) 출원일자 2014년06월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

나세환

경기 파주시 가람로116번길 130, 706동 1904호 (와동동, 가람마을7단지한라비발디)

김도형

경기 파주시 청석로 300, 911동 1103호 (다율동, 청석마을대원효성아파트)

박영주

서울 성동구 성수일로8길 47, 102동 2201호 (성수동2가, 성수롯데캐슬파크)

(74) 대리인

특허법인로알

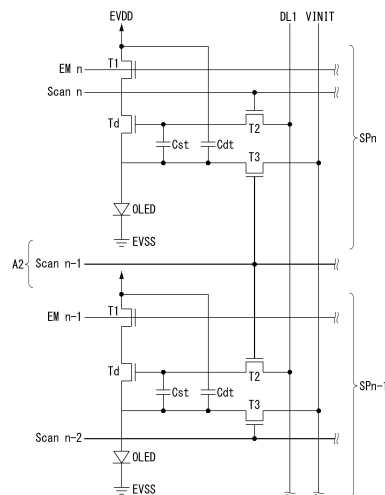
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명은 서브 픽셀들을 포함하는 표시패널; 및 상기 표시패널에 구동신호를 공급하는 구동부를 포함하며, 상기 표시패널의 하부와 상부에 인접하여 배치된 제N-1번째 라인의 서브 픽셀과 제N번째 라인의 서브 픽셀은 하나의 스캔라인에 서로 다른 역할을 수행하는 트랜지스터의 게이트전극이 연결된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

대표도 - 도7



명세서

청구범위

청구항 1

서브 픽셀들을 포함하는 표시패널; 및

상기 표시패널에 구동신호를 공급하는 구동부를 포함하며,

상기 표시패널의 하부와 상부에 인접하여 배치된 제N-1번째 라인의 서브 픽셀과 제N번째 라인의 서브 픽셀은 하나의 스캔라인에 서로 다른 역할을 수행하는 트랜지스터의 게이트전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 서로 다른 역할을 수행하는 트랜지스터는

상기 제N-1번째 라인의 서브 픽셀에 데이터신호를 공급하기 위해 스위칭 동작하는 제2트랜지스터와,

상기 제N번째 라인의 서브 픽셀에 초기화전압을 공급하기 위해 스위칭 동작하는 제3트랜지스터를 포함하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 제2 및 제3트랜지스터는

상기 하나의 스캔라인을 공유하고 게이트전극의 구조가 상이한 형상을 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제2항에 있어서,

상기 제2트랜지스터는 싱글 게이트전극을 갖도록 형성되고,

상기 제3트랜지스터는 동일한 층에 2개의 게이트전극이 배치된 듀얼 게이트전극을 갖도록 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제3트랜지스터의 듀얼 게이트전극 중 제1게이트전극은 상기 하나의 스캔라인으로부터 제1방향으로 돌출되어 제2방향으로 배치되도록 형성되고,

상기 제3트랜지스터의 듀얼 게이트전극 중 제2게이트전극은 상기 하나의 스캔라인과 동일하게 제2방향으로 배치되도록 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 제N-1번째 라인의 서브 픽셀과 상기 제N번째 라인의 서브 픽셀은

유기 발광다이오드의 발광 구간을 제어하는 스캔신호를 전달하는 제1스캔라인을 더 포함하고,

상기 제1스캔라인은 상기 표시패널의 표시영역 내에서 제2방향을 따라 직선 형태로 형성된 것을 특징으로 하는

유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 표시패널은

표시영역 내에서 좌우로 이웃하는 서브 픽셀들이 대칭 하도록 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제2항에 있어서,

상기 제2 및 상기 제3트랜지스터는 동일한 층에 2개의 게이트전극이 배치된 듀얼 게이트전극을 갖도록 형성된 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나뉘어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 서브 픽셀 내에 포함된 구동 트랜지스터의 문턱전압이 이동하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소한다. 이에 따라, 유기전계발광표시장치는 구동 트랜지스터의 문턱전압 이동 특성에 대한 보상을 수행하기 위해 보상회로를 사용한다. 그런데, 종래 유기전계발광표시장치는 서브 픽셀 내에 보상회로를 추가할 경우 한정된 면적 내에 회로를 구현해야 하는 어려움이 있어 고해상도 구현시 레이아웃 효율이 저하되는 단점 등이 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 서브 픽셀의 회로 및 구조를 최적화함과 더불어 사용면적을 최대화하여 고해상도 표시패널을 구현할 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 서브 픽셀들을 포함하는 표시패널; 및 상기 표시패널에 구동신호를 공급하는 구동부를 포함하며, 상기 표시패널의 하부와 상부에 인접하여 배치된 제N-1번째 라인의 서브 픽셀과 제N번째 라인의 서브 픽셀은 하나의 스캔라인에 서로 다른 역할을 수행하는 트랜지스터의 게이트전극이 연결된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

[0008] 상기 서로 다른 역할을 수행하는 트랜지스터는 상기 제N-1번째 라인의 서브 픽셀에 데이터신호를 공급하기 위해 스위칭 동작하는 제2트랜지스터와, 상기 제N번째 라인의 서브 픽셀에 초기화전압을 공급하기 위해 스위칭 동작

하는 제3트랜지스터를 포함할 수 있다.

- [0009] 상기 제2 및 제3트랜지스터는 상기 하나의 스캔라인을 공유하되 게이트전극의 구조가 상이한 형상을 가질 수 있다.
- [0010] 상기 제2트랜지스터는 싱글 게이트전극을 갖도록 형성되고, 상기 제3트랜지스터는 동일한 층에 2개의 게이트전극이 배치된 듀얼 게이트전극을 갖도록 형성될 수 있다.
- [0011] 상기 제3트랜지스터의 듀얼 게이트전극 중 제1게이트전극은 상기 하나의 스캔라인으로부터 제1방향으로 돌출되어 제2방향으로 배치되도록 형성되고, 상기 제3트랜지스터의 듀얼 게이트전극 중 제2게이트전극은 상기 하나의 스캔라인과 동일하게 제2방향으로 배치되도록 형성될 수 있다.
- [0012] 상기 제N-1번째 라인의 서브 픽셀과 상기 제N번째 라인의 서브 픽셀은 유기 발광다이오드의 발광 구간을 제어하는 스캔신호를 전달하는 제1스캔라인을 더 포함하고, 상기 제1스캔라인은 상기 표시패널의 표시영역 내에서 제2방향을 따라 직선 형태로 형성될 수 있다.
- [0013] 상기 표시패널은 표시영역 내에서 좌우로 이웃하는 서브 픽셀들이 대칭 하도록 형성될 수 있다.
- [0014] 상기 제2 및 상기 제3트랜지스터는 동일한 층에 2개의 게이트전극이 배치된 듀얼 게이트전극을 갖도록 형성될 수 있다.

발명의 효과

- [0015] 본 발명은 서브 픽셀의 회로 및 구조를 최적화함과 더불어 사용면적을 최대화하여 고해상도 표시패널을 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 설계 최적화를 통해 커패시터의 충전 용량을 증가시켜 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 설계 최적화 구조를 통해 구동 스트레스(Positive/Negative Bias Stress)로 인한 취약성분을 완화 또는 제거하여 소자의 신뢰성을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 구성도.
- 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도.
- 도 3 및 도 4는 도 2에 도시된 서브 픽셀을 갖는 유기전계발광표시장치의 구동 파형도들.
- 도 5는 비교예에 따른 4T2C 서브 픽셀의 회로 구성도.
- 도 6은 도 5의 회로 구성을 기반으로 설계된 서브 픽셀의 평면도.
- 도 7은 본 발명의 실시예에 따른 4T2C 서브 픽셀의 회로 구성도.
- 도 8은 도 7의 회로 구성을 기반으로 설계된 서브 픽셀의 평면도.
- 도 9는 비교예 및 실시예에 따른 4T2C 서브 픽셀의 제1커패시터의 면적 비교도.
- 도 10은 도 9에 도시된 비교예 및 실시예에 따른 4T2C 서브 픽셀의 제1커패시터의 면적을 중첩하여 나타낸 도면.
- 도 11은 실시예에 따른 4T2C 서브 픽셀로 구성된 표시패널의 일부를 나타낸 도면.
- 도 12는 도 8의 X1-X2 영역의 제1예에 따른 단면 예시도.
- 도 13은 도 8의 X1-X2 영역의 제2예에 따른 단면 예시도.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도이며, 도 3 및 도 4는 도 2에 도시된 서브 픽셀을 갖는 유기전계발광표시장치의 구동 파형도들이다.

- [0019] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터구동부(130), 스캔구동부(120) 및 표시패널(160)이 포함된다.
- [0020] 타이밍제어부(110)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(130)와 스캔구동부(120)의 동작 타이밍을 제어한다. 타이밍제어부(110)는 1 수평 기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 스캔구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.
- [0021] 스캔구동부(120)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 생성한다. 스캔구동부(120)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.
- [0022] 데이터구동부(130)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(130)는 데이터신호(DATA)를 감마 기준전압에 대응하여 디지털신호를 아날로그신호로 변환한다. 데이터구동부(130)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.
- [0023] 표시패널(160)은 다양한 색의 빛을 발광하는 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)에는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀이 포함되고 경우에 따라 백색 서브 픽셀 등이 포함되기도 한다. 한편, 백색 서브 픽셀이 포함된 표시패널(160)은 각 서브 픽셀들(SP)의 발광층이 적색, 녹색 및 청색을 발광하지 않고 백색을 발광할 수 있다. 이 경우, 백색으로 발광된 빛은 색변환필터(예: RGB 컬러필터)에 의해 적색, 녹색 및 청색으로 변환된다.
- [0024] 표시패널(160)에 포함된 서브 픽셀들(SP)은 데이터신호(DATA) 및 스캔신호와 더불어 제1전원라인(EVDD)을 통해 공급된 고전위전압, 제2전원라인(EVSS)을 통해 공급된 저전위전압 및 초기화라인(VINIT)을 통해 공급된 초기화전압을 기반으로 구동한다. 표시패널(160)은 데이터구동부(130) 및 스캔구동부(120) 등으로부터 공급된 구동신호에 대응하여 빛을 발광하는 서브 픽셀들(SP)을 기반으로 특정 영상을 표시하게 된다.
- [0025] 도 2에 도시된 바와 같이, 표시패널(160)에 포함된 서브 픽셀에는 제1 내지 제3트랜지스터(T1 ~ T3), 유기 발광다이오드(OLED), 구동트랜지스터(Td), 제1 및 제2커패시터(Cst, Cdt)가 포함된 4T(Transistor)2C(Capacitor)로 구성된다.
- [0026] 이하, 서브 픽셀에 포함된 소자들 간의 접속관계 및 이들의 역할에 대해 간략히 설명하면 다음과 같다.
- [0027] 제1트랜지스터(T1)는 제1스캔라인(EM n)에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되고 구동트랜지스터(Td)의 제1전극에 제2전극이 연결된다. 제1트랜지스터(T1)는 서브 픽셀의 발광 구간을 제어하는 역할을 한다.
- [0028] 제2트랜지스터(T2)는 제2스캔라인(Scan n)에 게이트전극이 연결되고 제1데이터라인(DL1)에 제1전극이 연결되고 구동트랜지스터(Td)의 게이트전극에 제2전극이 연결된다. 제2트랜지스터(T2)는 제1데이터라인(DL1)을 통해 공급된 데이터신호가 제1커패시터(Cst)에 저장될 수 있도록 제어하는 역할을 한다.
- [0029] 제3트랜지스터(T3)는 제3스캔라인(Scan n-1)에 게이트전극이 연결되고 초기화라인(VINIT)에 제1전극이 연결되고 구동트랜지스터(Td)의 제2전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단에 제2전극이 연결된다. 제3트랜지스터(T3)는 구동트랜지스터(Td)의 제2전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단이 접속된 노드에 초기화전압이 공급될 수 있도록 제어하는 역할을 한다.
- [0030] 구동트랜지스터(Td)는 제2트랜지스터(T2)의 제2전극 및 제1커패시터(Cst)의 일단에 게이트전극이 연결되고 제1트랜지스터(T1)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극, 제3트랜지스터(T3)의 제2전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단에 제2전극이 연결된다. 구동트랜지스터(Td)는 제1커패시터(Cst)에 저장된 데이터전압을 기반으로 유기 발광다이오드(OLED)에 구동전류를 공급하는 역할을 한다.
- [0031] 제1커패시터(Cst)는 구동트랜지스터(Td)의 게이트전극에 일단이 연결되고 구동트랜지스터(Td)의 제2전극 및 제2

커패시터(Cdt)의 타단에 타단이 연결된다. 제1커패시터(Cst)는 데이터전압을 저장하는 역할을 한다.

[0032] 제2커패시터(Cdt)는 제1전원라인(EVDD)에 일단이 연결되고 구동트랜지스터(Td)의 제2전극 및 제1커패시터(Cst)의 타단에 타단이 연결된다. 제2커패시터(Cdt)는 보상 전압(또는 부스팅 전압)을 저장하는 역할을 한다.

[0033] 유기 발광다이오드(OLED)는 구동트랜지스터(Td)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 유기 발광다이오드(OLED)는 구동트랜지스터(Td)로부터 공급된 구동전류에 대응하여 빛을 발광하는 역할을 한다.

[0034] 이상 4T2C로 구성된 서브 픽셀은 보상회로인 제3트랜지스터(T3)가 포함됨에 따라 3개의 스캔라인(EM n, Scan n, Scan n-1)을 통해 공급된 스캔신호에 대응하여 동작하게 된다. 그리고 한 라인의 스캔라인(SL1)은 3개의 스캔라인(EM n, Scan n, Scan n-1)을 포함하게 된다.

[0035] 도 3에 도시된 바와 같이, 앞서 설명된 서브 픽셀은 초기화 단계(Initial), 샘플링 단계(Sampling) 및 데이터쓰기 단계(Data Writing)를 거친 이후 빛을 발광하게 되는데, 이에 대해 설명을 구체화하면 다음과 같다.

[0036] -초기화 단계(Initial)-

[0037] 제3스캔배선(Scan n-1)을 통해 공급되는 제3스캔신호가 로직하이가 되면 제3트랜지스터(T3)는 턴온되고 초기화가 진행된다. 제3트랜지스터(T3)가 턴온되면 구동트랜지스터(Td)의 제2전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단이 접속된 노드에 초기화전압이 공급된다. 이때, 제3스캔신호는 샘플링 단계(Sampling)가 시작되기 전까지 로직하이 상태를 유지할 수 있으나 이에 한정되지 않는다. 그리고, 제1스캔라인(EM n)을 통해 공급되는 제1스캔신호는 로직로우 상태인 반면, 제2스캔배선(Scan n)을 통해 공급되는 제2스캔신호는 로직하이 상태일 수 있다.

[0038] 초기화가 진행되면, 구동트랜지스터(Td)의 제2전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단이 접속된 노드는 특정 전압(예컨대, 그라운드 레벨에 가까운 전압이나 음의 전압 등)으로 초기화된다.

[0039] -샘플링 단계(Sampling)-

[0040] 제1스캔배선(Em n)을 통해 공급되는 제1스캔신호가 로직하이가 되고, 제2스캔배선(Scan n)을 통해 공급되는 제2스캔신호가 로직하이가 되면 제1 및 제2트랜지스터(T1, T2)는 턴온되고 샘플링이 진행된다. 제1 및 제2트랜지스터(T1, T2)가 턴온되면 구동트랜지스터(Td)의 문턱전압(Vth) 등을 보상하기 위한 샘플링을 통해 데이터신호를 보상할 수 있게 된다. 이때, 제3스캔신호는 로직로우 상태를 유지할 수 있다.

[0041] -데이터쓰기 단계(Data Writing)-

[0042] 제2스캔배선(Scan n)을 통해 공급되는 제2스캔신호가 로직하이를 유지한 상태에서 제1스캔배선(Em n)을 통해 공급되는 제1스캔신호가 로직로우가 되면 제1트랜지스터(T1)는 턴오프되고 데이터쓰기가 진행된다. 데이터쓰기가 진행되면 제1커패시터(Cst)에는 구동트랜지스터(Td)의 문턱전압(Vth) 등이 보상된 데이터전압이 저장된다. 이때, 제1 및 제3스캔신호는 로직로우 상태를 유지할 수 있다.

[0043] -발광 단계-

[0044] 데이터쓰기 가 완료되고 제1스캔신호가 로직로우에서 로직하이로 전환되면 구동트랜지스터(Td)는 턴온된다. 그리고 구동트랜지스터(Td)는 제1커패시터(Cst)에 저장된 데이터전압에 대응하여 구동전류를 생성하게 되고, 유기 발광다이오드(OLED)는 구동전류에 대응하여 빛을 발광하게 된다. 이때, 제2 및 제3스캔신호는 로직로우 상태를 유지할 수 있다.

[0045] 한편, 앞서 설명된 구동과형은 초기화 단계(Initial)를 진행하기 전의 과정에서 제1스캔신호가 로직하이를 유지하게 됨에 따라(도 3의 EM "On"구간 참조), 초기화라인과 제1전원라인 간에 전류 패스가 형성된다. 이 경우, 해당 전류 패스를 통해 과도 전류가 흐르게 되어 데이터구동부에 이상이 발생하거나 초기화전압의 전압 변동으로 인하여 표시품질에 문제가 야기될 수 있다.

[0046] 이 경우, 도 4에 도시된 바와 같이, 제1스캔신호의 로직로우가 시작되는 구간을 변경(도 4의 EM "Off"구간 참조)하여 초기화라인과 제1전원라인 간에 형성된 전류 패스를 제거할 수 있다.

[0047] 도 5는 비교예에 따른 4T2C 서브 픽셀의 회로 구성도이고, 도 6은 도 5의 회로 구성을 기반으로 설계된 서브 픽셀의 평면도이며, 도 7은 본 발명의 실시예에 따른 4T2C 서브 픽셀의 회로 구성도이고, 도 8은 도 7의 회로 구성을 기반으로 설계된 서브 픽셀의 평면도이며, 도 9는 비교예 및 실시예에 따른 4T2C 서브 픽셀의 제1커패시터

의 면적 비교도이고, 도 10은 도 9에 도시된 비교예 및 실시예에 따른 4T2C 서브 픽셀의 제1커패시터의 면적을 중첩하여 나타낸 도면이며, 도 11은 실시예에 따른 4T2C 서브 픽셀로 구성된 표시패널의 일부를 나타낸 도면이고, 도 12는 도 8의 X1-X2 영역의 제1예에 따른 단면 예시도이며, 도 13은 도 8의 X1-X2 영역의 제2예에 따른 단면 예시도이다.

- [0048] 도 5에 도시된 바와 같이, 비교예에 따른 서브 픽셀은 제1 내지 제3트랜지스터(T1 ~ T3), 유기 발광다이오드(OLED), 구동트랜지스터(Td), 제1 및 제2커패시터(Cst, Cdt)가 포함된 4T2C로 구성된다.
- [0049] 비교예에 따른 4T2C 서브 픽셀은 제N-1번째 라인의 서브 픽셀(SPn-1)과 제N번째 라인의 서브 픽셀(SPn) 이상 상하로 위치하는 2개의 서브 픽셀을 보여준다.
- [0050] 제N-1번째 라인의 서브 픽셀(SPn-1)과 제N번째 라인의 서브 픽셀(SPn)은 "A1"과 같이 동일한 제3스캔라인(Scan n-1)을 사용한다. 제N번째 라인의 서브 픽셀(SPn)의 측면에서 설명하면, 제3스캔라인(Scan n-1)은 전단에 위치하는 제N-1번째 라인의 서브 픽셀(SPn-1)의 제2스캔라인이 되는 셈이다.
- [0051] 그러나, 도 6의 평면도를 통해 알 수 있듯이 제N번째 라인의 서브 픽셀(SPn)과 제N-1번째 라인의 서브 픽셀(SPn-1)에 각각 포함된 제3스캔라인(Scan n-1)은 표시패널의 표시영역 내에서 두 개의 라인으로 구분되어 형성된다.
- [0052] 제N번째 라인의 서브 픽셀(SPn)과 제N-1번째 라인의 서브 픽셀(SPn-1)은 제3스캔라인(Scan n-1)을 공유하여 사용하므로 동일한 신호가 공급되지만, 표시패널의 설계 마진이나 구조적 특성 등과 같은 문제로 인하여 비교예와 같이 두 개의 라인으로 구분될 수밖에 없었다.
- [0053] 따라서, 앞서 설명한 바와 같이 보상회로를 추가하여 서브 픽셀을 설계하기 위해서는 설계의 최적화가 요구된다. 설계의 최적화 시에는 일정 용량 이상의 커패시터를 확보할 수 있어야만 기본적인 표시품질을 유지할 수 있다. 이와 더불어, 구동전류의 저감 요구를 수용해야할 경우, 구동트랜지스터의 크기(Driving TFT Length)는 더 커져야 한다.
- [0054] 그러나, 인치당 해상도(PPI)의 증가에 따라 설계 면적은 점점 증가하며 실제 동작에 필요한 회로(트랜지스터, 커패시터 등)의 크기를 줄이는 데에는 한계가 존재한다. 그러므로, 기본적인 회로의 성능을 확보함과 동시에 설계 면적을 줄이기 위해서는 도 5의 비교예보다는 다중의 신호선들을 공통으로 사용하는 방법을 사용해야 한다.
- [0055] 이로 인하여, 본 발명에서는 고해상도 표시패널을 구현하기 위해 앞서 설명된 4T2C 서브 픽셀의 회로 및 구조를 최적화함과 더불어 사용면적을 최대화할 수 있는 방안을 모색한다.
- [0056] 도 7에 도시된 바와 같이, 실시예에 따른 서브 픽셀은 제1 내지 제3트랜지스터(T1 ~ T3), 유기 발광다이오드(OLED), 구동트랜지스터(Td), 제1 및 제2커패시터(Cst, Cdt)가 포함된 4T2C로 구성된다.
- [0057] 실시예에 따른 4T2C 서브 픽셀은 제N-1번째 라인의 서브 픽셀(SPn-1)과 제N번째 라인의 서브 픽셀(SPn) 이상 상하로 위치하는 2개의 서브 픽셀을 보여준다.
- [0058] 제N-1번째 라인의 서브 픽셀(SPn-1)과 제N번째 라인의 서브 픽셀(SPn)은 "A2"과 같이 제3스캔라인(Scan n-1)을 하나로 통합하여 공유한다. 즉, 제N번째 라인의 서브 픽셀(SPn)과 제N-1번째 라인의 서브 픽셀(SPn-1)은 제3스캔라인(Scan n-1)을 공유하여 사용하므로 표시패널의 표시영역 내에서 두 개의 라인으로 구분되던 것을 하나로 통합한다. 본 발명은 이와 같이, 두 개로 구분된 제3스캔라인(Scan n-1)을 통합함에 따라 마련된 여유 공간을 이용하여 설계 최적화를 구현한다.
- [0059] 도 8에 도시된 바와 같이, 제1전원라인(EVDD), 제1데이터라인(DL1) 및 초기화라인(VINIT)은 상하로 위치하는 제N-1번째 라인의 서브 픽셀(SPn-1)과 제N번째 라인의 서브 픽셀(SPn)에 접속되도록 제1방향(수직방향)으로 배치된다.
- [0060] 제1전원라인(EVDD)과 제1데이터라인(DL1)은 인접하되 상호 일정 공간 이격된다. 초기화라인(VINIT)은 제1전원라인(EVDD)과 제1데이터라인(DL1) 간의 이격 공간보다 더 넓은 이격 공간을 갖도록 제1데이터라인(DL1)과 이격된다.
- [0061] 제2방향에서 보았을 때, 제1전원라인(EVDD), 제1데이터라인(DL1) 및 초기화라인(VINIT)의 배치 순서를 설명하면, 제1전원라인(EVDD), 제1데이터라인(DL1), 초기화라인(VINIT)이 된다.
- [0062] 제1스캔라인(Em n), 제2스캔라인(Scan n) 및 제3스캔라인(Scan n-1)은 제1방향(수직방향)과 교차하는 제2방향

(수평방향)으로 배치된다. 제1스캔라인(Em n)과 제2스캔라인(Scan n)은 인접하되 상호 일정 공간 이격된다. 제3스캔라인(Scan n-1)은 제1스캔라인(Em n)과 제2스캔라인(Scan n) 간의 이격 공간보다 더 넓은 이격 공간을 갖도록 제1스캔라인(Em n)과 이격된다.

[0063] 제1방향에서 보았을 때, 제1스캔라인(Em n), 제2스캔라인(Scan n) 및 제3스캔라인(Scan n-1)의 배치 순서를 설명하면, 제2스캔라인(Scan n), 제1스캔라인(Em n), 제3스캔라인(Scan n-1)이 된다.

[0064] 한편, 도 2의 설명에서는 제1 내지 제3트랜지스터(T1 ~ T3) 및 구동트랜지스터(Td)의 게이트전극을 제외한 소오스 및 드레인전극에 대한 명칭을 제1 및 제2전극으로 정의하였다. 이와 달리, 도 8에서는 제1 내지 제3트랜지스터(T1 ~ T3) 및 구동트랜지스터(Td)의 게이트전극(G)을 제외한 소오스 및 드레인전극에 대한 명칭을 제1 및 제2전극으로 정의하지 않고 소오스(S) 및 드레인전극(D)으로 정의하였다. 그 이유는 트랜지스터들(T1 ~ T3, Td)의 게이트전극을 제외한 소오스 및 드레인전극에 대한 명칭은 접속 방향 및 전류(또는 전압)의 공급 방향 등에 따라 달라질 수 있는바 한정적인 해석을 방지하기 위함이다.

[0065] 이하 제N번째 라인의 서브 픽셀(SPn)의 관점에서 각 소자의 위치에 대해 설명하면 다음과 같다.

[0066] 제2트랜지스터(T2)는 제2스캔라인(Scan n)에 게이트전극이 연결되므로 서브 픽셀의 상부에 형성된다. 제1트랜지스터(T1)는 제1스캔라인(Em n)에 게이트전극이 연결되므로 제2트랜지스터(T2)와 제1 및 제2커패시터(Cst, Cdt) 사이인 서브 픽셀의 중앙부에 형성된다. 구동트랜지스터(Td)는 제1커패시터(Cst)와 제2트랜지스터(T2)의 제2전극에 연결되므로 제2트랜지스터(T2)와 제3트랜지스터(T3)의 사이인 서브 픽셀의 중앙부에 형성된다. 제3트랜지스터(T3)는 제N-1번째 라인의 서브 픽셀(SPn-1)의 제2트랜지스터(T2)와 함께 제3스캔라인(Scan n-1)에 게이트전극이 연결되므로 서브 픽셀의 하부에 형성된다.

[0067] 실시예에 따르면, 제N-1번째 라인의 서브 픽셀(SPn-1)의 제2트랜지스터(T2)의 게이트전극과 제N번째 라인의 서브 픽셀(SPn)의 제3트랜지스터(T3)의 게이트전극은 제3스캔라인(Scan n-1)을 공유한다. 달리 설명하면, 제N-1번째 라인의 서브 픽셀(SPn-1)의 제2트랜지스터(T2)의 게이트전극과 제N번째 라인의 서브 픽셀(SPn)의 제3트랜지스터(T3)의 게이트전극은 제3스캔라인(Scan n-1)과 동일한 공정에 의해 형성된다. 그러나, 제N-1번째 라인의 서브 픽셀(SPn-1)의 제2트랜지스터(T2)의 게이트전극과 제N번째 라인의 서브 픽셀(SPn)의 제3트랜지스터(T3)의 게이트전극은 구조(평면 상에서의 패턴 형상)가 상이한 형상을 갖도록 형성된다.

[0068] 실시예에 따르면, 위와 같은 구조에 의해 표시패널의 표시영역 내에서 라인마다 스캔라인이 하나씩 삭제되므로 표시패널을 최적화할 수 있는 설계마진을 확보할 수 있게 된다.

[0069] 실시예에서는 확보된 설계마진을 이용하여 특정 트랜지스터의 게이트전극을 듀얼 게이트(Dual Gate)로 형성한다. 듀얼 게이트란 동일한 층에 두 개의 게이트전극(G1, G2)을 형성한 것으로서 싱글 게이트를 갖는 트랜지스터 대비 핫 캐리어 스트레스(Hot Carrier Stress; DC 성능 저하를 야기하는 스트레스)나 구동 스트레스(Positive/Negative Bias Stress)로 인한 취약성분을 완화 또는 제거하여 소자의 신뢰성을 향상시킬 수 있다.

[0070] 일례로, 도 6과 같이 비교예는 설계마진 확보가 불가하므로, 초기화 진행에 사용되는 제3트랜지스터(T3)의 게이트전극을 싱글 게이트로 형성해야 한다. 반면, 도 8과 같이 실시예는 설계마진 확보가 가능하므로, 초기화 진행에서 사용되는 제3트랜지스터(T3)의 게이트전극을 듀얼 게이트로 형성할 수 있다.

[0071] 설명을 구체화하면, 제3트랜지스터(T3)의 듀얼 게이트전극(G1, G2) 중 제1게이트전극(G1)은 제3스캔라인(Scan n-1)으로부터 제1방향으로 돌출되어 제2방향으로 배치되도록 형성된다. 이때, 제3트랜지스터(T3)의 듀얼 게이트전극(G1, G2) 중 제1게이트전극(G1)은 초기화라인(VINIT)이 위치하는 방향으로 돌출된다. 반면, 제3트랜지스터(T3)의 듀얼 게이트전극(G1, G2) 중 제2게이트전극(G2)은 제3스캔라인(Scan n-1)과 동일하게 제2방향으로 배치되도록 형성된다.

[0072] 다른 예로, 도 6과 같이 비교예는 설계마진 확보가 불가하므로, 서브 픽셀의 발광 구간 제어시 사용되는 제1트랜지스터(T1)의 게이트전극을 싱글 게이트로 형성해야 한다. 반면, 도 8과 같이 실시예는 설계마진 확보가 가능하므로, 서브 픽셀의 발광 구간 제어시 사용되는 제1트랜지스터(T1)의 게이트전극을 듀얼 게이트(G1, G2)로 형성할 수 있다.

[0073] 설명을 구체화하면, 제1트랜지스터(T1)의 듀얼 게이트전극(G1, G2) 중 제1 및 제2게이트전극(G1, G2)은 제1스캔라인(Em n)으로부터 제1방향으로 돌출되어 배치되도록 형성된다. 제1트랜지스터(T1)의 제1 및 제2게이트전극(G1, G2)은 제1 및 제2커패시터(Cst, Cdt)가 위치하는 방향으로 돌출된다.

[0074] 또 다른 예로, 도 6과 같이 비교예는 설계마진 확보가 불가하므로, 제1 및 제3트랜지스터(T1, T3)의 게이트전극

을 싱글 게이트로 형성해야 한다. 반면, 도 8과 같이 실시예는 설계마진 확보가 가능하므로, 제1 및 제3트랜지스터(T1, T3)의 게이트전극을 듀얼 게이트(G1, G2)로 형성할 수 있다.

[0075] 또 다른 예로, 도 6과 같이 비교예는 설계마진 확보가 불가하므로, 제1스캔라인(Em n)의 일측을 구부러서 형성해야 한다. 반면, 도 8과 같이 실시예는 설계마진 확보가 가능하므로, 스캔라인을 직선 형태로 형성할 수 있다. 즉, 실시예는 표시패널의 표시영역 내에 위치하는 스캔라인을 직선 형태로 형성할 수 있다.

[0076] 스캔라인을 직선 형태로 형성하면, 이때 확보된 설계마진을 이용하여 특정 커패시터의 면적을 확장할 수 있다. 커패시터의 면적은 커패시터의 충전 용량을 늘리거나 줄일 수 있는 구조적 지표이다. 일례로, 제1스캔라인(Em n)을 직선 형태로 형성하고 제1커패시터(Cst)의 면적을 늘리면 데이터전압의 충전 용량을 늘릴 수 있게 된다. 다른 예로, 제1스캔라인(Em n)을 직선 형태로 형성하고 제2커패시터(Cdt)의 면적을 늘리면 보상 전압(또는 부스팅 전압)의 충전 용량을 늘릴 수 있게 된다.

[0077] 도 9 및 도 10과 같이 비교예(a)는 설계마진 확보가 불가하지만, 실시예(b)는 설계마진 확보가 가능하므로, 제1커패시터(Cst)의 면적을 늘려 플리커(Flicker) 등과 같은 문제를 개선하고 표시품질 향상시킬 수 있다.

[0078] 도 11에 도시된 바와 같이, 실시예는 설계마진 확보를 위해 좌우로 이웃하는 두 개의 서브 픽셀이 좌우 대칭 하도록 형성한다.

[0079] 일례로, 제11서브 픽셀(SP11)과 제12서브 픽셀(SP12)은 초기화라인(VINIT)을 기준으로 좌우가 대칭 하도록 형성된다. 다른 예로, 제12서브 픽셀(SP12)과 제13서브 픽셀(SP13)은 제1전원라인(EVDD)을 기준으로 좌우가 대칭 하도록 형성된다. 이와 같은 형태로 도면에 도시된 제13, 14, 21, 22, 23 및 24서브 픽셀(SP13, 14, 21, 22, 23, 24) 또한 초기화라인(VINIT)이나 제1전원라인(EVDD)을 기준으로 좌우가 대칭 하도록 형성된다.

[0080] 위의 설명과 같이 두 개의 서브 픽셀 사이를 지나는 신호라인 또는 전원라인을 기준으로 좌우 인접하는 두 개의 서브 픽셀을 대칭 하도록 형성하면, 획일적인 형태로 서브 픽셀을 형성할 수 있어 설계마진 확보의 용이성을 더할 수 있다.

[0081] 이하 서브 픽셀의 단면 구조를 설명하면 다음과 같다.

[0082] -제1예에 따른 서브 픽셀의 단면 구조-

[0083] 도 12에 도시된 바와 같이, 하부기관(160a) 상에는 버퍼층(161)이 형성된다. 하부기관(160a)은 유리나 폴리이미드(PI), 폴리에틸렌 테레프탈레이트(PET), 폴리에스테르 셀론(PES), 폴리카보네이트(PC), 폴리에틸렌 나프탈레이트(PEN) 및 폴리우레탄(PU) 등과 같은 수지로 선택된다. 하부기관(160a)이 수지로 선택된 경우 이는 연성을 갖는다. 버퍼층(161)은 하부기관(160a)에서 유출되는 알칼리 이온 등과 같은 불순물 등으로부터 후속 공정에서 형성되는 트랜지스터들을 보호하기 위해 형성된다. 버퍼층(161)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 등으로 형성될 수 있으며, 이는 단층 또는 복층으로 형성되거나 경우에 따라 생략될 수도 있다.

[0084] 하부기관(160a) 또는 버퍼층(161) 상에는 구동트랜지스터(Td)의 액티브층(162a)과 제1커패시터(Cst)의 하부전극(162b)이 형성된다. 액티브층(162a)은 아몰포스실리콘, 폴리실리콘, 저온폴리실리콘, 산화물 및 유기물 중 하나로 선택된다. 하부전극(162b)은 제1커패시터(Cst)의 전극이 된다.

[0085] 액티브층(162a)과 하부전극(162b) 상에는 제1절연막(163)이 형성된다. 제1절연막(163)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 이중층으로 이루어질 수 있다.

[0086] 제1절연막(163) 상에는 제1 내지 제3게이트금속층(164a, 164b, 164c)이 형성된다. 제1 내지 제3게이트금속층(164a, 164b, 164c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제1게이트금속층(164a)은 구동트랜지스터(Td)의 게이트전극이 된다. 제2게이트금속층(164b)은 제1커패시터(Cst)의 상부전극이 된다. 제3게이트금속층(164c)은 스캔라인이 된다.

[0087] 제1 내지 제3게이트금속층(164a, 164b, 164c) 상에는 제2절연막(165)이 형성된다. 제2절연막(165)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 이중층으로 이루어질 수 있다.

[0088] 제2절연막(165) 상에는 제1 내지 제3소오스트레인 금속층(166a, 166b, 166c)이 형성된다. 소오스트레인 금속층(166a, 166b, 166c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제1 및 제2소오스트레인 금속층(166a, 166b)은 구동트랜지스터(Td)의 소오스전극과 드레인전극이 되므로 하부에 형

성된 액티브층(162a)의 소오스영역과 드레인영역에 접속된다. 제3소오스드레인 금속층(166c)은 데이터라인이 된다.

[0089] 위와 같은 공정에 의해, 하부기판(160a) 상에는 초기화라인, 제1 및 제2전원라인, 스캔라인, 데이터라인, 제1 내지 제3트랜지스터, 유기 발광다이오드, 구동트랜지스터, 제1 및 제2커패시터를 포함하는 하부 구조물이 형성된다.

[0090] 제1 내지 제3소오스드레인 금속층(166a, 166b, 166c) 상에는 제3절연막(167)이 형성된다. 제3절연막(167)은 트랜지스터 등을 포함하는 하부 구조물을 덮는 보호막으로 사용된다. 제3절연막(167)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.

[0091] 제3절연막(167) 상에는 평탄화막(168)이 형성된다. 평탄화막(168)은 제3절연막(167)의 상부 표면을 평탄화한다. 평탄화막(168)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

[0092] 평탄화막(168) 상에는 하부전극(169)이 형성된다. 하부전극(169)은 구동트랜지스터의 소오스 또는 드레인전극에 접속된다. 하부전극(169)은 유기 발광다이오드의 애노드전극 또는 캐소드전극으로 선택된다. 하부전극(169)이 애노드전극으로 선택된 경우, 이는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등의 투명한 산화물 전극으로 이루어질 수 있다. 그리고 하부전극(169)은 단층전극 또는 투명전극과 더불어 은(Ag) 등과 같은 반사전극 또는 기타 저저항 금속이 더 포함된 다층전극으로 구성될 수 있으나 이에 한정되지 않는다.

[0093] 하부전극(169) 상에는 बैं크층(170)이 형성된다. बैं크층(170)은 서브 픽셀의 개구영역(또는 발광영역)을 정의하도록 하부전극(169)을 노출하는 층이다. बैं크층(170)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

[0094] बैं크층(170) 상에는 스페이서(180)가 형성된다. 스페이서(180)는 बैं크층(170)에 정의된 개구영역을 제외한 비개구영역에 형성된다. 스페이서(180)는 제조 공정시 마스크와 बैं크층(170) 간의 접촉에 따른 문제를 방지하거나 이후 하부기판(160a)과 상부기판 간의 밀봉시 상부기판의 충격 등에 의해 구조물이 손상되는 문제를 방지하는 등 다양한 역할을 한다. 그러나, 스페이서(180)는 공정 방법에 따라 생략되거나 공정이 종료된 이후 제거될 수도 있다.

[0095] 이하 도시되어 있진 않지만, 하부전극(169) 상에는 유기 발광다이오드의 발광층과 상부전극이 더 형성된다. 발광층은 정공주입층(HIL), 정공수송층(HTL), 전자차단층(EBL), 정공차단층(HBL), 전자수송층(ETL) 및 전자주입층(EIL) 중 적어도 하나를 포함할 수 있으나 이에 한정되지 않는다. 그리고 상부전극은 캐소드전극 또는 애노드전극으로 선택된다. 상부전극은 은(Ag), 알루미늄(Al), 마그네슘(Mg), 리튬(Li), 칼슘(Ca), 플루오르화리튬(LiF), ITO, IZO 등으로 구성된 단층전극, 다층전극 또는 이들을 혼합한 혼합전극으로 구성될 수 있으나 이에 한정되지 않는다.

[0096] -제2예에 따른 서브 픽셀의 단면 구조-

[0097] 도 13에 도시된 바와 같이, 하부기판(160a) 상에는 제1버퍼층(191)이 형성된다. 하부기판(160a)은 유리나 폴리이미드(PI), 폴리에틸렌 테레프탈레이트(PET), 폴리에스테르 설폰(PES), 폴리카보네이트(PC), 폴리에틸렌 나프탈레이트(PEN) 및 폴리우레탄(PU) 등과 같은 수지로 선택된다. 하부기판(160a)이 수지로 선택된 경우 이는 연성을 갖는다. 제1버퍼층(191)은 하부기판(160a)의 표면을 평탄화하는 역할을 한다.

[0098] 제1버퍼층(191) 상에는 쉘드금속층(195)이 형성된다. 쉘드금속층(195)은 하부기판(160a) 상에 형성된 트랜지스터들의 전류 누설 등을 방지하기 위해 외광의 입사를 차단하는 역할을 한다. 쉘드금속층(195)은 저반사 재료로 형성될 수 있으며, 이는 단층 또는 이중 재료로 구성된 복층으로 형성될 수 있다. 쉘드금속층(195)은 하부기판(160a) 상에 형성되는 특정 트랜지스터의 액티브층에 대응되도록 형성되거나 하부기판(160a)의 전면에 대응되도록 형성된다. 이때, 쉘드금속층(195)이 형성되는 영역은 하부기판(160a) 상에 정의된 표시영역의 내부 또는 비 표시영역이 되는 외부까지 확장될 수도 있다.

[0099] 쉘드금속층(195) 상에는 제2버퍼층(161)이 형성된다. 제2버퍼층(161)은 후속 공정에서 형성되는 트랜지스터들을 보호하기 위해 형성된다. 제2버퍼층(161)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등으로 형성될 수 있으며, 이는 단층 또는 복층으로 형성된다. 다만, 쉘드금속층(195)이 생략된 경우 제2버퍼층(161) 또한 생략될 수 있다.

- [0100] 제2버퍼층(161) 상에는 구동트랜지스터(Td)의 액티브층(162)이 형성된다. 액티브층(162)은 아몰포스실리콘, 폴리실리콘, 저온폴리실리콘, 산화물 및 유기물 중 하나로 선택된다.
- [0101] 액티브층(162) 상에는 제1절연막(163)이 형성된다. 제1절연막(163)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.
- [0102] 제1절연막(163) 상에는 제1 내지 제3게이트금속층(164a, 164b, 164c)이 형성된다. 제1 내지 제3게이트금속층(164a, 164b, 164c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제1게이트금속층(164a)은 구동트랜지스터(Td)의 하부 게이트전극이 된다. 제2게이트금속층(164b)은 쉘드금속층(195)과 접속되는 연결전극이 된다. 제3게이트금속층(164c)은 제1커패시터(Cst)의 하부전극이 된다.
- [0103] 제1 내지 제3게이트금속층(164a, 164b, 164c) 상에는 제2-1절연막(165a)이 형성된다. 제2-1절연막(165a)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.
- [0104] 제2-1절연막(165a) 상에는 제1 및 제2금속층(175a, 175b)이 형성된다. 제1 및 제2금속층(175a, 175b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제1금속층(175a)은 구동트랜지스터의 상부 게이트전극이 된다(즉, 구동트랜지스터는 2개의 게이트전극이 상부와 하부에 형성된 더블 게이트전극 구조를 갖는다). 제2금속층(175b)은 제1커패시터(Cst)의 상부전극이 된다.
- [0105] 제1 및 제2금속층(175a, 175b) 상에는 제2-2절연막(165b)이 형성된다. 제2-2절연막(165b)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.
- [0106] 제2-2절연막(165b) 상에는 제1 내지 제3소오스트레인 금속층(166a, 166b, 166c)이 형성된다. 소오스트레인 금속층(166a, 166b, 166c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제1 및 제2소오스트레인 금속층(166a, 166b)은 구동트랜지스터(Td)의 소오스전극과 드레인전극이 되므로 하부에 형성된 액티브층(162a)의 소오스영역과 드레인영역에 접속된다. 제2소오스트레인 금속층(166b)은 제2게이트금속층(164b)을 통해 쉘드금속층(195)과 접속된다. 제3소오스트레인 금속층(166c)은 데이터라인이 된다.
- [0107] 위와 같은 공정에 의해, 하부기관(160a) 상에는 초기화라인, 제1 및 제2전원라인, 스캔라인, 데이터라인, 제1 내지 제3트랜지스터, 유기 발광다이오드, 구동트랜지스터, 제1 및 제2커패시터를 포함하는 하부 구조물이 형성된다.
- [0108] 제1 내지 제3소오스트레인 금속층(166a, 166b, 166c) 상에는 제3절연막(167)이 형성된다. 제3절연막(167)은 트랜지스터 등을 포함하는 하부 구조물을 덮는 보호막으로 사용된다. 제3절연막(167)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.
- [0109] 제3절연막(167) 상에는 평탄화막(168)이 형성된다. 평탄화막(168)은 제3절연막(167)의 상부 표면을 평탄화한다. 평탄화막(168)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.
- [0110] 평탄화막(168) 상에는 하부전극(169)이 형성된다. 하부전극(169)은 구동트랜지스터(Td)의 소오스 또는 드레인전극에 접속된다. 하부전극(169)은 유기 발광다이오드의 애노드전극 또는 캐소드전극으로 선택된다. 하부전극(169)이 애노드전극으로 선택된 경우, 이는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등의 투명한 산화물 전극으로 이루어질 수 있다. 그리고 하부전극(169)은 단층전극 또는 투명전극과 더불어 은(Ag) 등과 같은 반사전극 또는 기타 저저항 금속이 더 포함된 다층전극으로 구성될 수 있으나 이에 한정되지 않는다.
- [0111] 하부전극(169) 상에는 뱅크층(170)이 형성된다. 뱅크층(170)은 서브 픽셀의 개구영역(또는 발광영역)을 정의하도록 하부전극(169)을 노출하는 층이다. 뱅크층(170)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.
- [0112] 뱅크층(170) 상에는 스페이서(180)가 형성된다. 스페이서(180)는 뱅크층(170)에 정의된 개구영역을 제외한 비개구영역에 형성된다. 스페이서(180)는 제조 공정시 마스크와 뱅크층(170) 간의 접촉에 따른 문제를 방지하거나 이후 하부기관(160a)과 상부기관 간의 밀봉시 상부기관의 충격 등에 의해 구조물이 손상되는 문제를 방지하는 등 다양한 역할을 한다. 그러나, 스페이서(180)는 공정 방법에 따라 생략되거나 공정이 종료된 이후 제거될 수

도 있다.

[0113] 이하 도시되어 있진 않지만, 하부전극(169) 상에는 유기 발광다이오드의 발광층과 상부전극이 더 형성된다. 발광층은 정공주입층(HIL), 정공수송층(HTL), 전자차단층(EBL), 정공차단층(HBL), 전자수송층(ETL) 및 전자주입층(EIL) 중 적어도 하나를 포함할 수 있으나 이에 한정되지 않는다. 그리고 상부전극은 캐소드전극 또는 애노드전극으로 선택된다. 상부전극은 은(Ag), 알루미늄(Al), 마그네슘(Mg), 리튬(Li), 칼슘(Ca), 플루오르화리튬(LiF), ITO, IZO 등으로 구성된 단층전극, 다층전극 또는 이들을 혼합한 혼합전극으로 구성될 수 있으나 이에 한정되지 않는다.

[0114] 이상 본 발명은 서브 픽셀의 회로 및 구조를 최적화함과 더불어 사용면적을 최대화하여 고해상도 표시패널을 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 설계 최적화를 통해 커패시터의 충전 용량을 증가시켜 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 설계 최적화 구조를 통해 구동 스트레스(Positive/Negative Bias Stress)로 인한 취약성분을 완화 또는 제거하여 소자의 신뢰성을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

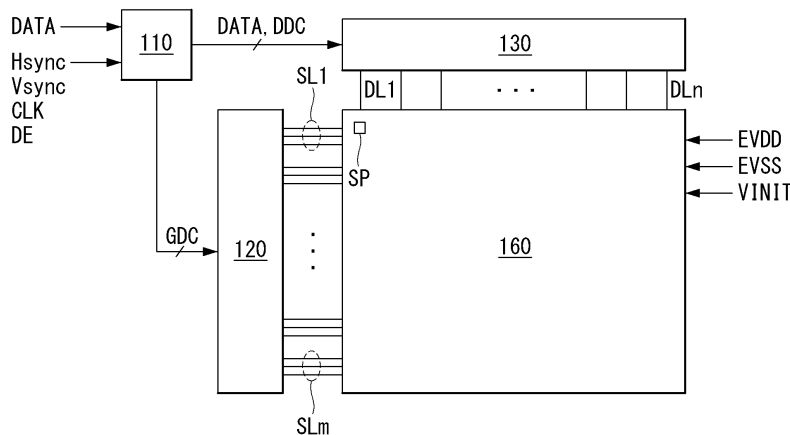
[0115] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

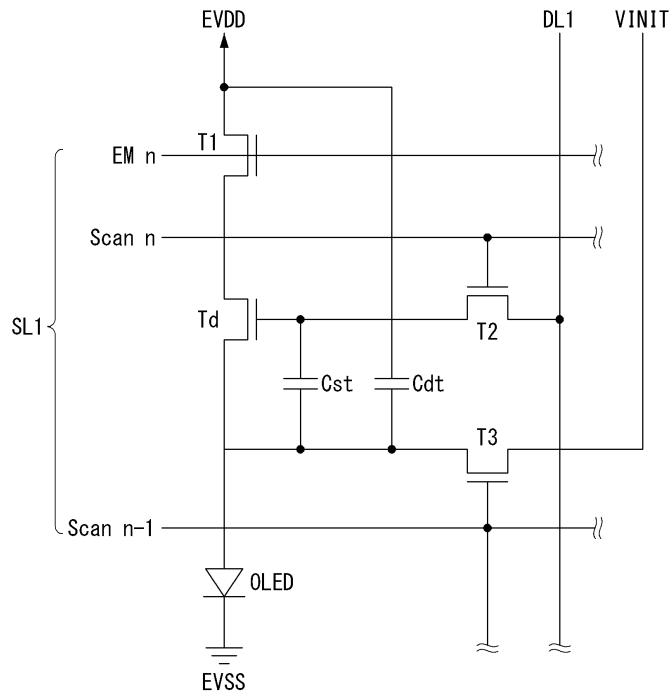
[0116] 110: 타이밍제어부 130: 데이터구동부
120: 스캔구동부 160: 표시패널
SP: 서브 픽셀(들) T1 ~ T3: 제1 내지 제3트랜지스터
OLED: 유기 발광다이오드 Td: 구동트랜지스터
Cst, Cdt: 제1 및 제2커패시터 VINIT: 초기화라인
EVDD: 제1전원라인 EVSS: 제2전원라인
EM n: 제1스캔라인 Scan n: 제2스캔라인
Scan n-1: 제3스캔라인

도면

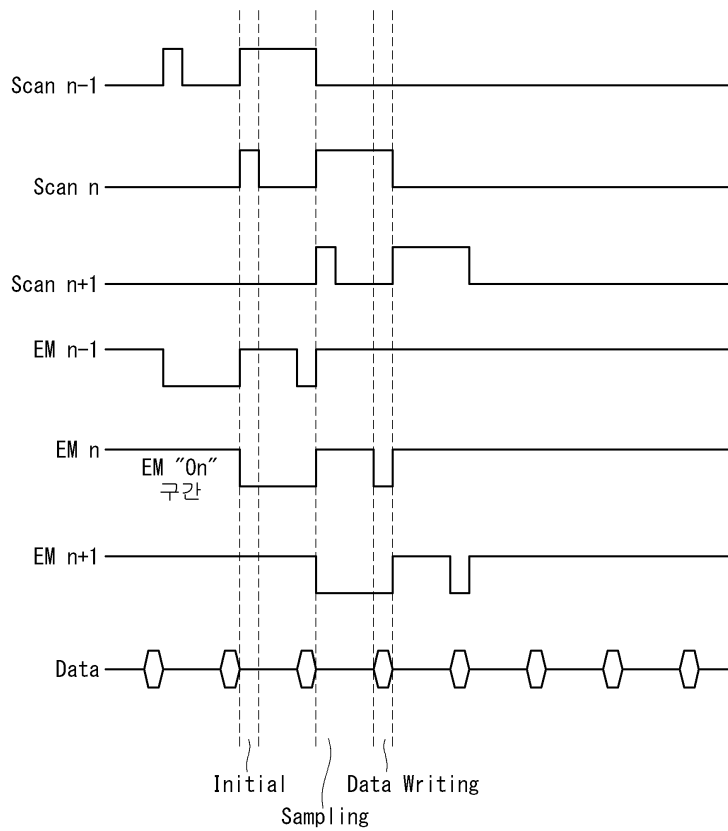
도면1



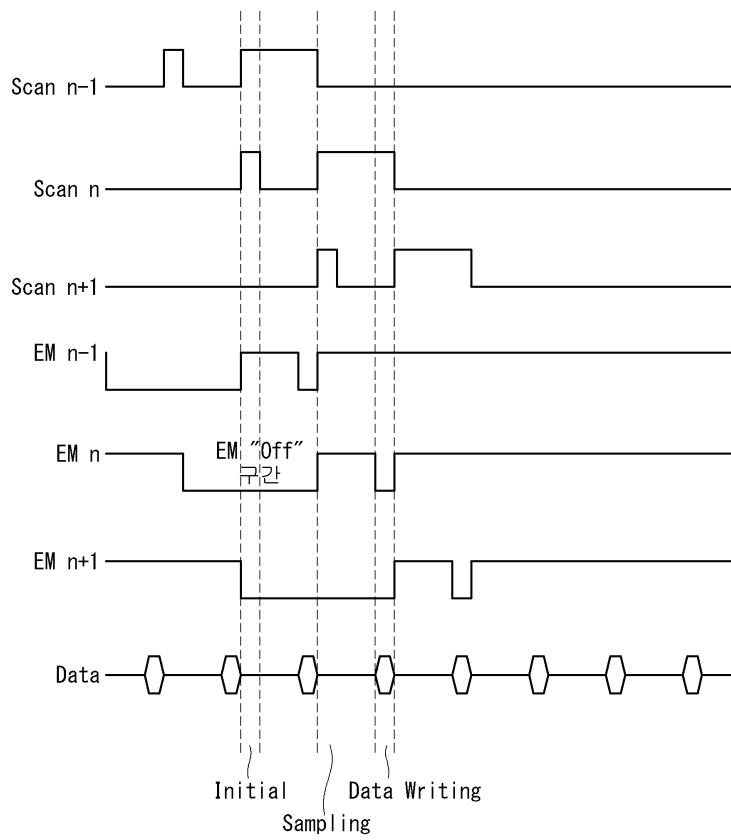
도면2



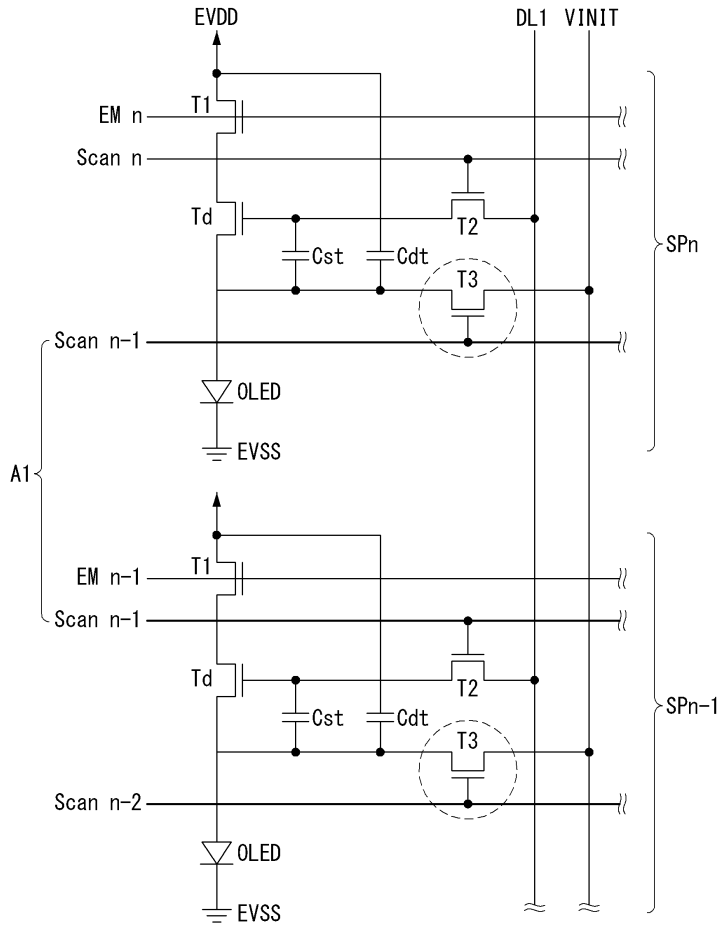
도면3



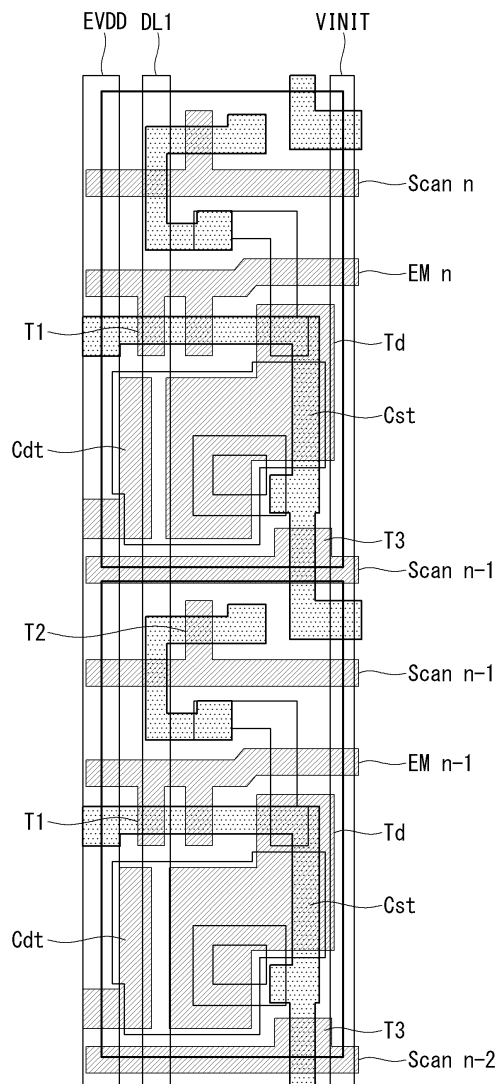
도면4



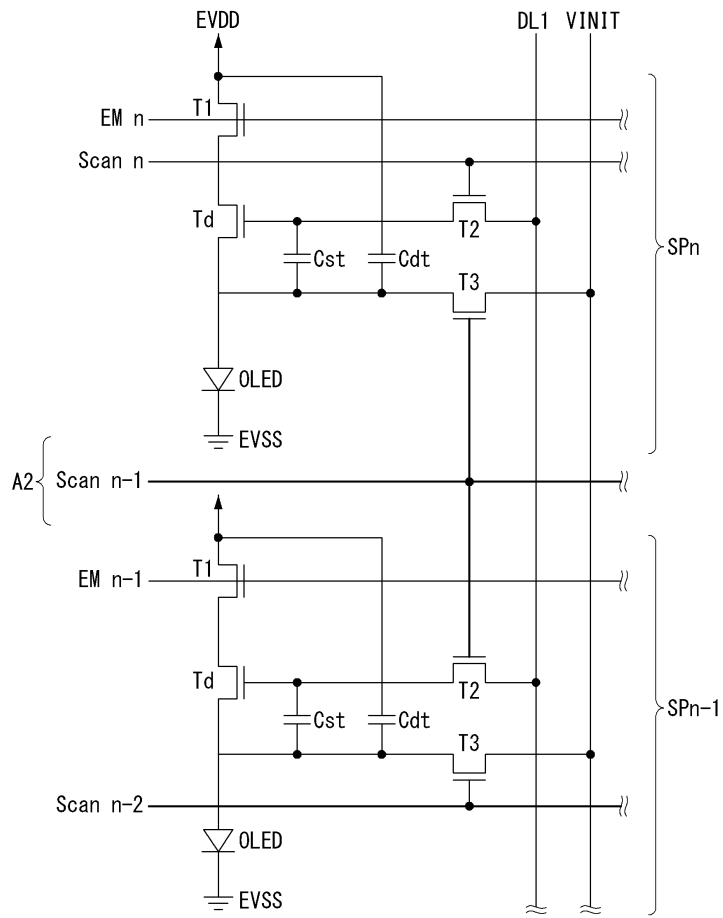
도면5



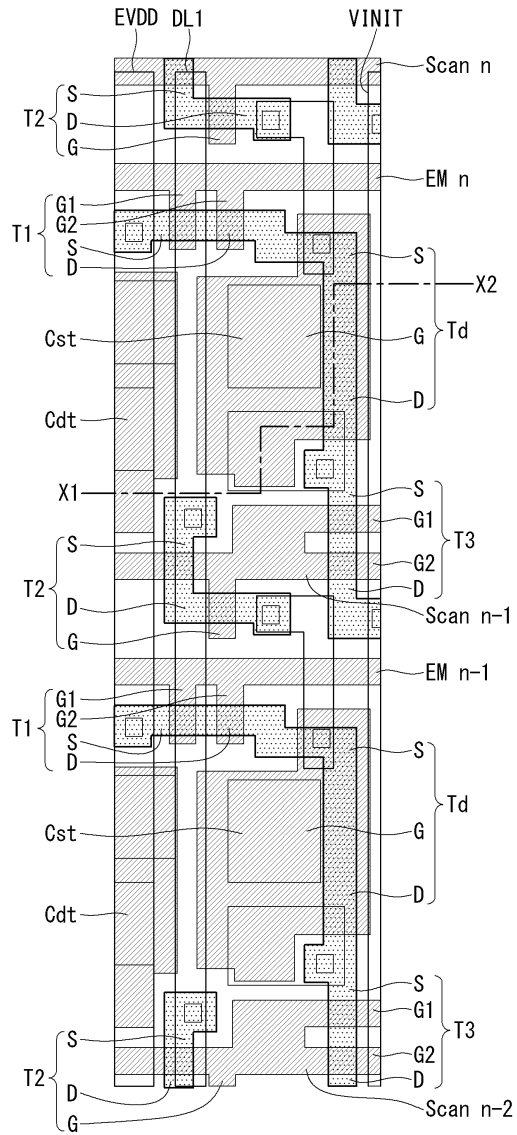
도면6



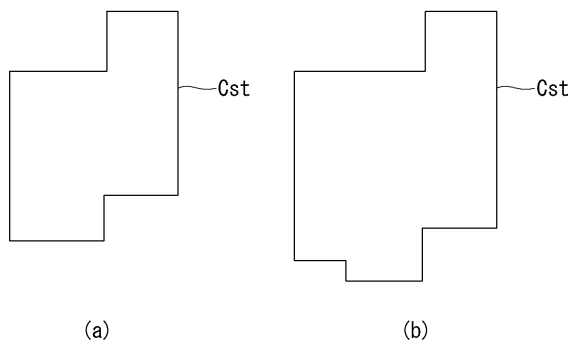
도면7



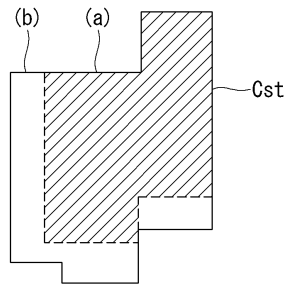
도면8



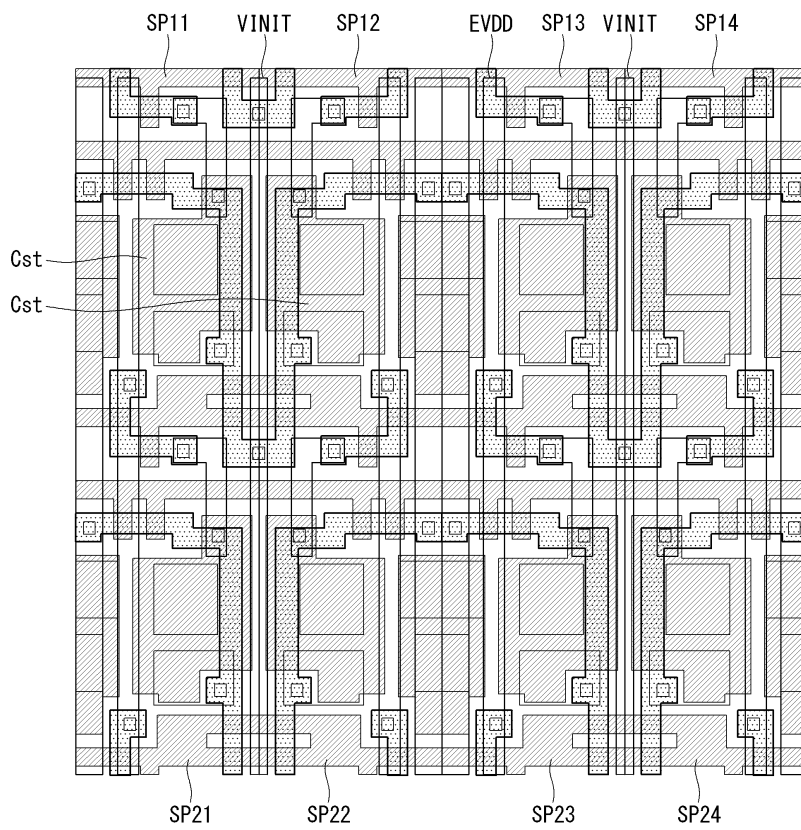
도면9



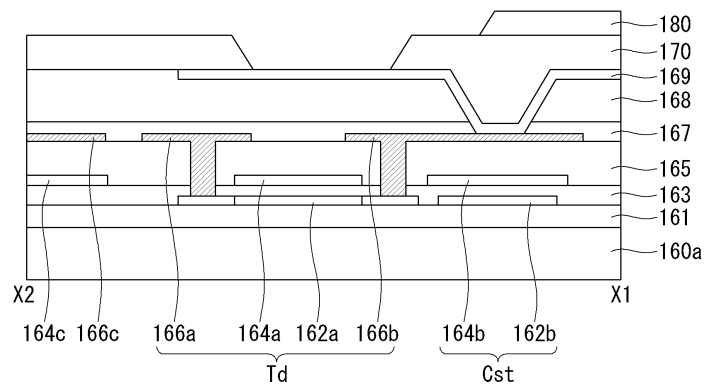
도면10



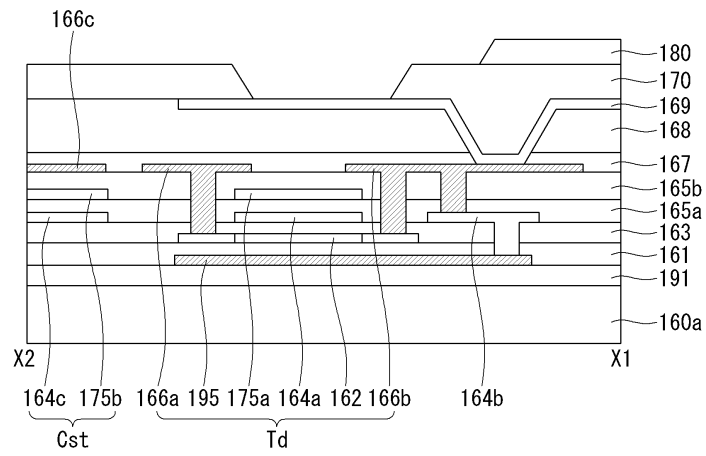
도면11



도면12



도면13



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020150142116A	公开(公告)日	2015-12-22
申请号	KR1020140070059	申请日	2014-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NA SE HWAN 나세환 KIM DO HYUNG 김도형 PARK YOUNG JU 박영주		
发明人	나세환 김도형 박영주		
IPC分类号	H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2310/0262 G09G2310/08		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置。有机发光显示装置包括：显示面板，包括子像素;以及用于向显示面板提供驱动信号的驱动部件。与显示面板的上部和下部相邻的第N行的子像素和第N行的子像素连接到在一次扫描中执行不同功能的晶体管的栅极电极线。

