



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0069804

(43) 공개일자 2015년06월24일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0156370

(22) 출원일자 2013년12월16일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최경식

대전 서구 사마2길 15, 203호 (도마동, 대림연립)

(74) 대리인

특허법인로알

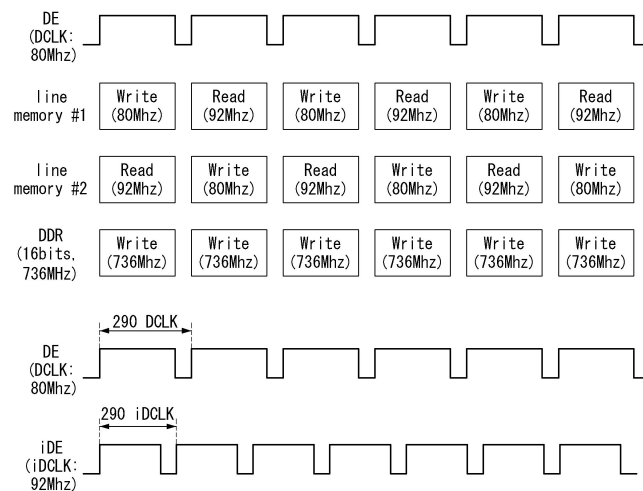
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 유기 발광 다이오드 표시장치

(57) 요약

본 발명은 유기 발광 다이오드 표시장치에 관한 것으로, 데이터 인에이블 기간 동안 픽셀 데이터를 데이터 전압으로 변환하여 표시패널의 데이터 라인들에 공급한 후에 확장된 버티컬 블랭크 기간 내에서 표시패널의 구동 특성 변화를 센싱하는 데이터 구동회로; 상기 데이터 인에이블 기간 동안 상기 데이터 전압에 동기되는 스캔 펄스를 스캔 라인들에 공급한 후에 상기 확장된 버티컬 블랭크 기간 내에서 상기 구동 특성의 변화를 센싱하기 위한 스캔 펄스를 출력하는 스캔 구동회로; 및 상기 구동 특성 변화를 바탕으로 설정된 보상값으로 입력 영상의 데이터를 보상하여 상기 데이터 구동회로로 전송하고 상기 데이터 구동회로와 상기 스캔 구동회로의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함한다.

대표도 - 도11



명세서

청구범위

청구항 1

1 프레임 기간이 데이터 인에이블 기간과 버티컬 블랭크 기간으로 나뉘어지는 유기 발광 다이오드 표시장치에 있어서,

상기 데이터 인에이블 기간 동안 픽셀 데이터를 데이터 전압으로 변환하여 표시패널의 데이터 라인들에 공급한 후에 확장된 버티컬 블랭크 기간 내에서 상기 표시패널의 구동 특성 변화를 센싱하는 데이터 구동회로;

상기 데이터 인에이블 기간 동안 상기 데이터 전압에 동기되는 스캔 펄스를 스캔 라인들에 공급한 후에 상기 확장된 버티컬 블랭크 기간 내에서 상기 구동 특성의 변화를 센싱하기 위한 스캔 펄스를 출력하는 스캔 구동회로; 및

상기 구동 특성 변화를 바탕으로 설정된 보상값으로 입력 영상의 데이터를 보상하여 상기 데이터 구동회로로 전송하고 상기 데이터 구동회로와 상기 스캔 구동회로의 동작 타이밍을 제어하는 타이밍 콘트롤러를 포함하고,

상기 타이밍 콘트롤러는 입력 타이밍 신호에 의해 정의된 상기 데이터 인에이블 기간을 압축하여 상기 확장된 버티컬 블랭크 기간을 상기 입력 타이밍 신호에 의해 정의된 상기 버티컬 블랭크 기간 보다 길게 제어하는 것을 특징으로 하는 유기 발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

상기 표시패널의 1 라인 단위로 교대로 동작하여 1 라인의 픽셀 데이터를 교대로 읽기 및 쓰기하는 제1 및 제2 입력측 라인 메모리들;

상기 표시패널의 1 프레임 기간 단위로 교대로 동작하여 상기 입력측 라인 메모리들로부터 입력되는 데이터읽기 및 쓰기 동작하여 상기 입력측 라인 메모리들로부터 입력되는 데이터를 읽기 및 쓰기하는 제1 및 제2 프레임 메모리들; 및

상기 입력측 라인 메모리들의 읽기 주파수를 상기 입력측 라인 메모리들의 쓰기 주파수 보다 높게 제어하고 상기 입력측 라인 메모리들과 상기 프레임 메모리들의 읽기 및 쓰기 동작 타이밍을 제어하는 메모리 제어부를 포함하는 것을 특징으로 하는 유기 발광 다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 구동회로는,

1 프레임의 확장된 버티컬 블랭크 기간 내에서 상기 표시패널의 1 라인에 포함된 n (n 은 2 이상의 양의 정수) 컬러의 서브 픽셀들로부터 구동 특성 변화를 센싱하는 것을 특징으로 하는 유기 발광 다이오드 표시장치.

청구항 4

제 1 항에 있어서,

상기 확장된 버티컬 블랭크 기간 내에서 발생하는 스캔 펄스의 폭은 상기 데이터 인에이블 기간 내에서 발생하는 스캔 펄스 보다 큰 것을 특징으로 하는 유기 발광 다이오드 표시장치.

청구항 5

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

상기 표시패널의 1 라인 단위로 교대로 동작하여 상기 프레임 메모리들로부터 입력되는 픽셀 데이터를 교대로 읽기 및 쓰기하는 제1 및 제2 출력측 라인 메모리들을 더 포함하고,

상기 메모리 제어부는 상기 입력측 라인 메모리들의 쓰기 주파수와 같은 주파수로 상기 출력측 라인 메모리들의 읽기 및 쓰기 주파수를 제어하는 것을 특징으로 하는 유기 발광 다이오드 표시장치.

청구항 6

제 1 항에 있어서,

상기 보상값은 픽셀에 내장된 구동 TFT의 문턱 전압 변화량을 보상하기 위한 오프셋 값과, 상기 구동 TFT의 이동도 변화량을 보상하기 위한 게인 값 중 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 유기 발광 다이오드 표시장치는 자발광소자이기 때문에 백라이트가 필요한 액정표시장치에 비하여 소비전력이 낮고, 더 얇게 제작될 수 있다. 또한, 유기 발광 다이오드 표시장치는 시야각이 넓고 응답속도가 빠른 장점이 있다. 유기 발광 다이오드 표시장치는 대화면 양산 기술 수준까지 공정 기술이 발전되어 액정표시장치와 경쟁하면서 시장을 확대하고 있다.

[0003] 유기 발광 다이오드 표시장치의 픽셀들은 자발광 소자인 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함한다. OLED에는 도 1과 같이 애노드(Anode)와 캐소드(Cathode) 사이에 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등의 유기 화합물층이 적층된다. 유기 발광 다이오드 표시장치는 형광 또는 인광 유기물 박막에 전류를 흐르게 하여 픽셀의 OLED 내에서 전자와 정공이 유기물층에서 결합할 때 발광하는 현상을 이용하여 입력 영상을 재현한다.

[0004] 유기 발광 다이오드 표시장치는 발광재료의 종류, 발광방식, 발광구조, 구동방식 등에 따라 다양하게 나뉘어질 수 있다. 유기 발광 다이오드 표시장치는 발광방식에 따라 형광발광, 인광발광으로 나뉘고, 발광구조에 따라 전면발광(Top Emission) 구조와 배면발광(Bottom Emission) 구조로 나뉘어질 수 있다. 또한, 유기 발광 다이오드 표시장치는 구동방식에 따라 PMOLED(Passive Matrix OLED)와 AMOLED(Active Matrix OLED)로 나뉘어질 수 있다.

[0005] 유기 발광 다이오드 표시장치의 픽셀들은 입력 영상의 데이터에 따라 OLED에 흐르는 구동전류를 조절하는 구동 TFT(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 TFT의 특성은 모든 픽셀들에서 동일하게 설계되어야 하지만, 공정 편차나 구동 시간, 구동 환경 등에 따라 구동 TFT의 특성이 불균일하다. 따라서, 유기 발광 다이오드 표시장치에는 픽셀의 구동 특성 변화를 센싱(sensing)하고, 센싱 결과에 따라 입력 데이터를 적절히 변경하여 보상 기술이 적용되고 있다. 픽셀의 구동 특성 변화는 구동 TFT의 문턱 전압, 이동도와 같은 구동 TFT의 특성 변화를 포함한다.

[0006] 픽셀의 구동 특성 변화는 구동 TFT의 소스 전압 변화를 바탕으로 추정될 수 있다. 그런데 구동 TFT의 특성을 센싱하는데 필요한 시간이 길어 정상 구동 중에 센싱 시간을 확보하기가 어렵다.

[0007] 유기 발광 다이오드 표시장치의 정상 구동 중에 구동 TFT의 특성을 센싱할 수 있는 시간은 픽셀에 새로운 데이터가 기입되지 않는 버티컬 블랭크(Vertical blank) 내에서 할당될 수 있다. 버티컬 블랭크 기간은 제N(N은 양의 정수) 프레임 기간과 제N+1 프레임 기간 사이에서 데이터 인에이블 신호(Data Enable, DE)가 없는 기간을 의미한다. 데이터 인에이블 신호는 표시패널에서 재현될 입력 영상의 데이터와 동기된다. 버티컬 블랭크 기간에는 입력 영상의 데이터가 입력되지 않는다. 그런데 버티컬 블랭크 기간이 짧기 때문에 1 버티컬 블랭크 기간에

1 컬러의 서브 픽셀에 대한 구동 특성 변화만을 센싱할 수 있다. 그 결과, 모든 픽셀들에서 각 컬러별 보상값 업데이트 주기가 길어 지므로 구동 특성 변를 빠르게 보상할 수 없다.

발명의 내용

해결하려는 과제

[0008]

본 발명은 픽셀의 구동 특성 변화를 센싱할 수 있는 시간 내에 많은 픽셀들의 구동 특성 변화를 센싱할 수 있도록 센싱 시간을 확장하여 보상값 업데이트 주기를 단축할 있는 유기 발광 다이오드 표시장치를 제공한다.

과제의 해결 수단

[0009]

본 발명의 유기 발광 다이오드 표시장치는 데이터 인에이블 기간 동안 픽셀 데이터를 데이터 전압으로 변환하여 표시패널의 데이터 라인들에 공급한 후에 확장된 버티컬 블랭크 기간 내에서 표시패널의 구동 특성 변화를 센싱하는 데이터 구동회로; 상기 데이터 인에이블 기간 동안 상기 데이터 전압에 동기되는 스캔 펄스를 스캔 라인들에 공급한 후에 상기 확장된 버티컬 블랭크 기간 내에서 상기 구동 특성의 변화를 센싱하기 위한 스캔 펄스를 출력하는 스캔 구동회로; 및 상기 구동 특성 변화를 바탕으로 설정된 보상값으로 입력 영상의 데이터를 보상하여 상기 데이터 구동회로로 전송하고 상기 데이터 구동회로와 상기 스캔 구동회로의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함한다.

[0010]

상기 타이밍 컨트롤러는 입력 타이밍 신호에 의해 정의된 상기 데이터 인에이블 기간을 압축하여 상기 확장된 버티컬 블랭크 기간을 상기 입력 타이밍 신호에 의해 정의된 상기 버티컬 블랭크 기간 보다 길게 제어한다.

발명의 효과

[0011]

본 발명은 라인 메모리들과 프레임 메모리들을 이용하여 픽셀들의 구동 특성을 센싱하기 위한 센싱 시간이 포함된 버티컬 블랭크 기간을 확장할 수 있다. 그 결과, 본 발명은 유기 발광 다이오드 표시장치의 모든 픽셀들에 대한 구동 특성 변화를 센싱하는데 필요한 총 센싱 시간을 줄일 수 있으므로 보상값의 업데이트 주기를 빠르게 할 수 있다.

도면의 간단한 설명

[0012]

도 1은 OLED 구조와 그 발광 원리를 보여 주는 도면이다.

도 2는 본 발명의 실시예에 따른 유기 발광 다이오드 표시장치를 보여 주는 블록도이다.

도 3은 서브 픽셀들을 나타내는 도면이다.

도 4는 픽셀의 등가 회로도이다.

도 5는 구동 특성 변화를 센싱하기 위한 신호들을 보여 주는 파형도이다.

도 6은 VESA(Video Electronic Standards Association) 표준의 디스플레이 타이밍을 보여 주는 파형도이다.

도 7 및 도 8은 도 2에 도시된 타이밍 컨트롤러를 상세히 보여 주는 블록도들이다.

도 9는 구동 특성 변화의 센싱 시간 확장을 보여 주는 도면이다.

도 10은 타이밍 컨트롤러의 주파수 변환 동작 예를 보여 주는 파형도이다.

도 11은 본 발명의 센싱 시간 확장 효과를 종래 기술과 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013]

이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동

일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0014] 도 2 내지 도 4를 참조하면, 본 발명의 실시예에 따른 유기 발광 다이오드 표시장치는 표시패널(10)과, 표시패널 구동회로를 포함한다.

[0015] 표시패널(10)의 픽셀 어레이에는 입력 영상의 데이터가 표시된다. 표시패널(10)의 픽셀 어레이는 다수의 데이터 라인들(14)과, 데이터 라인들(14)과 교차되는 다수의 스캔 라인들(15), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다. 픽셀들(P) 각각은 컬러 구현을 위하여 적색 서브 픽셀(R), 녹색 서브 픽셀(G), 청색 서브 픽셀(B)로 나뉘어질 수 있고 또한, 도 3과 같이 백색 서브 픽셀(W)를 더 나뉘어 질 수도 있다. 표시패널(10)에는 픽셀들의 구동 특성 변화량을 센싱하기 위한 레퍼런스 라인들(Reference line)(16)이 형성된다. 도 3에서 DL1~DL4는 데이터 라인들(14)이고, SL1~SL2는 스캔 라인들(15)이다. 서브 픽셀들 각각에는 제1 및 제2 스캔 신호(Scan A, Scan B)가 인가될 수 있도록 한 쌍의 스캔 라인들이 연결될 수 있다.

[0016] 픽셀의 구동 특성 변화량은 구동 TFT의 문턱 전압 변화량(ΔV_{th}), 이동도 변화량($\Delta \mu$) 등과 같은 구동 TFT의 특성 변화를 포함한다. 픽셀의 구동 특성 변화는 서브 픽셀별 구동 TFT의 소스 전압 변화를 바탕으로 각 컬러별로 센싱될 수 있다.

[0017] 픽셀들(P) 각각은 도 4와 같이 3 개의 TFT(T1, T2, T3), 하나의 스토리지 커패시터(Cst), 및 OLED를 포함할 수 있으나, 이에 한정되지 않는다. OLED는 도 1과 같이 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등이 적층된 유기 화합물층들로 구성될 수 있다. 제1 TFT(T1)는 제1 스캔 펄스(Scan A)에 응답하여 데이터 라인(14)을 통해 입력되는 데이터 전압을 제1 노드(A)를 통해 제2 TFT(T1)의 게이트에 인가한다. 제1 TFT(T1)의 게이트는 제1 스캔 펄스(Scan A)가 인가되는 제1 스캔 라인(15)에 연결된다. 제1 TFT(T1)의 드레인은 데이터 라인(14)에 연결되고, 제1 TFT(T1)의 소스는 제1 노드(A)를 경유하여 제2 TFT(T2)의 게이트에 연결된다. 제2 TFT(T2)는 구동 TFT로서 게이트 전압에 따라 OLED에 흐르는 전류를 조정한다. 제2 TFT(T2)의 드레인에는 고전위 픽셀 전원 전압(VDD)이 인가된다. 제2 TFT(T2)의 소스는 제2 노드(B)를 경유하여 OLED의 애노드에 연결된다. 제3 TFT(T3)는 제2 스캔 펄스(Scan B)에 응답하여 제2 노드(B)와 제3 노드(C)를 연결한다. 제3 노드(C)는 레퍼런스 라인(16)에 연결된다. 제3 TFT(T3)는 픽셀들(P)에 데이터가 기입되는 데이터 인에이블 기간(도 6, AA) 동안 오프(off) 상태를 유지하고, 픽셀들(P)의 서브 픽셀별 구동 특성이 센싱되는 버티컬 블랭크 기간(도 6, VB') 동안 제2 스캔 펄스(Scan B)에 따라 턴-온(turn-on)된다. 제3 TFT(T3)의 드레인은 제2 노드(B)에 연결되고, 그 소스는 제3 노드(C)에 연결된다. 제3 TFT(T3)의 게이트는 제2 스캔 펄스(Scan B)가 인가되는 제2 스캔 라인(15)에 연결된다. 스토리지 커패시터(Cst)는 제1 및 제2 노드(A, B)를 통해 제2 TFT(T2)의 게이트-소스 간에 연결된다. OLED의 애노드는 구동 소자(DRTFT)의 소스에 연결되고, OLED의 캐소드는 기저 전압원(GND)에 연결된다.

[0018] 표시패널 구동회로는 데이터 구동회로(12), 스캔 구동회로(13), 및 타이밍 콘트롤러(Timing controller, 11)를 포함한다. 표시패널 구동회로는 입력 영상의 데이터를 표시패널(10)의 픽셀 어레이에 기입한다.

[0019] 데이터 구동회로(12)는 하나 이상의 소스 드라이브 IC(integrated circuit)를 포함한다. 데이터 구동회로(12)는 디지털-아날로그 변환기(Digital-to-Analog Converter, 이하 "DAC"라 함)를 이용하여 타이밍 콘트롤러(11)로부터 입력된 입력 영상의 픽셀 데이터(DATA')를 아날로그 감마보상전압으로 변환하여 데이터 전압을 발생하고 그 데이터 전압을 데이터 라인들(14)로 출력한다. 픽셀 데이터 각각은 적색 데이터, 녹색 데이터, 청색 데이터 및 백색 데이터를 포함한다.

[0020] 데이터 구동회로(12)는 아날로그-디지털 변환기(Analog-to-Digital Converter, 이하 "ADC"라 함)와 레퍼런스 라인(16)을 통해 수신된 구동 특성 변화 값을 타이밍 콘트롤러(11)에 전송한다. 도 4에 도시된 ADC, DAD 및 스위치(S1)는 데이터 구동회로(12)에 내장된다.

[0021] 스캔 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 데이터 인에이블 기간 동안 데이터 구동회로(12)의 출력 전압에 동기되는 스캔 펄스(또는 게이트 펄스)를 스캔 라인들(15)에 공급한다. 스캔 구동회로(13)는 버티컬 블랭크 기간(VB') 동안 구동 특성의 변화를 센싱하기 위한 스캔 펄스를 스캔 라인들(15)에 공급한다. 따라서, 스캔 구동회로(13)는 스캔 펄스를 순차적으로 시프트시켜 데이터가 기입되는 픽셀들을 라인 단위로 순차적으로 선택하고 또한, 구동 특성 변화가 센싱될 픽셀들을 라인 단위로 순차적으로 선택한다.

[0022] 일반적으로 픽셀의 구동 특성 변화를 1회 센싱하는데 필요한 시간은 1 수평 기간 보다 더 길다. 이에 비하여,

픽셀에 새로운 데이터 전압이 충전하는데 설정된 시간은 1 수평 기간이다. 따라서, 버티컬 블랭크 기간(VB')에서 발생하는 스캔 펄스의 폭은 데이터 인에이블 기간에 발생하는 스캔 펄스 보다 크게 설정된다.

[0023] 타이밍 컨트롤러(11)는 도시하지 않은 호스트 시스템(host system)으로부터 입력 영상의 픽셀 데이터(DATA)와 입력 타이밍 신호들을 입력받는다. 입력 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등을 포함한다. 타이밍 컨트롤러(11)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동회로(12)와 스캔 구동회로(13)의 동작 타이밍을 제어하기 위한 타이밍 제어신호(DDC, GDC)를 발생한다.

[0024] 타이밍 컨트롤러(11)는 입력 타이밍 신호에 의해 정의된 데이터 인에이블 기간(AA)을 압축하여 버티컬 블랭크 기간(VB)을 확장하여 1 프레임당 픽셀들의 구동 특성 변화를 센싱할 수 있는 시간을 길게 제어한다. 타이밍 컨트롤러(11)는 프레임 메모리와 라인 메모리를 이용하여 데이터 인에이블 기간(AA)의 주파수를 높임으로써 데이터 인에이블 기간(AA)을 압축하여 상대적으로 서브 픽셀별 구동 특성 변화를 센싱할 수 있는 버티컬 블랭크 기간(VB)을 넓힌다. 타이밍 컨트롤러(11)는 확장된 버티컬 블랭크 기간(VB') 동안 도 5와 같은 신호를 발생하여 데이터 구동회로(12)로 하여금 2 컬러 이상의 서브 픽셀별 구동 특성 변화를 센싱하도록 한다.

[0025] 타이밍 컨트롤러(11)는 데이터 구동회로(12)로부터 수신된 구동 특성 변화값을 바탕으로 보상값을 산출하는 화질 보상 알고리즘을 실행한다. 화질 보상 알고리즘은 유기 발광 다이오드 표시장치의 구동 특성 변화를 보상하는 공지의 어떠한 알고리즘으로도 구현될 수 있다. 화질 보상 알고리즘은 보상값으로 입력 영상의 픽셀 데이터(DATA)를 변조한다. 보상값은 픽셀 데이터(DATA)에 가감되어 구동 TFT의 문턱전압을 보상하는 오프셋(offset) 값과, 픽셀 데이터(DATA)에 곱해져 구동 TFT의 이동도를 보상하는 게인(gain) 값을 포함한다. 타이밍 컨트롤러(11)는 화질 보상 알고리즘에 의해 변조된 픽셀 데이터(DATA')를 데이터 구동회로(12)로 전송한다.

[0026] 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다.

[0027] 본 발명은 타이밍 컨트롤러(11)와 데이터 구동회로(12)를 이용하여 픽셀들의 서브 픽셀별 구동 특성 변화를 보상하는 외부 보상 방법을 적용함으로써 유기 발광 다이오드 표시장치의 수율과 수명을 증가시킨다. 또한, 본 발명은 외부 보상 방법을 적용하여 픽셀 내의 내부 보상 회로를 생략하거나 최소화함으로써 픽셀들을 도 4와 같이 단순화하여 픽셀의 개구율과 수율을 높일 수 있다.

[0028] 도 4는 픽셀의 등가 회로도이다. 도 5는 구동 특성 변화를 센싱하기 위한 신호들을 보여 주는 파형도이다.

[0029] 도 4 및 도 5를 참조하면, 타이밍 컨트롤러(11)는 버티컬 블랭크 기간(VB') 동안 제1 및 제2 스캔 펄스(Scan A, Scan B)와, 초기화 펄스(INIT)를 발생한다. 제1 스캔 펄스(Scan A)의 펄스 폭은 제2 스캔 펄스(Scan B) 보다 작다. 초기화 펄스(INIT)의 펄스 폭은 제1 스캔 펄스(Scan A) 보다 크고 제2 스캔 펄스(Scan B) 보다 작다. 제2 스캔 펄스(Scan B)가 라이징(rising)된 후에 초기화 펄스(INIT)와 제1 스캔 펄스(Scan A)가 순차적으로 라이징된다. 이어서, 제1 스캔펄스(Scan A)가 폴링(falling)된 후에 초기화 펄스(INIT)와 제2 스캔 펄스(Scan B)가 순차적으로 폴링된다.

[0030] 데이터 구동회로(12)는 버티컬 블랭크 기간(VB') 동안 구동 특성 변화 센싱을 위해 미리 설정된 데이터 전압을 데이터 라인들(14)에 공급한다. 데이터 전압은 입력 영상의 데이터 전압과 무관하게 소정 전압으로 설정된 전압이다.

[0031] 제3 TFT(T3)는 제2 스캔 펄스(Scan B)에 응답하여 턴-온되어 제2 및 제3 노드들(B, C)을 연결한다. 이어서, 초기화 펄스(INIT)는 스위치(S1)를 턴-온시켜 소정의 초기화 전압(Vinit)을 제3 노드(C)에 공급한다. 초기화 전압(Vinit)은 제2 및 제3 노드(B, C)를 초기화시킨다. 이어서, 제1 스캔 펄스(Scan A)가 발생되어 소정의 데이터 전압이 제2 TFT(T2)의 게이트에 인가되어 제2 및 제3 노드(B, C)의 전압이 상승한다. ADC는 센싱 시간(ts) 동안 상승하는 제3 노드(C)의 전압 변화를 디지털 값으로 변환하여 구동 특성 변화값을 발생한다. 구동 특성 변화값은 타이밍 컨트롤러(11)에 전송된다.

[0032] 도 6은 VESA 표준의 디스플레이 타이밍을 보여 주는 파형도이다.

[0033] 도 6을 참조하면, 입력 타이밍 신호에 의해 정의되는 1 프레임 기간은 데이터 인에이블 구간(AA)과, 버티컬 블랭크 기간(VB)으로 나뉘어진다.

[0034] 데이터 인에이블 신호(DE)는 입력 영상의 데이터와 동기된다. 데이터 인에이블 신호(DE)의 1 펄스 주기는 1 수평기간이고, 데이터 인에이블 신호(DE)의 하이 로직(high logic) 구간 즉, 펄스 폭은 1 라인 데이터 타이밍을

나타낸다. 1 수평 기간은 표시패널(100)에서 1 라인의 픽셀들에 데이터를 기입하는데 필요한 시간(horizontal address time)이다.

- [0035] 데이터 인에이블 신호(DE)와 입력 영상의 데이터는 데이터 인에이블 기간(AA) 동안 입력되고, 버티컬 블랭크 기간(VB)에 입력되지 않는다. 데이터 인에이블 기간(AA)은 픽셀 어레이의 모든 픽셀들에 1 프레임 분량의 픽셀 데이터를 표시하는데 필요한 시간(Vertical address time)이다.
- [0036] 버티컬 블랭크 시간(VB)은 수직 싱크 시간(Vertical sync time, VS), 버티컬 프론트 포치(Vertical Front Porch, FP), 및 버티컬 백 포치(Vertical Back Porch, BP)를 포함한다. 수직 싱크 시간(VS)은 Vsync의 폴링 에지부터 라이징 에지까지의 시간으로서, 한 화면의 시작(또는 끝) 타이밍을 나타낸다.
- [0037] 버티컬 프론트 포치(FP)는 1 프레임 데이터의 마지막 라인 데이터 타이밍을 나타내는 데이터 인에이블 신호(DE)의 마지막 펄스의 폴링 에지부터 버티컬 블랭크 시간(VB)의 시작까지의 시간이다. 버티컬 백 포치(BP)는 버티컬 블랭크 시간(VB)의 끝부터 1 프레임 데이터의 제1 라인 데이터 타이밍을 나타내는 데이터 인에이블 신호(DE)의 제1 펄스의 라이징 에지까지의 시간이다.
- [0038] 도 6에서 VB'는 타이밍 컨트롤러(11)에 의해 확장된 버티컬 블랭크 기간이고, iDE는 타이밍 컨트롤러(11)에 의해 생성된 내부 데이터 인에이블 신호이다.
- [0039] 도 7 및 도 8은 타이밍 컨트롤러(11)를 상세히 보여 주는 블록도들이다.
- [0040] 도 7 및 도 8을 참조하면, 타이밍 컨트롤러(11)는 프레임 메모리(70), 주파수 변환부(72), 알고리즘 실행부(74), 구동회로 제어부(76) 등을 포함한다.
- [0041] 프레임 메모리(70)는 주파수 변환부(72)에 의해 입력 영상의 픽셀 데이터를 내부 저장 공간에 읽거나 쓴다. 프레임 메모리(70)는 데이터 읽기와 쓰기 동작 과정에서 지연 시간을 줄이기 위하여 2 개의 프레임 메모리(#1, #2)로 구성될 수 있다. 프레임 메모리(70)는 DDR SDRAM(Double data rate synchronous dynamic random access memory)으로 구현될 수 있다.
- [0042] 주파수 변환부(72)는 쓰기(write) 주파수에 비하여 읽기(read) 주파수가 높은 적어도 2 개의 입력 라인 메모리들(#1, #2)을 이용하여 입력 영상의 데이터 주파수를 높여 데이터 인에이블 기간(AA)을 압축한다.
- [0043] 주파수 변환부(72)는 도 8과 같이 입력측 라인 메모리들(82), 메모리 제어부(84), 및 출력측 라인 메모리들(86)을 포함한다.
- [0044] 입력측 라인 메모리들(82)은, 쓰기(write) 주파수에 비하여 읽기(read) 주파수가 높은 제1 및 제2 라인 메모리들(#1, #2)을 포함한다. 출력측 라인 메모리들(86)은 읽기(read) 주파수와 쓰기(write) 주파수가 같은 제1 및 제2 라인 메모리들(#1, #2)을 포함한다.
- [0045] 입력측 라인 메모리들(82 #1, 82 #2)은 데이터 인에이블 신호를 줄이기 위하여 사용된다. 프레임 메모리(70)는 입력측 라인 메모리들(82)을 통해 입력된 1 프레임 분량의 데이터를 빠른 쓰기 속도로 데이터를 저장하여 데이터 인에이블 기간(AA)을 압축한다. 프레임 메모리(70)는 데이터 인에이블 기간(AA)을 압축하여 1 프레임 기간 내에서 상대적으로 버티컬 블랭크 시간(VB)을 늘린다.
- [0046] 출력측 라인 메모리들(84 #1, 84 #2)은 프레임 메모리(70)로부터 픽셀 데이터를 읽어올 때 지연 시간이 발생하는 문제를 방지하기 위하여 이용된다. 만약, 프레임 메모리(70)로부터 픽셀 데이터를 읽어 올 때 시간 지연 문제가 없으면 출력측 라인 메모리들(84)은 생략될 수 있다.
- [0047] 입력측 라인 메모리들(82)의 쓰기 클럭 단자(WRT CLK)에는 제1 주파수의 입력 도트 클럭(DCLK)이 입력된다. 입력측 라인 메모리들(82)의 읽기 클럭 단자(READ CLK)에는 제1 주파수 보다 높은 제2 주파수의 내부 도트 클럭(iDCLK)이 입력된다. 출력측 라인 메모리들(86)의 쓰기 클럭 단자(WRT CLK)와 읽기 클럭 단자(READ CLK)에는 제2 주파수의 내부 도트 클럭(DCLK)이 입력된다.
- [0048] 이하의 실시예에서, 제1 주파수는 80 Mhz로 제2 주파수를 90 Mhz로, 그리고 프레임 메모리(70)의 쓰기 주파수를 736 Mhz로 예시하였으나 이에 한정되지 않는다.
- [0049] 입력측 라인 메모리들(82)의 쓰기 클럭 단자(WRT CLK)에는 제1 주파수의 입력 도트 클럭(DCLK)이 입력된다. 입력측 라인 메모리들(82)의 읽기 클럭 단자(READ CLK)에는 제1 주파수 보다 높은 제2 주파수의 내부 도트 클럭(iDCLK)이 입력된다.

- [0050] 메모리 제어부(84)는 입력측 라인 메모리들의 읽기 주파수를 쓰기 주파수 보다 높게 제어하고 입력측 라인 메모리들과 프레임 메모리들의 읽기 및 쓰기 동작 타이밍을 제어한다. 이를 위하여, 메모리 제어부(84)는 입력 도트 클럭 주파수(DCLK)의 주파수 보다 높은 주파수를 갖는 내부 도트 클럭(iDCLK)을 발생하고, 또한 입력 데이터 인에이블 신호(DE)의 주파수 보다 높은 주파수를 갖는 내부 데이터 인에이블 신호(iDE)를 발생한다. 메모리 제어부(84)는 위상동기회로(Phase-Locked Loop, PLL)와 같은 클럭 발생 수단을 이용하여 높은 주파수의 내부 도트 클럭(iDCLK)을 발생한다. 클럭 발생 수단은 내부 발진기(OSC)로부터 입력되는 고속 클럭(OSC CLK)을 소정의 분주비로 분주하여 위상이 고정된 안정한 주파수의 내부 도트 클럭(iDCLK)을 발생한다.
- [0051] 알고리즘 실행부(74)는 미리 설정된 화질 보상 알고리즘을 실행하여 데이터 구동회로(12)의 ADC를 통해 입력되는 픽셀의 구동 특성 변화량을 보상하기 위한 보상값을 산출한다. 보상값은 구동 TFT(T2)의 문턱 전압 변화량(ΔV_{th})을 보상하기 위한 오프셋(offset)과, 구동 TFT(T2)의 이동도 변화량($\Delta \mu$)을 보상하기 위한 게인(gain) 중 하나 이상을 포함한다. 예컨대, 알고리즘 실행부(74)는 버티컬 블랭크 기간(VB) 동안 구동 TFT(T2)의 이동도 변화를 보상하거나, 구동 TFT(T2)의 문턱 전압 변화와 이동도 변화를 보상할 수 있다.
- [0052] 구동회로 제어부(76)는 입력 주파수에 비하여 높은 주파수로 발생하는 내부 도트 클럭(iDCLK)과 내부 데이터 인에이블 신호(iDE)를 바탕으로 데이터 구동회로(12)와 스캔 구동회로(13)의 동작 타이밍을 제어하기 위한 타이밍 제어신호(DDC, GDC)를 발생한다.
- [0053] 도 9는 구동 특성 변화의 센싱 시간 확장을 보여 주는 도면이다. 도 10은 본 발명의 센싱 시간 개선 효과를 종래 기술과 비교한 도면이다. 도 10에서, (A)는 종래 기술의 일 예이고, (B)는 본 발명이다.
- [0054] 도 9 및 도 10을 참조하면, 본 발명은 유기 발광 다이오드 표시장치의 1 프레임 기간에서 데이터 인에이블 기간(AA)을 압축하여 버티컬 블랭크 기간(VB) 내에서 할당되는 센싱 시간을 늘릴 수 있다. 그 결과, 1 버티컬 블랭크 기간(VB) 내에서 1 라인에 포함된 n(은 2 이상의 양의 정수) 컬러의 서브 픽셀들에서 구동 특성 변화를 센싱할 수 있다. 그 결과, 본 발명은 모든 픽셀들에 대한 서브 픽셀별 구동 특성 변화를 보상하기 위한 보상값들을 빠르게 업데이트하여 구동 특성의 보상 주기를 빠르게 할 수 있다.
- [0055] 도트 클럭의 주파수를 80 MHz에서 92 MHz로 높일 때 1 수평 기간(1H)의 시간은 3.625us에서 3.15us로 줄어들게 되고 UD 해상도의 라인 수 즉, 2160 line 기준으로 보면 7830us에서 6808.7us로 줄어들게 된다. 데이터 인에이블 신호의 1 펄스 주기에는 290 개의 도트 클럭이 입력된다. 1 프레임 기간을 기준으로 볼 때 도트 클럭의 주파수가 80MHz 일 때 버티컬 블랭크 기간(VB)은 90 수평기간 만큼의 시간인 326.25us 정도이지만 도트 클럭의 주파수를 92 MHz로 높이면 버티컬 블랭크 기간(VB)이 1347.55us로 4배 가량 넓어진다. 그 결과, 본 발명은 1 프레임 기간 마다 4 컬러의 서브 픽셀들 각각의 구동 특성 변화를 센싱할 수 있다.
- [0056] 120Hz의 프레임 레이트(frame rate)로 구동하는 표시패널의 해상도가 UD(3840*2160)이고 1 픽셀이 4 개의 서브 픽셀들(R, G, B, W)을 포함할 때, 종래에는 1 버티컬 블랭크 기간(VB)에 1 서브 픽셀에 대한 구동 특성 변화를 센싱할 수 있었다. 종래 기술에서 표시패널의 모든 라인들에서 4 서브 픽셀들의 구동 특성 변화를 센싱하는데 필요한 시간은 $4(\text{sub-pixel}) * 2160(\text{line}) / 120(\text{hz}) = 72(\text{sec})$ 이다. 이에 비하여, 본 발명은 1 버티컬 블랭크 기간(VB)에 4 서브 픽셀에 대한 구동 특성 변화를 센싱할 수 있으므로 표시패널의 모든 라인들에서 4 서브 픽셀들의 구동 특성 변화를 센싱하는데 필요한 시간을 $4(\text{sub-pixel}) * 2160(\text{line}) / 120(\text{Hz}) / 4(\text{회}) = 18(\text{s})$ 로 줄여 보상 업데이트 시간을 단축할 수 있다.
- [0057] 도 11은 타이밍 콘트롤러의 주파수 변환 동작 예를 보여 주는 파형도로서 입력측 라인 메모리들(#1, #2)과 프레임 메모리의 읽기 및 쓰기 동작을 보여 준다.
- [0058] 도 11을 참조하면, 입력측 라인 메모리들(#1, #1)은 메모리 제어부(84)의 제어 하에 입력 영상의 픽셀 데이터(DATA)를 교대로 읽고 쓴다. 입력 도트 클럭(DCLK)이 80 MHz일 경우, 라인 메모리들(#1, #2)은 픽셀 데이터(DAT)를 80 MHz로 쓰고 92 MHz로 읽어 낸다. 프레임 메모리(70)는 메모리 제어부(84)의 제어 하에 92 Mhz의 8 배인 736 MHz의 주파수로 라인 메모리들(#1, #2)로부터 교대로 입력되는 픽셀 데이터(DATA)를 쓰고 읽는다.
- [0059] 입력측 라인 메모리들(82)은 데이터 인에이블 신호의 주파수를 높이기 위해 이용된다. 제N(N은 양의 정수) 라인의 픽셀 데이터를 Nth Line, 제1 입력측 라인 메모리(82 #1)의 읽기 동작을 Lime mem_in #1 Read, 제1 입력측 라인 메모리(82 #1)의 쓰기 동작을 Lime mem_in #1 Write, 제2 입력측 라인 메모리(82 #2)의 읽기 동작을 Lime mem_in #2 Read, 제2 입력측 라인 메모리(82 #2)의 쓰기 동작을 Lime mem_in #2 Write라 할 때 입력측 라인 메모리들의 동작은 다음과 같다.

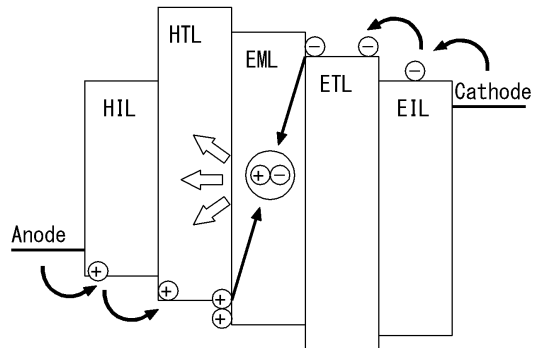
- [0060] Nth Line : Line mem_in #1 Read(92 Mhz), Line mem_in #2 Write(80 Mhz)
- [0061] (N+1)th line : Line mem_in #1 Write(80 Mhz), Line mem_in #2 Read(92 Mhz)
- [0062] (N+2)th line : Line mem_in #1 Read(92 Mhz), Line mem_in #2 Write(80 Mhz)
- [0063] (N+3)th line : Line mem_in #1 Write(80 Mhz), Line mem_in #2 Read(92 Mhz)
- [0064] 프레임 메모리(70)에는 제1 및 제2 입력측 라인 메모리들로부터 픽셀 데이터가 교대로 입력된다. 프레임 메모리(70)는 픽셀 데이터들에 대하여 교대로 읽기 및 쓰기 동작하는 두 개의 프레임 메모리들로 구성될 수 있다. 메모리 제어부(84)는 입력측 라인 메모리들로부터 읽은 픽셀 데이터(DATA)를 두 개의 프레임 메모리들에 교대로 쓴다. 예를 들어, 기수(odd) 번째 프레임 기간 동안 제1 프레임 메모리로부터 픽셀 데이터가 읽혀지고 제2 프레임 메모리에 픽셀 데이터가 쓰여질 수 있다. 이어서, 우수(even) 프레임 기간 제2 프레임 메모리로부터 픽셀 데이터가 읽혀지고 제1 프레임 메모리에 픽셀 데이터가 쓰여질 수 있다.
- [0065] 제N 프레임 기간을 Nth Frame, 제1 프레임 메모리(#1)의 읽기 동작을 DDR #1 Read, 제1 프레임 메모리(#1)의 쓰기 동작을 DDR #1 Write, 제2 프레임 메모리(#2)의 읽기 동작을 DDR #1 Read, 제2 프레임 메모리(#2)의 쓰기 동작을 DDR #2 Write라 할 때 프레임 메모리(70)의 동작은 다음과 같다.
- [0066] Nth Frame : DDR #1 Write(736 Mhz), DDR #2 Read(736 Mhz)
- [0067] (N+1)th Frame : DDR #1 Read(736 Mhz), DDR #2 Write(736 Mhz)
- [0068] (N+2)th Frame : DDR #1 Write(736 Mhz), DDR #2 Read(736 Mhz)
- [0069] (N+3)th Frame : DDR #1 Read(736 Mhz), DDR #2 Write(736 Mhz)
- [0070] 출력측 라인 메모리들(86)은 프레임 메모리(70)로부터 읽혀지는 픽셀 데이터를 일시 저장한다. 출력측 라인 메모리들(86)은 데이터 구동회로(12)에 픽셀 데이터를 끊김 없이 연속적으로 전송하기 위하여 이용된다. 출력측 라인 메모리들(86)은 도 8과 같이 입력측 라인 메모리들(82)의 쓰기 주파수와 같은 주파수로 읽기 및 쓰기 동작한다. 제N 라인의 픽셀 데이터를 Nth Line, 제1 출력측 라인 메모리(86 #1)의 읽기 동작을 Lime mem_out #1 Read, 제1 출력측 라인 메모리(86 #1)의 쓰기 동작을 Lime mem_out #1 Write, 제2 출력측 라인 메모리(86 #2)의 읽기 동작을 Lime mem_out #2 Read, 제2 출력측 라인 메모리(86 #2)의 쓰기 동작을 Lime mem_out #2 Write라 할 때 출력측 라인 메모리들(86)의 동작은 다음과 같다.
- [0071] Nth Line : Line mem_out #1 Read(92 Mhz), Line mem_out #2 Write(80 Mhz)
- [0072] (N+1)th line : Line mem_out #1 Write(92 Mhz), Line mem_out #2 Read(92 Mhz)
- [0073] (N+2)th line : Line mem_out #1 Read(92 Mhz), Line mem_out #2 Write(92 Mhz)
- [0074] (N+3)th line : Line mem_out #1 Write(92 Mhz), Line mem_out #2 Read(92 Mhz)
- [0075] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

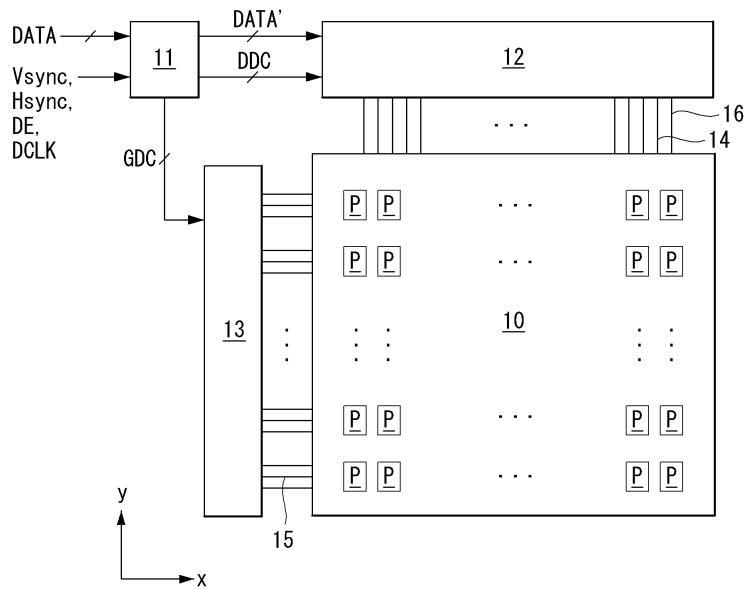
- [0076] 10 : 표시패널 11 : 타이밍 콘트롤러
- 12 : 데이터 구동회로 13 : 스캔 구동회로
- 70 : 프레임 메모리 72 : 주파수 변환부
- 74 : 알고리즘 실행부 76 : 구동회로 제어부
- 82 : 입력측 라인 메모리들 84 : 메모리 제어부
- 86 : 출력측 라인 메모리들

도면

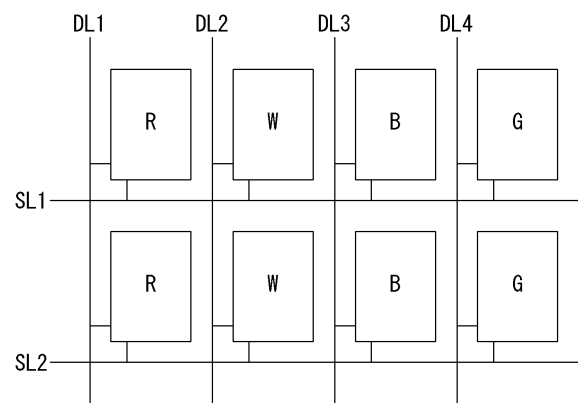
도면1



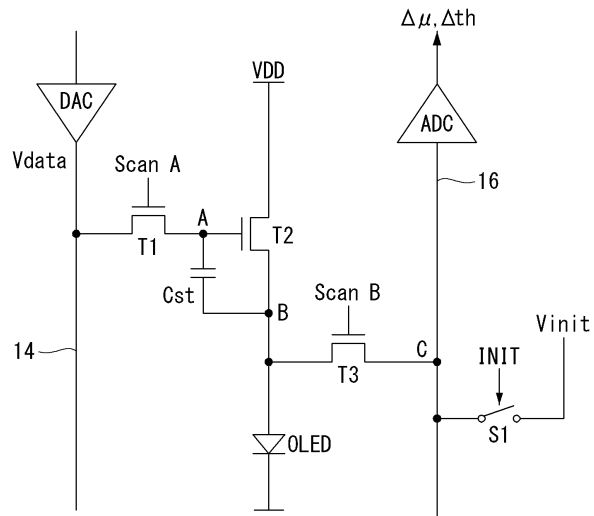
도면2



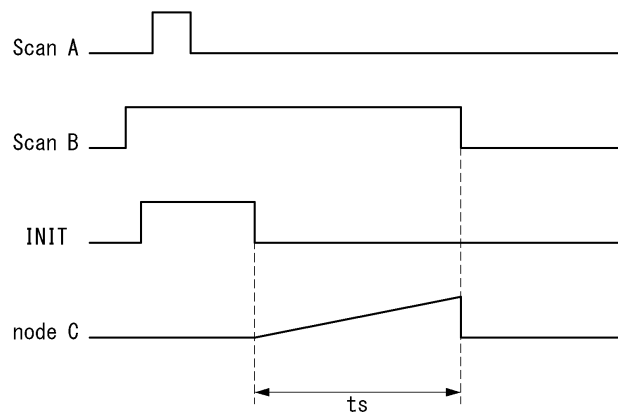
도면3



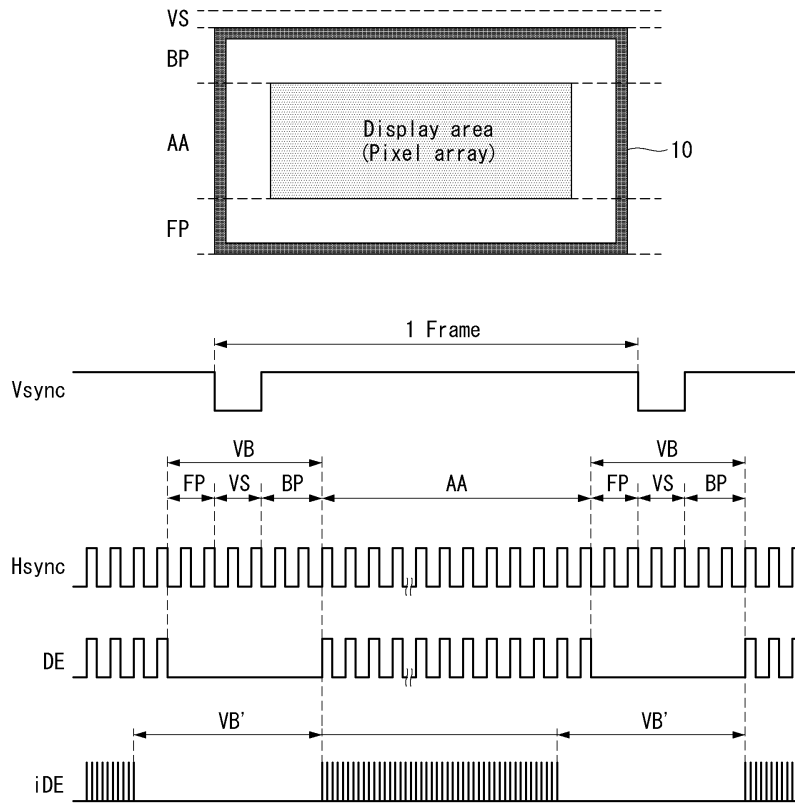
도면4



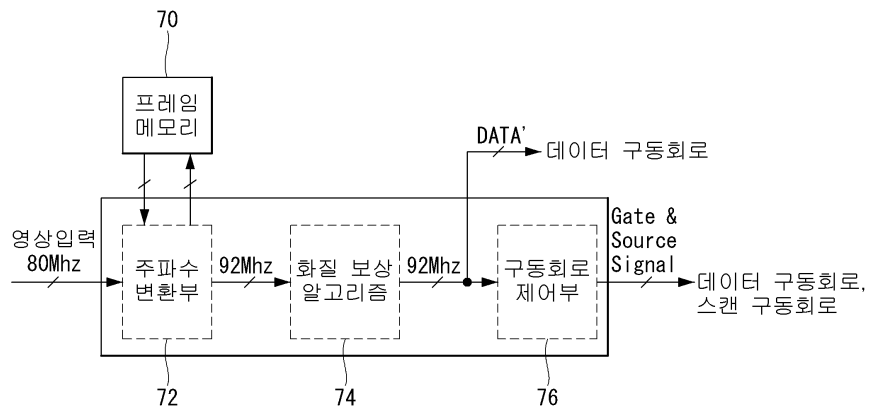
도면5



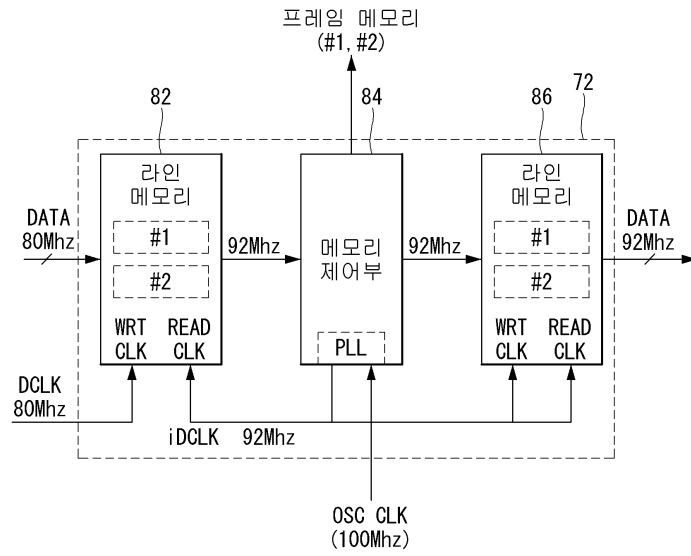
도면6



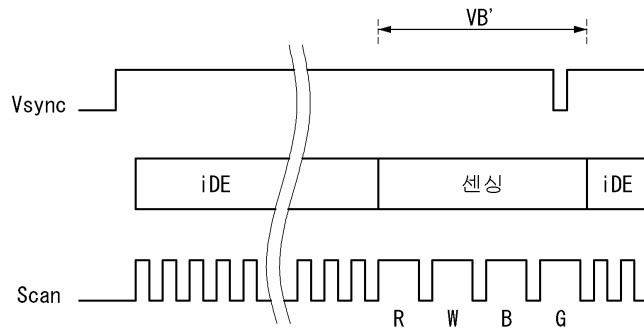
도면7



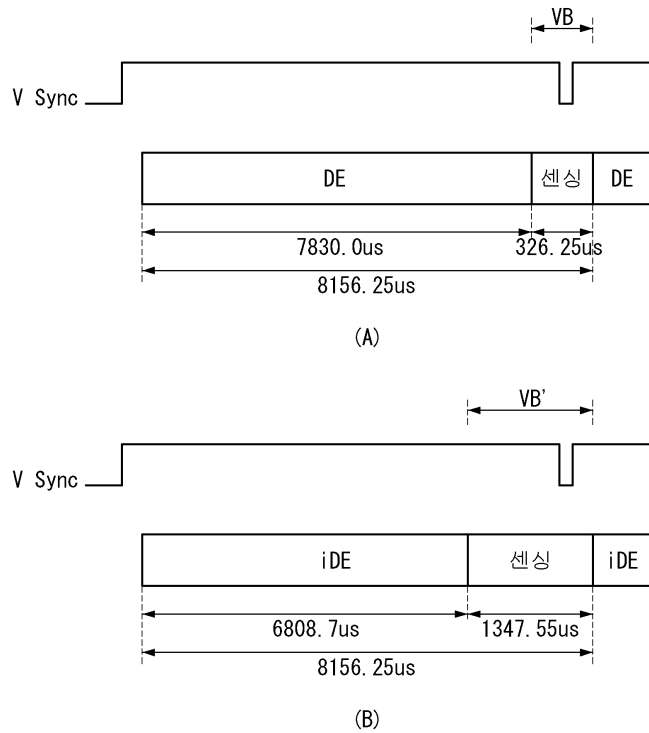
도면8



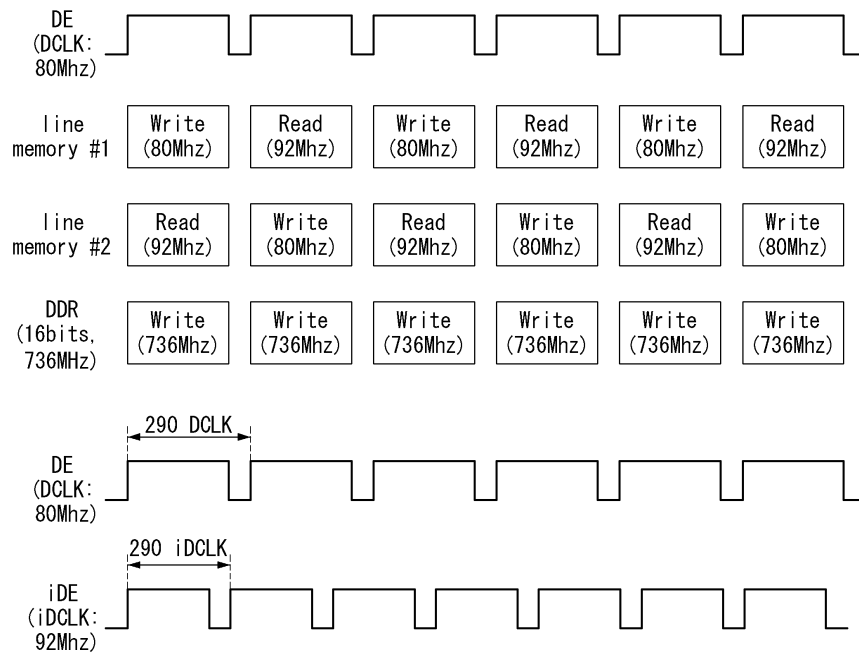
도면9



도면10



도면11



专利名称(译)	标题：OLED显示器件		
公开(公告)号	KR1020150069804A	公开(公告)日	2015-06-24
申请号	KR1020130156370	申请日	2013-12-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI KYOUNG SIK		
发明人	CHOI KYOUNG SIK		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3266 G09G3/3258 G09G3/3291 G09G2300/0819 G09G2300/0814 G09G2310/0262 G09G2320/0233 G09G2340/0435 G09G2360/18		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器包括数据驱动电路，该数据驱动电路将像素数据转换为数据电压并在数据使能时段期间将数据电压提供给数据线，并且在延长的垂直消隐时段内感测显示面板的驱动特性的变化，扫描驱动电路，在数据使能期间向扫描线提供与数据电压同步的扫描脉冲，在延长的垂直消隐期内输出扫描脉冲，以及使用补偿补偿输入图像数据的定时控制器基于驱动特性的变化确定的值，将补偿后的数据发送到数据驱动电路，并控制数据驱动电路的操作时序和扫描驱动电路的操作时序。

