



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0057661

(43) 공개일자 2015년05월28일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2013-0141297

(22) 출원일자 2013년11월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장민규

경기 파주시 탄현면 소금쟁이길 2, 303호

타카스기신지

경기 파주시 월롱면 덕은리 1291-2-203

(74) 대리인

김은구, 송해모

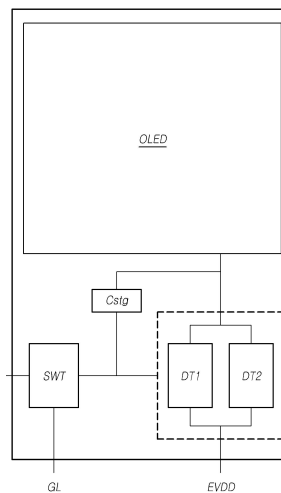
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 유기전계발광 표시장치

(57) 요약

본 발명은 유기발광다이오드와 둘 이상의 구동 트랜지스터를 포함하는 다수의 화소를 포함하되, 상기 다수의 화소 각각에는, 상기 둘 이상의 구동 트랜지스터 각각의 드레인이 되는 둘 이상의 브랜치(Branch)와 상기 둘 이상의 브랜치와 연결된 하나의 스템(Stem)을 갖는 제1 통합 전극과, 상기 둘 이상의 구동 트랜지스터 각각의 소스가 되는 둘 이상의 브랜치(Branch)와 상기 둘 이상의 브랜치와 연결된 하나의 스템(Stem)을 갖는 제2 통합 전극이 이격되어 형성된 것을 특징으로 하는 유기전계발광 표시장치에 관한 것이다.

대표도 - 도3



명세서

청구범위

청구항 1

유기발광다이오드와 둘 이상의 구동 트랜지스터를 포함하는 다수의 화소를 포함하되,

상기 다수의 화소 각각에는,

상기 둘 이상의 구동 트랜지스터 각각의 드레인 또는 소스가 되는 둘 이상의 브랜치(Branch)와 하나의 스템(Stem)이 연결되어 이루어진 제1 통합 전극과,

상기 둘 이상의 구동 트랜지스터 각각의 소스 또는 드레인이 되는 둘 이상의 브랜치와 하나의 스템이 연결되어 이루어진 제2 통합 전극이 형성되고,

상기 제1 통합 전극과 상기 제2 통합 전극은 이격되어 형성된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 다수의 화소 각각에는,

상기 둘 이상의 구동 트랜지스터 각각에 대하여 개별 게이트 전극이 이격되어 형성되거나, 상기 둘 이상의 구동 트랜지스터에 대하여 하나의 통합 게이트 전극이 형성된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 제1 통합 전극에서 드레인 또는 소스가 되는 브랜치와 상기 제2 통합 전극에서 소스 또는 드레인이 되는 브랜치 사이마다 상기 둘 이상의 구동 트랜지스터 각각의 채널이 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 제1 통합 전극은 $\perp$ 자 모양이고, 상기 제2 통합 전극은 $\neg$ 자 모양이며,

상기 제1 통합 전극과 상기 제2 통합 전극은 대향하여 형성된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제1항에 있어서,

상기 제1 통합 전극에서의 각 브랜치는 U자 모양이고, 상기 제2 통합 전극은 $\neg$ 자 모양이며,

상기 제1 통합 전극에서의 각 브랜치가 U자 모양으로 구부러져 만들어진 공간 사이로 상기 제2 통합 전극에서의 각 브랜치가 개입되어 형성된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제1항에 있어서,

상기 다수의 화소 중 적어도 하나의 화소에서는,

상기 제1 통합 전극에서의 둘 이상의 브랜치 중 적어도 하나가 커팅되어 있거나,

상기 제2 통합 전극에서의 둘 이상의 브랜치 중 적어도 하나가 커팅되어 있거나,

상기 제1 통합 전극에서의 둘 이상의 브랜치 중 적어도 하나와 상기 제2 통합 전극에서의 둘 이상의 브랜치 중

적어도 하나가 대응되어 모두 커팅되어 있는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제1항에 있어서,

상기 제1 통합 전극 또는 상기 제2 통합 전극에서의 둘 이상의 브랜치의 크기는 서로 동일한 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제1항에 있어서,

상기 제1 통합 전극 및 상기 제2 통합 전극 중 적어도 하나에서의 둘 이상의 브랜치 각각은 다른 영역보다 작은 폭을 갖는 영역이 있는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제8항에 있어서,

상기 작은 폭을 갖는 영역은,

상기 제1 통합 전극 또는 상기 제2 통합 전극에서 해당 브랜치의 커팅이 가능한 부분인 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제1항에 있어서,

상기 제1 통합 전극에서의 둘 이상의 브랜치의 크기와 상기 제2 통합 전극에서의 둘 이상의 브랜치의 크기는 동일한 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제1항에 있어서,

상기 제1 통합 전극과 상기 제2 통합 전극은 대칭이고 크기가 동일한 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제1항에 있어서,

상기 제1 통합 전극과 상기 제2 통합 전극은 비대칭이고 크기가 다른 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제1항에 있어서,

상기 제1 통합 전극 및 상기 제2 통합 전극 각각에서의 둘 이상의 브랜치의 폭은, 브랜치 개수와 스템의 폭에 따라 결정된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

데이터 라인들과 게이트 라인들의 교차에 따라 다수의 화소가 정의된 표시패널; 및

상기 데이터 라인들로 데이터 신호를 공급하는 데이터 구동부를 포함하고,

상기 다수의 화소 각각에는 유기발광다이오드와 $n(n \geq 2)$ 개의 구동 트랜지스터가 포함되되,

상기 다수의 화소 중 적어도 하나의 화소에서는, 상기 n 개의 구동 트랜지스터 중 $m(1 \leq m < n)$ 개의 구동 트랜지스터만 상기 유기발광다이오드로 전류를 공급하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제14항에 있어서,
상기 m 개의 트랜지스터는,
서로 병렬로 연결되어 상기 유기발광다이오드로 전류를 공급하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제14항에 있어서,
상기 n 개의 구동 트랜지스터 중 상기 m 개의 구동 트랜지스터를 제외한 나머지 구동 트랜지스터는, 상기 유기발광다이오드로 공급할 전류를 도통시키지 않도록 커팅된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 17

제14항에 있어서,
상기 데이터 구동부는,
상기 적어도 하나의 화소에 대하여 휘도 감소를 보상하는 변경 데이터 전압을 해당 데이터 라인으로 공급하는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기전계발광 표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기전계발광 표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기전계발광 표시장치의 각 화소는 유기발광다이오드와, 유기발광다이오드에 전류를 흐르게 하여 화면의 휘도를 제어하기 위한 구동 트랜지스터(Driving Transistor) 등을 포함한다.

[0005] 이러한 각 화소 내 구동 트랜지스터는 많은 공정을 거쳐 만들어지며, 이때, 미세한 공정 기인성 이물(들)이 구동 트랜지스터에서 발생할 수 있으며, 이와 같이, 구동 트랜지스터에 이물이 발생하면, 특히, 구동 트랜지스터의 소스(Source)-드레인(Drain) 간에 이물이 발생하면, 소스-드레인 간에 회로적으로 쇼트(Short) 현상이 일어나게 되고, 이에 따라 게이트 전압에 관계없이 소스-드레인 간의 전압 차이에 의해 구동 트랜지스터(DT)에 매우 큰 전류가 흐르게 된다.

[0006] 이러한 현상에 의해, 이물이 발생한 구동 트랜지스터를 포함하는 화소는 다른 화소에 비해 매우 밝은 휘점이 되어 불량 화소가 된다.

[0007] 종래에는 이러한 휘점이 된 불량 화소를 육안으로 잘 인식이 되지 않도록 암점화 시켜서, 해당 불량 화소를 리페어(Repair) 시켰다. 즉, 종래의 화소 리페어 방식은, 휘점이 된 불량화소를 암점화 된 비정상 화소로 만들어 주는 방식이다.

[0008] 이러한 종래의 불량 화소에 대한 리페어 방식은, 암점화 되어 리페어 된 화소의 사이즈가 클수록, 또는 암점화 되어 리페어 된 화소가 많을수록, 암점화 되어 리페어 된 화소가 눈에 잘 띄게 되어 화면 품질을 심각하게 저하할 수 있으며, 심각한 경우에는, 표시패널 자체를 폐기시켜야 하는 문제점이 있어왔다.

발명의 내용

해결하려는 과제

- [0009] 이러한 배경에서, 본 발명의 목적은, 효율적인 리페어 처리가 가능한 구동 트랜지스터 구조를 갖는 유기전계발광 표시장치를 제공하는 데 있다.
- [0010] 본 발명의 다른 목적은, 리페어 된 화소의 사이즈 또는 개수가 증가하더라도, 화면 품질이 저하되지 않고, 표시패널을 폐기시키지 않아도 되는 새로운 개념의 화소 리페어를 제공하는 데 있다.
- [0011] 본 발명의 또 다른 목적은, 불량 화소가 정상 화소처럼 동작할 수 있도록, 리페어가 가능한 화소 구조 및 구동 트랜지스터 구조를 갖는 유기전계발광 표시장치를 제공하는 데 있다.
- [0012] 본 발명의 또 다른 목적은, 불량 화소를 정상 화소로 리페어 한 이후 발생할 수 있는 휘도 감소를 보상해주는 유기전계발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0013] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 유기발광다이오드와 둘 이상의 구동 트랜지스터를 포함하는 다수의 화소를 포함하되, 상기 다수의 화소 각각에는, 상기 둘 이상의 구동 트랜지스터 각각의 드레인이 되는 둘 이상의 브랜치(Branch)와 하나의 스템(Stem)이 연결되어 이루어진 제1 통합 전극과, 상기 둘 이상의 구동 트랜지스터 각각의 소스가 되는 둘 이상의 브랜치(Branch)와 하나의 스템(Stem)이 연결되어 이루어진 제2 통합 전극이 이격되어 형성된 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.
- [0014] 다른 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들의 교차에 따라 다수의 화소가 정의된 표시패널; 및 상기 데이터 라인들로 데이터 신호를 공급하는 데이터 구동부를 포함하되, 상기 다수의 화소 각각에는 유기발광다이오드와 $n(n \geq 2)$ 개의 구동 트랜지스터가 포함되되, 상기 다수의 화소 중 적어도 하나의 화소에서는, 상기 n 개의 구동 트랜지스터 중 $m(1 \leq m < n)$ 개의 구동 트랜지스터만 상기 유기발광다이오드로 전류를 공급하는 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

발명의 효과

- [0015] 이상에서 설명한 바와 같이 본 발명에 의하면, 효율적인 리페어 처리가 가능한 구동 트랜지스터 구조를 갖는 유기전계발광 표시장치를 제공하는 효과가 있다.
- [0016] 또한, 본 발명에 의하면, 리페어 된 화소의 사이즈 또는 개수가 증가하더라도, 화면 품질이 저하되지 않고, 표시패널을 폐기시키지 않아도 되는 새로운 개념의 화소 리페어를 제공하는 효과가 있다.
- [0017] 또한, 본 발명에 의하면, 불량 화소가 정상 화소처럼 동작할 수 있도록, 리페어가 가능한 화소 구조 및 구동 트랜지스터 구조를 갖는 유기전계발광 표시장치를 제공하는 효과가 있다.
- [0018] 또한, 본 발명에 의하면, 불량 화소를 정상 화소로 리페어 한 이후 발생할 수 있는 휘도 감소를 보상해주는 유기전계발광 표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 일 실시예에 따른 유기전계발광 표시장치를 개략적으로 나타낸 도면이다.
- 도 2는 일 실시예에 따른 유기전계발광 표시패널에서 불량 화소가 정상 화소로 리페어(Repair) 되는 것을 나타낸 도면이다.
- 도 3은 일 실시예에 따른 유기전계발광 표시패널에서 리페어 가능한 화소 구조를 개략적으로 나타낸 도면이다.
- 도 4 내지 도 6은 일 실시예에 따른 유기전계발광 표시패널에서 리페어 가능한 화소 내 구동 트랜지스터 구조의 예시도들이다.
- 도 7은 일 실시예에 따른 유기전계발광 표시패널의 화소에 대한 등가회로도이다.
- 도 8 내지 도 10은 일 실시예에 따른 유기전계발광 표시패널에서 리페어 가능한 화소 구조와 리페어 방법을 설명하기 위한 도면이다.
- 도 11은 일 실시예에 따른 유기전계발광 표시패널에서 리페어 된 화소의 등가회로도이다.
- 도 12는 일 실시예에 따른 유기전계발광 표시패널에서 리페어 된 화소의 휘도 감소를 보상하는 것을 나타낸 도면이다.

도 13은 일 실시예에 따른 유기전계발광 표시패널에서 리페어 된 화소의 휘도 감소를 보상하기 위한 화소 구조와, 센싱부 및 보상부를 나타낸 도면이다.

도 14는 일 실시예에 따른 유기전계발광 표시패널에서 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드의 타이밍도이다.

도 15 내지 도 18은 일 실시예에 따른 유기전계발광 표시패널에서 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드의 각 단계별 동작 회로도이다.

도 19는 일 실시예에 따른 유기전계발광 표시패널에서 리페어 된 화소의 휘도 감소 보상 처리 유무에 따른 휘도를 나타낸 도면이다.

도 20은 일 실시예에 따른 유기전계발광 표시장치의 구동 방법에 대한 흐름도이다.

도 21은 일 실시예에 따른 유기전계발광 표시장치의 각 화소 내 구동 트랜지스터 구조의 예시도이다.

도 22a 내지 도 22d는 도 21의 트랜지스터 구조에서 리페어 관련 구조적 특징을 설명하기 위한 도면이다.

도 23는 일 실시예에 따른 유기전계발광 표시장치의 각 화소 내 구동 트랜지스터 구조의 다른 예시도이다.

도 24a 내지 도 24d는 도 23의 트랜지스터 구조에서 리페어 관련 구조적 특징을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020]

이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0021]

또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0022]

도 1은 일 실시예에 따른 유기전계발광 표시장치(100)를 개략적으로 나타낸 도면이다.

[0023]

도 1을 참조하면, 일 실시예에 따른 유기전계발광 표시장치(100)는, 데이터 라인들(DL1~DLm)과 게이트 라인들(GL1~GLn)의 교차에 따라 다수의 화소(P: Pixel)가 정의된 표시패널(110)과, 타이밍 컨트롤러(140)의 제어신호에 따라 데이터 라인들(DL1~DLm)로 데이터 신호를 공급하는 데이터 구동부(120)와, 타이밍 컨트롤러(140)의 제어신호에 따라 게이트 라인들(GL1~GLn)로 스캔 신호를 공급하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)의 구동을 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0024]

여기서, 게이트 구동부(130)는, 일 예로, TAB(Tape Automated Bonding) 방식으로 표시패널(110)의 일 측에 부착될 수도 있고, GIP(Gate Drive IC in Panel) 방식으로 표시패널(110)의 일 측에 직접 형성될 수도 있다.

[0025]

표시패널(110)에서 데이터 라인들(DL1~DLm)과 게이트 라인들(GL1~GLn)의 교차에 따라 정의되는 다수의 화소(P) 각각은 유기발광다이오드(OLED: Organic Light-Emitting Diode)와, 유기발광다이오드(OLED)에 전류를 흐르게 하여 화면의 휘도를 제어하기 위한 구동 트랜지스터(DT: Driving Transistor)를 포함한다.

[0026]

이러한 각 화소(P) 내 구동 트랜지스터(DT)는 많은 공정을 거쳐 만들어지며, 이때, 미세한 공정 기인성 이물(들)이 구동 트랜지스터(DT)에서 발생할 수 있으며, 이와 같이, 구동 트랜지스터(DT)에 이물이 발생하면, 특히, 구동 트랜지스터(DT)의 소스(Source)-드레인(Drain) 간에 이물이 발생하면, 소스-드레인 간에 쇼트(Short) 현상이 일어나게 되고, 이에 따라 게이트 전압에 관계없이 소스-드레인 간의 전압 차이에 의해 구동 트랜지스터(DT)에 매우 큰 전류가 흐르게 된다.

[0027]

이러한 현상에 의해, 이물이 발생한 구동 트랜지스터(DT)를 포함하는 화소는 다른 화소에 비해 매우 밝은 휘점이 되어 불량 화소가 된다. 종래에는 이러한 휘점이 된 불량 화소를 육안으로 잘 인식이 되지 않도록 암점화 시켜서, 해당 불량 화소를 리페어(Repair) 시켰다. 즉, 종래의 화소 리페어 방식은, 휘점이 된 불량화소를 암점화

시켜 비정상 화소로 만들어주는 방식이다.

- [0028] 이러한 불량 화소의 리페어 방식은, 암점화 되어 리페어 된 화소의 사이즈가 클수록, 또는 암점화 되어 리페어 된 화소가 많을수록, 눈에 잘 띄게 되어 심할 경우, 표시패널 자체가 폐기되어야 한다.
- [0029] 따라서, 일 실시예는, 휘점이 된 불량 화소를 암점화시키는 종래의 리페어 방식이 아니라, 휘점이 된 불량 화소가 정상 화소(정해진 색상을 발광하는 화소)로 동작시키는 리페어 방식을 제공한다. 즉, 일 실시예에 따른 화소 리페어 방식은, 휘점이 된 불량 화소를 정해진 색상을 발광하는 정상 화소로 만들어주는 방식이다.
- [0030] 본 명세서에서 기재된 일 실시예에 따른 화소 리페어는, 제품 출하 이전에 패널 제작 공정 시에 이루어질 수도 있고, 제품 출하 이후에 고객으로부터 A/S 서비스 요청에 따라 이루어질 수도 있다.
- [0031] 이러한 일 실시예에 따른 화소 리페어 방식이 적용될 수 있도록, 표시패널(110) 내 다수의 화소 각각은, 유기발광다이오드(OLED)와, $n(n \geq 2)$ 개의 구동 트랜지스터(DTs)를 포함한다.
- [0032] 또한, 표시패널(110) 내 다수의 화소 각각에서, $n(n \geq 2)$ 개의 구동 트랜지스터(DT)는 서로 병렬로 연결되고 모두 동작하여 유기발광다이오드(OLED)로 전류를 공급할 수 있다.
- [0033] 한편, 표시패널(110) 내 다수의 화소 중 적어도 하나의 화소는, 화소 불량이 발생하여 화소 리페어 처리가 이루어져, n 개의 구동 트랜지스터 중 $m(1 \leq m < n)$ 개의 구동 트랜지스터만 유기발광다이오드(OLED)로 전류를 공급할 수 있다. 전술한 바와 같이, n 개의 구동 트랜지스터(즉, 둘 이상의 구동 트랜지스터) 중 $m(1 \leq m < n)$ 개의 구동 트랜지스터만 유기발광다이오드(OLED)로 전류를 공급하는 경우, n 개의 구동 트랜지스터 중 m 개의 트랜지스터는, 유기발광다이오드(OLED)와 회로적으로 연결되고, 서로 병렬로 연결되어 유기발광다이오드(OLED)로 전류를 공급할 수 있다.
- [0034] 하지만, n 개의 구동 트랜지스터 중 m 개의 트랜지스터를 제외한 나머지 구동 트랜지스터는, 화소 리페어 처리를 통해 유기발광다이오드(OLED)와 회로적으로 단선된다. 즉, n 개의 구동 트랜지스터 중 m 개의 트랜지스터를 제외한 나머지 구동 트랜지스터는, 유기발광다이오드(OLED)로 공급할 전류를 도통시키지 않도록 커팅된다.
- [0035] 전술한 일 실시예에 따른 화소 리페어 방식은 도 2에서 개념적으로 나타낸다.
- [0036] 도 2는 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 불량 화소가 정상 화소로 리페어(Repair) 되는 것을 나타낸 도면이다.
- [0037] 도 2를 참조하면, 유기전계발광 표시장치(100)의 표시패널(110)에는, 일 예로, 적색-녹색-청색-백색(RGBW) 구조로 다수의 화소(P)가 정의되어 있다. 물론, 적색-녹색-청색(RGB) 구조로 다수의 화소(P)가 정의되어 있을 수도 있다.
- [0038] 도 2를 참조하면, 일 예로, 녹색(G) 화소가 휘점이 되어 불량 화소가 되면, 일 실시예에 따른 리페어를 하게 되면, 휘점이 된 불량 화소를 녹색(G) 화소로 정상 동작하도록 해준다.
- [0039] 이러한 일 실시예에 따른 화소 리페어 방식을 적용할 수 있도록, 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서의 각 화소(P)는, 일 실시예에 따른 리페어가 가능한 화소 구조를 갖는다.
- [0040] 이러한 리페어 가능한 화소 구조를 도 3을 참조하여 간략하게 설명한다.
- [0041] 도 3은 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 가능한 화소 구조를 개략적으로 나타낸 도면이다.
- [0042] 도 3을 참조하면, 표시패널(110)에서 데이터 라인들(DL1~DL_m)과 게이트 라인들(GL1~GL_n)의 교차에 따라 정의되는 다수의 화소(P) 각각은, 유기발광다이오드(OLED)와, 구동 전압(EVDD)을 공급받고 유기발광다이오드(OLED)와 동시에(함께) 연결되어 유기발광다이오드(OLED)를 구동시키기 위한 둘 이상의 구동 트랜지스터(DT1, DT2)와, 게이트 라인(GL)을 통해 공급된 스캔 신호에 의해 제어되며 데이터 라인(DL)과 둘 이상의 구동 트랜지스터(DT1, DT2)의 제어단 사이에 연결되는 스위칭 트랜지스터(SWT: Switching Transistor)와, 둘 이상의 구동 트랜지스터(DT1, DT2)의 제어단과 출력단(또는 공급단) 사이에 연결되는 스토리지 캐패시터(Cstg: Storage Capacitor) 등을 포함한다.
- [0043] 도 3에서는, 각 화소(P)에는, 유기발광다이오드(OLED)를 구동시키기 위하여 유기발광다이오드(OLED)와 연결되어 서로 병렬로 연결되는 구동 트랜지스터(DT)가 2개인 것으로 도시되었으나, 이는 설명의 편의를 위한 것일 뿐, 각 화소(P)에서 유기발광다이오드(OLED)와 동시에 연결되어 유기발광다이오드(OLED)를 구동시키기 위한 구동 트

랜지스터(DT)는 2개뿐만 아니라, 서로 병렬로 연결되지만 하면 3개 이상일 수도 있다. 단, 아래에서는, 설명의 편의를 위해, 각 화소(P)는, 유기발광다이오드(OLED)와 함께 연결되어 유기발광다이오드(OLED)를 구동시키기 위하여, 병렬로 연결되는 2개의 구동 트랜지스터(DT1, DT2)를 포함하는 것으로 설명한다.

- [0044] 둘 이상의 구동 트랜지스터(DT1, DT2)는 n 타입 또는 p 타입 트랜지스터일 수 있는데, 타입에 따라, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 제어단은 게이트이고, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 공급단은 드레인 또는 소스이며, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 출력단은 소스 또는 드레인일 수 있다.
- [0045] 전술한 바와 같이, 각 화소에 포함된 둘 이상의 구동 트랜지스터(DT1, DT2)는 유기발광다이오드(OLED)와 병렬로 연결된다.
- [0046] 이러한 각 화소 내 둘 이상의 구동 트랜지스터(DT1, DT2)에 대한 구조를 도 4 내지 도 6에 예시적으로 나타낸다.
- [0047] 도 4 내지 도 6은 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 가능한 화소 내 구동 트랜지스터 구조의 예시도들이다. 단, 표시패널(110)에 정의된 모든 화소(P) 각각에는 2개의 구동 트랜지스터(DT1, DT2)가 포함된 것으로 가정한다.
- [0048] 도 4를 참조하면, 표시패널(110)에 정의된 모든 화소(P) 각각에 포함된 2개의 구동 트랜지스터(DT1, DT2)는 서로 병렬로 연결된다.
- [0049] 2개의 구동 트랜지스터 중 DT1의 제어단이 게이트 G1이고, 공급단이 드레인 D1이며, 출력단이 소스 S1이라고 하고, 2개의 구동 트랜지스터 중 DT2의 제어단이 게이트 G2이고, 공급단이 드레인 D2이며, 출력단이 소스 S2라고 하면, DT1의 드레인 D1과 DT2의 드레인 D2는 하나로 연결되고, DT1의 소스 S1과 DT2의 소스 S2는 하나로 연결된다.
- [0050] 따라서, DT1의 드레인 D1과 DT2의 드레인 D2이 연결된 부분으로 전류(Iin)가 공급되어, 공급된 전류(Iin) 중 일부(Idt1)는 DT1의 드레인 D1에서 소스 S1으로 흐르고 나머지 일부는(Idt2) DT2의 드레인 D2에서 소스 S2로 흐르다가, DT1의 소스 S1과 DT2의 소스 S2가 연결된 부분에서 합쳐져 유기발광다이오드(OLED)로 출력된다.
- [0051] DT1의 드레인 D1과 DT2의 드레인 D2이 연결된 부분으로 공급된 전류(Iin)의 전류량과, DT1의 소스 S1과 DT2의 소스 S2가 연결된 부분에서 합쳐져 유기발광다이오드(OLED)로 출력되는 전류(Iout)의 전류량은, 동일하다. 즉, 『 $I_{in} = I_{dt1} + I_{dt2} = I_{out}$ 』와 같은 전류 관계식이 된다.
- [0052] 한편, 도 4에 도시된 바와 같이, 2개의 구동 트랜지스터 중 DT1의 제어단인 게이트 G1과 DT2의 제어단인 게이트 G2는 별도의 게이트로 되어 있을 수 있다.
- [0053] 이러한 2개의 구동 트랜지스터(DT1, DT2) 각각의 제어단인 게이트(G1, G2)는, 형성 방식에 따라, 도 5와 같이 형성될 수 있다.
- [0054] 도 5의 (a)와 같이(도 4와 동일), 2개의 구동 트랜지스터(DT1, DT2) 각각의 제어단인 게이트(G1, G2)가 별도로 형성될 수 있다. 물론, 다른 위치에서, 2개의 구동 트랜지스터(DT1, DT2) 각각의 제어단인 게이트(G1, G2)는 회로적으로 연결된다.
- [0055] 또한, 도 5의 (b) 및 (c)와 같이, 2개의 구동 트랜지스터(DT1, DT2) 각각의 제어단인 게이트(G1, G2)가 공통으로 형성될 수 있다.
- [0056] 한편, 2개의 구동 트랜지스터(DT1, DT2) 각각의 액티브 층(Active Layer)은 도 5의 (a)에서의 게이트처럼 별도로 형성될 수도 있고, 도 5의 (b) 및 (c)에서의 게이트처럼 공통으로 형성될 수도 있다.
- [0057] 도 6은 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 가능한 화소 내 구동 트랜지스터 구조의 다른 예시도로서, 2개의 구동 트랜지스터(DT1, DT2) 각각의 소스(S1, S2)와 드레인(D1, D2)이 동일한 형상으로 되어 있는 도 4 및 도 5와는 다르게, 2개의 구동 트랜지스터(DT1, DT2) 각각의 소스(S1, S2)와 드레인(D1, D2)이 다른 형상으로 되어 있을 수도 있다.
- [0058] 도 6과 같은 구동 트랜지스터 구조를 드레인 구조(또는 소스 구조)의 형상을 본떠서, U 타입 또는 핑거(Finger) 타입이라고 한다.
- [0059] 도 6에 도시된 바와 같은 구동 트랜지스터 구조에서, 2개의 구동 트랜지스터(DT1, DT2)는 병렬로 연결된다.
- [0060] 2개의 구동 트랜지스터 중 DT1의 제어단이 게이트 G1이고, 공급단이 드레인 D1이며, 출력단이 소스 S1이라고 하

고, 2개의 구동 트랜지스터 중 DT2의 제어단이 게이트 G2이고, 공급단이 드레인 D2이며, 출력단이 소스 S2라고 하면, DT1의 드레인 D1과 DT2의 드레인 D2는 하나로 연결되고, DT1의 소스 S1과 DT2의 소스 S2는 하나로 연결된다.

[0061] 따라서, DT1의 드레인 D1과 DT2의 드레인 D2이 연결된 부분으로 전류(I_{in})가 공급되어, 2개의 구동 트랜지스터 DT1과 DT2로 공급된 전류(I_{in}) 중 일부(I_{dt1_in})는 DT1의 드레인 D1에서 소스 S1으로 흐르고, 나머지 일부는 (I_{dt2_in}) DT2의 드레인 D2에서 소스 S2로 흐르다가, DT1의 소스 S1과 DT2의 소스 S2가 연결된 부분에서 합쳐져 유기발광다이오드(OLED)로 출력된다.

[0062] 2개의 구동 트랜지스터 DT1과 DT2로 공급된 전류(I_{in}) 중 DT1으로 흐른 전류(I_{dt1_in})는 I_{dt1a} 와 I_{dt1b} 로 분기되었다가 I_{dt1_out} 으로 합쳐진다. 2개의 구동 트랜지스터 DT1과 DT2로 공급된 전류(I_{in}) 중 DT2로 흐른 전류(I_{dt2_in})는 I_{dt2a} 와 I_{dt2b} 로 분기되었다가 I_{dt2_out} 으로 합쳐진다. 이렇게 합쳐진 I_{dt1_out} 과 I_{dt2_out} 은 DT1의 소스 S1과 DT2의 소스 S2가 연결된 부분에서 I_{out} 로 다시 합쳐져 유기발광다이오드(OLED)로 출력된다.

[0063] DT1의 드레인 D1과 DT2의 드레인 D2이 연결된 부분으로 공급된 전류(I_{in})의 전류량과, DT1의 소스 S1과 DT2의 소스 S2가 연결된 부분에서 합쳐져 유기발광다이오드(OLED)로 출력되는 전류(I_{out})의 전류량은, 동일하다. 또한, DT1 내에서 분기된 전류 I_{dt1a} 와 I_{dt1b} 를 합하면, DT1에 입력된 전류 I_{dt1_in} 과 DT1에서 출력된 전류 I_{dt1_out} 와 동일하다. DT2 내에서 분기된 전류 I_{dt2a} 와 I_{dt2b} 를 합하면, DT2에 입력된 전류 I_{dt2_in} 과 DT2에서 출력된 전류 I_{dt2_out} 와 동일하다. 즉, 『 $I_{in} = I_{dt1_in} + I_{dt2_in} = (I_{dt1a} + I_{dt1b}) + (I_{dt2a} + I_{dt2b}) = I_{dt1_out} + I_{dt2_out} = I_{out}$ 』와 같은 전류 관계식이 된다.

[0064] 도 4 내지 도 6은, 리페어가 가능하도록, 둘 이상의 구동 트랜지스터가 병렬로 연결되는 구동 트랜지스터 구조의 예시일 뿐, 이러한 구동 트랜지스터 구조에 제한되지 않고, 둘 이상의 구동 트랜지스터 전체로 입력되는 전류가 각 구동 트랜지스터로 분기되어 흐르고, 분기되어 흐른 전류가 합쳐져 유기발광다이오드(OLED)로 흐를 수만 있다면 그 어떠한 구동 트랜지스터 구조로도 설계가 가능하다.

[0065] 이상에서 기술한 각 화소 구조에 대한 등가회로도도 도 7과 같이 도시될 수 있다.

[0066] 도 7을 참조하면, 제1 구동 트랜지스터 DT1과 제2 구동 트랜지스터 DT2는 병렬로 연결되어, 제1 구동 트랜지스터 DT1과 제2 구동 트랜지스터 DT2 각각의 드레인온 연결되어 구동 전압(EVDD)을 공통으로 인가받고, 제1 구동 트랜지스터 DT1과 제2 구동 트랜지스터 DT2 각각의 소스는 연결되어 유기발광다이오드(OLED)의 제1전극(예: 애노드)에 공통으로 연결된다. 제1 구동 트랜지스터 DT1과 제2 구동 트랜지스터 DT2 각각의 드레인 각각의 게이트는 연결되어 스위칭 트랜지스터(SWT)의 소스에 연결된다.

[0067] 도 7을 참조하면, 제1 구동 트랜지스터 DT1과 제2 구동 트랜지스터 DT2 각각의 게이트와 소스 사이에는 스토리지 캐패시터(Cstg)가 연결된다.

[0068] 도 7을 참조하면, 스위칭 트랜지스터(SWT)의 게이트는 게이트 라인(GL)에 연결되어 스캔 신호(SCAN)를 입력받고, 스위칭 트랜지스터(SWT)의 드레인온 데이터 구동부(120) 내 DAC(Digital Analog Converter)로부터 아날로그 형태의 데이터 전압을 인가받는다.

[0069] 한편, 구동 동작 시, 구동 트랜지스터(DT1, DT2)의 소스를 초기화하기 위하여, 구동 트랜지스터(DT1, DT2)의 소스에 기준전압(V_{ref})을 공급하는 센싱 트랜지스터(SENT) 등이 연결될 수 있다.

[0070] 도 7을 참조하면, 데이터 라인(DL)에는 데이터 라인 캐패시터($Cd1$)가 형성된다.

[0071] 표시패널(110)에 정의된 다수의 화소가 이상에서 설명한 구동 트랜지스터 구조 및 화소 구조를 갖고, 다수의 화소 각각이 정상 화소로 동작할 때에는, 각 화소 내 둘 이상의 구동 트랜지스터(DT1, DT2)가 모두 동작하여 유기발광다이오드(OLED)를 구동시킨다.

[0072] 만약, 다수의 화소 중 불량 화소가 된 특정 화소에서는, 둘 이상의 구동 트랜지스터(DT1, DT2) 중 일부만이 동작하여 유기발광다이오드(OLED)를 구동시킬 수 있다.

[0073] 다시 말해, 표시패널(110)에 정의된 다수의 화소(P) 모두가 불량 화소가 되기 전 정상 화소일 때에는, 모든 화소(P) 각각에 포함된 둘 이상의 구동 트랜지스터(DT1, DT2)가 모두 동작하여 유기발광다이오드(OLED)를 구동시킨다.

[0074] 만약, 표시패널(110)에 정의된 다수의 화소 중에서 특정 화소가 불량 화소가 되면, 특정 화소 이외에 나머지 화소들 각각에 포함된 둘 이상의 구동 트랜지스터(DT1, DT2)는 모두 동작하여 해당 유기발광다이오드(OLED)를 구

동시키지만, 특정 화소에 포함된 둘 이상의 구동 트랜지스터(DT1, DT2)는 모두 동작하는 것이 아니라 둘 이상의 구동 트랜지스터(DT1, DT2) 중 일부는 동작하지 않고 나머지 일부만이 동작하여 유기발광다이오드(OLED)를 구동시킨다.

- [0075] 불량 화소가 된 특정 화소에서, 둘 이상의 구동 트랜지스터(DT1, DT2) 중 일부는 동작하지 않고 나머지 일부만이 동작하여 유기발광다이오드(OLED)를 구동시킴으로써, 불량 화소가 된 특정 화소는, 리페어 된 것이고, 이에 따라, 정해진 색상을 발광하는 정상 화소처럼 동작하게 된다.
- [0076] 여기서, 특정 화소는, 둘 이상의 구동 트랜지스터(DT1, DT2) 중 적어도 하나의 구동 트랜지스터에서 이물이 생겨 휘점이 된 불량 화소이었다가, 이물이 생긴 적어도 하나의 구동 트랜지스터를 제외한 나머지 구동 트랜지스터만이 동작하여 해당 유기발광다이오드(OLED)가 구동됨으로써 정상 화소로 리페어(Repair) 된 화소이다.
- [0077] 불량 화소가 된 특정 화소가 정상 화소처럼 동작하도록 하는 리페어를 위해, 일 실시예는, 특정 화소에 포함된 둘 이상의 구동 트랜지스터(DT1, DT2) 중 이물이 생긴 적어도 하나의 구동 트랜지스터가 회로적으로 제거되고, 이물이 생긴 적어도 하나의 구동 트랜지스터를 제외한 나머지 구동 트랜지스터만이 동작하도록 하는 구동 트랜지스터 구조를 갖는다.
- [0078] 일 실시예에 따른 방식으로 리페어가 가능한 화소 내 구동 트랜지스터 구조에 대하여 살펴본다.
- [0079] 표시패널(110)에 정의된 다수의 화소 중 특정 화소에 포함된 둘 이상의 구동 트랜지스터 중 이물이 생긴 적어도 하나의 구동 트랜지스터가 회로에서 커팅(Cutting) 됨으로써, 이물이 생긴 적어도 하나의 구동 트랜지스터를 제외한 나머지 구동 트랜지스터만이 동작한다. 이에 따라, 휘점이 되어 불량 화소가 된 특정 화소가 정상 화소처럼 동작하여 리페어가 된다.
- [0080] 도 8은 제2 구동 트랜지스터 DT2에서 공정상의 이물이 발생한 경우, 제2 구동 트랜지스터 DT2가 회로적으로 커팅되어, 제1 구동 트랜지스터 DT1만 동작하여 유기발광다이오드(OLED)를 구동시키는 것을 나타낸 리페어(Repair)의 예시도이다.
- [0081] 전술한 바와 같이, 하나의 화소 내 둘 이상의 구동 트랜지스터 중 이물이 발생한 적어도 하나의 구동 트랜지스터를 회로적으로 커팅시키기 위해서는, 이물이 발생한 적어도 하나의 구동 트랜지스터가 회로적으로 커팅이 가능하도록, 하나의 화소 내 둘 이상의 구동 트랜지스터 각각에는 화소 리페어 시 커팅 가능한 커팅부가 형성되어 있을 수 있다.
- [0082] 화소 리페어 가능하도록 커팅부가 형성된 2개의 구동 트랜지스터(DT1, DT2)를 도 9에 도시한다.
- [0083] 도 9의 (a)는 도 4의 구동 트랜지스터 구조에서 커팅부(C1d, C1s, C2d, C2s)가 형성된 것을 나타낸 도면이고, 도 9의 (b)는 도 6의 구동 트랜지스터 구조에서 커팅부(C1d, C1s, C2d, C2s)가 형성된 것을 나타낸 도면이다.
- [0084] 도 9의 (a) 및 (b)를 참조하면, 다수의 화소에서 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 공급단(드레인 또는 소스), 출력단(소스 또는 드레인) 및 제어단(게이트) 중 적어도 하나 이상에 리페어 시 커팅될 수 있는 커팅부(C1d, C1s, C2d, C2s)가 형성되어 있다.
- [0085] 도 9의 (a) 및 (b)를 참조하면, 커팅부는, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 공급단이 합쳐진 지점과 각각의 공급단 사이에 위치하거나, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 출력단이 합쳐진 지점과 각각의 출력단 사이에 위치한다고도 할 수 있다.
- [0086] 도 9의 (a) 및 (b)를 참조하면, 다수의 화소에서 둘 이상의 구동 트랜지스터(DT1, DT2) 중에서 이물이 발생한 구동 트랜지스터만이 회로 손상 없이 커팅 가능하도록, 둘 이상의 구동 트랜지스터(DT1, DT2)는 정해진 거리 이상 이격되어 형성되어야 한다.
- [0087] 즉, 다수의 화소에서 둘 이상의 구동 트랜지스터(DT1, DT2) 각각에 형성된 커팅부(C1d, C1s, C2d, C2s)는 정해진 거리 이상 이격되어 형성된다.
- [0088] 한편, 다수의 화소 각각에 포함된 둘 이상의 구동 트랜지스터는 서로 동일한 트랜지스터 구조적 특성 및 이와 관련된 회로적 특성이 있다. 여기서, 트랜지스터 구조적 특성 정보는, 둘 이상의 구동 트랜지스터 각각의 제어단(Gate), 공급단(Drain/Source) 및 출력단(Source/Drain)의 크기, 채널 길이 및 채널 폭 등을 포함한다.
- [0089] 한편, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 게이트는, 하나의 공통 게이트 전극(도 5의 (b), 도 5의 (c))이거나, 하나의 게이트 전극에서 돌출된 각기 다른 부분 게이트 전극(도 4, 도 5의 (a), 도 6)일 수 있다.

- [0090] 도 9의 예시도와 같이, 2개의 구동 트랜지스터(DT1, DT2) 중 하나의 구동 트랜지스터에서 이물이 발생한 경우 화소의 리페어가 가능하도록 커팅부(C1d, C1s, C2d, C2s)가 형성된 구동 트랜지스터 구조 및 화소 구조를 갖는 다수의 화소 중에서 특정 화소의 둘 이상의 구동 트랜지스터(DT1, DT2) 중 제2 구동 트랜지스터(DT2)에서 이물이 발생한 경우, 휘점이 되어 불량 화소인 특정 화소가 정상 화소처럼 동작하도록, 제2 구동 트랜지스터(DT2)를 커팅하기 위해 형성된 커팅부(C2d, C2S)를 커팅한 것을 도 10에 도시한다.
- [0091] 도 10의 (a) 및 (b)에 도시된 바와 같이, 제2 구동 트랜지스터(DT2)를 커팅하기 위해 형성된 커팅부(C2d, C2S)를 모두 커팅하여 제1 구동 트랜지스터(DT1)만 동작하도록 리페어 할 수도 있고, 제2 구동 트랜지스터(DT2)를 커팅하기 위해 형성된 커팅부(C2d, C2S) 중 하나(C2d 또는 C2S)만을 커팅하여 제1 구동 트랜지스터(DT1)만 동작하도록 리페어 할 수도 있다.
- [0092] 이와 같이, 공정상의 이물이 발생한 제2 구동 트랜지스터(DT2)가 커팅됨으로써, 제1 구동 트랜지스터(DT1)만이 동작하여 해당 화소가 휘점이 되는 불량 화소에서 정해진 색상을 발광하는 정상 화소로 리페어 된 경우, 해당 화소의 등가회로도도 도 11과 같이 나타낼 수 있다.
- [0093] 도 11은 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 된 화소의 등가회로도로서, 리페어 되기 전 화소의 등가회로도를 나타낸 도 7에서 이물이 발생한 제2 구동 트랜지스터(DT2)만 커팅된 회로도이다.
- [0094] 한편, 전술한 하나의 화소에서 유기발광다이오드(OLED)를 구동시키기 위한 구동 트랜지스터를 둘 이상 사용하는 구조 하에서, 불량 화소 내 둘 이상의 구동 트랜지스터 중 일부를 커팅하고 나머지 일부만을 동작시켜 해당 불량 화소를 정상 화소로 리페어 하는 경우, 리페어 된 화소 내 동작하는 구동 트랜지스터의 폭(Width)은 리페어 이전에 비해 줄어들기 때문에, 리페어 후에 동작하는 구동 트랜지스터에서 전류 감소가 발생하고, 이에 따라, 리페어 된 화소에서 휘도가 감소하게 된다.
- [0095] 예를 들어, 하나의 화소에 2개의 구동 트랜지스터(DT1, DT2)가 포함된 경우, 2개의 구동 트랜지스터 중 하나가 커팅되어 나머지 하나만 동작하는 정상 화소로 동작하는 화소에서의 구동 트랜지스터 폭은, 2개의 구동 트랜지스터가 모두 동작하는 화소에서의 구동 트랜지스터 폭에 비해 1/2이 되기 때문에, 구동 트랜지스터에 전류 감소가 발생하여 리페어 한 화소에서 휘도가 감소하게 된다.
- [0096] 이러한 현상을 도 12에서 예시적으로 나타낸다.
- [0097] 도 12는 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 된 화소의 휘도 감소를 보상하는 것을 나타낸 도면이다.
- [0098] 도 12를 참조하면, RGBW 화소 구조에서, 녹색(G) 화소가 불량 화소가 되어 이를 일 실시예에 따른 리페어 방식(일부의 구동 트랜지스터 커팅 방식)에 따라 정상 화소로 리페어 하게 되면, 리페어 된 녹색(G) 화소는 정해진 색상인 녹색(G)을 순수하게 내는 것이 아니라, 휘도가 감소한 녹색(g)을 내게 된다.
- [0099] 이에, 일 실시예에 따른 유기전계발광 표시장치(100)는, 휘도가 감소한 녹색(g)을 순수한 녹색(G)으로 보상해줄 수 있다.
- [0100] 이를 위해, 일 실시예에 따른 유기전계발광 표시장치(100)는, 도 13에 도시된 바와 같이, 각 화소의 휘도를 센싱하는 센싱부(1310)와, 센싱부(1310)에서 센싱된 각 화소의 휘도 차이를 보상하는 보상부(1320)를 더 포함할 수 있으며, 이들 구성(1310, 1320)을 이용하여, 리페어 된 화소의 휘도 감소를 보상해 줄 수 있다.
- [0101] 전술한 보상부(1320)는, 센싱된 각 휘도의 휘도를 토대로, 각 화소별 휘도 차이를 산출하여, 어떠한 화소에서 얼마만큼의 휘도가 보상되어야 하는지를 휘도 보상값으로서 결정할 수 있다.
- [0102] 이후, 보상부(1320)는, 결정된 휘도 보상값을 데이터 구동부(120)로 출력하여 데이터 구동부(120)로 하여금 해당 화소로 데이터 전압을 공급할 때, 휘도 보상값에 따라 변환된 데이터 전압이 공급되도록 할 수 있다. 또는, 보상부(1320)는, 결정된 휘도 보상값에 따라 데이터 구동부(120)로 공급할 데이터를 변환하여 변환 데이터를 데이터 구동부(120)로 공급해줄 수도 있다.
- [0103] 이러한 보상부(1320)에 의해, 데이터 구동부(120)는, 리페어 처리가 된 적어도 하나의 화소에 대하여 휘도 감소를 보상하는 변경 데이터 전압을 해당 데이터 라인으로 공급한다.
- [0104] 이러한 보상부(1320)는, 타이밍 컨트롤러(140)의 내부에 포함될 수 있고, 경우에 따라서는, 타이밍 구동부(12

0)의 내부에 포함되거나, 타이밍 구동부(120) 및 타이밍 컨트롤러(140)의 외부에 포함될 수도 있다.

- [0105] 또한, 센싱부(1310)에서 센싱된 각 화소의 휘도는 메모리(미도시)에 저장되고 업데이트 될 수 있다.
- [0106] 한편, 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 각 화소는, 리페어가 된 경우, 리페어에 따른 휘도 감소를 보상하기 위한 화소 구조를 갖는다.
- [0107] 도 13은, 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어에 따른 휘도 감소를 보상하기 위한 화소 구조와, 이를 이용하는 센싱부(1310) 및 보상부(1320)를 나타낸 도면이다.
- [0108] 도 13을 참조하면, 다수의 화소 각각은, 휘도 센싱이 가능하도록, 센싱 신호(SENSE)에 의해 제어되며 구동 트랜지스터의 출력단과 연결되어 기준전압을 공급할 수 있는 센싱 트랜지스터(SENT)를 더 포함한다.
- [0109] 여기서, 센싱 트랜지스터(SENT)에 공급되는 센싱 신호(SENSE)는 해당 화소에서의 스위칭 트랜지스터(SWT)에 스캔 신호(SCAN)를 공급하는 게이트 라인과는 다른 게이트 라인을 통해 공급될 수도 있고 동일한 게이트 라인을 통해 공급될 수도 있다.
- [0110] 도 13을 참조하면, 일 실시예에 따른 유기전계발광 표시장치(100)는, 다수의 화소 각각에 포함된 센싱 트랜지스터(SENT)의 출력단의 전압(V_{sam})을 센싱하는 센싱부(1310)와, 다수의 화소 각각에서 센싱된 전압 또는 전류에 따라, 불량 화소에서 정상 화소로 리페어 된 특정 화소의 휘도와 리페어 되지 않은 다른 화소의 휘도 간의 휘도 차이에 대한 보상 처리를 수행하는 보상부(1320) 등을 포함한다.
- [0111] 이상에서 간략하게 설명한 리페어 된 화소의 휘도 감소 보상 방식을, 도 14의 타이밍도와 도 15 내지 도 18의 각 단계별 동작 회로도를 참조하여 더욱 상세하게 설명한다.
- [0112] 도 14는 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드의 타이밍도이다.
- [0113] 도 14를 참조하면, 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드는, 초기화 단계(Initial Step), 프로그램 단계(Program Step), 준비 단계(Standby Step) 및 센싱 단계(Sensing Step)로 이루어진다.
- [0114] 도 14를 참조하면, 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드가, 초기화 단계(Initial Step), 프로그램 단계(Program Step), 준비 단계(Standby Step) 및 센싱 단계(Sensing Step)의 순서대로 진행되도록, 타이밍 컨트롤러(140)는, 스위칭 트랜지스터(SWT), 센싱 트랜지스터(SENT), 샘플링 전압(V_{sam})이 ADC(Analog Digital Converter)에 입력되는 것을 제어하기 위해 ADC 및 센싱 노드(N_s) 간의 연결을 온-오프 하는 샘플링 스위치(SAM), 프리차지(V_{pre}) 공급단(기준전압 공급단) 및 센싱 노드(N_s) 간의 연결을 온-오프 하는 스위치(SPRE) 각각의 스위칭 동작을 제어한다.
- [0115] 스위칭 트랜지스터(SWT)로의 스캔 신호(SCAN)의 신호 레벨을 제어함으로써, 스위칭 트랜지스터(SWT)의 스위칭 동작이 제어될 수 있다. 그리고, 센싱 트랜지스터(SENT)로의 센싱 신호(SENSE)의 신호 레벨을 제어함으로써, 센싱 트랜지스터(SENT)의 스위칭 동작이 제어될 수 있다. 이에 따라, 제1 구동 트랜지스터(DT1)의 게이트와 소스 간의 전압차이(V_{gs})가 제어되어 제1 구동 트랜지스터(DT1)의 스위칭 동작이 제어될 수 있다.
- [0116] 아래에서는, 도 15 내지 도 18을 참조하여, 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드의 각 단계별 동작을 설명한다.
- [0117] 도 15 내지 도 18은 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 모드의 각 단계별 동작 회로도이다.
- [0118] 도 15는 초기화 단계(Initial Step)의 동작 회로도이고, 도 16은 프로그램 단계(Program Step)의 동작 회로도이며, 도 17은 준비 단계(Standby Step)의 동작 회로도이고, 도 18은 센싱 단계(Sensing Step)의 동작 회로도이다.
- [0119] 초기화 단계(Initial Step)의 동작 회로도인 도 15를 참조하면, 리페어 된 화소의 휘도 감소를 보상하기 위한 센싱 동작의 초기화 단계(Initial Step)는, 각 노드의 전압을 초기화시키는 단계로서, 로우(Low) 레벨의 스캔 신호(SCAN)가 공급되어 스위칭 트랜지스터(SWT)가 OFF 되고, 로우 레벨의 센싱 신호(SENSE)가 공급되어 센싱 트랜지스터(SENT)가 OFF 된다.
- [0120] 이러한 초기화 단계(Initial Step)에서, ADC 및 센싱 노드(N_s) 간의 연결을 온-오프 하는 샘플링 스위치(SAM)가

OFF 되어 있다.

- [0121] 이러한 초기화 단계(Initial Step)에서, Vdata는 인가되지 않는다.
- [0122] 또한, 초기화 단계(Initial Step)에서, Vpre 공급단 및 센싱 노드(Ns) 간의 연결을 온-오프 하는 스위치(SPRE)는 OFF 되어 있다가 ON 된다.
- [0123] 프로그램 단계(Program Step)의 동작 회로도인 도 16을 참조하면, 프로그램 단계(Program Step)는 제1 구동 트랜지스터(DT1)의 게이트와 소스 사이에 연결된 스토리지 캐패시터(Cstg)를 충전(Charging) 하는 단계이다.
- [0124] 스토리지 캐패시터(Cstg)의 충전으로 인해, 프로그램 단계(Program Step)에서는, 데이터 전압(Vdata)의 인가시, 로우 레벨의 스캔 신호(SCAN)가 하이(High) 레벨로 바뀌어 스위칭 트랜지스터(SWT)를 턴 온 시켜, 제1 구동 트랜지스터(DT1)의 게이트에 정전압 Vdata가 인가된다.
- [0125] 이때, SPRE 스위치가 온 되어 있는 상태에서, 센싱 신호(SENSE)의 신호 레벨이 하이 레벨로 바뀌어 센싱 트랜지스터(SENT)가 턴 온 되기 때문에, 제1 구동 트랜지스터(DT1)의 소스에 정전압 Vpre(Vref(Reference Voltage)라고도 함)가 인가된다.
- [0126] 따라서, 제1 구동 트랜지스터(DT1)의 게이트와 소스 사이에 연결된 스토리지 캐패시터(Cstg) 양단에 정전압 Vdata와 Vpre가 인가되어 Vdata-Vpre 만큼의 전위차(ΔV)에 해당하는 전하량이 스토리지 캐패시터(Cstg)에 충전된다.
- [0127] 스토리지 캐패시터(Cstg)가 충전되는 동안, 제1 구동 트랜지스터(DT1)의 소스에 인가된 정전압 Vpre와 기저전압(EVSS)간의 전위차($|Vpre-EVSS|$)가 유기발광다이오드(OLED)의 문턱 전압보다 높지 않도록, 정전압 Vpre 또는 기저전압(EVSS)이 조절되어 있어, 유기발광다이오드(OLED)로는 전류가 흐르지 않는다.
- [0128] 스토리지 캐패시터(Cstg)가 충전된 이후, 하이 레벨의 스캔 신호(SCAN)가 로우 레벨로 바뀌어 스위칭 트랜지스터(SWT)가 턴 오프되고, 하이 레벨의 센싱 신호(SENSE)가 로우 레벨로 바뀌어 센싱 트랜지스터(SENT)가 턴 오프된다. 이후, 프로그램 단계(Program Step)의 끝에서, SPRE 스위치가 오프 되어, 정전압 Vpre가 제1 구동 트랜지스터(DT1)의 소스에 인가되지 않는다.
- [0129] 준비 단계(Standby Step)의 동작 회로도인 도 17을 참조하면, 준비 단계(Standby Step)는 휘도 센싱을 위한 센싱 노드(Ns)의 전압이 변화하는 단계이다.
- [0130] 준비 단계(Standby Step)의 시작 시점에서, 제1 구동 트랜지스터(DT1)의 게이트와 소스 양단에 일정한 전위차(Vdata-Vpre)가 형성되어 있어 제1 구동 트랜지스터(DT1)가 턴 온 되어 있고, 스위칭 트랜지스터(SWT), 센싱 트랜지스터(SENT), SPRE 스위치, SAM 스위치가 모두 오프 되어 있다. 또한, 준비 단계(Standby Step)의 시작 시점에서, 유기발광다이오드(OLED)로는 전류가 흐르지 않는 상태이다.
- [0131] 준비 단계(Standby Step)가 시작된 이후, 센싱 신호(SENSE)가 하이 레벨로 바뀌어 센싱 트랜지스터(SENT)가 준비 단계(Standby Step) 구간 동안 턴 온 된다.
- [0132] 이에 따라, 구동전압(EVDD) 공급단에서 턴 온 되어 있는 제1 구동 트랜지스터(DT1)와 센싱 트랜지스터(SENT)를 거쳐 일 측이 접지되어 있는 센싱 캐패시터(Csense)로 전류가 흐르게 되어, 센싱 캐패시터(Csense)가 충전되면서, 센싱 노드(Ns)의 전압(Vsam)이 계속하여 부스팅(Boosting) 된다.
- [0133] 이와 같이, 센싱 노드(Ns)의 전압(Vsam)이 부스팅 될 때, 제1 구동 트랜지스터(DT1)의 소스 전압도 함께 부스팅 된다. 이에 따라, 제1 구동 트랜지스터(DT1)의 소스 전압이 유기발광다이오드(OLED)를 구동시킬 정도로 높아지게 되고, 유기발광다이오드(OLED)로 전류가 흐르기 시작한다.
- [0134] 센싱 노드(Ns)의 전압(Vsam)을 센싱하기 위해, 센싱 신호(SENSE)의 신호 레벨을 로우 레벨로 바꾸어, 센싱 트랜지스터(SENT)를 턴 오프 시킴으로써, 준비 단계(Standby Step)가 종료되고, 센싱 단계(Sensing Step)가 시작된다.
- [0135] 센싱 단계(Sensing Step)의 동작 흐름도인 도 18을 참조하면, 센싱 트랜지스터(SENT)가 턴 오프 되어 있는 상태에서, SAM 스위치를 온 시켜 센싱부(1310)의 ADC가 센싱 노드(Ns)의 전압(Vsam)을 읽어들이어서 센싱 모드가 완료된다.
- [0136] 이후, 보상부(1320)는, 각 화소에서 센싱된 전압(Vsam)을 토대로, 각 화소의 휘도를 산출하고, 각 화소의 산출된 휘도 간의 차이를 보상하기 위하여, 즉, 리페어 된 화소의 휘도와 리페어 되지 않은 화소 간의 휘도 차이를

보상해주기 위하여, 리페어 된 화소로 공급할 데이터 전압에 휘도 차이에 대응되는 전압 값만큼을 더한 데이터 전압(보상 데이터 전압)로 리페어 된 화소로 공급해줌으로써, 휘도 감소 보상 처리를 해줄 수 있다.

- [0137] 전술한 바와 같이, 리페어 된 화소에 대한 센싱 처리 및 휘도 감소 보상 처리에 따라, 리페어 된 화소의 휘도가 어떻게 보상되었는지를 도 19의 그래프로 나타낸다.
- [0138] 도 19는 일 실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에서 리페어 된 화소의 휘도 감소 보상 처리 유무에 따른 휘도를 나타낸 도면이다.
- [0139] 도 19의 (a)는 리페어 된 화소의 휘도 감소 보상 처리를 하지 않은 경우, 데이터 전압을 공급하는 각 소스 IC(S-IC)에서 공급되는 데이터 전압에 따른 휘도와 기준(Reference) 휘도를 나타낸 그래프이고, 도 19의 (b)는 리페어 된 화소의 휘도 감소 보상 처리를 한 경우, 데이터 전압을 공급하는 각 소스 IC(S-IC)에서 공급되는 데이터 전압에 따른 휘도와 기준(Reference) 휘도를 나타낸 그래프이다.
- [0140] 도 19의 (a)를 참조하면, 리페어 된 화소의 휘도 감소 보상 처리를 하지 않으면, 기준 휘도에 비해, 휘도가 감소하는 것을 알 수 있다.
- [0141] 이에 비해, 도 19의 (b)를 참조하면, 리페어 된 화소의 휘도 감소 보상 처리를 하게 되면, 리페어에 따라 감소되었던 휘도가 기준 휘도와 동일한 수준으로 높아졌음을 알 수 있다. 이에 따라, 리페어 된 화소와 리페어 되지 않은 화소 간의 휘도 차이도 줄어들게 된다.
- [0142] 아래에서는, 이상에서 설명한 유기전계발광 표시장치(100)의 구동 방법을 도 20의 흐름도를 참조하여 다시 한번 정리하여 설명한다.
- [0143] 도 20은 일 실시예에 따른 유기전계발광 표시장치(100)의 구동 방법에 대한 흐름도이다. 단, 유기전계발광 표시장치(100)의 구동 방법을 불량 화소가 있는 경우에 대하여 설명한다.
- [0144] 도 20은 일 실시예에 따른 유기전계발광 표시장치(100)의 구동 방법은, 유기발광다이오드(OLED)와 병렬로 연결된 둘 이상의 구동 트랜지스터(예: DT1, DT2)가 모두 동작하여 유기발광다이오드(OLED)를 구동시키는 정상 구동 단계(S2010)와, 해당 화소가 불량 화소가 된 경우, 둘 이상의 구동 트랜지스터(예: DT1, DT2) 중 일부(예: DT1)만이 동작하여 유기발광다이오드를 구동시키는 리페어 단계(S2020) 등을 포함한다.
- [0145] 한편, 도 20을 참조하면, 해당 화소가 둘 이상의 구동 트랜지스터(예: DT1, DT2) 모두 중에서 일부(예: DT1)만이 동작함에 따라 휘도가 감소하는 현상을 보상해주기 위하여, 일 실시예에 따른 유기전계발광 표시장치(100)의 구동 방법은, 리페어 단계(S2020) 이후, 둘 이상의 구동 트랜지스터(예: DT1, DT2) 중 동작 가능한 구동 트랜지스터(예: DT1)의 출력단(예: 소스)과 연결된 센싱 트랜지스터(SWT)의 동작을 제어하여 유기발광다이오드(OLED)에 공급되는 전압 또는 전류를 센싱하는 센싱 단계(S2030)와, 센싱 단계(S2030)에서의 센싱 결과에 근거하여, 둘 이상의 구동 트랜지스터(예: DT1, DT2)가 모두 동작하다가 일부(예: DT1)만이 동작하여 발생한 휘도 감소를 보상해주는 보상 처리를 수행하는 보상 단계(S2040) 등을 더 포함할 수 있다.
- [0146] 아래에서는, 도 4 및 도 5에 도시된 구동 트랜지스터 구조와, 도 6에 도시된 다른 구동 트랜지스터 구조를 도 21 내지 도 22와, 도 23 내지 도 24를 참조하여 더욱 상세하게 설명한다. 전술한 바와 같이 표시패널(110)에 정의된 다수의 화소 각각은, 유기발광다이오드 이외에, 둘 이상의 구동 트랜지스터(DT1, DT2, ...)를 포함하지만, 단, 도 21 내지 도 24에서는, 설명의 편의를 위해, 2개의 구동 트랜지스터(DT1, DT2)만을 도시한다.
- [0147] 도 21은 일 실시예에 따른 유기전계발광 표시장치(100)의 각 화소 내 구동 트랜지스터 구조의 예시도이다.
- [0148] 도 21의 (a) 및 (b)를 참조하면, 다수의 화소 각각에는, 둘 이상의 구동 트랜지스터(DT1, DT2, 2100) 각각의 드레인(또는 소스)으로 작용하는 부분이 있는 제1 통합 전극(2110)과, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 소스(또는 드레인)로 작용하는 부분이 있는 제2 통합 전극(2120)이 이격되어 형성된다.
- [0149] 도 21의 (a) 및 (b)를 참조하면, 제1 통합 전극(2110)은, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 드레인(D1, D2)이 되는 둘 이상의 브랜치(Branch, 2112a, 211b)와 이러한 둘 이상의 브랜치(2112a, 2112b)와 연결된 하나의 스템(Stem, 2111)으로 이루어진다.
- [0150] 도 21의 (a) 및 (b)를 참조하면, 제2 통합 전극(2120)은, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 소스(S1, S2)가 되는 둘 이상의 브랜치(2122a, 2122b)와 이러한 둘 이상의 브랜치(2122a, 2122b)와 연결된 하나의 스템(2121)으로 이루어진다.

- [0151] 다수의 화소 각각에는, 도 21의 (a)에 도시된 바와 같이, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각에 대하여 개별 게이트 전극(2130a, 2130b)이 이격되어 형성되거나, 도 21의 (b)에 도시된 바와 같이, 둘 이상의 구동 트랜지스터(DT1, DT2)에 대하여 하나의 통합 게이트 전극(2130)이 형성될 수 있다.
- [0152] 도 21의 (a) 및 (b)를 참조하면, 제1 통합 전극(2110)에서 드레인(D1, D2)이 되는 브랜치(2112a, 2112b)와 제2 통합 전극(2120)에서 소스(S1, S2)가 되는 브랜치(2122a, 2122b) 사이마다 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 채널이 형성된다.
- [0153] 도 21의 (a) 및 (b)를 참조하면, 제1 통합 전극(2110)은 $\perp$ 자 모양이고, 제2 통합 전극(2120)은 $\neg$ 자 모양이다. 그리고, 제1 통합 전극(2110)과 제2 통합 전극(2120)은 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 채널이 형성될 수 있도록 대향하여 이격되어 형성된다.
- [0154] 한편, 1개의 구동 트랜지스터가 갖는 전류구동능력을 둘 이상의 구동 트랜지스터(DT1, DT2)가 동일하게 나누어 가지기 위해서, 즉, 제1 통합 전극(2110)의 스템(2111)을 통해 흐르는 전류가 둘 이상의 브랜치(2112a, 2112b) 각각으로 동일하게 분기되고, 제2 통합 전극(2120)의 둘 이상의 브랜치(2122a, 2122b) 각각을 통해 흐르는 전류가 스템(2120)에 합쳐져 출력되도록 하기 위해서, 다음과 같은 구조적인 특징이 있을 수 있다.
- [0155] 도 21의 (a) 및 (b)를 참조하면, 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b)의 크기는 서로 동일할 수 있다. 예를 들어, 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b)의 폭(Wd1, Wd2)이 동일하고, 둘 이상의 브랜치(2112a, 2112b)의 길이(Ld1, Ld2)가 동일할 수 있다(Wd1=Wd2, Ld1=Ld2).
- [0156] 또한, 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b)의 크기는 서로 동일할 수 있다. 예를 들어, 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b)의 폭(Ws1, Ws2)이 동일하고, 둘 이상의 브랜치(2122a, 2122b)의 길이(Ls1, Ls2)가 동일할 수 있다(Ws1=Ws2, Ld1=Ld2).
- [0157] 한편, 도 21의 (a) 및 (b)를 참조하면, 제1 통합 전극(2110)과 제2 통합 전극(2120)은 모양이 대칭이고 이에 따라 크기가 동일할 수 있다.
- [0158] 이 경우, 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b)의 폭(Wd1, Wd2)과 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b)의 폭(Ws1, Ws2)이 모두 동일하고, 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b)의 길이(Ld1, Ld2)와 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b)의 길이(Ls1, Ls2)가 모두 동일하다(Wd1=Wd2=Ws1=Ws2, Ld1=Ld2=Ls1=Ls2).
- [0159] 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b)의 폭(Wd1, Wd2)과 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b)의 폭(Ws1, Ws2)은, 브랜치 개수와 스템의 폭(Wd, Ws)에 따라 결정될 수 있다. 여기서, 브랜치 개수는, 구동 트랜지스터의 개수와 동일하다. 도 21에서 브랜치 개수는 2이다.
- [0160] 한편, 전술한 화소 리페어 처리와 관련하여, 다수의 화소 중 리페어 처리가 된 적어도 하나의 화소에서, 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b) 중 적어도 하나가 커팅되어 있거나, 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b) 중 적어도 하나가 커팅되어 있거나, 제1 통합 전극(2110)에서의 둘 이상의 브랜치(2112a, 2112b) 중 적어도 하나와 제2 통합 전극(2120)에서의 둘 이상의 브랜치(2122a, 2122b) 중 적어도 하나가 대응되어 모두 커팅되어 있을 수 있다.
- [0161] 이러한 화소 리페어 처리는, 불량 화소가 정상 화소로 동작되도록 하는 처리로서, 둘 이상의 구동 트랜지스터 중에서 불량 화소의 원인이 된 구동 트랜지스터가 회로적으로 단선되어 정상적으로 동작하지 않도록 하는 처리이다.
- [0162] 이러한 화소 리페어 처리가 된 화소에서는, 전술한 바와 같이, 둘 이상의 구동 트랜지스터 중에서 불량 화소의 원인이 된 구동 트랜지스터가 회로적으로 단선되도록, 일 예로, 레이저 커팅(Laser Cutting) 공정 등을 통해, 문제가 되는 구동 트랜지스터의 드레인 또는 소스가 되는 브랜치가 제1 통합 전극(2110)과 제2 통합 전극(2120) 중 하나 이상에서 커팅되어 있다.
- [0163] 이러한 화소 리페어 처리(예: 브랜치의 레이저 커팅)가 보다 정확하고 용이하게 이루어질 수 있도록, 각 화소 내 트랜지스터 구조는 독특한 구조적인 특징을 가질 수 있다. 이에 대하여, 도 22a~도 22d를 참조하여 더욱 상세하게 설명한다.
- [0164] 도 22a 내지 도 22d는 보다 정확하고 용이한 화소 리페어 처리를 위한 트랜지스터 구조를 설명하기 위한 도면이다. 단, 도 22a 내지 도 22d에서는, 설명의 편의를 위해, 개별 게이트 전극(2130a, 2130b)과 통합 게이트 전극

(2130)은 표시하지 않고, 제1 통합 전극(2110) 및 제2 통합 전극(2120)만을 표시한다.

- [0165] 도 22a는 제1 통합 전극(2110) 및 제2 통합 전극(2120) 각각의 둘 이상의 브랜치(2112a, 2112b, 2122a, 2122b)에 다른 영역보다 작은 폭(두께의 의미를 가질 수도 있음)을 갖는 영역(CA: Cuttable Area)이 존재하지 않는 경우이다.
- [0166] 도 22b 내지 도 22d는, 도 22a와 다르게, 제1 통합 전극(2110) 및 제2 통합 전극(2120) 중 적어도 하나의 둘 이상의 브랜치 각각에, 다른 영역보다 작은 폭을 갖는 영역(CA)이 존재하는 경우이다.
- [0167] 여기서, 하나의 브랜치의 전체 영역에서 다른 영역보다 작은 폭을 갖는 영역(CA)은, 브랜치의 커팅이 가능한 부분들(도 9의 (a)에서 C1d, C2d, C1s, C2s가 각각 표시된 부분) 중 하나로서, 다른 부분에 비해 커팅을 보다 용이하고 정확하게 할 수 있는 부분이다. 즉, CA 영역은 커팅하기 쉬운 부분이다.
- [0168] 도 22b를 참조하면, 제1 통합 전극(2110) 및 제2 통합 전극(2120) 중 제1 통합 전극(2110)에서만, 둘 이상의 브랜치(2112a, 2112b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있을 수 있다.
- [0169] 여기서, 제1 통합 전극(2110)의 둘 이상의 브랜치(2112a, 2112b) 각각에서 다른 영역보다 작은 폭을 갖는 영역(CA)은, 제1 통합 전극(2110)에서 해당 브랜치(2112a 또는 2112b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다.
- [0170] 도 22b의 경우, 2개의 구동 트랜지스터(DT1, DT2) 중 동작하지 않게 할 구동 트랜지스터를 단선시키기 위하여 해당 구동 트랜지스터의 드레인(또는 소스)이 되는 브랜치(2112a 또는 2112b)만을 커팅하는데 적합한 구조이다.
- [0171] 예를 들어, 2개의 구동 트랜지스터(DT1, DT2) 중 구동 트랜지스터 DT1을 회로적으로 단선시키고자 하는 경우, 단선시킬 구동 트랜지스터 DT1의 드레인(또는 소스)이 되는 브랜치(2112a)를 4개의 커팅 라인(Cutting Line, CL1, CL2, CL3, CL4) 중 CL1을 따라 커팅하면 된다.
- [0172] 도 22c를 참조하면, 제1 통합 전극(2110) 및 제2 통합 전극(2120) 중 제2 통합 전극(2120)에서만, 둘 이상의 브랜치(2122a, 2122b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있을 수 있다.
- [0173] 여기서, 제2 통합 전극(2120)의 둘 이상의 브랜치(2122a, 2122b) 각각에서 다른 영역보다 작은 폭을 갖는 영역(CA)은, 제2 통합 전극(2120)에서 해당 브랜치(2122a 또는 2122b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다.
- [0174] 도 22c의 경우, 2개의 구동 트랜지스터(DT1, DT2) 중 동작하지 않게 할 구동 트랜지스터를 단선시키기 위하여 해당 구동 트랜지스터의 소스(또는 드레인)가 되는 브랜치(2122a 또는 2122b)만을 커팅하는데 적합한 구조이다.
- [0175] 예를 들어, 2개의 구동 트랜지스터(DT1, DT2) 중 구동 트랜지스터 DT2를 회로적으로 단선시키고자 하는 경우, 단선시킬 구동 트랜지스터 DT2의 소스(또는 드레인)가 되는 브랜치(2122b)를 4개의 커팅 라인(CL1, CL2, CL3, CL4) 중 CL4를 따라 커팅하면 된다.
- [0176] 도 22d를 참조하면, 제1 통합 전극(2110)에서 둘 이상의 브랜치(2112a, 2112b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있고, 제2 통합 전극(2120)에서도 둘 이상의 브랜치(2122a, 2122b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있을 수 있다.
- [0177] 여기서, 제1 통합 전극(2110)의 둘 이상의 브랜치(2112a, 2112b) 각각에서 다른 영역보다 작은 폭을 갖는 영역은 제1 통합 전극(2110)에서 해당 브랜치(2112a 또는 2112b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다. 또한, 제2 통합 전극(2120)의 둘 이상의 브랜치(2122a, 2122b) 각각에서 다른 영역보다 작은 폭을 갖는 영역(CA)은 제2 통합 전극(2120)에서 해당 브랜치(2122a 또는 2122b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다.
- [0178] 도 22d의 경우, 2개의 구동 트랜지스터(DT1, DT2) 중 동작하지 않게 할 구동 트랜지스터를 단선시키기 위하여 해당 구동 트랜지스터의 드레인(또는 소스)이 되는 브랜치(2112a 또는 2112b)와 소스(또는 드레인)가 되는 브랜치(2122a 또는 2122b)를 모두 커팅하는데 적합한 구조이다.
- [0179] 예를 들어, 2개의 구동 트랜지스터(DT1, DT2) 중 구동 트랜지스터 DT1를 회로적으로 단선시키고자 하는 경우, 단선시킬 구동 트랜지스터 DT1의 드레인(또는 소스)이 되는 브랜치(2112a)를 4개의 커팅 라인(CL1, CL2, CL3, CL4) 중 CL1을 따라 커팅하고, 단선시킬 구동 트랜지스터 DT1의 소스(또는 드레인)가 되는 브랜치(2122a)를 4개

의 커팅 라인(CL1, CL2, CL3, CL4) 중 CL3을 따라 커팅하면 된다.

- [0180] 도 23는 일 실시예에 따른 유기전계발광 표시장치(100)의 각 화소 내 구동 트랜지스터 구조의 다른 예시도이다.
- [0181] 도 23의 (a) 및 (b)를 참조하면, 다수의 화소 각각에는, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 드레인으로 작용하는 부분이 있는 제1 통합 전극(2310)과, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 소스로 작용하는 부분이 있는 제2 통합 전극(2320)이 이격되어 형성된다.
- [0182] 도 23의 (a) 및 (b)를 참조하면, 제1 통합 전극(2310)은, 둘 이상의 구동 트랜지스터(DT1, DT2, 2300) 각각의 드레인(D1, D2)이 되는 둘 이상의 브랜치(2312a, 2312b)와 이러한 둘 이상의 브랜치(2312a, 2312b)와 연결된 하나의 스템(2311)을 갖는다.
- [0183] 도 23의 (a) 및 (b)를 참조하면, 제2 통합 전극(2320)은, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 소스(S1, S2)가 되는 둘 이상의 브랜치(2322a, 2322b)와 상기 둘 이상의 브랜치와 연결된 하나의 스템(2321)을 갖는다.
- [0184] 다수의 화소 각각에는, 도 23의 (a)에 도시된 바와 같이, 둘 이상의 구동 트랜지스터(DT1, DT2) 각각에 대하여 개별 게이트 전극(2330a, 2330b)이 이격되어 형성되거나, 도 23의 (b)에 도시된 바와 같이, 둘 이상의 구동 트랜지스터(DT1, DT2)에 대하여 하나의 통합 게이트 전극(2330)이 형성될 수 있다.
- [0185] 도 23의 (a) 및 (b)를 참조하면, 제1 통합 전극(2310)에서 드레인(D1, D2)이 되는 브랜치(2312a, 2312b)와 제2 통합 전극(2320)에서 소스(S1, S2)가 되는 브랜치(2322a, 2322b) 사이마다 둘 이상의 구동 트랜지스터(DT1, DT2) 각각의 채널이 형성된다.
- [0186] 도 23의 (a) 및 (b)를 참조하면, 제1 통합 전극(2310)에서의 각 브랜치(2312a, 2312b)는 U자 모양이고, 제2 통합 전극(2320)은 π 자 모양일 수 있다.
- [0187] 제1 통합 전극(2310)에서의 각 브랜치(2312a, 2312b)가 U자 모양으로 구부러져 만들어진 공간 사이로 제2 통합 전극(2320)에서의 각 브랜치(2322a, 2322b)가 개입되어 형성된다. 즉, 제1 통합 전극(2310)에서 DT1의 드레인(D1)이 되는 브랜치(2312a)가 U자 모양으로 구부러져 만들어진 공간 사이로 제2 통합 전극(2320)에서 DT1의 소스(S1)이 되는 브랜치(2322a)가 개입된다.
- [0188] 마찬가지로, 제1 통합 전극(2310)에서 DT2의 드레인(D2)이 되는 브랜치(2312b)가 U자 모양으로 구부러져 만들어진 공간 사이로 제2 통합 전극(2320)에서 DT2의 소스(S2)이 되는 브랜치(2322b)가 개입된다.
- [0189] 한편, 1개의 구동 트랜지스터가 갖는 전류구동능력을 둘 이상의 구동 트랜지스터(DT1, DT2)가 동일하게 나누어 가지기 위해서, 즉, 제1 통합 전극(2310)의 스템(2311)을 통해 흐르는 전류가 둘 이상의 브랜치(2312a, 2312b) 각각으로 동일하게 분기되고, 제2 통합 전극(2320)의 둘 이상의 브랜치(2322a, 2322b) 각각을 통해 흐르는 전류가 스템(2320)에 합쳐져 출력되도록 하기 위해서, 다음과 같은 구조적인 특징이 있을 수 있다.
- [0190] 한편, 도 23의 (a) 및 (b)를 참조하면, 제1 통합 전극(2310)에서의 둘 이상의 브랜치(2312a, 2312b)의 크기는 서로 동일할 수 있다. 예를 들어, 제1 통합 전극(2310)에서의 둘 이상의 브랜치(2312a, 2312b)의 폭(Wd1, Wd2)이 동일하고, 둘 이상의 브랜치(2312a, 2312b)의 길이(Ld1, Ld2)가 동일할 수 있다(Wd1=Wd2, Ld1=Ld2).
- [0191] 또한, 제2 통합 전극(2320)에서의 둘 이상의 브랜치(2322a, 2322b)의 크기는 서로 동일할 수 있다. 예를 들어, 제2 통합 전극(2320)에서의 둘 이상의 브랜치(2322a, 2322b)의 폭(Ws1, Ws2)이 동일하고, 둘 이상의 브랜치(2322a, 2322b)의 길이(Ls1, Ls2)가 동일할 수 있다(Ws1=Ws2, Ls1=Ls2).
- [0192] 한편, 도 21에 도시된 트랜지스터 구조와는 다르게, 도 23에 도시된 트랜지스터 구조에서는, 제1 통합 전극(2310)과 제2 통합 전극(2320)은 모양이 비대칭이고 크기가 서로 다르다.
- [0193] 한편, 도 23의 (a) 및 (b)를 참조하면, 제1 통합 전극(2310)에서의 둘 이상의 브랜치(2312a, 2312b)의 폭(Wd1, Wd2)과 제2 통합 전극(2320)에서의 둘 이상의 브랜치(2322a, 2322b)의 폭(Ws1, Ws2)은, 브랜치 개수와 스템의 폭(Wd, Ws)에 따라 결정될 수 있다. 여기서, 브랜치 개수는, 구동 트랜지스터의 개수와 동일하다. 도 23에서 브랜치 개수는 2이다.
- [0194] 한편, 전술한 화소 리페어 처리와 관련하여, 다수의 화소 중 리페어 처리가 된 적어도 하나의 화소에서, 제1 통합 전극(2310)에서의 둘 이상의 브랜치(2312a, 2312b) 중 적어도 하나가 커팅되어 있거나, 제2 통합 전극(2320)에서의 둘 이상의 브랜치(2322a, 2322b) 중 적어도 하나가 커팅되어 있거나, 제1 통합 전극(2310)에서의 둘

이상의 브랜치(2312a, 2312b) 중 적어도 하나와 제2 통합 전극(2320)에서의 둘 이상의 브랜치(2322a, 2322b) 중 적어도 하나가 대응되어 모두 커팅되어 있을 수 있다.

[0195] 이러한 화소 리페어 처리는, 불량 화소가 정상 화소로 동작되도록 하는 처리로서, 둘 이상의 구동 트랜지스터 중에서 불량 화소의 원인이 된 구동 트랜지스터가 회로적으로 단선되어 정상적으로 동작하지 않도록 하는 처리이다.

[0196] 이러한 화소 리페어 처리가 된 화소에서는, 전술한 바와 같이, 둘 이상의 구동 트랜지스터 중에서 불량 화소의 원인이 된 구동 트랜지스터가 회로적으로 단선되도록, 일 예로, 레이저 커팅(Laser Cutting) 공정 등을 통해, 문제가 되는 구동 트랜지스터의 드레인 또는 소스가 되는 브랜치가 제1 통합 전극(2310)과 제2 통합 전극(2320) 중 하나 이상에서 커팅되어 있다.

[0197] 이러한 화소 리페어 처리(예: 브랜치의 레이저 커팅)가 보다 정확하고 용이하게 이루어질 수 있도록, 각 화소 내 트랜지스터 구조는 독특한 구조적인 특징을 가질 수 있다. 이에 대하여, 도 24a 내지 도 24d를 참조하여 더욱 상세하게 설명한다.

[0198] 도 24a 내지 도 24d는 보다 정확하고 용이한 화소 리페어 처리를 위한 트랜지스터 구조를 설명하기 위한 도면이다. 단, 도 24a 내지 도 24d에서는, 설명의 편의를 위해, 개별 게이트 전극(2330a, 2330b)과 통합 게이트 전극(2330)은 표시하지 않고, 제1 통합 전극(2310) 및 제2 통합 전극(2320)만을 표시한다.

[0199] 도 24a는 제1 통합 전극(2310) 및 제2 통합 전극(2320) 각각의 둘 이상의 브랜치(2312a, 2312b, 2322a, 2322b)에 다른 영역보다 작은 폭(두께의 의미를 가질 수도 있음)을 갖는 영역(CA)이 존재하지 않는 경우이다.

[0200] 도 24b 내지 도 24d는, 도 24a와 다르게, 제1 통합 전극(2310) 및 제2 통합 전극(2320) 중 적어도 하나의 둘 이상의 브랜치 각각에, 다른 영역보다 작은 폭을 갖는 영역(CA)이 존재하는 경우이다.

[0201] 여기서, 하나의 브랜치의 전체 영역에서 다른 영역보다 작은 폭을 갖는 영역(CA)은, 브랜치의 커팅이 가능한 부분들(도 9의 (b)에서 C1d, C2d, C1s, C2s가 각각 표시된 부분) 중 하나로서, 다른 부분에 비해 커팅을 보다 용이하고 정확하게 할 수 있는 부분이다. 즉, CA 영역은 커팅하기 쉬운 부분이다.

[0202] 도 24b를 참조하면, 제1 통합 전극(2310) 및 제2 통합 전극(2320) 중 제1 통합 전극(2310)에서만, 둘 이상의 브랜치(2312a, 2312b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있을 수 있다.

[0203] 여기서, 제1 통합 전극(2310)의 둘 이상의 브랜치(2312a, 2312b) 각각에서 다른 영역보다 작은 폭을 갖는 영역(CA)은, 제1 통합 전극(2310)에서 해당 브랜치(2312a 또는 2312b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다.

[0204] 도 24b의 경우, 2개의 구동 트랜지스터(DT1, DT2) 중 동작하지 않게 할 구동 트랜지스터를 단선시키기 위하여 해당 구동 트랜지스터의 드레인(또는 소스)이 되는 브랜치(2312a 또는 2312b)만을 커팅하는데 적합한 구조이다.

[0205] 예를 들어, 2개의 구동 트랜지스터(DT1, DT2) 중 구동 트랜지스터 DT1을 회로적으로 단선시키고자 하는 경우, 단선시킬 구동 트랜지스터 DT1의 드레인(또는 소스)이 되는 브랜치(2312a)를 4개의 커팅 라인(Cutting Line, CL1, CL2, CL3, CL4) 중 CL1을 따라 커팅하면 된다.

[0206] 도 24c를 참조하면, 제1 통합 전극(2310) 및 제2 통합 전극(2320) 중 제2 통합 전극(2320)에서만, 둘 이상의 브랜치(2322a, 2322b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있을 수 있다.

[0207] 여기서, 제2 통합 전극(2320)의 둘 이상의 브랜치(2322a, 2322b) 각각에서 다른 영역보다 작은 폭을 갖는 영역(CA)은, 제2 통합 전극(2320)에서 해당 브랜치(2322a 또는 2322b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다.

[0208] 도 24c의 경우, 2개의 구동 트랜지스터(DT1, DT2) 중 동작하지 않게 할 구동 트랜지스터를 단선시키기 위하여 해당 구동 트랜지스터의 소스(또는 드레인)가 되는 브랜치(2322a 또는 2322b)만을 커팅하는데 적합한 구조이다.

[0209] 예를 들어, 2개의 구동 트랜지스터(DT1, DT2) 중 구동 트랜지스터 DT2를 회로적으로 단선시키고자 하는 경우, 단선시킬 구동 트랜지스터 DT2의 소스(또는 드레인)가 되는 브랜치(2322b)를 4개의 커팅 라인(CL1, CL2, CL3, CL4) 중 CL4를 따라 커팅하면 된다.

[0210] 도 24d를 참조하면, 제1 통합 전극(2310)에서 둘 이상의 브랜치(2312a, 2312b) 각각이 다른 영역보다 작은 폭을 갖는 영역(CA)이 있고, 제2 통합 전극(2320)에서도 둘 이상의 브랜치(2322a, 2322b) 각각이 다른 영역보다 작은

폭을 갖는 영역(CA)이 있을 수 있다.

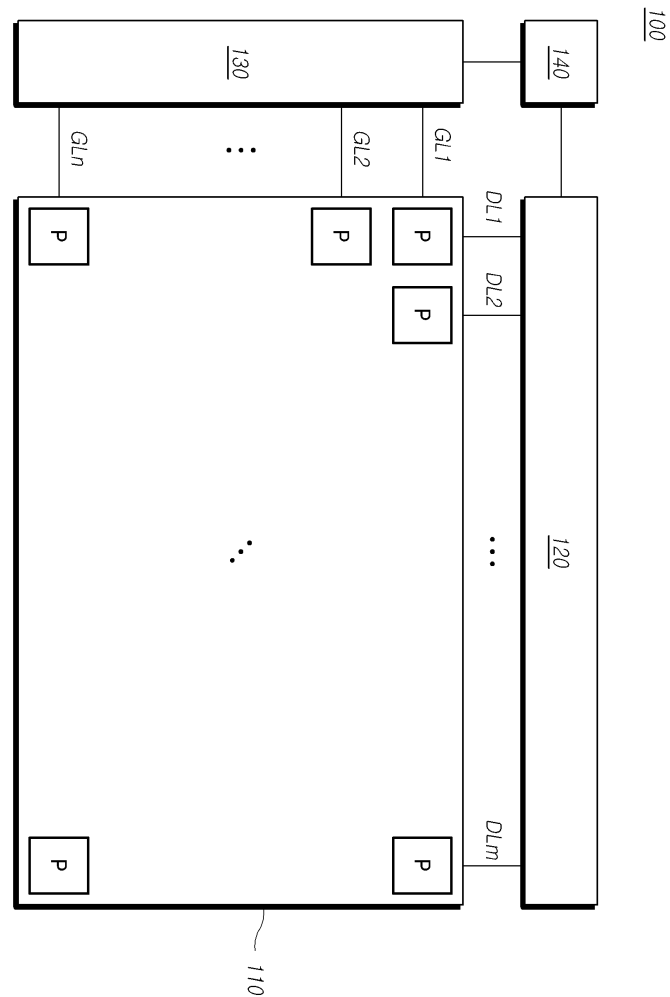
- [0211] 여기서, 제1 통합 전극(2310)의 둘 이상의 브랜치(2312a, 2312b) 각각에서 다른 영역보다 작은 폭을 갖는 영역은 제1 통합 전극(2310)에서 해당 브랜치(2312a 또는 2312b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다. 또한, 제2 통합 전극(2320)의 둘 이상의 브랜치(2322a, 2322b) 각각에서 다른 영역보다 작은 폭을 갖는 영역(CA)은 제2 통합 전극(2320)에서 해당 브랜치(2322a 또는 2322b)의 커팅이 가능한 부분들 중 하나로서 다른 부분에 비해 커팅을 보다 용이하게 정확하게 할 수 있는 부분이다.
- [0212] 도 24d의 경우, 2개의 구동 트랜지스터(DT1, DT2) 중 동작하지 않게 할 구동 트랜지스터를 단선시키기 위하여 해당 구동 트랜지스터의 드레인(또는 소스)이 되는 브랜치(2312a 또는 2312b)와 소스(또는 드레인)가 되는 브랜치(2322a 또는 2322b)를 모두 커팅하는데 적합한 구조이다.
- [0213] 예를 들어, 2개의 구동 트랜지스터(DT1, DT2) 중 구동 트랜지스터 DT1를 회로적으로 단선시키고자 하는 경우, 단선시킬 구동 트랜지스터 DT1의 드레인(또는 소스)이 되는 브랜치(2312a)를 4개의 커팅 라인(CL1, CL2, CL3, CL4) 중 CL1을 따라 커팅하고, 단선시킬 구동 트랜지스터 DT1의 소스(또는 드레인)가 되는 브랜치(2322a)를 4개의 커팅 라인(CL1, CL2, CL3, CL4) 중 CL3을 따라 커팅하면 된다.
- [0214] 이상에서 설명한 바와 같이 본 발명에 의하면, 효율적인 리페어 처리가 가능한 새로운 개념의 구동 트랜지스터 구조를 갖는 유기전계발광 표시장치를 제공하는 효과가 있다.
- [0215] 또한, 본 발명에 의하면, 리페어 된 화소의 사이즈 또는 개수가 증가하더라도, 화면 품질이 저하되지 않고, 표시패널을 폐기시키지 않아도 되는 새로운 개념의 화소 리페어가 가능해질 수 있다.
- [0216] 또한, 본 발명에 의하면, 불량 화소가 정상 화소처럼 동작할 수 있도록, 리페어가 가능한 화소 구조 및 구동 트랜지스터 구조를 갖는 유기전계발광 표시장치(100)와, 그 표시패널(110) 및 구동방법을 제공하는 효과가 있다.
- [0217] 또한, 본 발명에 의하면, 불량 화소를 정상 화소로 리페어 한 이후 발생할 수 있는 휘도 감소를 보상해주는 유기전계발광 표시장치(100)와, 그 표시패널(110) 및 구동방법을 제공하는 효과가 있다.
- [0218] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

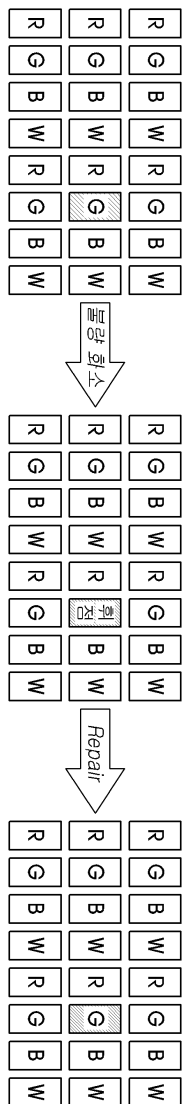
- [0219] 100: 유기전계발광 표시장치
110: 표시패널
120: 데이터 구동부
130: 게이트 구동부
140: 타이밍 컨트롤러

도면

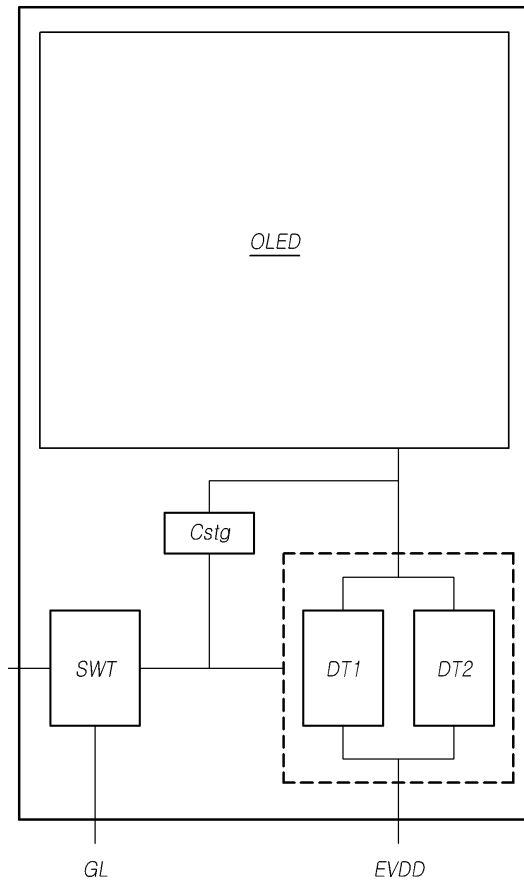
도면1



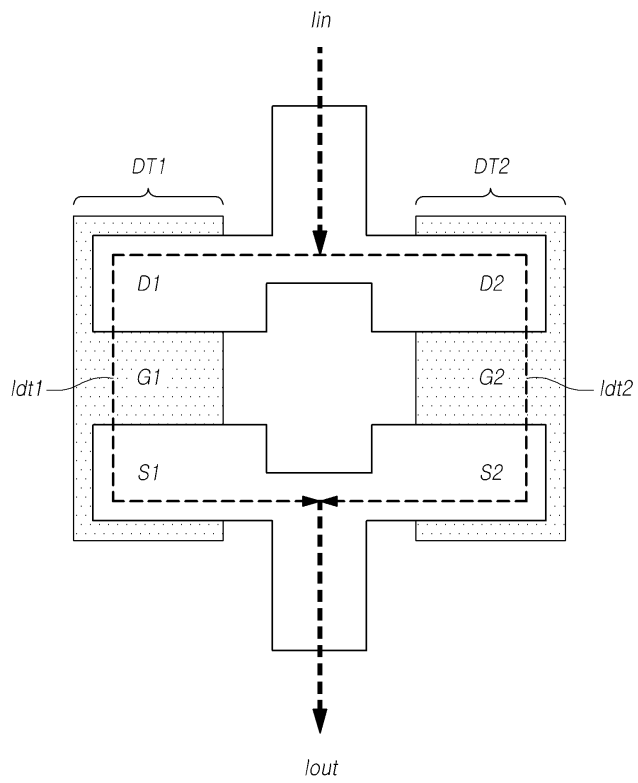
도면2



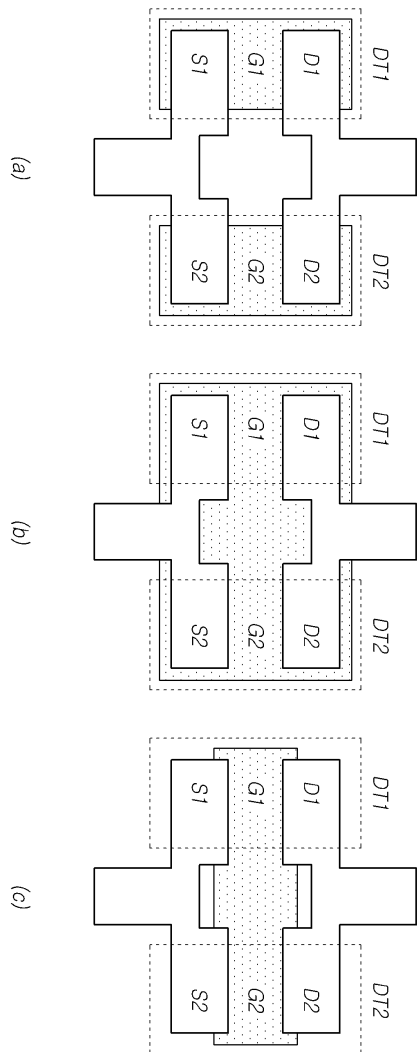
도면3



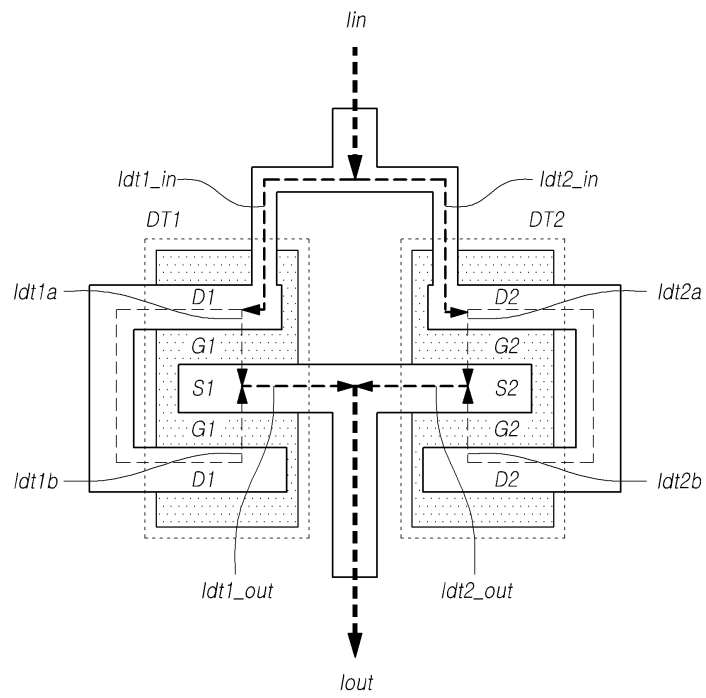
도면4



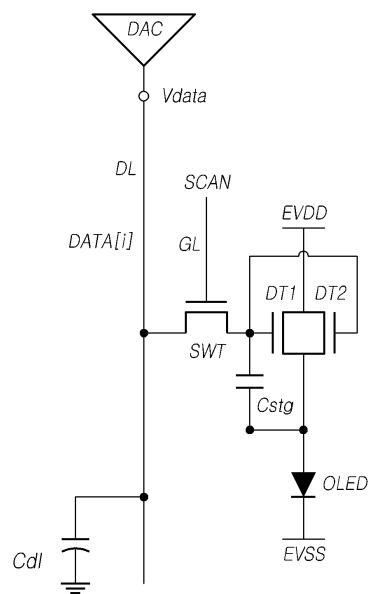
도면5



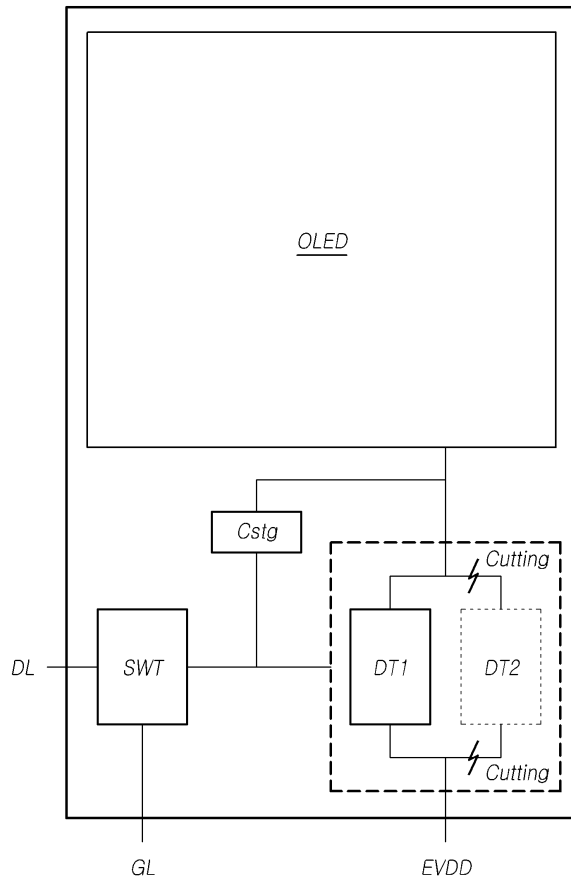
도면6



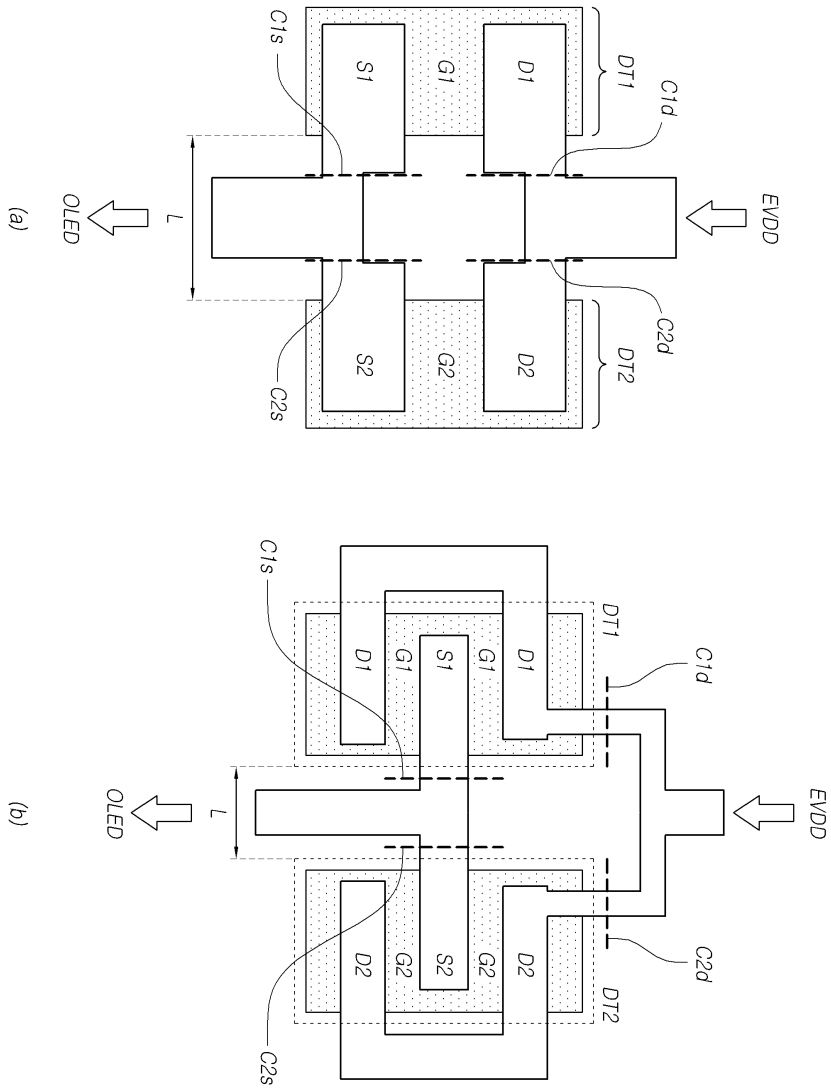
도면7



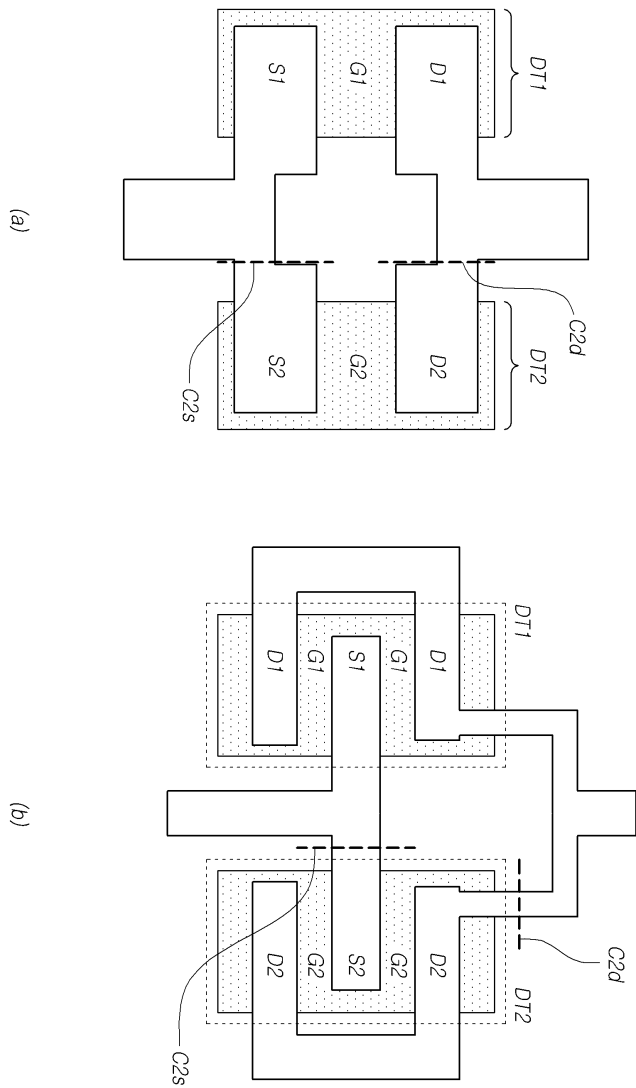
도면8



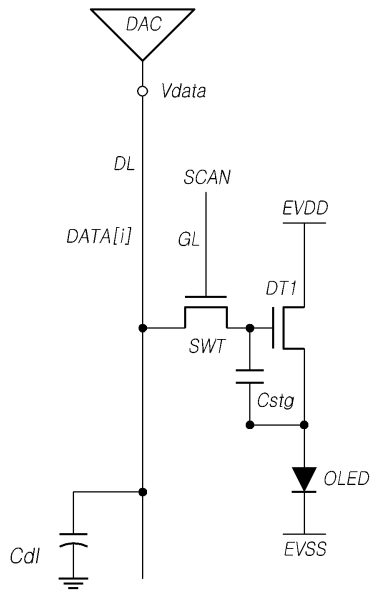
도면9



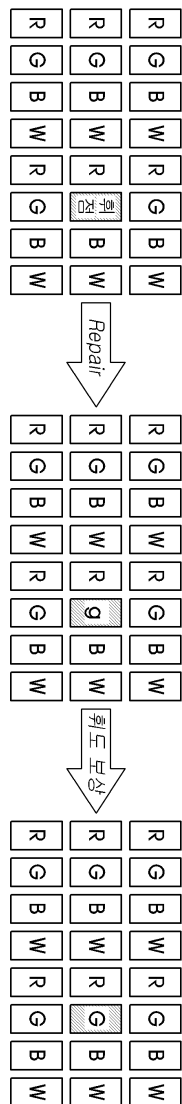
도면10



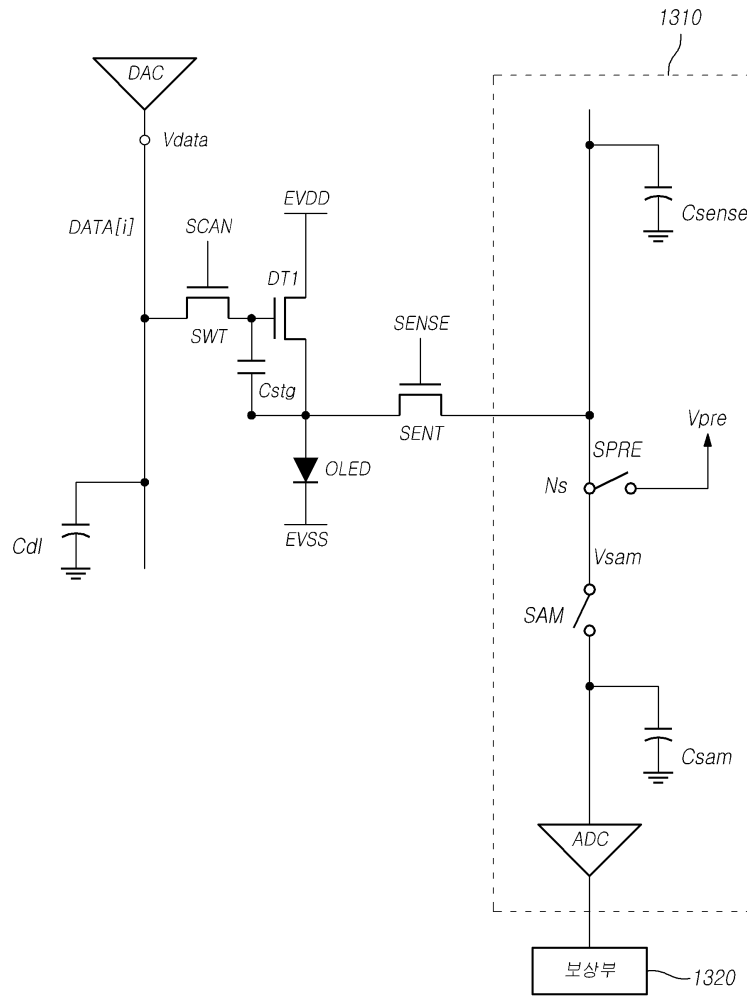
도면11



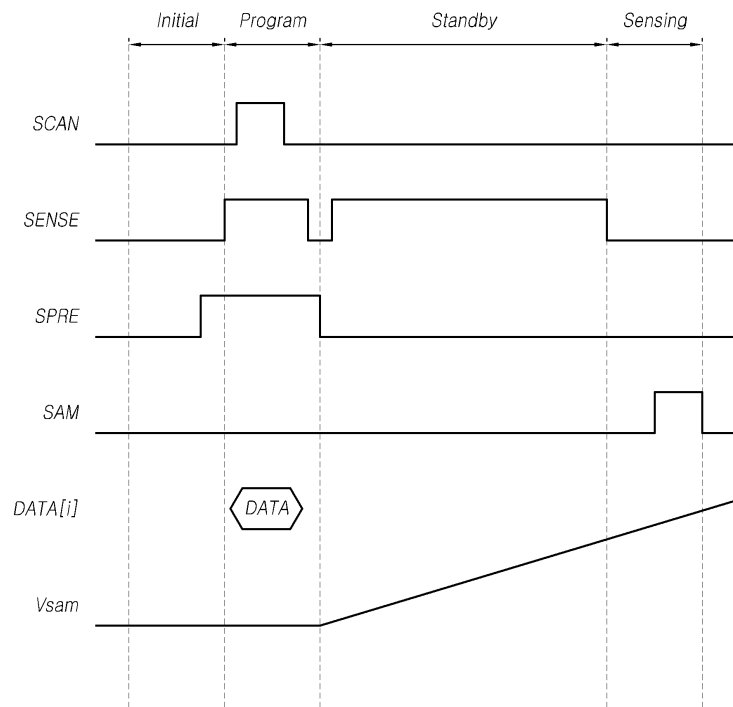
도면12



도면13

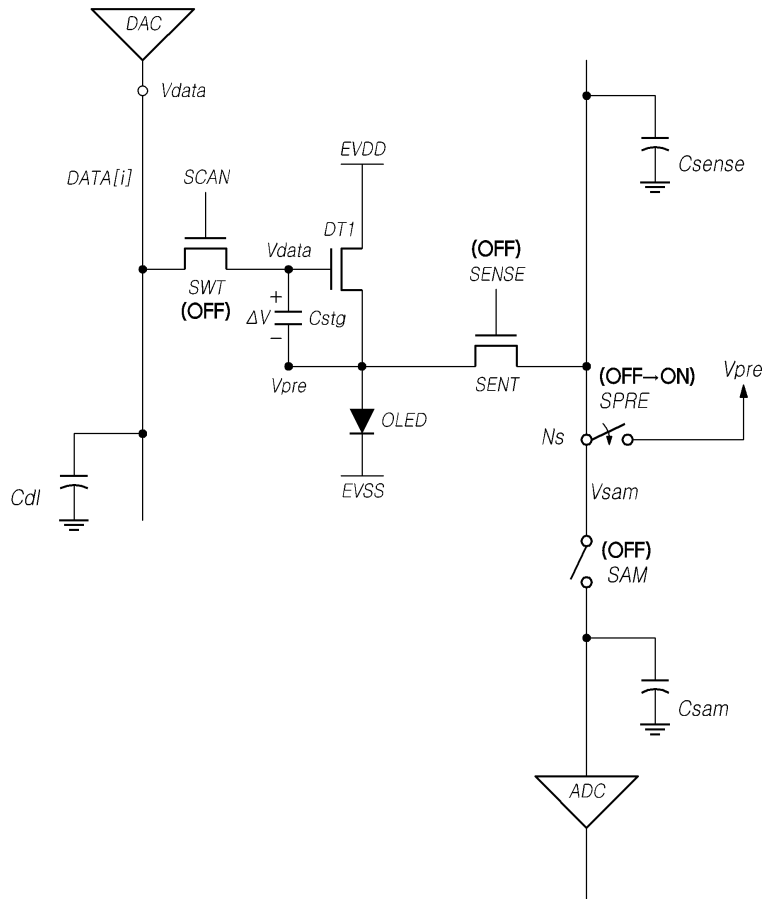


도면14



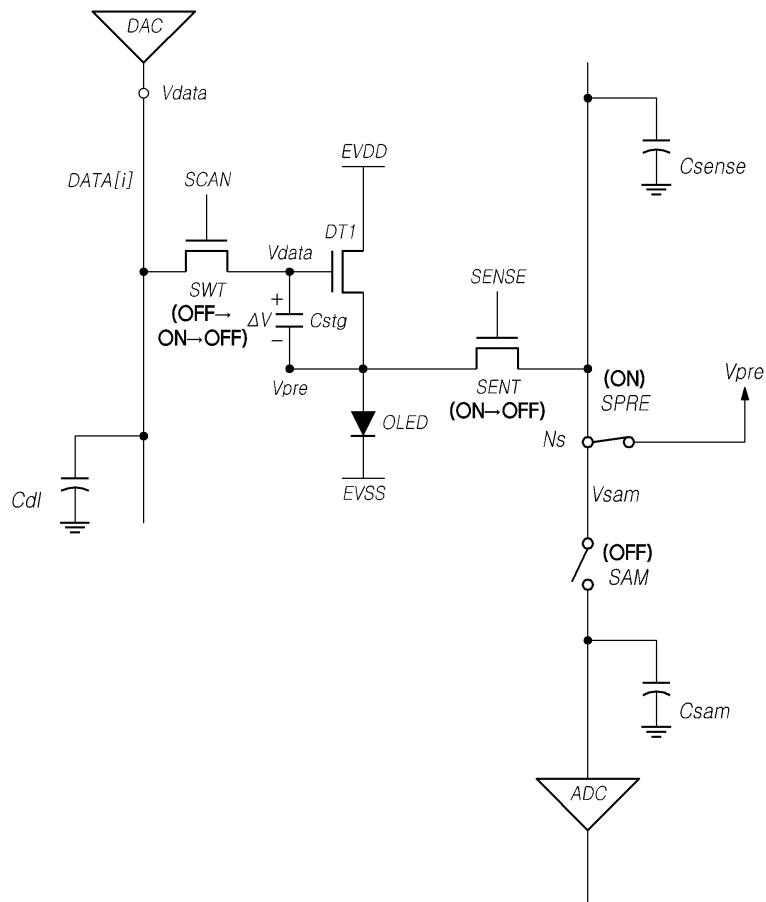
도면15

Initial Step



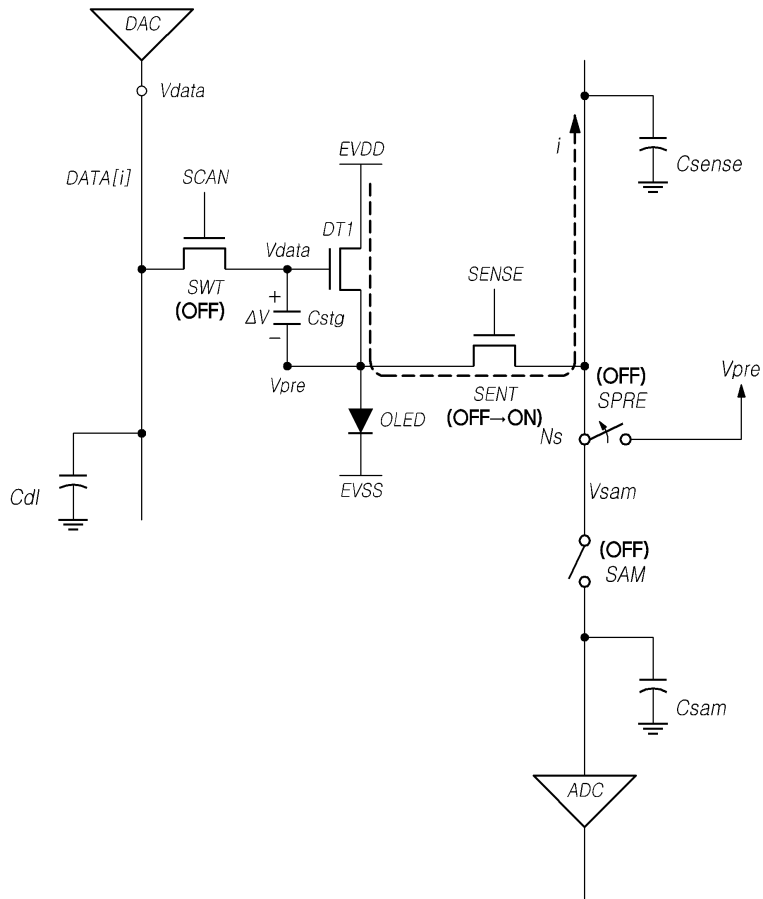
도면16

Program Step



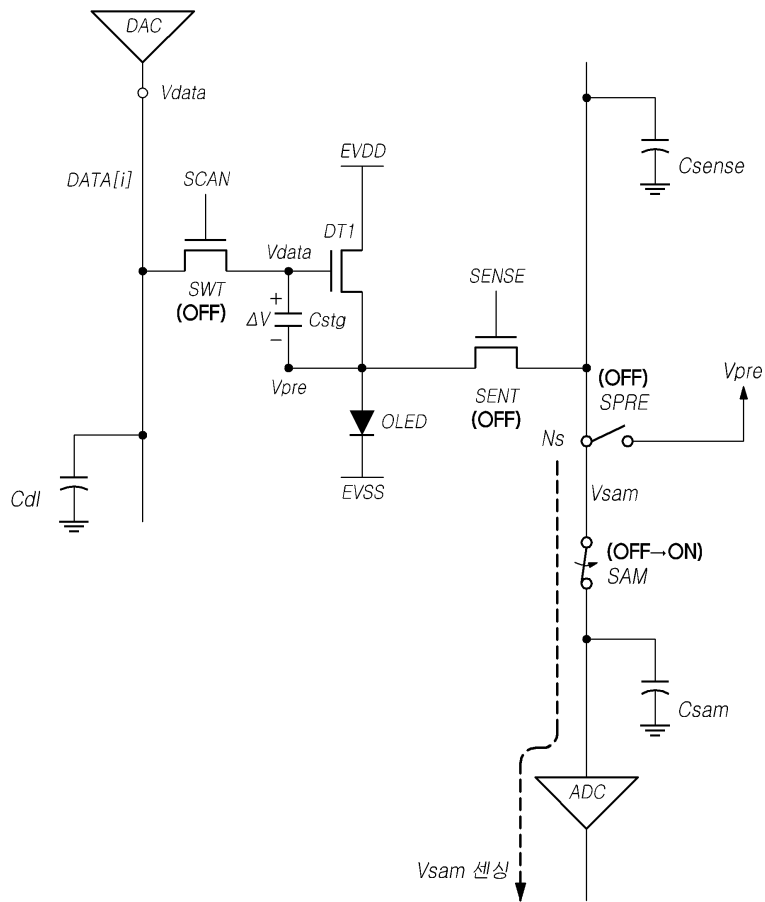
도면17

Stand by Step

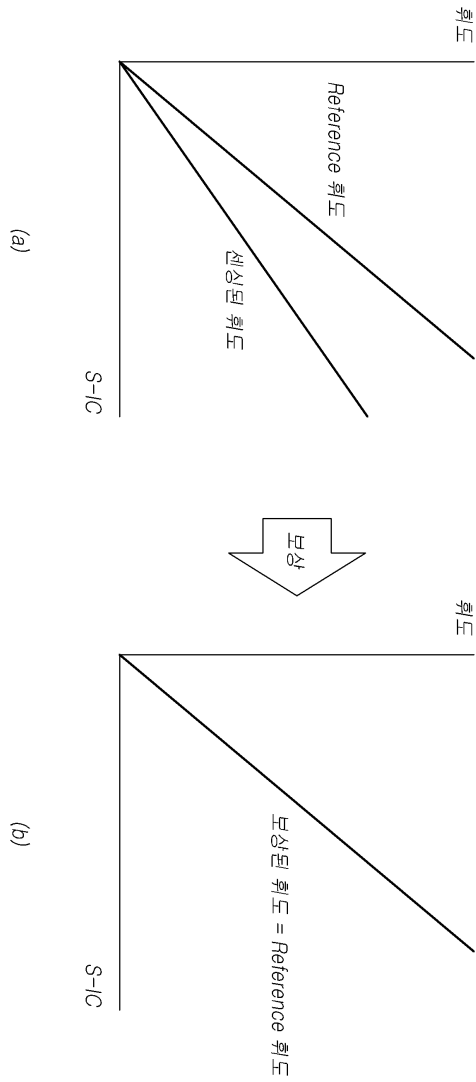


도면18

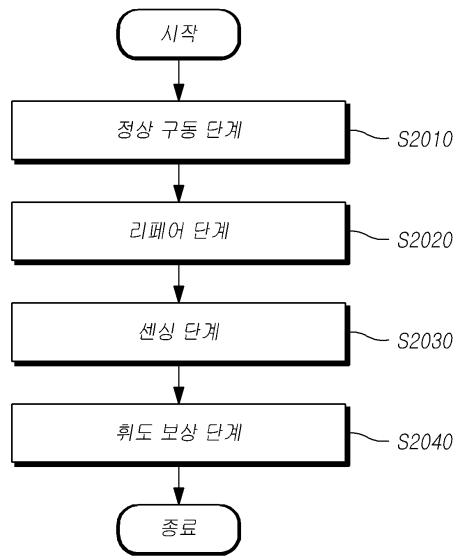
Sensing Step



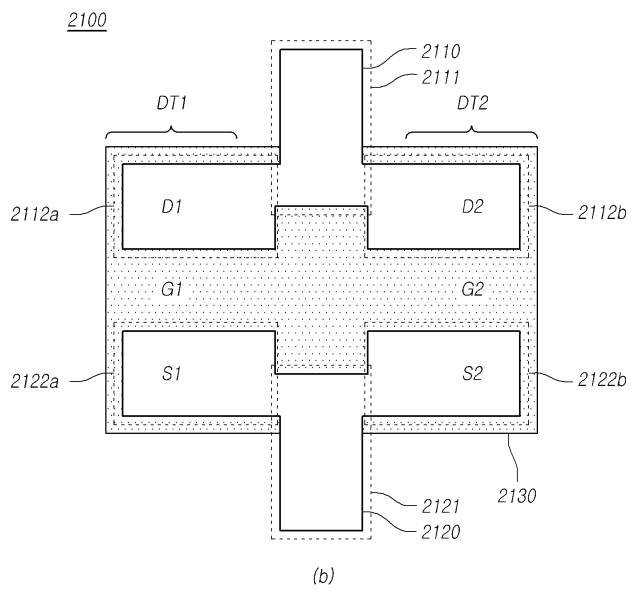
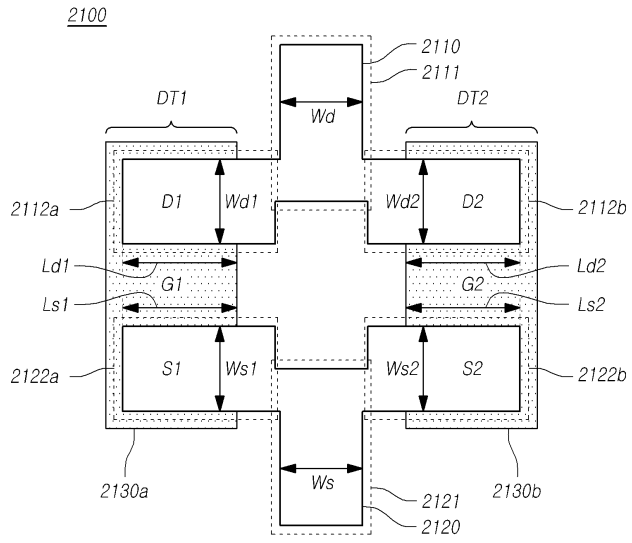
도면19



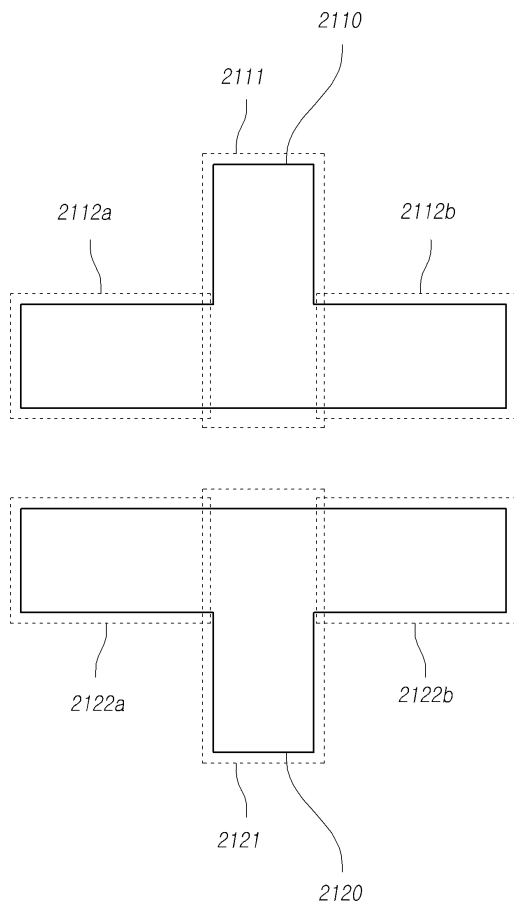
도면20



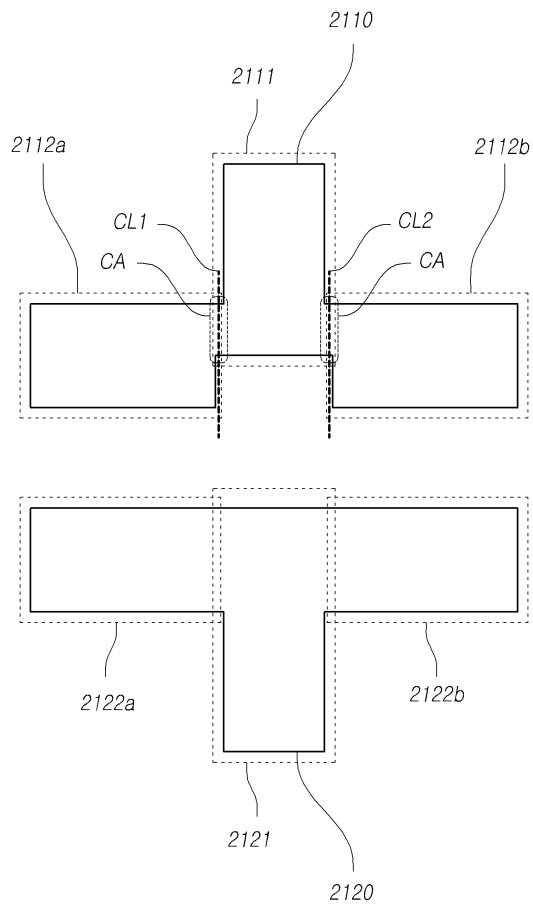
도면21



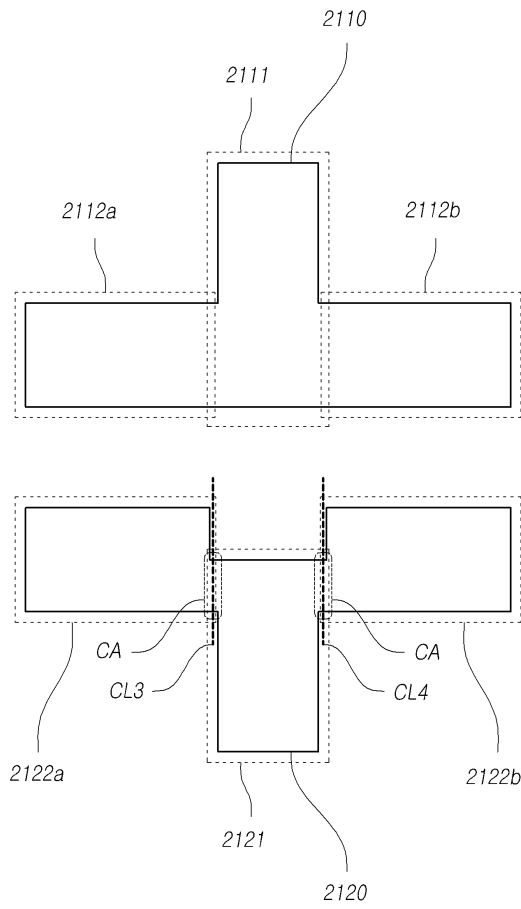
도면22a



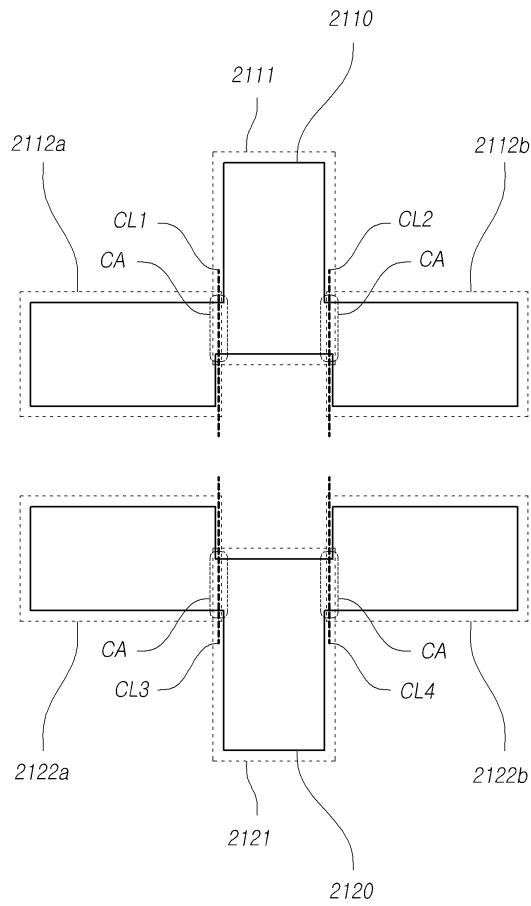
도면22b



도면22c

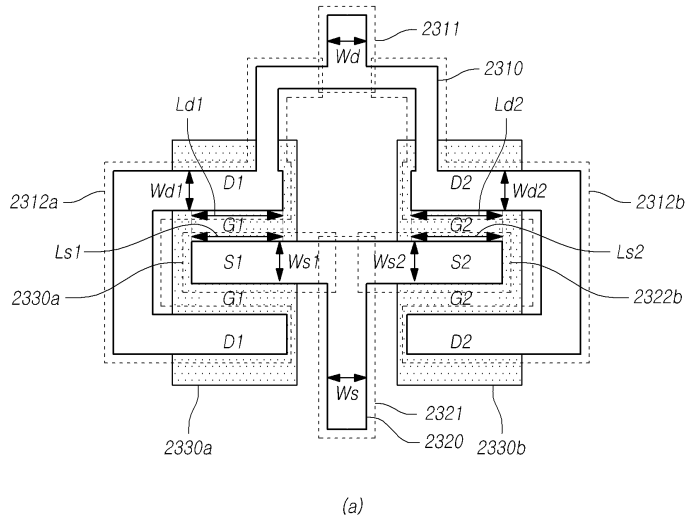


도면22d

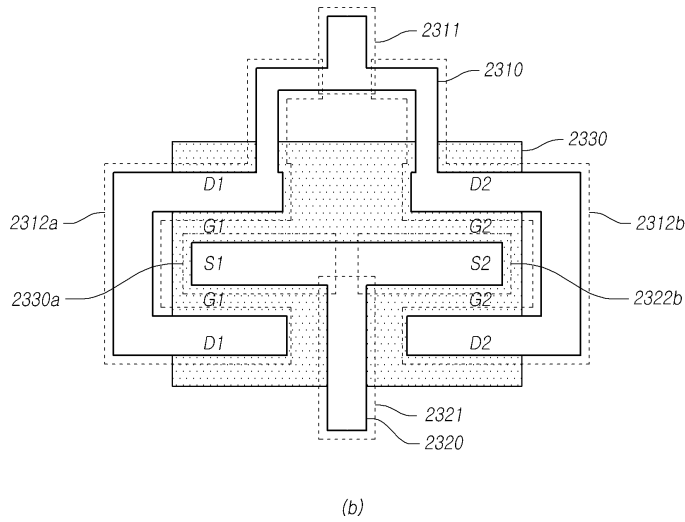


도면23

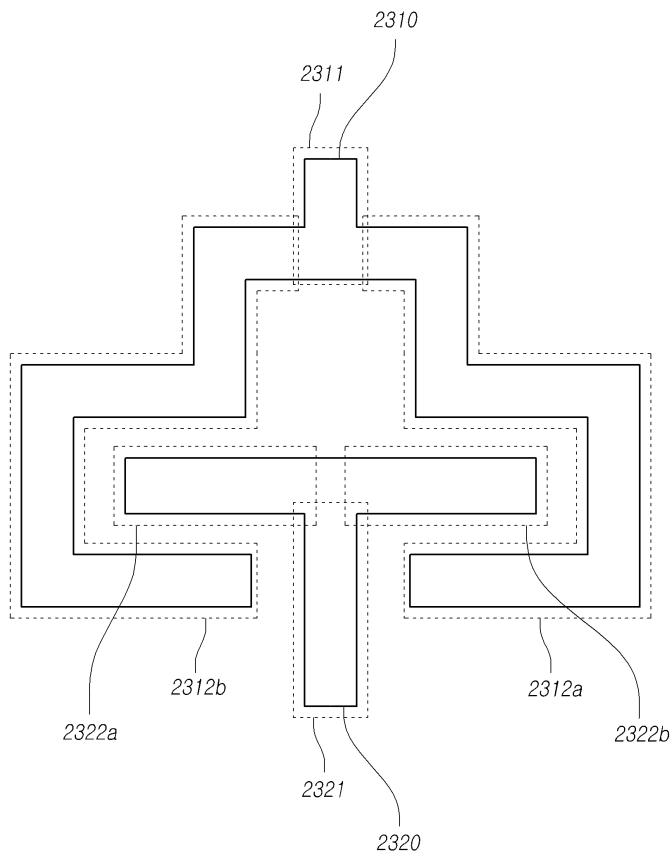
2300



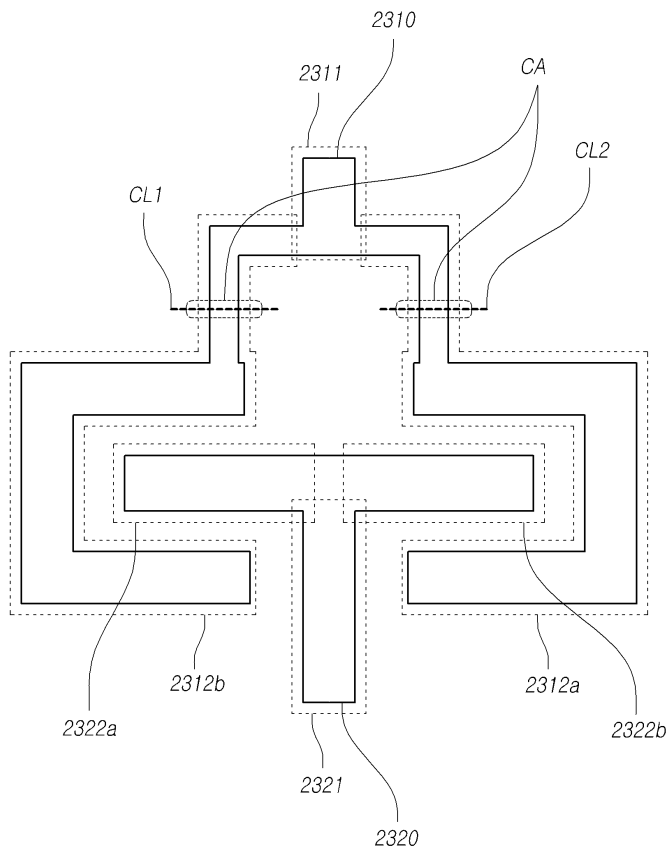
2300



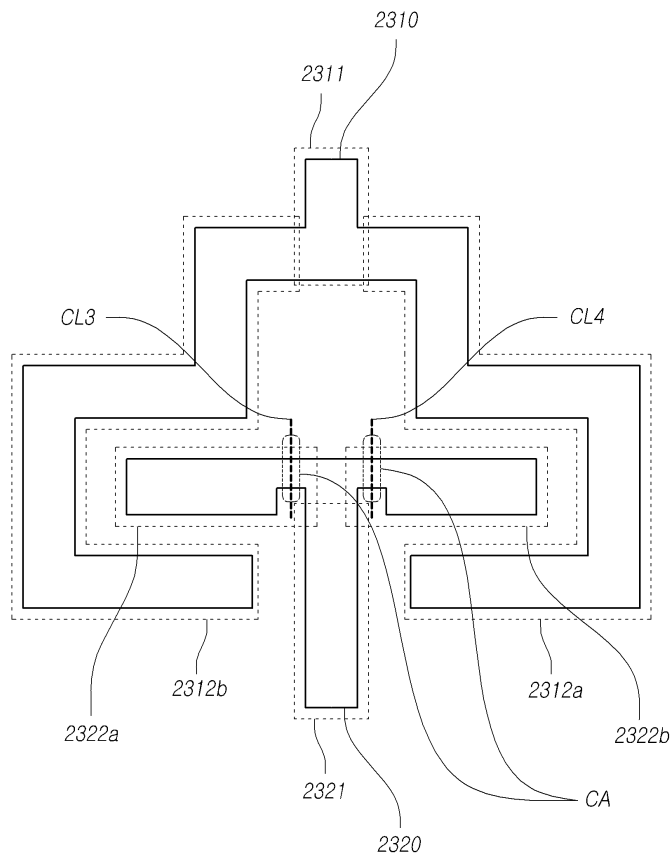
도면24a



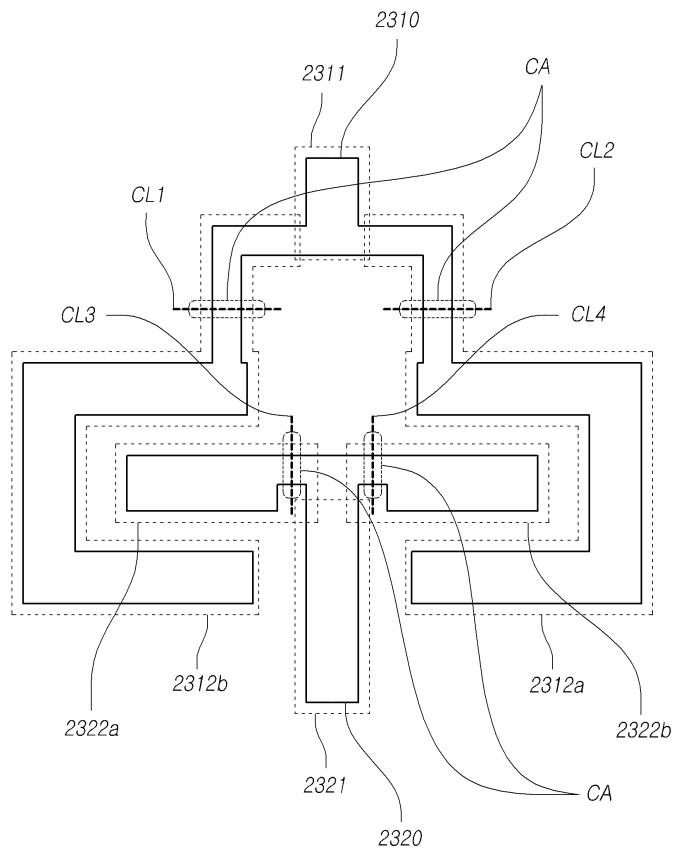
도면24b



도면24c



도면24d



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020150057661A	公开(公告)日	2015-05-28
申请号	KR1020130141297	申请日	2013-11-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHANG MIN KYU 장민규 TAKASUGI SHINJI 타카스기신지		
发明人	장민규 타카스기신지		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 G09G3/3225 G09G3/3275 H01L27/124		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

有机发光二极管包括多个像素，每个像素包括有机发光二极管和两个或更多个驱动晶体管，并且多个像素中的每个包括两个或更多个分支，所述分支是两个或更多个驱动晶体管的漏极，第一集成电极具有一个连接的杆和第二集成电极，所述第二集成电极具有两个或更多个分支作为所述两个或更多个驱动晶体管中的每个的源，并且所述杆连接到所述两个或更多个分支2.根据权利要求1所述的有机发光显示装置，

