



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0114930
(43) 공개일자 2014년09월30일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2013-0028543

(22) 출원일자 2013년03월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

임태영

서울 성북구 장월로4길 51-5, 301호 (장위동, 태광빌라)

이호영

경기 파주시 금촌동 주공아파트 101동 501호

(74) 대리인

특허법인로알

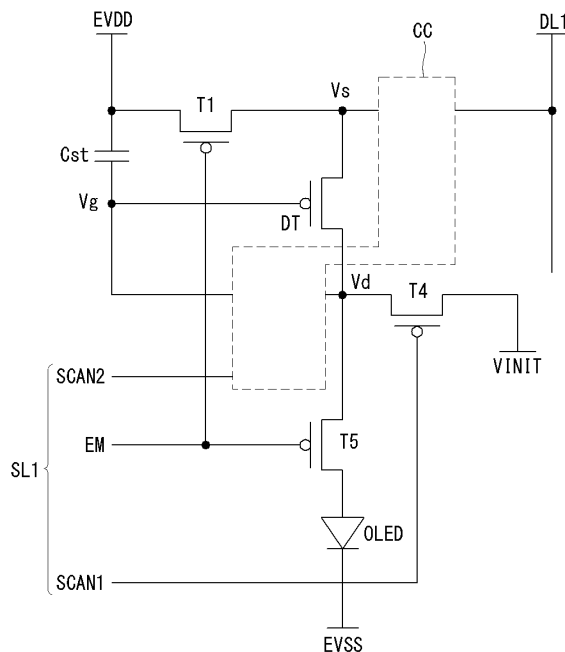
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명은 유기 발광다이오드; 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터; 구동 트랜지스터의 게이트전극에 구동전압을 공급하는 커패시터; 구동 트랜지스터의 드레인전극 노드에 초기화전압을 공급하는 초기화 트랜지스터; 구동 트랜지스터의 게이트전극 노드에 초기화전압을 공급함과 더불어 구동 트랜지스터의 소오스전극 노드에 데이터전압을 공급하고 구동 트랜지스터의 게이트전극 노드를 데이터전압과 구동 트랜지스터의 문턱전압의 차이값으로 샘플링하는 보상회로; 구동 트랜지스터의 소오스전극 노드에 고전위전압을 공급하는 스위칭 트랜지스터; 및 유기 발광다이오드에 구동 트랜지스터로부터 발생하는 구동전류를 공급하는 발광제어 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

유기 발광다이오드;

상기 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트전극에 구동전압을 공급하는 커패시터;

상기 구동 트랜지스터의 드레인전극 노드에 초기화전압을 공급하는 초기화 트랜지스터;

상기 구동 트랜지스터의 게이트전극 노드에 상기 초기화전압을 공급함과 더불어 상기 구동 트랜지스터의 소오스전극 노드에 데이터전압을 공급하고 상기 구동 트랜지스터의 게이트전극 노드를 상기 데이터전압과 상기 구동 트랜지스터의 문턱전압의 차이값으로 샘플링하는 보상회로;

상기 구동 트랜지스터의 소오스전극 노드에 고전위전압을 공급하는 스위칭 트랜지스터; 및

상기 유기 발광다이오드에 상기 구동 트랜지스터로부터 발생하는 상기 구동전류를 공급하는 발광제어 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 초기화 트랜지스터는 제1스캔신호에 응답하여 동작하고,

상기 보상회로는 제2스캔신호에 응답하여 동작하고,

상기 제1 및 제2스위칭 트랜지스터는 제3스캔신호에 응답하여 동작하며,

상기 초기화 트랜지스터와 상기 보상회로의 턴온 구간은 일부 중첩하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 초기화 트랜지스터의 턴온 구간은 상기 보상회로의 턴온 구간과 동기 되거나 이보다 앞서고,

상기 초기화 트랜지스터의 턴온 구간이 상기 보상회로의 턴온 구간과 동기 되는 경우, 상기 초기화 트랜지스터가 턴온되는 시간은 상기 보상회로가 턴온되는 시간보다 짧고,

상기 초기화 트랜지스터의 턴온 구간이 상기 보상회로의 턴온 구간보다 앞서는 경우, 상기 초기화 트랜지스터가 턴온되는 시간은 상기 보상회로가 턴온되는 시간보다 짧거나 동일한 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 보상회로의 턴온 구간과 상기 제1 및 제2스위칭 트랜지스터의 턴온 구간 사이에는 모든 트랜지스터가 턴오프되는 홀드 구간이 존재하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 보상회로는

상기 구동 트랜지스터의 게이트전극 노드와 드레인전극 노드 사이에 위치하는 제1보상 트랜지스터와,

상기 구동 트랜지스터의 소오스전극 노드와 상기 데이터전압을 공급하는 데이터라인 사이에 위치하는 제2보상

트랜지스터와,

상기 구동 트랜지스터의 게이트전극 노드와 상기 제2보상 트랜지스터의 게이트전극 노드 사이에 위치하는 보상 커패시터를 포함하는 유기전계발광표시장치.

청구항 6

제4항에 있어서,

상기 보상회로는

상기 구동 트랜지스터의 게이트전극 노드와 드레인전극 노드 사이에 위치하는 제1보상 트랜지스터와,

상기 구동 트랜지스터의 소오스전극 노드와 상기 데이터전압을 공급하는 데이터라인 사이에 위치하는 제2보상 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 7

제5항 또는 제6항에 있어서,

상기 초기화 트랜지스터는 상기 제1스캔신호가 공급되는 제1스캔라인에 게이트전극이 연결되고 상기 초기화전압이 공급되는 초기화전압단에 제1전극이 연결되며 상기 구동 트랜지스터의 드레인전극 노드에 제2전극이 연결되고,

상기 제1보상 트랜지스터는 상기 제2스캔신호가 공급되는 제2스캔라인에 게이트전극이 연결되고 상기 구동 트랜지스터의 드레인전극 노드에 제1전극이 연결되며 상기 구동 트랜지스터의 게이트전극 노드에 제2전극이 연결되고,

상기 제2보상 트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 데이터전압이 공급되는 데이터라인에 제1전극이 연결되며 상기 구동 트랜지스터의 소오스전극 노드에 제2전극이 연결되고,

상기 커패시터는 상기 고전위전압이 공급되는 고전위전압단에 일단이 연결되고 상기 구동 트랜지스터의 게이트전극 노드에 타단이 연결되며,

상기 스위칭 트랜지스터는 상기 제3스캔신호가 공급되는 제3스캔라인에 게이트전극이 연결되고 상기 고전위전압단에 제1전극이 연결되며 상기 구동 트랜지스터의 소오스전극 노드에 제2전극이 연결되고,

상기 발광제어 트랜지스터는 상기 제3스캔라인에 게이트전극이 연결되고 상기 구동 트랜지스터의 드레인전극 노드에 제1전극이 연결되며 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결되고,

상기 유기 발광다이오드는 상기 발광제어 트랜지스터의 제2전극에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단에 캐소드전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

초기화 트랜지스터를 턴온하여 구동 트랜지스터의 드레인전극 노드에 초기화전압을 공급하는 단계;

보상회로에 포함된 트랜지스터들을 턴온하여 상기 구동 트랜지스터의 게이트전극 노드에 상기 초기화전압을 공급함과 더불어 상기 구동 트랜지스터의 소오스전극 노드에 데이터전압을 공급하고 상기 구동 트랜지스터의 게이트전극 노드를 상기 데이터전압과 상기 구동 트랜지스터의 문턱전압의 차이값으로 샘플링하는 단계; 및

스위칭 트랜지스터를 턴온하여 상기 구동 트랜지스터의 소오스전극 노드에 고전위전압을 공급하고, 발광 제어 트랜지스터를 턴온하여 상기 유기 발광다이오드에 상기 구동 트랜지스터로부터 발생하는 상기 구동전류를 공급하는 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 9

제8항에 있어서,

상기 초기화 트랜지스터는 제1스캔신호에 응답하여 동작하고,

상기 보상회로는 제2스캔신호에 응답하여 동작하고,

상기 제1 및 제2스위칭 트랜지스터는 제3스캔신호에 응답하여 동작하며,

상기 초기화 트랜지스터와 상기 보상회로의 턴온 구간은 일부 중첩하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 10

제9항에 있어서,

상기 초기화 트랜지스터의 턴온 구간은 상기 보상회로의 턴온 구간과 동기 되거나 이보다 앞서고,

상기 초기화 트랜지스터의 턴온 구간이 상기 보상회로의 턴온 구간과 동기 되는 경우, 상기 초기화 트랜지스터가 턴온되는 시간은 상기 보상회로가 턴온되는 시간보다 짧고,

상기 초기화 트랜지스터의 턴온 구간이 상기 보상회로의 턴온 구간보다 앞서는 경우, 상기 초기화 트랜지스터가 턴온되는 시간은 상기 보상회로가 턴온되는 시간보다 짧거나 동일한 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 11

제10항에 있어서,

상기 보상회로의 턴온 구간과 상기 제1 및 제2스위칭 트랜지스터의 턴온 구간 사이에는 모든 트랜지스터가 턴오프되는 홀드 구간이 존재하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

명세서

기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나뉘어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 서브 픽셀 내에 포함된 구동 트랜지스터의 문턱전압이 이동하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소한다. 이에 따라, 유기전계발광표시장치는 구동 트랜지스터의 문턱전압 이동 특성에 대한 보상을 수행하기 위해 보상회로를 사용한다.

[0006] 그런데, 종래 유기전계발광표시장치는 보상회로의 복잡도가 높은 탓에 균일한 화질 특성을 확보하기 어렵고 또한 고해상도 구현시 레이아웃 효율이 저하되는 단점이 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 구동 트랜지스터의 문턱전압 편차 보상을 통해 히스테리시스(Hysteresis) 특성에 따른 잔상 현상을 억제하고 리플을 최소화하여 균일한 표시품질을 표현할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 것이다. 또한, 본 발명은 표시패널 구성시 효율적인 레이아웃을 구현할 수 있는 서브 픽셀의 회로 구성을 제공하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명은 유기 발광다이오드; 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터; 구동 트랜지스터의 게이트전극에 구동전압을 공급하는 커패시터; 구동 트랜지스터의 드레인전극 노드에 초기화전압을 공급하는 초기화 트랜지스터; 구동 트랜지스터의 게이트전극 노드에 초기화전압을 공급함과 더불어 구동 트랜지스터의 소오스전극 노드에 데이터전압을 공급하고 구동 트랜지스터의 게이트전극 노드를 데이터전압과 구동 트랜지스터의 문턱전압의 차이값으로 샘플링하는 보상회로; 구동 트랜지스터의 소오스전극 노드에 고전위전압을 공급하는 스위칭 트랜지스터; 및 유기 발광다이오드에 구동 트랜지스터로부터 발생하는 구동전류를 공급하는 발광제어 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.
- [0009] 초기화 트랜지스터는 제1스캔신호에 응답하여 동작하고, 보상회로는 제2스캔신호에 응답하여 동작하고, 제1 및 제2스위칭 트랜지스터는 제3스캔신호에 응답하여 동작하며, 초기화 트랜지스터와 보상회로의 턴온 구간은 일부 중첩할 수 있다.
- [0010] 초기화 트랜지스터의 턴온 구간은 보상회로의 턴온 구간과 동기 되거나 이보다 앞서고, 초기화 트랜지스터의 턴온 구간이 보상회로의 턴온 구간과 동기 되는 경우, 초기화 트랜지스터가 턴온되는 시간은 보상회로가 턴온되는 시간보다 짧고, 초기화 트랜지스터의 턴온 구간이 보상회로의 턴온 구간보다 앞서는 경우, 초기화 트랜지스터가 턴온되는 시간은 보상회로가 턴온되는 시간보다 짧거나 동일할 수 있다.
- [0011] 보상회로의 턴온 구간과 제1 및 제2스위칭 트랜지스터의 턴온 구간 사이에는 모든 트랜지스터가 턴오프되는 홀드 구간이 존재할 수 있다.
- [0012] 보상회로는 구동 트랜지스터의 게이트전극 노드와 드레인전극 노드 사이에 위치하는 제1보상 트랜지스터와, 구동 트랜지스터의 소오스전극 노드와 데이터전압을 공급하는 데이터라인 사이에 위치하는 제2보상 트랜지스터와, 구동 트랜지스터의 게이트전극 노드와 제2보상 트랜지스터의 게이트전극 노드 사이에 위치하는 보상 커패시터를 포함할 수 있다.
- [0013] 보상회로는 구동 트랜지스터의 게이트전극 노드와 드레인전극 노드 사이에 위치하는 제1보상 트랜지스터와, 구동 트랜지스터의 소오스전극 노드와 데이터전압을 공급하는 데이터라인 사이에 위치하는 제2보상 트랜지스터를 포함할 수 있다.
- [0014] 초기화 트랜지스터는 제1스캔신호가 공급되는 제1스캔라인에 게이트전극이 연결되고 초기화전압이 공급되는 초기화전압단에 제1전극이 연결되며 구동 트랜지스터의 드레인전극 노드에 제2전극이 연결되고, 제1보상 트랜지스터는 제2스캔신호가 공급되는 제2스캔라인에 게이트전극이 연결되고 구동 트랜지스터의 드레인전극 노드에 제1전극이 연결되며 구동 트랜지스터의 게이트전극 노드에 제2전극이 연결되고, 제2보상 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 데이터전압이 공급되는 데이터라인에 제1전극이 연결되며 구동 트랜지스터의 소오스전극 노드에 제2전극이 연결되고, 커패시터는 고전위전압이 공급되는 고전위전압단에 일단이 연결되고 구동 트랜지스터의 게이트전극 노드에 타단이 연결되며, 스위칭 트랜지스터는 제3스캔신호가 공급되는 제3스캔라인에 게이트전극이 연결되고 고전위전압단에 제1전극이 연결되며 구동 트랜지스터의 소오스전극 노드에 제2전극이 연결되고, 발광제어 트랜지스터는 제3스캔라인에 게이트전극이 연결되고 구동 트랜지스터의 드레인전극 노드에 제1전극이 연결되며 유기 발광다이오드의 애노드전극에 제2전극이 연결되고, 유기 발광다이오드는 발광제어 트랜지스터의 제2전극에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단에 캐소드전극이 연결될 수 있다.
- [0015] 다른 측면에서 본 발명은 초기화 트랜지스터를 턴온하여 구동 트랜지스터의 드레인전극 노드에 초기화전압을 공급하는 단계; 보상회로에 포함된 트랜지스터들을 턴온하여 구동 트랜지스터의 게이트전극 노드에 초기화전압을 공급함과 더불어 구동 트랜지스터의 소오스전극 노드에 데이터전압을 공급하고 구동 트랜지스터의 게이트전극 노드를 데이터전압과 구동 트랜지스터의 문턱전압의 차이값으로 샘플링하는 단계; 및 스위칭 트랜지스터를 턴온하여 구동 트랜지스터의 소오스전극 노드에 고전위전압을 공급하고, 발광 제어 트랜지스터를 턴온하여 유기 발광다이오드에 구동 트랜지스터로부터 발생하는 구동전류를 공급하는 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0016] 초기화 트랜지스터는 제1스캔신호에 응답하여 동작하고, 보상회로는 제2스캔신호에 응답하여 동작하고, 제1 및 제2스위칭 트랜지스터는 제3스캔신호에 응답하여 동작하며, 초기화 트랜지스터와 보상회로의 턴온 구간은 일부 중첩할 수 있다.
- [0017] 초기화 트랜지스터의 턴온 구간은 보상회로의 턴온 구간과 동기 되거나 이보다 앞서고, 초기화 트랜지스터의 턴온 구간이 보상회로의 턴온 구간과 동기 되는 경우, 초기화 트랜지스터가 턴온되는 시간은 보상회로가 턴온

되는 시간보다 짧고, 초기화 트랜지스터의 턴온 구간이 보상회로의 턴온 구간보다 앞서는 경우, 초기화 트랜지스터가 턴온되는 시간은 보상회로가 턴온되는 시간보다 짧거나 동일할 수 있다.

[0018] 보상회로의 턴온 구간과 제1 및 제2스위칭 트랜지스터의 턴온 구간 사이에는 모든 트랜지스터가 턴오프되는 홀드 구간이 존재할 수 있다.

발명의 효과

[0019] 본 발명은 구동 트랜지스터의 문턱전압 편차 보상을 통해 히스테리시스(Hysteresis) 특성에 따른 잔상 현상을 억제하고 리플을 최소화하여 균일한 표시품질을 표현할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다. 또한, 본 발명은 표시패널 구성시 효율적인 레이아웃을 구현할 수 있는 서브 픽셀의 회로 구성을 제공하여 고해상도 및 고개구율을 확보할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 구성도.

도 2는 서브 픽셀의 개략적인 회로 구성 예시도.

도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도.

도 4는 도 3에 도시된 서브 픽셀의 제1구동 파형도.

도 5는 도 3에 도시된 서브 픽셀의 제2구동 파형도.

도 6 내지 도 9는 도 3에 도시된 서브 픽셀의 동작을 구간별로 설명하기 위한 도면.

도 10은 문턱전압 변동에 따른 구동 트랜지스터의 게이트전극 노드의 변동 특성을 나타낸 시뮬레이션 파형도.

도 11은 문턱전압 변동에 따른 전류 변화를 나타낸 파형도.

도 12는 본 발명의 변형된 실시예에 따른 서브 픽셀의 회로 구성도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0022] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 2는 서브 픽셀의 개략적인 회로 구성 예시도 이다.

[0023] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터 구동부(130), 스캔구동부(120) 및 표시패널(160)이 포함된다.

[0024] 타이밍제어부(110)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(130)와 스캔구동부(120)의 동작 타이밍을 제어한다. 타이밍제어부(110)는 1 수평 기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 스캔구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.

[0025] 스캔구동부(120)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(120)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.

[0026] 데이터구동부(130)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(130)는 데이터신호(DATA)를 감마 기준전압으로 변환한다. 데이터구동부(130)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.

[0027] 표시패널(160)은 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)에는 적색 서브 픽셀,

녹색 서브 픽셀, 청색 서브 픽셀이 포함되고 경우에 따라 백색 서브 픽셀이 포함되기도 한다. 한편, 백색 서브 픽셀이 포함된 표시패널(160)은 각 서브 픽셀들(SP)의 발광층이 적색, 녹색 및 청색을 발광하지 않고 백색을 발광할 수 있다. 이 경우, 백색으로 발광된 광은 RGB 컬러필터에 의해 적색, 녹색 및 청색으로 변환된다.

[0028] 도 2에 도시된 바와 같이, 표시패널(160)에 포함된 서브 픽셀에는 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 커패시터(Cst), 스위칭 트랜지스터(T1), 보상회로(CC), 초기화 트랜지스터(T4) 및 발광제어 트랜지스터(T5)가 포함된다.

[0029] 서브 픽셀을 구성하는 각 소자의 역할에 대해 간략히 설명하면 다음과 같다.

[0030] 구동 트랜지스터(DT)는 유기 발광다이오드(OLED)에 구동전류를 공급하는 역할을 한다. 커패시터(Cst)는 프로그램된 데이터전압으로 구동 트랜지스터(DT)를 구동하는 역할을 한다. 스위칭 트랜지스터(T1)는 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 고전위전압을 공급하는 역할을 한다. 초기화 트랜지스터(T4)는 구동 트랜지스터(DT)의 드레인전극 노드(Vd) 및 게이트전극 노드(Vg)에 초기화전압을 공급하는 역할을 한다. 발광제어 트랜지스터(T5)는 유기 발광다이오드(OLED)에 구동 트랜지스터(DT)로부터 발생하는 구동전류를 공급하는 역할을 한다. 보상회로(CC)는 구동 트랜지스터(DT)의 게이트전극 노드(Vg)에 초기화전압을 공급함과 더불어 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 데이터전압을 공급하고 구동 트랜지스터(DT)의 게이트전극 노드(Vg)를 데이터전압과 구동 트랜지스터(DT)의 문턱전압의 차이값으로 샘플링하는 역할을 한다.

[0031] 앞서 설명된 초기화 트랜지스터(T4)는 제1스캔라인(SCAN1)을 통해 공급된 제1스캔신호에 대응하여 턴온/턴오프되고, 보상회로(CC)는 제2스캔라인(SCAN2)을 통해 공급된 제2스캔신호에 대응하여 턴온/턴오프되며, 스위칭 트랜지스터 및 발광제어 트랜지스터(T1, T5)는 제3스캔라인(EM)을 통해 공급된 제3스캔신호에 대응하여 턴온/턴오프된다.

[0032] 본 발명의 일 실시예에 따르면 보상회로(CC)는 제1 및 제2보상 트랜지스터와 보상 커패시터로 이루어지는데, 이하 서브 픽셀의 상세 회로 구성도를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치에 대한 설명을 구체화한다.

[0033] 도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도이고, 도 4는 도 3에 도시된 서브 픽셀의 제1구동 파형도이며, 도 5는 도 3에 도시된 서브 픽셀의 제2구동 파형도이다.

[0034] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀에는 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 커패시터(Cst), 스위칭 트랜지스터(T1), 제1보상 트랜지스터(T3), 제2보상 트랜지스터(T2), 보상 커패시터(Cb), 초기화 트랜지스터(T4) 및 발광제어 트랜지스터(T5)가 포함된다.

[0035] 본 발명의 일 실시예에 따른 서브 픽셀을 구성하는 각 소자의 전기적인 접속 관계를 설명하면 다음과 같다.

[0036] 초기화 트랜지스터(T4)는 제1스캔신호가 공급되는 제1스캔라인(SCAN1)에 게이트전극이 연결되고 초기화전압이 공급되는 초기화전압단(VINIT)에 제1전극이 연결되며 구동 트랜지스터(DT)의 드레인전극 노드(Vd)에 제2전극이 연결된다. 제1보상 트랜지스터(T3)는 제2스캔신호가 공급되는 제2스캔라인(SCAN2)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 드레인전극 노드(Vd)에 제1전극이 연결되며 구동 트랜지스터(DT)의 게이트전극 노드(Vg)에 제2전극이 연결된다. 제2보상 트랜지스터(T2)는 제2스캔라인(SCAN2)에 게이트전극이 연결되고 데이터전압이 공급되는 데이터라인(DL1)에 제1전극이 연결되며 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 제2전극이 연결된다. 보상 커패시터(Cb)는 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 일단이 연결되고 데이터라인(DL1)에 타단이 연결된다. 커패시터(Cst)는 고전위전압이 공급되는 고전위전압단(EVDD)에 일단이 연결되고 구동 트랜지스터(DT)의 게이트전극 노드(Vg)에 타단이 연결된다. 스위칭 트랜지스터(T1)는 제3스캔신호가 공급되는 제3스캔라인(EM)에 게이트전극이 연결되고 고전위전압단(EVDD)에 제1전극이 연결되며 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 제2전극이 연결된다. 발광제어 트랜지스터(T5)는 제3스캔라인(EM)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 드레인전극 노드(Vd)에 제1전극이 연결되며 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 발광제어 트랜지스터(T5)의 제2전극에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단(EVSS)에 캐소드전극이 연결된다.

[0037] 앞서 설명된 구동 트랜지스터(DT), 스위칭 트랜지스터(T1), 제1보상 트랜지스터(T3), 제2보상 트랜지스터(T2), 초기화 트랜지스터(T4) 및 발광제어 트랜지스터(T5)는 P-Type 박막 트랜지스터(PMOS)로 형성된다.

[0038] 본 발명의 일 실시예에 따른 서브 픽셀은 도 4와 같이 초기화 구간(①), 샘플링 구간(②), 홀드 구간(③) 및 발광 구간(④) 이상 4개의 구간으로 구분되어 동작한다. 또한, 본 발명의 일 실시예에 따른 서브 픽셀은 도 5와 같이 더미 구간(⑤), 초기화 구간(①), 샘플링 구간(②), 홀드 구간(③) 및 발광 구간(④) 이상 5개의 구

간으로 구분되어 동작한다. 여기서, 더미 구간(⑤)은 스캔구동부의 회로 구성상 내부 또는 외부에 멀티플렉서(또는 맥스)가 포함된 경우 그에 따른 동작 특성에 의해 존재한다. 따라서, 스캔구동부에 멀티플렉서가 미포함된 경우 본 발명의 일 실시예에 따른 서브 픽셀은 도 4와 같은 구동 파형에 대응하여 동작하게 된다.

[0039] 한편, 본 발명의 일 실시예에 따른 서브 픽셀이 도 4 및 도 5와 같은 구동 파형으로 구동될 경우, 초기화 트랜지스터(T4)의 턴온 구간은 보상회로(CC)에 포함된 제1 및 제2보상 트랜지스터(T3, T4)의 턴온 구간과 동기되거나 이보다 앞서게 된다.

[0040] 도 4와 같이 초기화 트랜지스터(T4)의 턴온 구간이 보상회로(CC)에 포함된 제1 및 제2보상 트랜지스터(T3, T4)의 턴온 구간과 동기 되는 경우, 초기화 트랜지스터(T4)가 턴온되는 시간은 보상회로(CC)에 포함된 제1 및 제2보상 트랜지스터(T3, T4)가 턴온되는 시간보다 짧다. 즉, 제1스캔신호(Scan1)는 제2스캔신호(Scan2) 대비 로직 로우를 유지하는 시간이 짧다. 달리 설명하면, 제1 및 제2스캔신호(Scan1, Scan2)는 로직 하이에서 로직 로우로 전환되는 시간이 동일하다. 그러나 제1스캔신호(Scan1)는 로직 로우에서 로직 하이로 전환되는 시간이 제2스캔신호(Scan2) 대비 앞선다.

[0041] 도 5와 같이 초기화 트랜지스터(T4)의 턴온 구간이 보상회로(CC)에 포함된 제1 및 제2보상 트랜지스터(T3, T4)의 턴온 구간보다 앞서는 경우, 초기화 트랜지스터(T4)가 턴온되는 시간은 보상회로(CC)에 포함된 제1 및 제2보상 트랜지스터(T3, T4)가 턴온되는 시간보다 짧거나 동일하다. 즉, 제1스캔신호(Scan1)는 제2스캔신호(Scan1, Scan2) 대비 로직 로우를 유지하는 시간이 짧거나 동일하다. 달리 설명하면, 제1스캔신호(Scan1)는 로직 하이에서 로직 로우로 전환되는 시간이 제2스캔신호(Scan1, Scan2)와 다르다. 그리고 제1스캔신호(Scan1)는 로직 하이에서 로직 로우로 전환되는 시간이 제2스캔신호(Scan1, Scan2) 대비 앞선다.

[0042] 한편, 도 5와 같이 초기화 트랜지스터(T4)의 턴온 구간이 보상회로(CC)에 포함된 제1 및 제2보상 트랜지스터(T3, T4)의 턴온 구간보다 앞서는 경우, 충분한 시간을 갖고 구동 트랜지스터(DT)의 게이트전극 노드(Vg) 및 드레인전극 노드(Vd)에 초기화전압을 공급할 수 있게 된다. 따라서, 본 발명의 일 실시예에 따른 서브 픽셀이 도 5와 같은 구동 파형으로 동작하게 되면 잔존하는 전압에 의해 블랙 계열의 영상의 표시품질이 저하되는 문제는 방지된다.

[0043] 이하, 설명의 이해를 돕기 위해 도 4 또는 도 5에 도시된 구동 파형을 참조하여 서브 픽셀의 구간별 동작 상태에 대해 설명을 구체화한다.

[0044] 도 6 내지 도 9는 도 3에 도시된 서브 픽셀의 동작을 구간별로 설명하기 위한 도면이고, 도 10은 문턱전압 변동에 따른 구동 트랜지스터의 게이트전극 노드의 변동 특성을 나타낸 시뮬레이션 파형도이며, 도 11은 문턱전압 변동에 따른 전류 변화를 나타낸 파형도이다.

[0045] [초기화 구간(①)]

[0046] 도 4 및 도 6에 도시된 바와 같이, 로직 하이의 제3스캔신호(Em)에 의해 스위칭 트랜지스터(T1) 및 발광제어 트랜지스터(T5)는 턴온된다.

[0047] 로직 로우의 제1스캔신호(Scan1)에 의해 초기화 트랜지스터(T4)는 턴온되고 초기화전압단(VINIT)을 통해 공급된 초기화전압은 구동 트랜지스터(DT)의 드레인전극 노드(Vd)에 공급된다.

[0048] 로직 로우의 제2스캔신호(Scan2)에 의해 제1보상 트랜지스터(T3)는 턴온되고 구동 트랜지스터(DT)의 드레인전극 노드(Vd)에 공급된 초기화전압은 구동 트랜지스터(DT)의 게이트전극 노드(Vg)에 공급된다. 또한, 로직 로우의 제2스캔신호(Scan2)에 의해 제2보상 트랜지스터(T2)는 턴온되고 데이터라인(DL1)을 통해 공급된 데이터전압은 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 공급된다.

[0049] 초기화 구간(①)이 진행되면 구동 트랜지스터(DT)의 드레인전극 노드(Vd) 및 게이트전극 노드(Vg)는 초기화전압에 의해 초기화된다. 이를 위해, 초기화전압은 그라운드 레벨에 가까운 전압이나 음의 전압 등을 사용할 수 있다.

[0050] [샘플링 구간(②)]

[0051] 도 4 및 도 7에 도시된 바와 같이, 이전과 동일하게 공급된 로직 하이의 제3스캔신호(Em)에 의해 스위칭 트랜지스터(T1) 및 발광제어 트랜지스터(T5)는 턴온된 상태를 유지하게 된다.

[0052] 로직 로우에서 로직 하이로 전환된 제1스캔신호(Scan1)에 의해 초기화 트랜지스터(T4)는 턴오프되고 초기화전압단(VINIT)을 통해 공급된 초기화전압은 차단된다.

- [0053] 이전과 동일하게 공급된 로직 로우의 제2스캔신호(Scan2)에 의해 제1보상 트랜지스터(T3)는 턴온 상태를 유지하게 되고 구동 트랜지스터(DT)의 드레인전극 노드(Vd)에 공급된 초기화전압은 구동 트랜지스터(DT)의 게이트전극 노드(Vg)에 공급된다. 또한, 이전과 동일하게 공급된 로직 로우의 제2스캔신호(Scan2)에 의해 제2보상 트랜지스터(T2)는 턴온 상태를 유지하게 되고 데이터라인(DL1)을 통해 공급된 데이터전압은 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 공급된다.
- [0054] 초기화전압이 차단되고 데이터전압이 공급됨에 따라 구동 트랜지스터(DT)의 게이트전극 노드(Vg)는 데이터전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(Vth)의 차이값($Vg = Vdata - Vth$)으로 샘플링된다.
- [0055] 구동 트랜지스터(DT)의 문턱전압(Vth)이 변동되면 구동 트랜지스터(DT)의 게이트전극 노드(Vg)의 전압 또한 변동된다. 구동 트랜지스터(DT)의 문턱전압(Vth) 변동에 따른 구동 트랜지스터(DT)의 게이트전극 노드(Vg)의 변동 특성은 도 10의 시뮬레이션 파형도를 참조한다.
- [0056] 한편, 보상 커패시터(Cb)에는 로직 로우의 제2스캔신호(Scan2)와 초기화전압의 차이값에 해당하는 보상전압이 충전된다. 보상 커패시터(Cb)에 충전되는 보상전압은 커패시터(Cst)에 충전되는 구동전압보다 작은 용량을 갖는다. 보상 커패시터(Cb)는 구동 트랜지스터(DT)의 게이트/소오스전극 노드(Vgs)를 작게 형성하여 서브 픽셀이 블랙(Black)을 표현할 때 연한 블랙이 표시되는 문제를 방지하는 역할을 한다.
- [0057] [홀드 구간(③)]
- [0058] 도 4 및 도 8에 도시된 바와 같이, 이전과 동일하게 공급된 로직 하이의 제1스캔신호(Scan1)에 의해 초기화 트랜지스터(T4)는 턴오프된 상태를 유지하게 된다. 그리고 로직 로우에서 로직 하이로 전환된 제2스캔신호(Scan2)에 의해 제1 및 제2보상 트랜지스터(T3, T2)는 턴오프된다. 그리고 이전과 동일하게 공급된 로직 하이의 제3스캔신호(Em)에 의해 스위칭 트랜지스터(T1) 및 발광제어 트랜지스터(T5)는 턴온된 상태를 유지하게 된다. 즉, 홀드 구간(③) 동안 모든 트랜지스터는 턴오프된 상태(또는 플로팅된 상태)를 갖게 된다. 모든 트랜지스터들이 턴오프 상태가 됨에 따라 구동 트랜지스터(DT)의 각 노드(Vs, Vg, Vd)의 전압은 유지된다.
- [0059] 한편, 구동 방식에 따라 홀드 구간(③)은 생략될 수도 있다. 그러나, 각 노드(Vs, Vg, Vd)의 전압 특성이 유지되도록 홀드 구간(③)을 기입 하면 내부 또는 외부 노이즈 등에 의한 신호의 리플 등의 영향을 최소화할 수 있게 되므로 보상능력을 향상시킬 수 있다.
- [0060] [발광 구간(④)]
- [0061] 도 4 및 도 9에 도시된 바와 같이, 이전과 동일하게 공급된 로직 하이의 제1스캔신호(Scan1)에 의해 초기화 트랜지스터(T4)는 턴오프된 상태를 유지하게 된다. 그리고 이전과 동일하게 공급된 로직 하이의 제2스캔신호(Scan2)에 의해 제1 및 제2보상 트랜지스터(T3, T2)는 턴오프된다.
- [0062] 로직 하이에서 로직 로우로 전환된 제3스캔신호(Em)에 의해 스위칭 트랜지스터(T1)는 턴온되고 고전위전압단(EVDD)을 통해 공급된 고전위전압은 구동 트랜지스터(DT)의 소오스전극 노드(Vs)에 공급된다. 이에 따라, 구동 트랜지스터(DT)의 게이트전극 노드(Vg)의 전압은 $Vdata - Vth$ 이고, 구동 트랜지스터(DT)의 소오스전극 노드(Vs)의 전압은 VDD이므로 구동 트랜지스터(DT)의 소오스/게이트전극 노드(Vs, Vg)의 전압(Vsg)은 $Vgs = VDD - Vdata - Vth$ 가 된다.
- [0063] 또한, 로직 하이에서 로직 로우로 전환된 제3스캔신호(Em)에 의해 발광제어 트랜지스터(T5)는 턴온되고 구동 트랜지스터(DT)는 구동전류를 발생하게 된다. 그리고 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 발생하는 전류에 의해 발광을 하게 된다. 이를 정리하면 결국, 유기 발광다이오드(OLED)를 통해 흐르는 구동전류(Ioled)는 다음의 수학적 식 1과 같다.

수학적 식 1

[0064]
$$I_{oled} = k(V_{sg} - V_{th})^2 = k((V_{DD} - V_{data} + V_{th}) - V_{th})^2 = k(V_{DD} - V_{data})^2$$

[0065] 위의 수학적 식 1에서 미설명된 k는 구동 트랜지스터의 상수값이다. 통상 k는 $k = \mu \cdot Cox \cdot W/L$ 로 표현되며, μ 는 구동 트랜지스터의 전류의 이동도이고, Cox는 구동 트랜지스터의 단위 면적당 커패시턴스이며, W는 구동 트랜지스터의 채널의 폭이며, L은 구동 트랜지스터의 채널의 길이이다.

[0066] 위의 수학적 식 1에서 나타난 바와 같이, 본 발명의 일 실시예에 따르면 구동 트랜지스터(DT)의 문턱전압(Vth)이

제거되므로 유기 발광다이오드(OLED)는 문턱전압(V_{th})의 편차 및 변동과 무관하게 발광을 할 수 있게 된다. 여기서, 구동 트랜지스터(DT)의 문턱전압(V_{th})의 변동에 따른 유기 발광다이오드(OLED)의 구동전류(I_{oled})에 대한 변동량의 변화는 도 11을 참조한다.

[0067] 이하, 본 발명의 변형된 실시예에 대해 설명한다.

[0068] 도 12는 본 발명의 변형된 실시예에 따른 서브 픽셀의 회로 구성도이다.

[0069] 도 12에 도시된 바와 같이, 본 발명의 변형된 실시예에 따른 서브 픽셀에는 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 커패시터(Cst), 스위칭 트랜지스터(T1), 제1보상 트랜지스터(T3), 제2보상 트랜지스터(T2), 초기화 트랜지스터(T4) 및 발광제어 트랜지스터(T5)가 포함된다.

[0070] 본 발명의 변형된 실시예에 따른 서브 픽셀을 구성하는 각 소자의 전기적인 접속 관계를 설명하면 다음과 같다.

[0071] 초기화 트랜지스터(T4)는 제1스캔신호가 공급되는 제1스캔라인(SCAN1)에 게이트전극이 연결되고 초기화전압이 공급되는 초기화전압단(VINIT)에 제1전극이 연결되며 구동 트랜지스터(DT)의 드레인전극 노드(V_d)에 제2전극이 연결된다. 제1보상 트랜지스터(T3)는 제2스캔신호가 공급되는 제2스캔라인(SCAN2)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 드레인전극 노드(V_d)에 제1전극이 연결되며 구동 트랜지스터(DT)의 게이트전극 노드(V_g)에 제2전극이 연결된다. 제2보상 트랜지스터(T2)는 제2스캔라인(SCAN2)에 게이트전극이 연결되고 데이터전압이 공급되는 데이터라인(DL1)에 제1전극이 연결되며 구동 트랜지스터(DT)의 소오스전극 노드(V_s)에 제2전극이 연결된다. 커패시터(Cst)는 고전위전압이 공급되는 고전위전압단(EVDD)에 일단이 연결되고 구동 트랜지스터(DT)의 게이트전극 노드(V_g)에 타단이 연결된다. 스위칭 트랜지스터(T1)는 제3스캔신호가 공급되는 제3스캔라인(EM)에 게이트전극이 연결되고 고전위전압단(EVDD)에 제1전극이 연결되며 구동 트랜지스터(DT)의 소오스전극 노드(V_s)에 제2전극이 연결된다. 발광제어 트랜지스터(T5)는 제3스캔라인(EM)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 드레인전극 노드(V_d)에 제1전극이 연결되며 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 발광제어 트랜지스터(T5)의 제2전극에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전압단(EVSS)에 캐소드전극이 연결된다.

[0072] 앞서 설명된 구동 트랜지스터(DT), 스위칭 트랜지스터(T1), 제1보상 트랜지스터(T3), 제2보상 트랜지스터(T2), 초기화 트랜지스터(T4) 및 발광제어 트랜지스터(T5)는 P-Type 박막 트랜지스터(PMOS)로 형성된다.

[0073] 본 발명의 변형된 실시예에 따른 서브 픽셀 또한 도 4와 같이 초기화 구간(①), 샘플링 구간(②), 홀드 구간(③) 및 발광 구간(④) 이상 4개의 구간으로 구분되어 동작한다. 또한, 본 발명의 변형된 실시예에 따른 서브 픽셀 또한 도 5와 같이 더미 구간(⑤), 초기화 구간(①), 샘플링 구간(②), 홀드 구간(③) 및 발광 구간(④) 이상 5개의 구간으로 구분되어 동작한다. 여기서, 더미 구간(⑤)은 스캔구동부의 회로 구성상 내부 또는 외부에 멀티플렉서(또는 믹스)가 포함된 경우 그에 따른 동작 특성에 의해 존재한다. 따라서, 스캔구동부에 멀티플렉서가 미포함된 경우 본 발명의 변형된 실시예에 따른 서브 픽셀은 도 4와 같은 구동 파형에 대응하여 동작하게 된다.

[0074] 한편, 본 발명의 변형된 실시예에 따른 서브 픽셀은 보상 커패시터가 삭제된 구조를 갖는 것을 제외하고 본 발명의 일 실시예와 같은 구동 파형으로 동작을 하게 되므로 이에 대한 설명은 생략한다.

[0075] 이상 본 발명은 구동 트랜지스터의 문턱전압 편차 보상을 통해 히스테리시스(Hysteresis) 특성에 따른 잔상 현상을 억제하고 리플을 최소화하여 균일한 표시품질을 표현할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다. 또한, 본 발명은 표시패널 구성시 효율적인 레이아웃을 구현할 수 있는 서브 픽셀의 회로 구성을 제공하여 고해상도 및 고개구율을 확보할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.

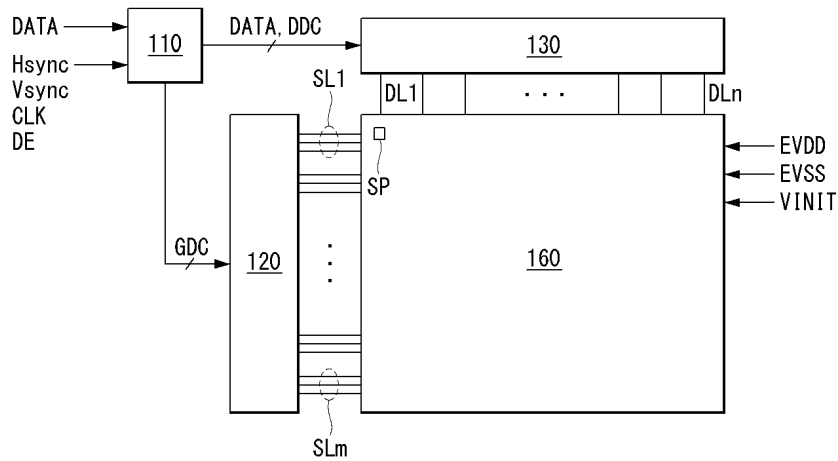
[0076] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

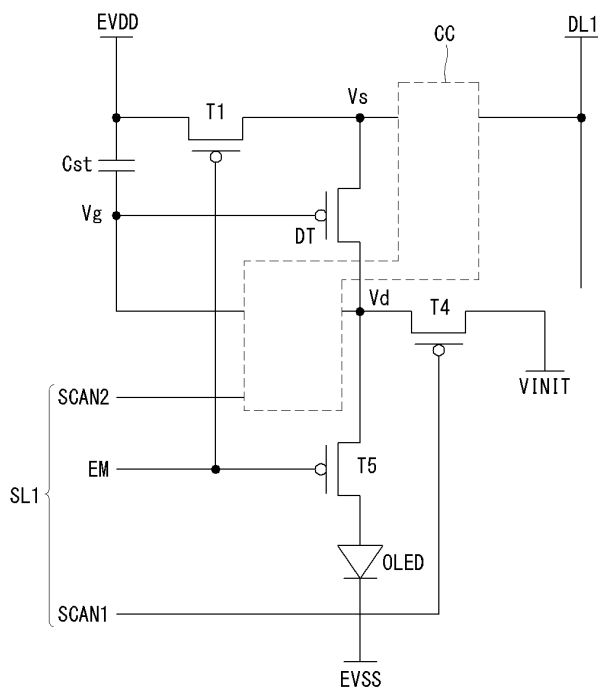
[0077]	110: 타이밍 제어부	130: 데이터구동부
	120: 스캔구동부	160: 표시패널
	OLED: 유기 발광다이오드	DT: 구동 트랜지스터
	Cst: 커패시터	T1: 스위칭 트랜지스터
	CC: 보상회로	T5: 발광제어 트랜지스터
	T3: 제1보상 트랜지스터	T2: 제2보상 트랜지스터
	Cb: 보상 커패시터	T4: 초기화 트랜지스터

도면

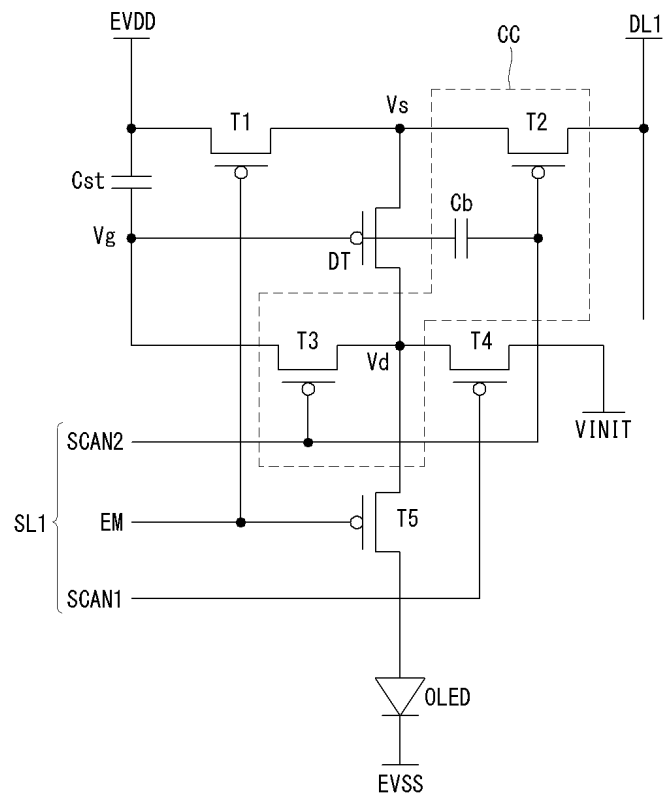
도면1



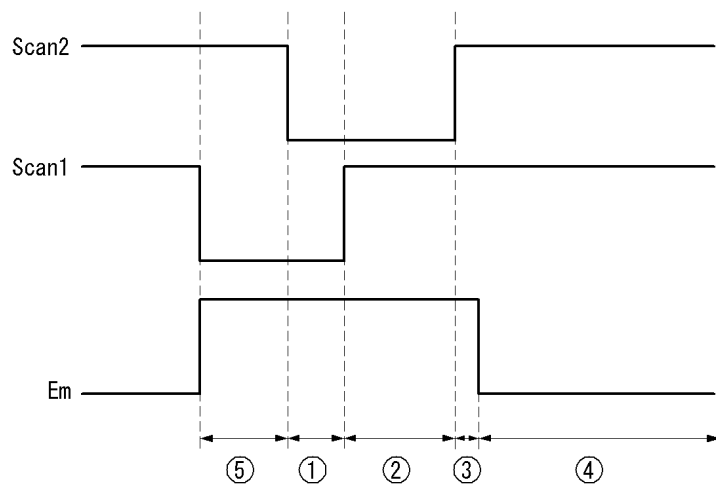
도면2



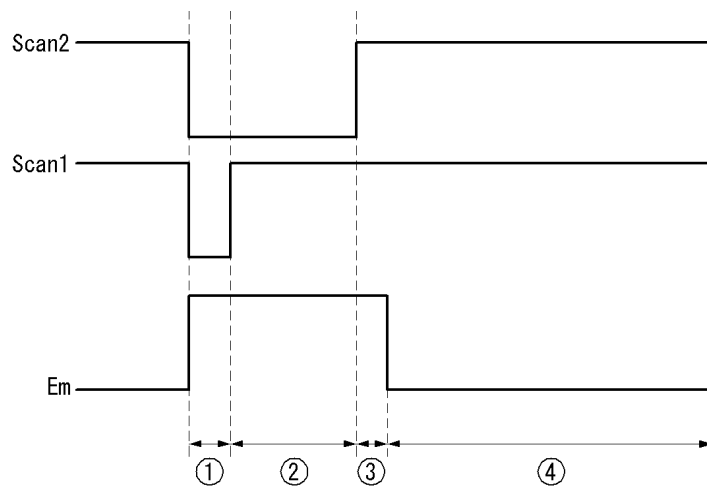
도면3



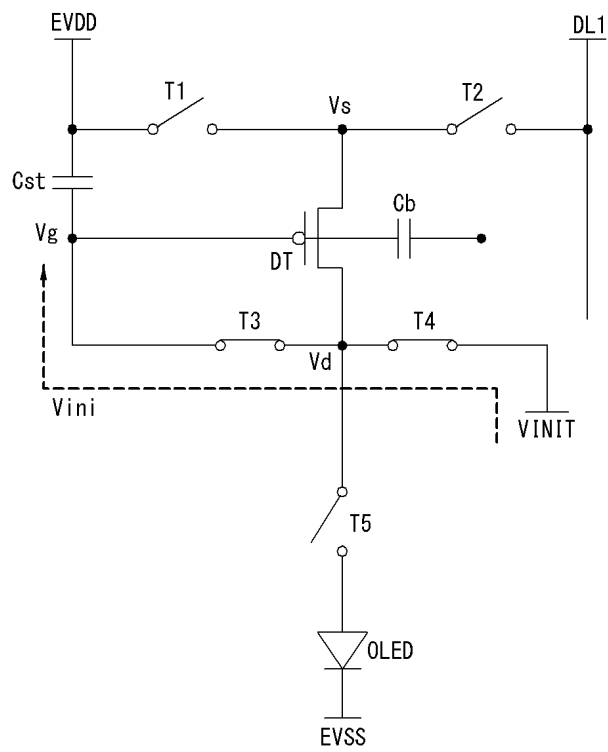
도면4



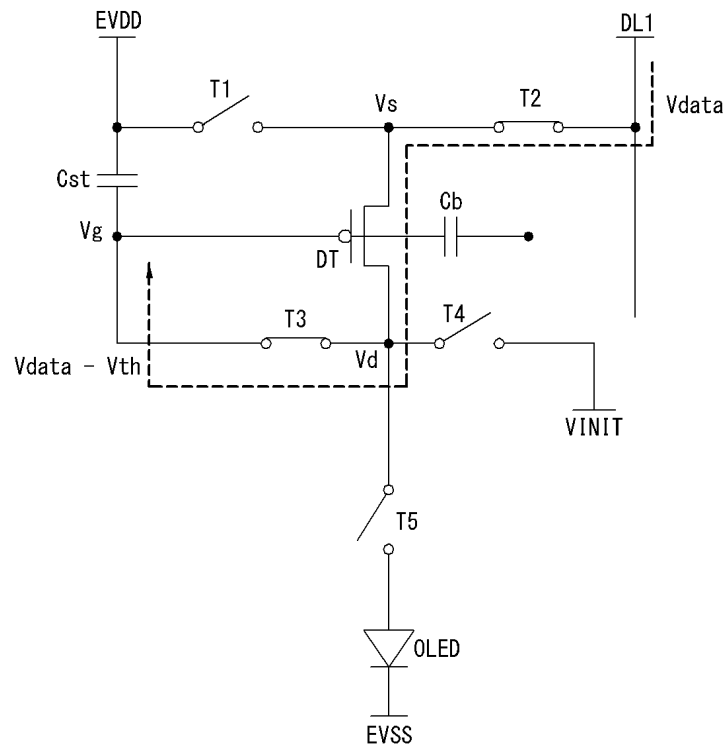
도면5



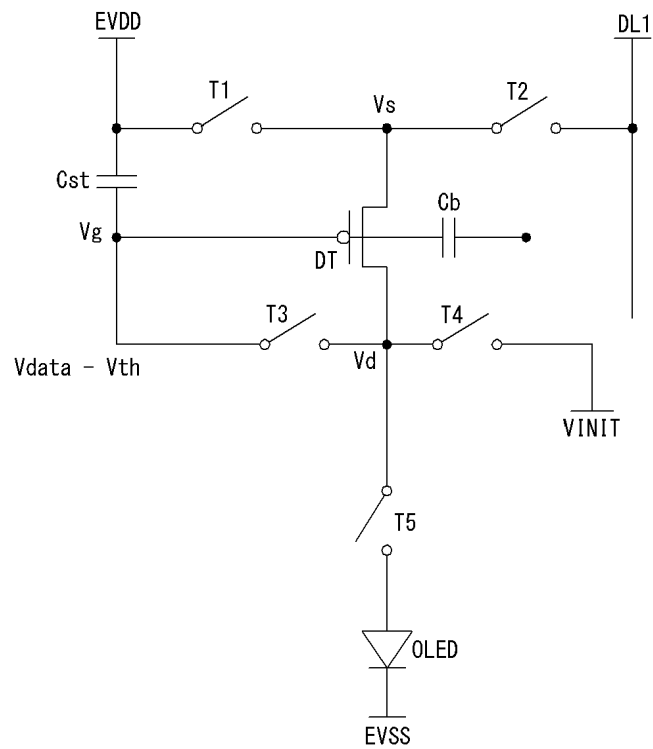
도면6



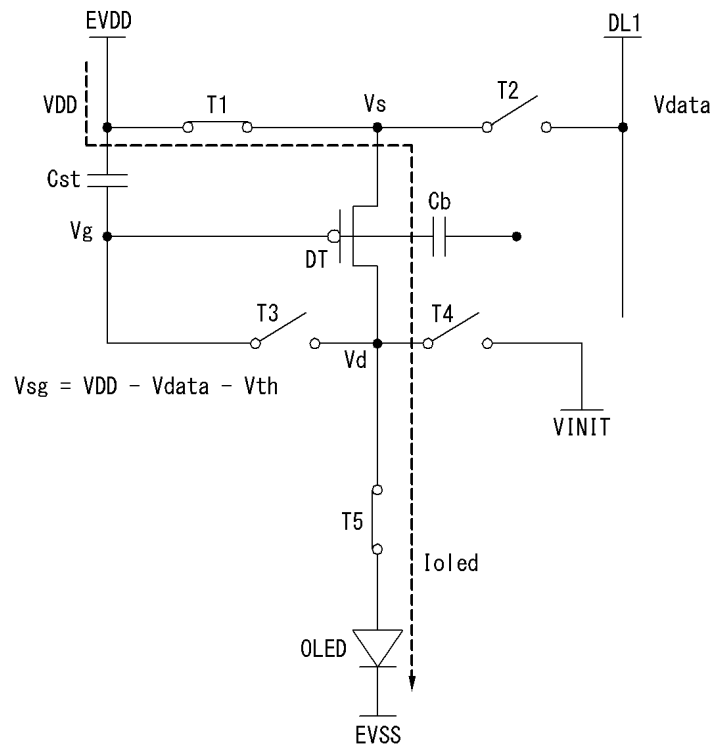
도면7



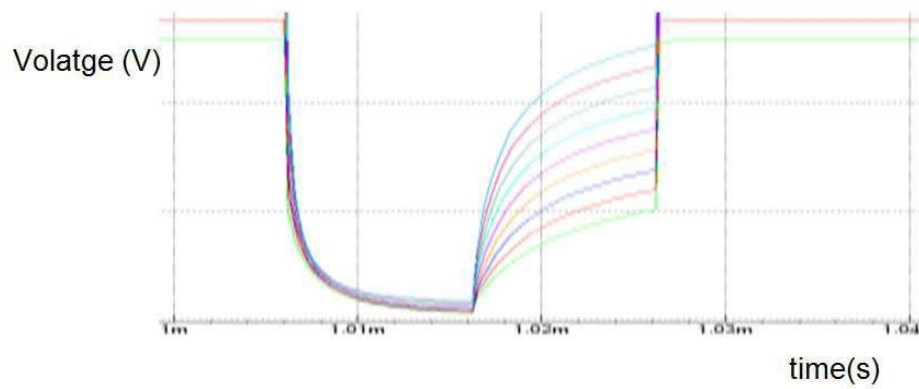
도면8



도면9



도면10



专利名称(译)	有机发光显示装置及其驱动方法		
公开(公告)号	KR1020140114930A	公开(公告)日	2014-09-30
申请号	KR1020130028543	申请日	2013-03-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM TAE YOUNG 임태영 LEE HO YOUNG 이호영		
发明人	임태영 이호영		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	H01L51/5296 H01L27/3262 H01L27/3274 H01L27/3211		
其他公开文献	KR102033755B1		
外部链接	Espacenet		

摘要(译)

本发明是一种有机发光二极管。向有机发光二极管提供驱动电流的驱动晶体管；电容器，其向驱动晶体管的栅极提供驱动电压。初始化晶体管，用于向驱动晶体管的漏极节点提供初始化电压。补偿电路，用于向驱动晶体管的栅电极节点提供初始化电压，向驱动晶体管的源电极节点提供数据电压，并对驱动晶体管的栅电极节点进行采样，以作为数据电压和驱动晶体管的阈值电压之差；开关晶体管向驱动晶体管的源极节点提供高电位电压；发射控制晶体管，用于将从驱动晶体管产生的驱动电流提供给有机发光二极管。 专利出版物10-2014-0114930

