



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0050712

(43) 공개일자 2013년05월16일

(51) 국제특허분류(Int. Cl.)

H01L 51/50 (2006.01) *H01L 29/786* (2006.01)

H05B 33/10 (2006.01)

(21) 출원번호 10-2011-0115924

(22) 출원일자 2011년11월08일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김병기

경기도 용인시 기흥구 삼성2로 95 (농서동)

이대우

경기도 용인시 기흥구 삼성2로 95 (농서동)

최종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리앤목특허법인

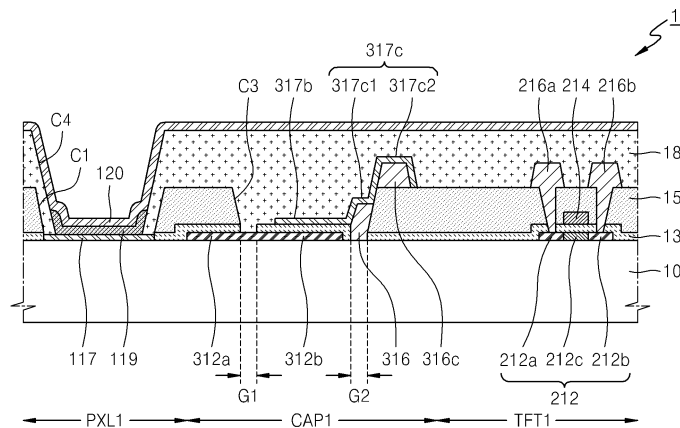
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스전극 및 드레인전극을 구비한 박막 트랜지스터; 상기 활성층과 동일층에 형성된 커패시터의 하부전극; 상기 하부전극 상에 형성된 커패시터의 상부전극; 상기 하부전극과 상부전극 사이, 및 상기 활성층과 게이트전극 사이에 배치되고, 상기 하부전극 외곽에 갭(gap)이 형성된 제1절연층; 상기 제1절연층 상에 형성되고 상기 갭에서 상기 제1절연층과 동일 식각면을 갖는 제2절연층; 상기 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 갭의 일부를 메우는 브릿지; 상기 상부전극과 동일 물질로 형성된 화소전극; 및 상기 소스전극 및 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

활성층, 게이트 전극, 소스전극 및 드레인전극을 구비한 박막 트랜지스터;
 상기 활성층과 동일층에 형성된 커패시터의 하부전극;
 상기 하부전극 상에 형성된 커패시터의 상부전극;
 상기 하부전극과 상부전극 사이, 및 상기 활성층과 게이트전극 사이에 배치되고, 상기 하부전극 외곽에 갭(gap)이 형성된 제1절연층;
 상기 제1절연층 상에 형성되고 상기 갭에서 상기 제1절연층과 동일 식각면을 갖는 제2절연층;
 상기 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 갭의 일부를 메우는 브릿지;
 상기 상부전극과 동일 물질로 형성된 화소전극; 및
 상기 소스전극 및 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막 트랜지스터 어레이 기판.

청구항 2

제 1 항에 있어서,
 상기 활성층 및 상기 하부전극은 이온불순물이 도핑된 반도체 물질을 포함하는 박막 트랜지스터 어레이 기판.

청구항 3

제 1 항에 있어서,
 상기 상부전극 및 화소전극은 투명 도전물을 포함하는 박막 트랜지스터 어레이 기판.

청구항 4

제 3 항에 있어서,
 상기 투명도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크 옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 박막 트랜지스터 어레이 기판.

청구항 5

제 1 항에 있어서,
 상기 하부전극에 연결되는 제1연결부, 및 상기 상부전극에 연결된 제2연결부를 더 구비하고,
 상기 갭의 제1부분은 상기 하부전극과 상기 제1연결부 사이에 형성되고, 상기 갭의 제2부분은 상기 하부전극 외곽에 형성된 상기 제1절연층 사이에 형성된 박막 트랜지스터 어레이 기판.

청구항 6

제 5 항에 있어서,
 상기 브릿지는 상기 갭의 제2부분에 형성된 박막 트랜지스터 어레이 기판.

청구항 7

제 5 항에 있어서,
 상기 제1연결부는 상기 하부전극과 동일 물질을 포함하는 박막 트랜지스터 어레이 기판.

청구항 8

제 5 항에 있어서,

상기 제2연결부는 상기 상부전극과 동일 물질을 포함하는 박막 트랜지스터 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 제2연결부는 상기 갭의 제2부분에 형성된 브릿지와 상기 제2절연층 상에 연결되어 형성된 박막 트랜지스터 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 제2연결부와 상기 제2절연층 사이에 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 제2연결부와 직접 접촉하는 배선이 더 구비된 박막 트랜지스터 어레이 기판.

청구항 11

제 5 항에 있어서,

상기 갭의 제1부분에 보호막이 더 형성된 박막 트랜지스터 어레이 기판.

청구항 12

제 11 항에 있어서,

상기 보호막은 상기 소스전극 및 드레인전극과 동일 물질로 형성된 박막 트랜지스터 어레이 기판

청구항 13

제 11 항에 있어서,

상기 보호막은 상기 상부전극과 동일 물질로 형성된 박막 트랜지스터 어레이 기판.

청구항 14

제 11 항에 있어서,

상기 보호막은 상기 상부전극과 절연된 박막 트랜지스터 어레이 기판.

청구항 15

제 1 항에 있어서,

상기 상부전극 상에 상기 제3절연층이 접촉하는 박막 트랜지스터 어레이 기판.

청구항 16

활성층, 게이트 전극, 소스 전극 및 드레인전극을 구비한 박막 트랜지스터;

상기 활성층과 동일층에 형성된 커패시터의 하부전극;

상기 하부전극 상에 형성된 커패시터의 상부전극;

상기 하부전극과 상부전극 사이, 및 상기 활성층과 게이트전극 사이에 배치되고, 상기 하부전극 외곽에 갭(gap)이 형성된 제1절연층;

상기 제1절연층 상에 형성되고 상기 갭에서 상기 제1절연층과 동일 식각면을 갖는 제2절연층;

상기 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 갭의 일부를 메우는 브릿지;

상기 상부전극과 동일 물질로 형성된 화소전극;

상기 소스전극 및 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;

상기 화소 전극 상에 배치된 유기 발광층; 및

상기 유기 발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서,

상기 대향전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사전극인 유기 발광 표시 장치.

청구항 18

제 16 항에 있어서,

상기 화소전극은 투명 도전물을 포함하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서,

상기 화소전극은 반투과 물질을 포함하는 반투과층을 더 포함하는 유기 발광 표시 장치.

청구항 20

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부전극을 형성하는 제1마스크 공정;

제1절연층을 형성하고, 상기 제1절연층 상에 제1금속층을 형성하고, 상기 제1금속층을 패터닝하여 상기 하부전극에 대응되는 식각방지층, 및 상기 활성층의 일부에 대응되는 게이트전극을 형성하는 제2마스크 공정;

제2절연층을 형성하고, 상기 식각방지층이 노출되는 갭, 상기 활성층의 일부가 노출되는 개구가 형성되도록 상기 제1절연층과 제2절연층을 식각하는 제3마스크 공정;

제2금속층을 형성하고, 상기 제2금속층을 패터닝하여 상기 갭의 일부를 메우는 브릿지, 및 상기 활성층의 개구를 메우는 소스전극 및 드레인전극을 형성하는 제4마스크 공정;

제3금속층을 형성하고, 상기 제3금속층을 패터닝하여 화소전극, 및 상기 커패시터의 상부전극을 형성하는 제5마스크 공정; 및

상기 제3절연층을 형성하고, 상기 화소전극을 노출시키는 개구를 형성하는 제6마스크 공정을 포함하는 박막 트랜지스터 어레이 기판의 제조방법.

청구항 21

제 20 항에 있어서,

상기 제2마스크 공정 후, 이온불순물을 도핑하는 공정이 더 포함된 박막 트랜지스터 기판의 제조방법.

청구항 22

제 20 항에 있어서,

상기 제3마스크 공정에서, 상기 식각저지층을 제거하는 박막 트랜지스터 기판의 제조방법.

청구항 23

제 20 항에 있어서,

상기 제4마스크 공정 후, 이온불순물을 도핑하는 공정이 더 포함된 박막 트랜지스터 기판의 제조방법.

청구항 24

제 20 항에 있어서,

상기 제1마스크 공정에서, 상기 반도체층을 패터닝하여 상기 하부전극에 연결되는 제1연결부를 동시에 형성하는 박막 트랜지스터 어레이 기판의 제조방법.

청구항 25

제 24 항에 있어서,

상기 제3마스크 공정에서, 상기 하부전극과 상기 제1연결부 사이에 상기 갭의 제1부분, 및 상기 하부전극 외곽에 형성된 제1절연층 사이에 상기 갭의 제2부분을 형성하는 박막 트랜지스터 어레이 기판의 제조방법.

청구항 26

제 25 항에 있어서,

상기 제4마스크 공정에서, 상기 브릿지는 상기 갭의 제2부분에 형성되는 박막 트랜지스터 어레이 기판의 제조방법.

청구항 27

제 26항에 있어서,

상기 제5마스크 공정에서, 상기 제3금속층을 패터닝하여 상기 상부전극에 연결되는 제2연결부를 동시에 형성하고, 상기 제2연결부는 상기 브릿지 상에 형성되는 박막 트랜지스터 어레이 기판의 제조방법.

청구항 28

제 23 항에 있어서,

상기 제4마스크 공정에서, 상기 제2금속층으로 상기 갭의 제1부분에 보호막을 더 형성하는 박막 트랜지스터 어레이 기판의 제조방법.

청구항 29

제 23 항에 있어서,

상기 제5마스크 공정에서, 상기 제3금속층으로 상기 갭의 제1부분에 보호막을 더 형성하는 박막 트랜지스터 어레이 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술

한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스전극 및 드레인전극을 구비한 박막 트랜지스터; 상기 활성층과 동일층에 형성된 커패시터의 하부전극; 상기 하부전극 상에 형성된 커패시터의 상부전극; 상기 하부전극과 상부전극 사이, 및 상기 활성층과 게이트전극 사이에 배치되고, 상기 하부전극 외곽에 갭(gap)이 형성된 제1절연층; 상기 제1절연층 상에 형성되고 상기 갭에서 상기 제1절연층과 동일 식각면을 갖는 제2절연층; 상기 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 갭의 일부를 메우는 브릿지; 상기 상부전극과 동일 물질로 형성된 화소전극; 및 상기 소스전극 및 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

[0008] 상기 활성층 및 상기 하부전극은 이온불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0009] 상기 상부전극 및 화소전극은 투명 도전물을 포함할 수 있다.

[0010] 상기 투명도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크 옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0011] 상기 하부전극에 연결되는 제1연결부, 및 상기 상부전극에 연결된 제2연결부를 더 구비하고, 상기 갭의 제1부분은 상기 하부전극과 상기 제1연결부 사이에 형성되고, 상기 갭의 제2부분은 상기 하부전극 외곽에 형성된 상기 제1절연층 사이에 형성될 수 있다.

[0012] 상기 브릿지는 상기 갭의 제2부분에 형성될 수 있다.

[0013] 상기 제1연결부는 상기 하부전극과 동일 물질을 포함할 수 있다.

[0014] 상기 제2연결부는 상기 상부전극과 동일 물질을 포함할 수 있다.

[0015] 상기 제2연결부는 상기 갭의 제2부분에 형성된 브릿지와 상기 제2절연층 상에 연결되어 형성될 수 있다.

[0016] 상기 제2연결부와 상기 제2절연층 사이에 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 제2연결부와 직접 접촉하는 배선이 더 구비될 수 있다.

[0017] 상기 갭의 제1부분에 보호막이 더 형성될 수 있다.

[0018] 상기 보호막은 상기 소스전극 및 드레인전극과 동일 물질로 형성될 수 있다.

[0019] 상기 보호막은 상기 상부전극과 동일 물질로 형성될 수 있다.

[0020] 상기 보호막은 상기 상부전극과 절연될 수 있다.

[0021] 상기 상부전극 상에 상기 제3절연층이 접촉하할 수 있다.

[0022] 본 발명의 다른 측면에 의하면, 활성층, 게이트 전극, 소스 전극 및 드레인전극을 구비한 박막 트랜지스터; 상기 활성층과 동일층에 형성된 커패시터의 하부전극; 상기 하부전극 상에 형성된 커패시터의 상부전극; 상기 하부전극과 상부전극 사이, 및 상기 활성층과 게이트전극 사이에 배치되고, 상기 하부전극 외곽에 갭(gap)이 형성된 제1절연층; 상기 제1절연층 상에 형성되고 상기 갭에서 상기 제1절연층과 동일 식각면을 갖는 제2절연층; 상기 소스전극 및 드레인전극과 동일 물질로 형성되고, 상기 갭의 일부를 메우는 브릿지; 상기 상부전극과 동일 물질로 형성된 화소전극; 상기 소스전극 및 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층; 상기 화소 전극 상에 배치된 유기 발광층; 및 상기 유기 발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시

장치를 제공한다.

[0023] 상기 대향전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사전극일 수 있다.

[0024] 상기 화소전극은 투명 도전물을 포함할 수 있다.

[0025] 상기 화소전극은 반투과 물질을 포함하는 반투과층을 더 포함할 수 있다.

[0026] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부전극을 형성하는 제1마스크 공정; 제1절연층을 형성하고, 상기 제1절연층 상에 제1금속층을 형성하고, 상기 제1금속층을 패터닝하여 상기 하부전극에 대응되는 식각방지층, 및 상기 활성층의 일부에 대응되는 게이트전극을 형성하는 제2마스크 공정; 제2절연층을 형성하고, 상기 식각방지층이 노출되는 갭, 상기 활성층의 일부가 노출되는 개구가 형성되도록 상기 제1절연층과 제2절연층을 식각하는 제3마스크 공정; 제2금속층을 형성하고, 상기 제2금속층을 패터닝하여 상기 갭의 일부를 메우는 브릿지, 및 상기 활성층의 개구를 메우는 소스전극 및 드레인전극을 형성하는 제4마스크 공정; 제3금속층을 형성하고, 상기 제3금속층을 패터닝하여 화소전극, 및 상기 커패시터의 상부전극을 형성하는 제5마스크 공정; 및 상기 제3절연층을 형성하고, 상기 화소전극을 노출시키는 개구를 형성하는 제6마스크 공정을 포함하는 박막 트랜지스터 어레이 기판의 제조방법을 제공한다.

[0027] 상기 제2마스크 공정 후, 이온불순물을 도핑하는 공정이 더 포함될 수 있다.

[0028] 상기 제3마스크 공정에서, 상기 식각저지층을 제거할 수 있다.

[0029] 상기 제4마스크 공정 후, 이온불순물을 도핑하는 공정이 더 포함될 수 있다.

[0030] 상기 제1마스크 공정에서, 상기 반도체층을 패터닝하여 상기 하부전극에 연결되는 제1연결부를 동시에 형성할 수 있다.

[0031] 상기 제3마스크 공정에서, 상기 하부전극과 상기 제1연결부 사이에 상기 갭의 제1부분, 및 상기 하부전극 외곽에 형성된 제1절연층 사이에 상기 갭의 제2부분을 형성할 수 있다.

[0032] 상기 제4마스크 공정에서, 상기 브릿지는 상기 갭의 제2부분에 형성될 수 있다.

[0033] 상기 제5마스크 공정에서, 상기 제3금속층을 패터닝하여 상기 상부전극에 연결되는 제2연결부를 동시에 형성하고, 상기 제2연결부는 상기 브릿지 상에 형성될 수 있다.

[0034] 상기 제4마스크 공정에서, 상기 제2금속층으로 상기 갭의 제1부분에 보호막을 더 형성할 수 있다.

[0035] 상기 제5마스크 공정에서, 상기 제3금속층으로 상기 갭의 제1부분에 보호막을 더 형성할 수 있다.

발명의 효과

[0036] 상기와 같은 본 발명에 따른 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0037] 첫째, 커패시터의 하부전극 외곽의 절연층에 형성된 갭에 브릿지를 형성함으로써, 상기 하부전극을 연결하는 배선이 절연층의 단차에 의해 단락되는 것을 방지할 수 있다.

[0038] 둘째, 커패시터의 하부전극과, 상기 하부전극을 연결하는 배선 사이의 갭에 보호막을 형성함으로써, 실리콘-금속 혼합물에 의해 상부전극과 하부전극 사이에 누설 전류가 발생하는 것을 방지할 수 있다.

[0039] 셋째, 커패시터 하부전극과 하부전극을 연결하는 배선 사이에 이온불순물이 도핑되지 않는 현상이 제거되어, 커패시터의 신호 전달 품질이 향상된다.

[0040] 넷째, 6마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

[0041] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도이다.

도 3a 내지 3f는 본 실시예에 따른 유기 발광 표시 장치(1)의 마스크 공정의 결과를 개략적으로 도시한 도면들

이다.

도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.

도 5는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치(3)를 개략적으로 도시한 단면도이다.

도 6a 내지 도 6e는 본 발명의 제1비교예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.

도 7a내지 도 7c는 본 발명의 제2비교예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0042] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0043] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

[0044] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)는 기판(10) 상에 픽셀영역(PXL1), 트랜지스터영역(TFT1), 및 커패시터영역(CAP1)이 구비된다.

[0045] 트랜지스터영역(TFT1)에는 기판(10) 상에 박막 트랜지스터의 활성층(212)이 배치된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널영역(212c)과, 채널영역(212c) 외측에 이온불순물이 도핑된 소스영역(212a) 및 드레인영역(212b)을 포함할 수 있다. 한편, 도 1에는 도시되지 않았으나, 기판(10)과 활성층(212) 사이에는 기판(10)의 평활성 및 기판(10)에서의 불순원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(미도시)이 더 배치될 수 있다.

[0046] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트전극(214)이 구비된다.

[0047] 게이트전극(214) 상에는 층간 절연막인 제2절연층(15)을 사이에 두고 활성층(212)의 소스영역(212a) 및 드레인영역(212b)에 각각 접속하는 소스전극(216a) 및 드레인전극(216b)이 구비된다. 한편, 도 1에는 도시되어 있지 않으나, 소스전극(216a)과 드레인전극(216b) 상에는 후술할 화소전극(117)과 동일한 투명도전물을 포함하는 층이 더 형성될 수 있다.

[0048] 제2절연층(15) 상에는 상기 소스전극(216a) 및 드레인전극(216b)을 덮도록 제3절연층(18)이 구비된다. 제3절연층(18)은 유기절연막으로 구비되거나, 무기절연막과 유기절연막이 함께 적층될 수 있다. 제3절연층(18)을 형성하는 유기절연막으로 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 사용될 수 있다.

[0049] 픽셀영역(PXL1)에는 기판(10) 상의 제1절연층(13)과 제2절연층(15)에 형성된 개구(C1)에 화소전극(117)이 구비된다. 화소전극(117)은 후술할 커패시터의 상부전극(317b)과 동일 재료로 형성될 수 있다.

[0050] 화소전극(117)은 투명도전물로 형성되어 화소전극(117) 측으로 광이 방출될 수 있다. 이와 같은 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 한편, 도 1에는 도시되지 않았으나, 기판(10)과 화소전극(117) 사이에 버퍼층(미도시)이 더 배치될 수 있다.

[0051] 화소전극(117) 상에 유기발광층(119)이 형성된다. 유기발광층(119)은 제3절연층(18)이 형성하는 개구(C4)에 구비될 수 있다. 유기발광층(119)에서 방출된 광은 투명도전물로 형성된 화소전극(117)을 통하여 기판(10) 측으로 방출될 수 있다.

[0052] 유기발광층(119)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기발광층(119)이 저분자 유기물일 경우, 유기발광층(119)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline

aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기발광층(119)이 고분자 유기물일 경우, 유기발광층(119) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.

- [0053] 유기발광층(119) 상에는 공통전극으로 대향전극(120)이 구비된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소전극(117)은 애노드로 사용되고, 대향전극(120)은 캐소드로 사용되었다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0054] 대향전극(120)은 반사물질을 포함하는 반사전극일 수 있다. 이때 대향전극(120)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향전극(120)이 반사전극일 때, 유기발광층(119)에서 방출된 빛은 대향전극(120)에 반사되어 투명도전물로 구성된 화소전극(117)을 투과하여 기판(10) 측으로 방출될 수 있다.
- [0055] 한편, 도 1에는 도시되어 있지 않으나, 화소전극(117)에는 반투과 물질을 포함하는 반투과금속층(미도시)이 더 구비될 수 있다. 화소전극(117)에 반투과금속층이 더 형성될 경우, 반사전극인 대향전극(120)이 반사거울로 기능하고, 반투과금속층이 반투과미러로 기능함으로써, 유기발광층(119)에서 방출된 광은 대향전극(120)과 반투과금속층(미도시) 사이에서 공진될 수 있다 따라서 광추출 효율이 향상될 수 있다.
- [0056] 반투과금속층(미도시)으로 은(Ag), 은합금, 알루미늄(Al), 및 알루미늄합 금에서 선택된 적어도 하나 이상의 재료가 선택될 수 있다. 반사전극인 대향 전극(120)과의 관계에서 공진 미러(mirror)로 작용하기 위해서 반투과금속층(미도시)의 두께는 300Å 이하의 두께를 갖는 것이 바람직하다.
- [0057] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역(CAP1)을 개략적으로 도시한 평면도이다. 구체적으로, 커패시터영역(CAP1)의 하부전극(312b), 상부전극(317b), 제1절연층(13) 및 제2절연층(15)을 중심으로 도시한 것이다.
- [0058] 도 1 및 도 2를 참조하면, 커패시터영역(CAP1)에는 기판(10) 상에 커패시터의 하부전극(312b)과 하부전극(312b)에 연결된 제1연결부(312a)가 구비된다.
- [0059] 하부전극(312b)은 활성층(212)과 동일층에 형성될 수 있다. 하부전극(312b)는 활성층(212)의 소스영역(212a) 및 드레인영역(212b)과 동일 재료로서, 이온불순물이 도핑된 반도체를 포함할 수 있다. 하부전극(312b)에 신호(전류/전압)를 전달하는 제1연결부(312a)는 하부전극(312b)과 동일층에 동일물질로 형성될 수 있다. 따라서, 제1연결부(312a)는 하부전극(312b)과 마찬가지로 이온불순물이 도핑된 반도체를 포함할 수 있다.
- [0060] 하부전극(312b) 상에 커패시터의 상부전극(317b)과 상부전극(317b)에 연결된 제2연결부(317c)가 구비된다.
- [0061] 상부전극(317b)은 전술한 화소전극(117)과 동일물질로 형성될 수 있다. 상부전극(317b)에 신호를 전달하는 제2연결부(317c)는 상부전극(317b)과 동일 물질로 형성될 수 있다. 한편, 제2연결부(317c)는 후술할 브릿지(316) 상에 형성된 제1부분(317c1)과, 제2절연층(15) 상에 배치되고 소스전극(216a) 및 드레인전극(216b)과 동일재료로 형성된 배선(316c) 상에 형성된 제2부분(317c2)을 포함할 수 있다. 제2연결부(317c)는 상부전극(317b)에 전기적으로 연결되어야 하기 때문에 제1부분(317c1)과 제2부분(317c2)은 단락되지 않아야 한다.
- [0062] 게이트 절연막으로 기능하는 제1절연층(13)은 트랜지스터영역(TFT1)에서 연장되어 커패시터의 하부전극(312b)과 상부전극(317b) 사이에 배치되어 유전막으로 기능한다. 커패시터영역(CAP1)의 하부전극(312b) 외곽에 제1절연층(13)이 형성되지 않은 부분이 존재한다. 즉, 커패시터영역(CAP1)에서 제1절연층(13)은 소정의 갭(gap)(G, 도 2 참조)을 갖는다. 제2절연층(15)의 식각 시 제1절연층(13)이 함께 식각되기 때문에 갭이 형성되는 것인데, 이는 후술한다. 구체적으로, 갭의 제1부분(G1)은 하부전극(312b)과 제1연결부(312a) 사이의 제1절연층(13)에 형성되고, 갭의 제2부분(G2)은 하부전극(312b) 외곽에 형성된 제1절연층(13) 사이에 형성된다.
- [0063] 제1절연층(13) 상에 트랜지스터영역(TFT1)에서 연장된 제2절연층(15)이 형성된다. 제2절연층(15)은 상부전극(317b)보다 큰 개구(C3)를 가진다. 후술하겠지만, 상기 개구(C3)에 의해, 하부전극(312b)과 제1연결부(312a)를 형성하는 반도체층에 이온불순물이 전체적으로 도핑되기 때문에 커패시터의 신호 전달 품질이 향상된다. 한편, 상기 개구(C3)는 갭(G)에서 제1절연층(13)과 동일한 식각면을 가진다.
- [0064] 갭(G)의 일부에 소스전극(216a) 및 드레인전극(216b)과 동일물질로 형성된 브릿지(316)가 구비된다. 구체적으로, 브릿지(316)는 전술한 갭의 제2부분(G2)에 형성된다. 전술하였듯이, 제2연결부(317c)는 상부전극

(317b)에 전기적으로 연결되어야 하기 때문에, 제2연결부(317c)를 구성하는 제1부분(317c1)과 제2부분(317c2)은 서로 단락되지 않아야 한다. 만약 갭의 제2부분(G2)에 브릿지(316)가 형성되지 않으면, 제2연결부(317c)는 갭의 제2부분(G2)에서 단차가 큰 제1절연층(13)과 제2절연층(15)의 식각면을 타면서 상부전극(317b)에 연결되어야 하기 때문에 단락 될 수 있다. 따라서, 갭의 제2부분(G2)에 브릿지(316)를 형성함으로써 이러한 단락을 방지할 수 있다.

[0065] 한편, 제2연결부(317c)는 상부전극(317b)과 마찬가지로 투명도전물로 형성될 수 있다. 투명도전물의 저항이 클 경우, 제2연결부(317c)를 통하여 상부전극(317b)에 연결되는 배선(316c)은 저저항 재료의 금속배선으로 형성할 필요가 있다. 본 실시예에서 상기 배선(316c)은 소스전극(216a) 및 드레인전극(216b)과 동일 재료로, 소스전극(216a) 및 드레인전극(216b)과 동일층에 형성되었다. 이때, 제2연결부(317c)의 제2부분(317c2)은 상기 배선(316c) 상에 배치될 수 있다. 제2연결부(317c)는 갭의 제2부분(G2)에 형성된 제1절연층(13), 제2절연층(15)의 식각면과 함께 상기 배선(316C)의 식각면도 함께 타면서 상부전극(317b)에 연결되어야 하기 때문에 단락의 위험이 더욱 증가한다. 이때에도 상기 브릿지(316)는 제2연결부(317c)의 단락을 방지할 수 있다.

[0066] 제2절연층(15) 상에 제3절연층(18)이 구비된다. 전술한 바와 같이, 제3절연층(18)은 유기절연막으로 구비되거나, 무기절연막과 유기절연막이 함께 적층될 수 있다. 대향전극(120)과 상부 전극(317b) 사이에 유전율이 작은 유기절연물을 포함하는 제3절연층(18)이 개재됨으로써, 대향전극(120)과 상부 전극(317b) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.

[0067] 한편, 도 1 및 2에는 제1연결부(312a)와 제2연결부(317c)가 서로 반대방향에 배치되어 있는 것처럼 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 제1연결부(312a)와 제2연결부(317c)는 각각 하부전극(312b)과 상부전극(317b)에 연결되지만 하면 되고, 그 연결 방향은 배선설계에 의해 얼마든지 변형될 수 있다.

[0068] 도 3a 내지 3f는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.

[0069] 도 3a는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도 및 커패시터영역을 개략적으로 도시한 평면도이다.

[0070] 도 3a를 참조하면, 기판(10) 상에 반도체층을 패터닝하여, 이온불순물이 도핑되지 않은 활성층(212c)과, 이온불순물이 도핑되지 않은 하부전극과 제1연결부를 포함하는 층(312c)이 형성된다.

[0071] 상기 도면에는 도시되어 있지 않지만, 기판(10)상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 전술한 이온불순물이 도핑되지 않은 활성층(212c), 커패시터의 이온불순물이 도핑되지 않은 층(312c)이 형성된다. 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

[0072] 반도체층(미도시)은 비정질실리콘(amorphous silicon) 또는 결정질실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질실리콘은 비정질실리콘을 결정화하여 형성될 수도 있다. 비정질실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

[0073] 도 3b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도 및 커패시터영역을 도시한 평면도이다.

[0074] 도 3b를 참조하면, 도 3a의 제1마스크 공정의 결과물 상에 제1절연층(13)이 적층되고, 제1절연층(13) 상에 제1금속층(미도시)이 적층된 후 패터닝된다. 패터닝 결과, 제1절연층(13) 상에 트랜지스터영역(TFT1)에는 게이트전극(214), 커패시터영역(CAP1)에는 식각방지층(314)이 동시에 형성된다.

[0075] 제1절연층(13)은 박막트랜지스터의 게이트 절연막, 및 커패시터의 유전막 역할을 한다.

[0076] 게이트전극(214) 및 식각방지층(314)은 저저항 금속으로서, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0077] 상기와 같은 구조물 위에 이온불순물이 1차도핑(D1)된다. 이온불순물은 B 또는 P이온을 도핑할 수 있는데, 1×

10^{15} atoms/cm² 이상의 농도로 박막트랜지스터의 이온불순물이 도핑되지 않은 활성층(212c)과, 이온불순물이 도핑되지 않은 하부전극과 제1연결부를 포함하는 층(312c)을 타겟으로 하여 도핑(D1)한다. 이때, 게이트전극(214)을 셀프-얼라인(self-align) 마스크로 기능한다. 그 결과, 활성층(212)은 이온불순물이 도핑된 소스 및 드레인영역(212a, 212b)과, 그 사이에 채널영역(212c)을 구비하게 된다.

[0078] 한편, 식각방지층(314)은 차단마스크로 기능하기 때문에, 이온불순물이 도핑되지 않는 층(312c) 중에서 식각방지층에 막힌 하부전극(312c)은 도핑되지 않고, 식각방지층(314)에 막히지 않은 제1연결부(312a)는 도핑된다.

[0079] 도 3c는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도 및 커패시터영역을 도시한 평면도이다.

[0080] 도 3c를 참조하면, 도 3b의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제1절연층(13) 및 제2절연층(15)을 동시에 패터닝하여 픽셀영역을 노출시키는 개구(C1), 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 개구(C2), 및 식각방지층(314) 전체를 노출시키는 개구(C3)를 형성한다. 이때, 식각방지층(314)은 커패시터영역에서 제1절연층(13)의 식각을 방지한다.

[0081] 제1절연층(13)과 제2절연층(15)이 동일 마스크 공정에서 함께 식각되기 때문에 커패시터영역에서 개구(C3)에 노출되는 제1절연층(13)의 일부가 제거되어 갭(G)이 형성된다. 갭의 제1부분(G1)은 식각방지층(314)에 막힌 하부전극(312c)과 제1연결부(312a) 사이의 제1절연층(13)에 형성되고, 갭의 제2부분(G2)은 식각방지층(314)에 막힌 하부전극(312c) 외곽에 형성된 제1절연층(13) 사이에 형성된다.

[0082] 도 3d는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도 및 커패시터영역을 도시한 평면도이다.

[0083] 도 3d는 도 3c의 제3마스크 공정의 결과물 상에 제2금속층(미도시)이 전술한 개구(C1, C2, C3)를 매우며 적층된 후 패터닝된다. 제2금속층이 패터닝되어 갭의 제1부분(G1)에는 브릿지(316), 제2절연층(15) 상에는 소스전극(216a)과, 드레인전극(216b), 및 배선(316c)이 형성된다. 이때, 식각방지층(314)은 제거된다.

[0084] 제2금속층(미도시)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 이때, 제2금속층(미도시)은 갭의 제1부분(G1)에 제1연결부(312a) 직접 접촉하게 되는데, 이 과정에서 실리콘사이드와 같은 실리콘-금속의 혼합물(silicon-metal compound)이 생성될 수 있다. 이때, 이 실리콘-금속의 혼합물(silicon-metal compound)이 제거되지 않고 계속 잔류할 수 있다.

[0085] 상기와 같은 구조물 위에 이온불순물이 2차도핑(D2)된다. 식각방지층(314)이 제거되었으므로, 하부전극(312b)에 이온불순물이 도핑된다. 따라서, 하부전극(312b)과 제1연결부(312a) 사이에는 이온불순물이 도핑되지 않은 영역이 존재하지 않기 때문에, 커패시터의 신호전달 품질을 양호하게 할 수 있다.

[0086] 도 3e는 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정 과정을 개략적으로 도시한 단면도이다.

[0087] 도 3e를 참조하면, 제4마스크 공정의 결과물 상에, 화소 전극(117), 상부 전극(317b) 및 제2연결부(317c)가 동일 재료로 동일 마스크 공정으로 형성된다.

[0088] 화소전극(117)은 개구(C1)에 형성되고, 상부 전극(317b)은 하부전극(312b) 상에 형성되고, 제2연결부(317c)는 브릿지(316)와 제2절연층(15) 상에 형성된다.

[0089] 구체적으로, 제2연결부(317c)의 제1부분(317c1)은 갭의 제2부분(G2)에 위치한 브릿지(316) 상에 형성되고, 제2연결부(317c)의 제2부분(317c2)은 제2절연층(15)에 위치한 배선(316c) 상에 형성된다. 전술하였듯이, 제2연결부(317c)는 상부전극(317b)에 전기적으로 연결되어야 하기 때문에, 제2연결부(317c)를 구성하는 제1부분(317c1)과 제2부분(317c2)은 서로 단락되지 않아야 한다. 따라서, 갭의 제2부분(G2)에 형성된 브릿지(316)는 제1절연층(13)과 제2절연층(15)의 식각면에 의한 단차를 줄여 제2연결부(317c)의 단락을 방지할 수 있다.

[0090] 도 3f는 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정 과정을 개략적으로 도시한 단면도이다.

[0091] 도 3f를 참조하면, 제5마스크 공정의 결과물 상에, 제3절연층(18)을 적층한 후, 제3절연층(18)을 패터닝하여 화소전극(117)의 상부를 노출시키는 개구(C4)가 형성된다.

[0092] 개구(C4)는 발광영역을 정의해주는 역할 외에, 화소전극(117)의 가장자리와 대향전극(120, 도 1 참조) 사이의

간격을 넓혀, 화소전극(117)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소전극(117)과 대향전극(120)의 단락을 방지하는 역할을 할 수 있다.

[0093] 도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다. 이하, 전술한 실시예에 따른 유기 발광 표시 장치(1)와의 차이점을 중심으로 설명하기로 한다.

[0094] 도 4를 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)는 기판(10) 상에 픽셀영역(PXL2), 트랜지스터영역(TFT2), 및 커패시터영역(CAP2)이 구비된다. 본 실시예에서 커패시터영역(CAP2)의 캡의 제1부분(G1)에 보호막(317a)이 더 구비된다. 본 실시예에서 보호막(317a)은 상부전극(317b)과 동일 물질을 포함하는 것으로, 제5마스크 공정에서 상부전극(317b)과 함께 형성된 것이다.

[0095] 전술하였듯이, 제4마스크 공정에서 제2금속층(미도시)이 캡의 제1부분(G1)에 접촉하는 과정에서 실리콘사이드와 같은 실리콘-금속의 혼합물(silicon-metal compound)이 생성되고, 완전히 제거되지 않고 잔류하게 되면, 하부전극(312b)과 상부전극(317b)에 누설전류에 의한 단락이 발생할 수 있다. 이와 같은 단락에 의해 해당 픽셀에는 암점 불량 발생할 수 있다. 본 실시예에서는 이를 방지하기 위하여 캡의 제1부분(G1)에 보호막(317a)을 형성하였다. 보호막(317a)은 상부전극(317b)과 함께 형성된 것이나, 서로 절연되도록 형성된다.

[0096] 도 5는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치(3)를 개략적으로 도시한 단면도이다. 이하, 전술한 실시예들에 따른 유기 발광 표시 장치(1, 2)와의 차이점을 중심으로 설명하기로 한다.

[0097] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(3)는 기판(10) 상에 픽셀영역(PXL3), 트랜지스터영역(TFT3), 및 커패시터영역(CAP3)이 구비된다. 본 실시예에서 커패시터영역(CAP3)의 캡의 제1부분(G1)에 보호막(316a)이 더 구비된다. 본 실시예에서 보호막(316a)은 소스전극(216a) 및 드레인전극(216b)과 동일 물질을 포함하는 것으로, 제4마스크 공정에서 소스전극(216a) 및 드레인전극(216b)과 함께 형성된 것이다.

[0098] 전술하였듯이, 제4마스크 공정에서 제2금속층(미도시)이 캡의 제1부분(G1)에 접촉하는 과정에서 실리콘사이드와 같은 실리콘-금속의 혼합물(silicon-metal compound)이 생성되고, 완전히 제거되지 않고 잔류하게 되면, 하부전극(312b)과 상부전극(317b)에 누설전류에 의한 단락이 발생할 수 있다. 이와 같은 단락에 의해 해당 픽셀에는 암점 불량 발생할 수 있다. 본 실시예에서는 이를 방지하기 위하여 캡의 제1부분(G1)에 소스전극(216a) 및 드레인전극(216b)과 동일 재료로 보호막(316a)을 형성하였다.

[0099] 도 6a 내지 6e는 본 발명의 제1비교예에 따른 유기 발광 표시 장치의 제조과정을 개략적으로 도시한 단면도들이다.

[0100] 도 6a를 참조하면, 기판(10) 상에 이온불순물이 도핑되지 않은 활성층(212c)과, 이온불순물이 도핑되지 않은 하부전극과 제1연결부를 포함하는 층(312c)이 형성된다.

[0101] 도 6b를 참조하면, 투명도전물을 포함하는 제1금속층과 저저항금속을 포함하는 제2금속층을 차례로 적층한 후 패터닝하여, 화소전극(114, 115), 게이트 전극(314, 215), 커패시터의 상부전극(314, 315)을 각각 형성하고, 제1차 도핑(D1)을 한다. 그 결과, 활성층(212)은 이온불순물이 도핑된 소스 및 드레인영역(212a, 212b)과, 그 사이에 채널영역(212c)을 구비하게 된다. 상부전극(314, 315)은 차단마스크로 기능하기 때문에, 이온불순물이 도핑되지 않는 층(312c) 중에서 상부전극(314, 315)에 막힌 하부전극(312c)은 도핑되지 않고, 막히지 않은 제1연결부(312a)는 도핑된다.

[0102] 도 6c를 참조하면, 제2절연층(16)을 형성하고 픽셀영역을 노출시키는 개구(C1), 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 개구(C2), 및 상부전극(314, 315)을 노출시키는 개구(C3)를 형성한다. 이때, 상부전극(314, 315) 전체를 노출시키지 않고 가장자리를 약간 덮는(cladding) 방식으로 개구(C3)를 형성한다.

[0103] 도 6d를 참조하면, 도 6c의 제3마스크 공정의 결과물 상에 제2금속층(미도시)이 전술한 개구(C1, C2, C3)를 메우며 적층된 후 패터닝되어 소스전극(216a)과 드레인전극(216b)이 형성된다. 이때, 화소전극의 상부층(115)과 상부전극의 상부층(315)이 함께 제거된다. 이때, 제2절연층(16)이 상부전극(314, 315)의 가장자리를 감싸고 있기 때문에, 감싸는 부분의 상부층(315)이 잔존하게 된다. 그 후 제2차 도핑(D2)이 실시된다. 2차 도핑(D2) 후 하부전극(312b)은 도핑되지만, 잔존하는 상부층(315)에 대응되는 부분(ND)은 도핑되지 않는다. 따라서, 커패시터영역의 저항을 증가시켜 신호 품질을 떨어뜨린다.

[0104] 도 6e를 참조하면, 제4마스크 공정의 결과물 상에, 제3절연층(18)을 적층한 후, 제3절연층(18)을 패터닝하여 화

소전극(114)의 상부를 노출시키는 개구(C4)가 형성된다.

- [0105] 따라서, 본 비교예에 따르면, 하부 전극(312b)과 제1연결부(312a) 사이에 이온불순물이 도핑되지 않는 영역(ND)이 발생할 수 있고, 이온불순물이 도핑되지 않은 영역(ND)은 저항을 증가시켜 커패시터의 신호 전달 품질을 떨어뜨린다.
- [0106] 도 7a 내지 7c는 본 발명의 제2비교예에 따른 유기 발광 표시 장치의 제조과정의 일부를 개략적으로 도시한 단면도들이다.
- [0107] 본 비교예에 따른 유기 발광 표시 장치의 제1마스크 공정 및 제2마스크 공정은 전술한 제1비교예에 따른 유기 발광 표시 장치의 제조공정과 동일하다. 이하에서는 도 7a 내지 7c를 참조하여, 제3마스크 공정 내지 제5마스크 공정을 예로 설명할 것이다.
- [0108] 도 7a를 참조하면, 제3마스크 공정에서, 제2절연층(16)을 형성하고 픽셀영역을 노출시키는 개구(C1), 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 개구(C2), 및 상부전극(314, 315)을 노출시키는 개구(C3)를 형성한다. 이때, 상부전극(314, 315) 전체를 노출시키도록 개구(C3)를 상부전극(314, 315)보다 크게 형성한다. 제1절연층(13)과 제2절연층(16)이 동일 마스크 공정에서 함께 식각되기 때문에 커패시터영역에서 개구(C3)에 노출되는 제1절연층(13)의 일부가 제거되어 갭(G1, G2)이 형성된다.
- [0109] 도 7b를 참조하면, 제4마스크 공정에서 제2금속층(미도시)이 갭의 제1부분(G1)에 접촉하는 과정에서 실리콘사이드와 같은 실리콘-금속의 혼합물(silicon-metal compound)이 생성되고, 완전히 제거되지 않고 잔류하게 되면, 하부전극(312b)과 상부전극(317b)에 누설전류에 의한 단락이 발생할 수 있다. 이와 같은 단락에 의해 해당 픽셀에는 암점 불량 발생할 수 있다.
- [0110] 도 7c를 참조하면, 제4마스크 공정의 결과물 상에, 제3절연층(18)을 적층한 후, 제3절연층(18)을 패터닝하여 화소전극(114)의 상부를 노출시키는 개구(C4)가 형성된다.
- [0111] 따라서, 본 비교예에 따르면, 갭의 제1부분(G1)에 완전히 제거되지 않고 잔류하는 실리콘-금속의 혼합물(silicon-metal compound)에 의해 하부전극(312b)과 상부전극(317b)에 누설전류에 의한 단락이 발생할 수 있다. 이와 같은 단락에 의해 해당 픽셀에 암점 불량이 발생하여 표시장치의 품질을 떨어뜨린다.
- [0112] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

- [0113]
- | | |
|--------------------|-------------|
| 1: 유기 발광 표시 장치 | 10: 기판 |
| 13: 제1절연층 | 15: 제2절연층 |
| 18: 제3절연층 | 117: 화소전극 |
| 119: 유기 발광층 | 120: 대향전극 |
| 212: 활성층 | 212a: 소스영역 |
| 212b: 드레인영역 | 212c: 채널영역 |
| 214: 게이트전극 | 216a: 소스전극 |
| 216b: 드레인전극 | 312a: 제1연결부 |
| 312b: 하부전극 | 316: 브릿지 |
| 317b: 상부전극 | 317c: 제2연결부 |
| C1, C2, C3, C4: 개구 | G: 갭 |
| G1: 갭의 제1부분 | G2: 갭의 제2부분 |

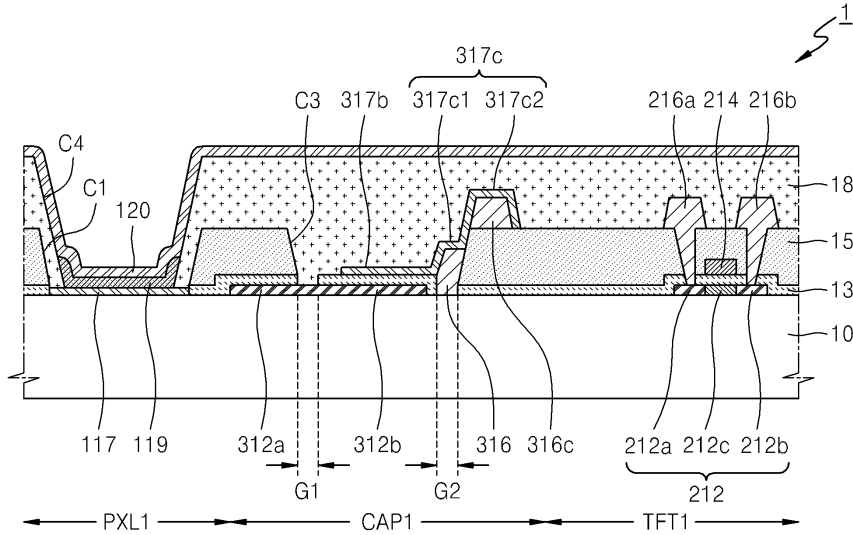
PXL1: 픽셀영역

CAP1: 커패시터영역

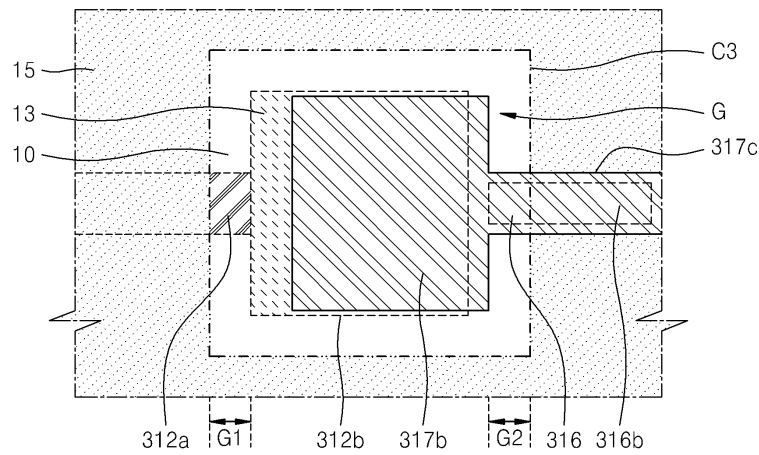
TFT1: 박막트랜지스터영역

도면

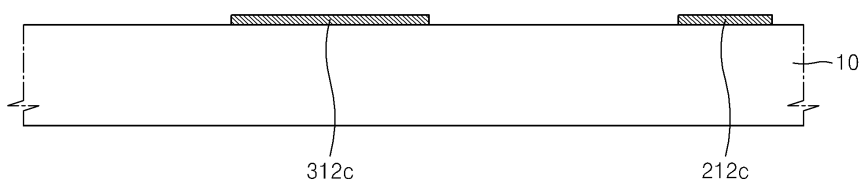
도면1



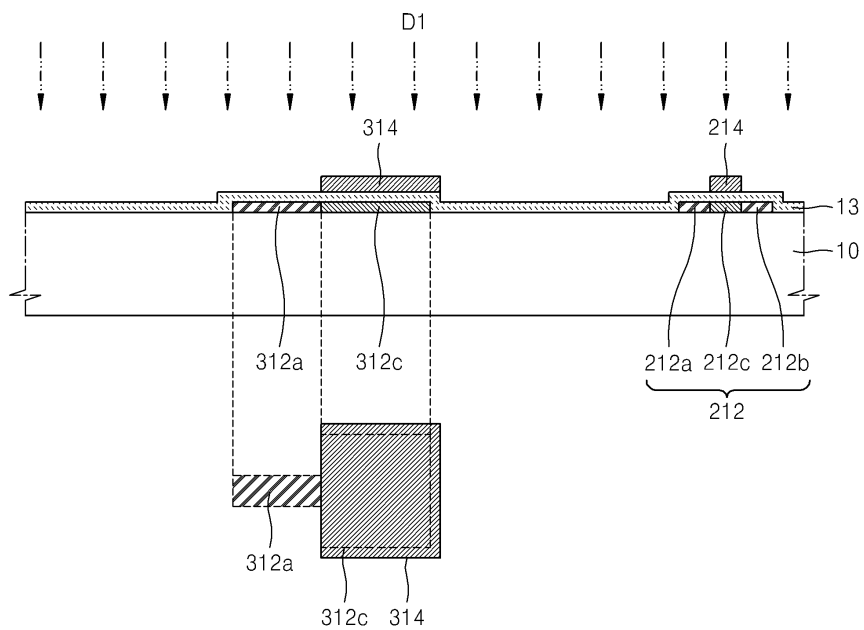
도면2



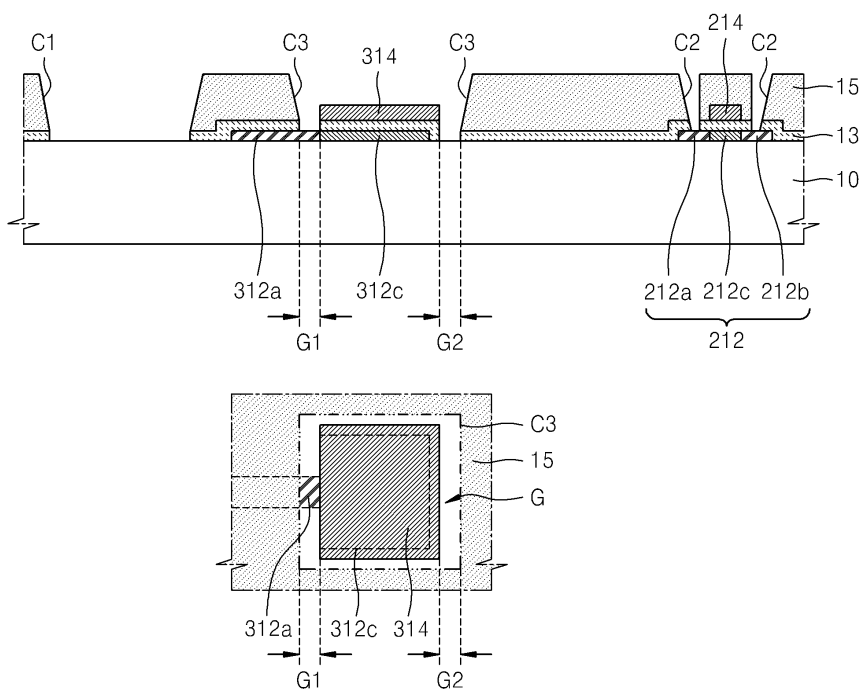
도면3a



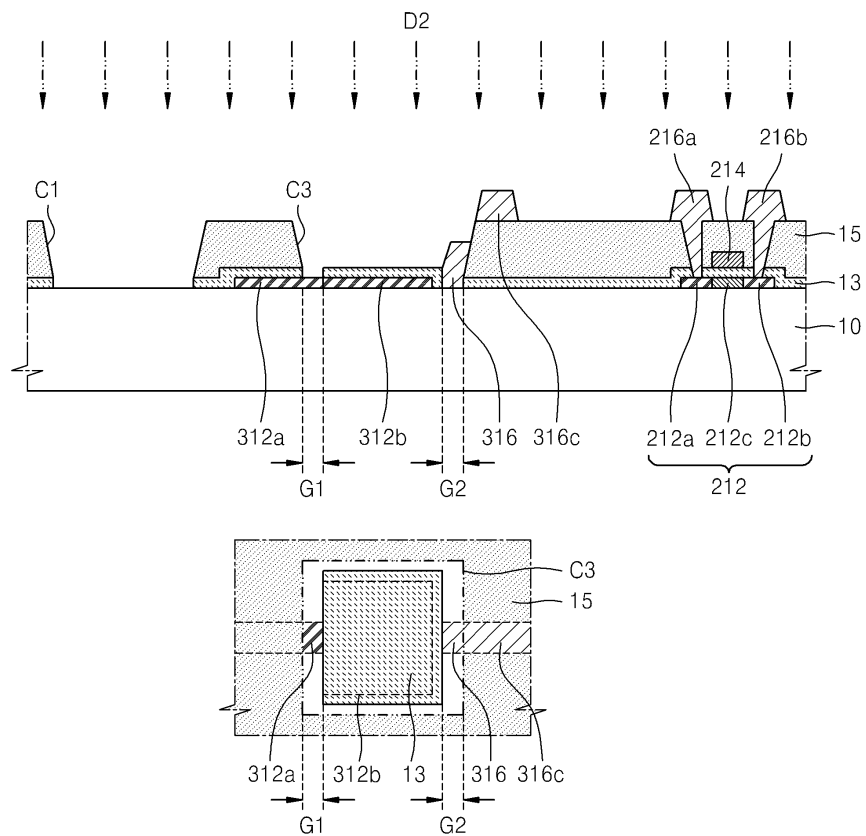
도면3b



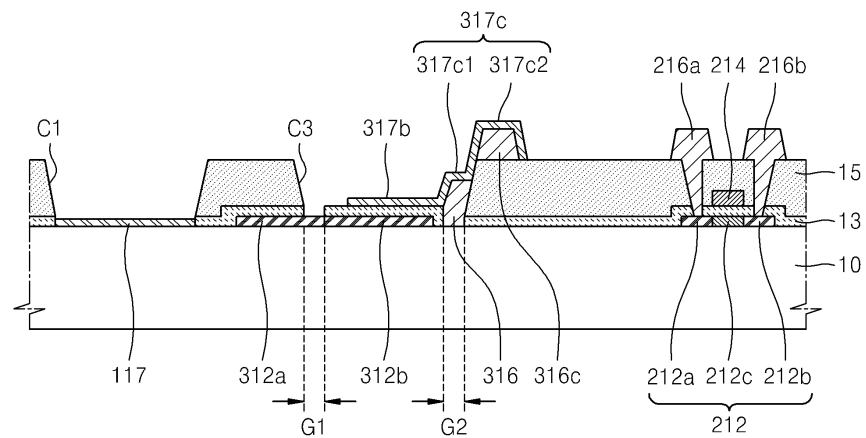
도면3c



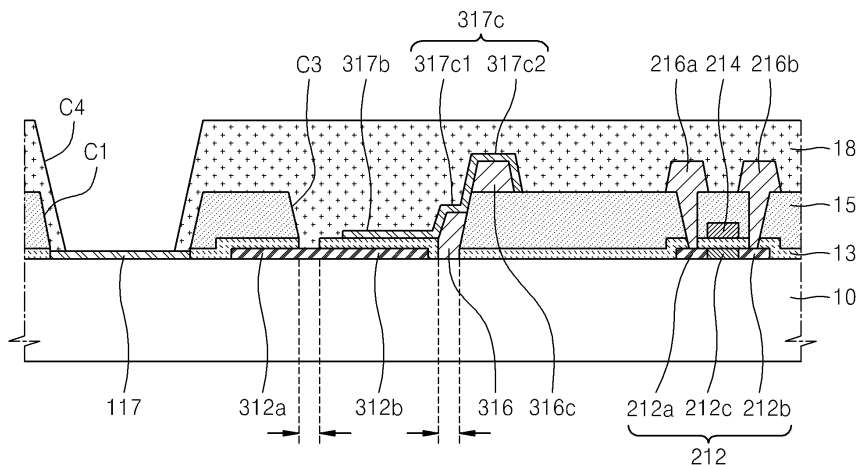
도면3d



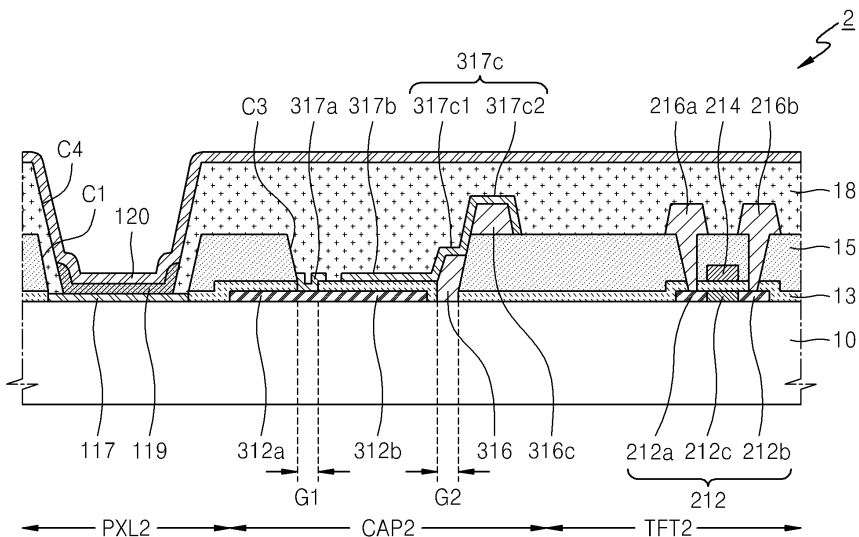
도면3e



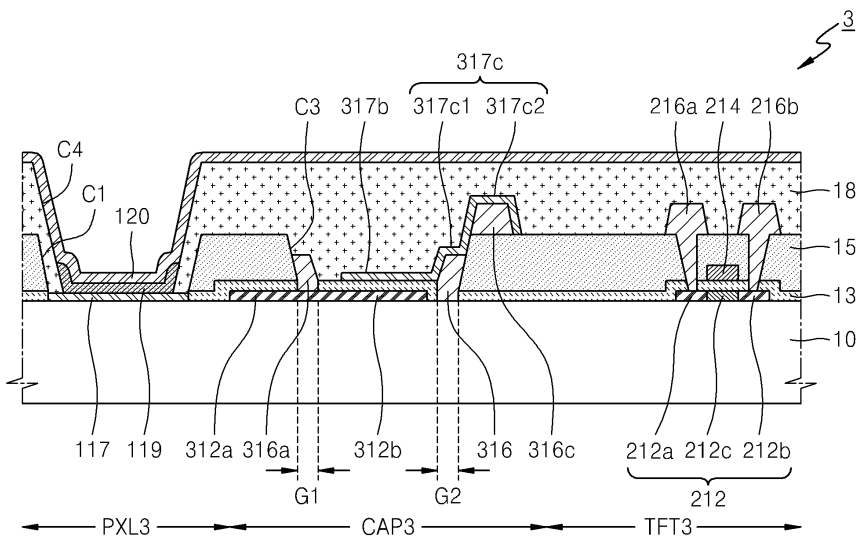
도면3f



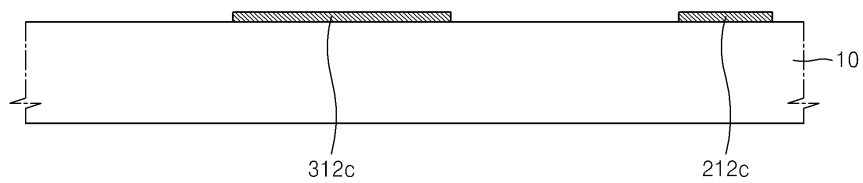
도면4



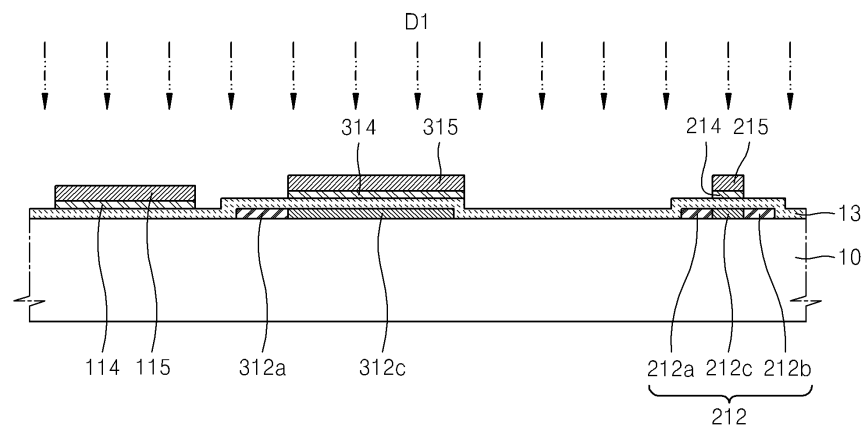
도면5



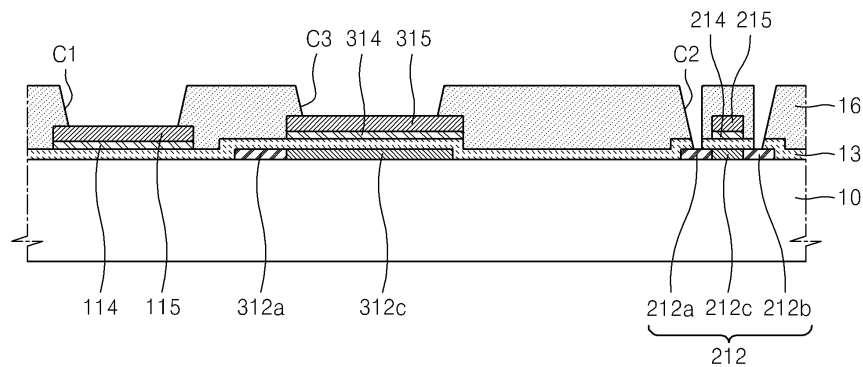
도면6a



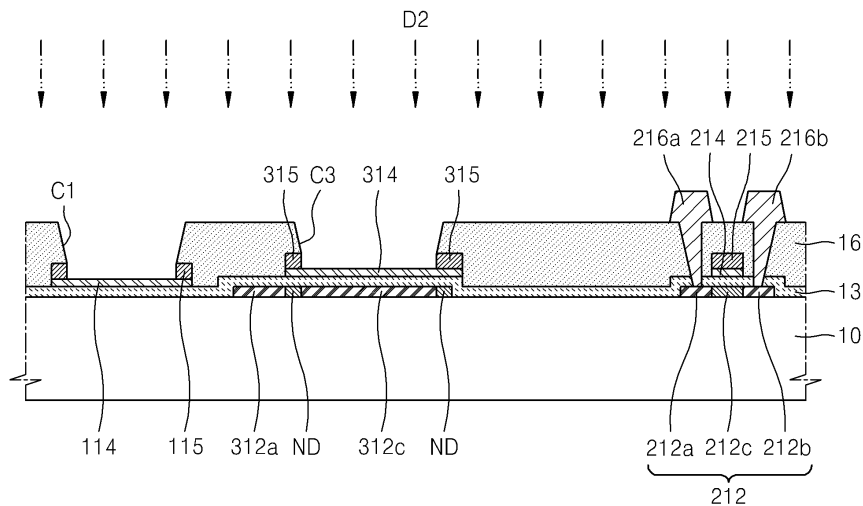
도면6b



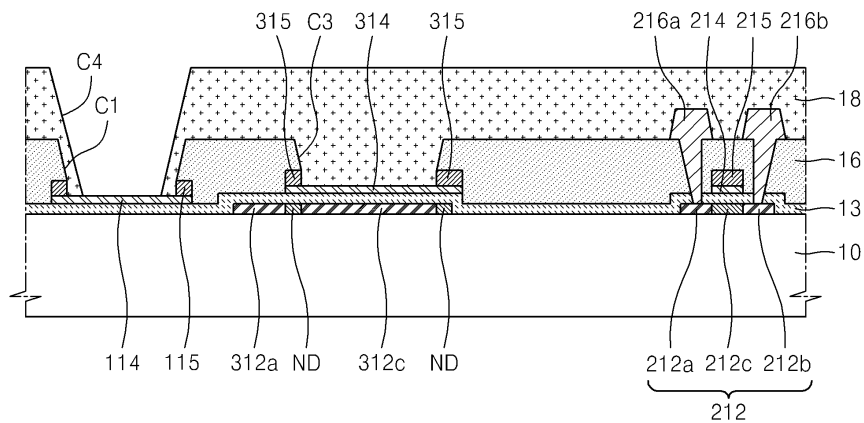
도면6c



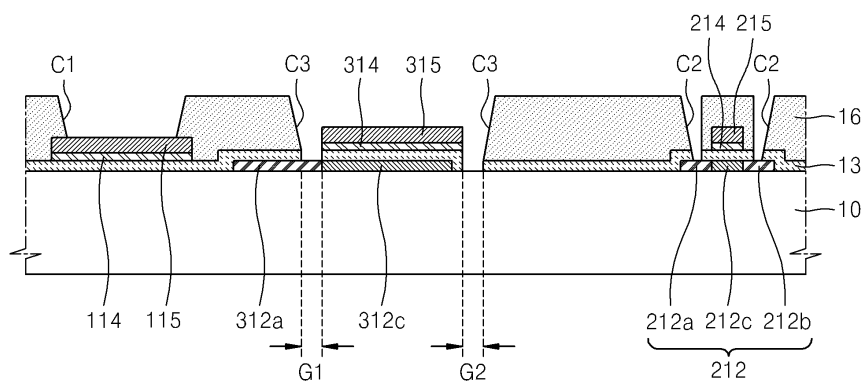
도면6d



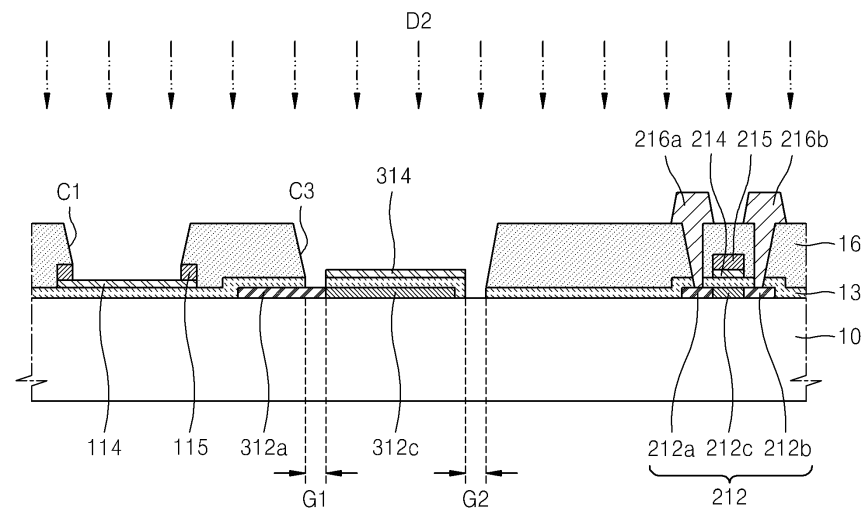
도면6e



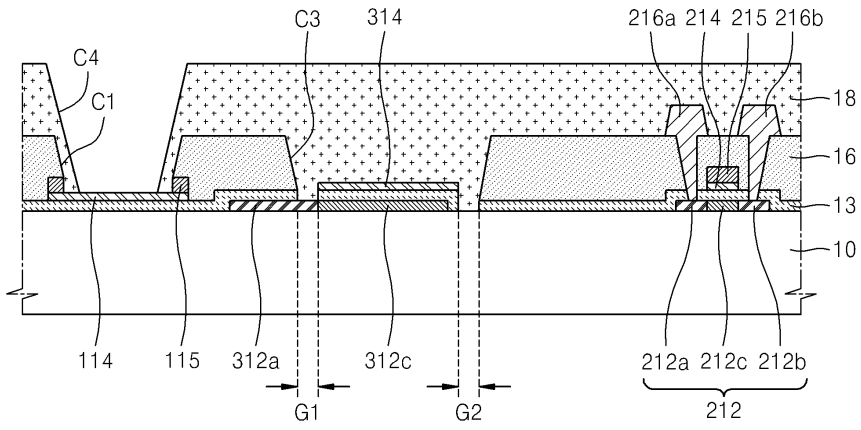
도면7a



도면7b



도면7c



专利名称(译)	标题：薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	KR1020130050712A	公开(公告)日	2013-05-16
申请号	KR1020110115924	申请日	2011-11-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM BYOUNG KI 김병기 LEE DAE WOO 이대우 CHOI JONG HYUN 최종현		
发明人	김병기 이대우 최종현		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/3288 H01L27/3258 H01L27/1259 H01L27/32 H01L27/1255 H01L27/283 H01L27/124 H01L29/4908 H01L27/3248		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，包括有源层，栅电极和源电极和漏电极的薄膜晶体管：包括由相同材料和源电极形成的像素电极的薄膜晶体管阵列基板和第三绝缘体提供覆盖漏电极并暴露像素电极的层。

