



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0026807
(43) 공개일자 2013년03월14일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2011-0090206
(22) 출원일자 2011년09월06일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
오재환
경기도 용인시 기흥구 삼성2로 95 (농서동)
장영진
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

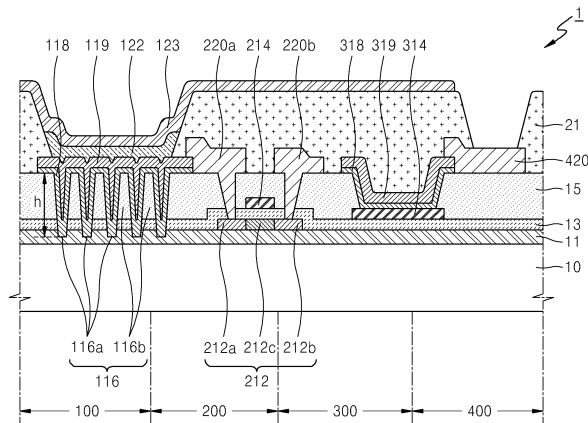
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 유기 발광 표시 장치는, 기판 상에 배치된 제1 절연층과, 제1 절연층 상에 배치되고 요철부를 포함하는 제2 절연층과, 상기 제2 절연층 상에 배치된 제3 절연층과, 상기 제3 절연층 상에 배치된 화소 전극과, 화소 전극과 대향되게 배치된 대향 전극과, 화소 전극과 대향 전극 사이에 배치된 유기 발광층을 포함하는 유기 발광 소자; 기판 상의 배치된 활성층과, 활성층과 절연되도록 배치된 게이트 전극과, 활성층과 연결되는 소스 전극 및 드레인 전극을 포함하고, 활성층과 게이트 전극 사이에 배치된 제1 절연층과, 게이트 전극과 소스 전극 및 드레인 전극 사이에 배치된 제2 절연층을 포함하는 박막 트랜지스터; 및 게이트 전극과 동일층에 배치된 하부 전극과, 화소 전극과 동일층에 배치된 상부 전극과, 하부 전극과 상부 전극 사이의 제3 절연층과 동일층에 배치되고, 제3 절연층과 동일 물질을 포함하는 유전층을 포함하는 커패시터;를 포함한다.

대표도 - 도1



(72) 발명자

진성현

경기도 용인시 기흥구 삼성2로 95 (농서동)

박세훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

이준우

경기도 용인시 기흥구 삼성2로 95 (농서동)

김광혜

경기도 용인시 기흥구 삼성2로 95 (농서동)

최종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

정관욱

경기도 용인시 기흥구 삼성2로 95 (농서동)

이원규

경기도 용인시 기흥구 삼성2로 95 (농서동)

최재범

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관 상에 배치된 제1 절연층과, 상기 제1 절연층 상에 배치되고 요철부를 포함하는 제2 절연층과, 상기 제2 절연층 상에 배치된 제3 절연층과, 상기 제3 절연층 상에 배치된 화소 전극과, 상기 화소 전극과 대향되게 배치된 대향 전극과, 상기 화소 전극과 상기 대향 전극 사이에 배치된 유기 발광층을 포함하는 유기 발광 소자;

상기 기관 상에 배치된 활성층과, 상기 활성층과 절연되도록 배치된 게이트 전극과, 상기 활성층과 연결되는 소스 전극 및 드레인 전극을 포함하고, 상기 활성층과 상기 게이트 전극 사이에 배치된 상기 제1 절연층과, 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 상기 제2 절연층을 포함하는 박막 트랜지스터; 및

상기 게이트 전극과 동일층에 배치된 하부 전극과, 상기 화소 전극과 동일층에 배치된 상부 전극, 상기 하부 전극과 상기 상부 전극의 사이의 상기 제3 절연층과 동일층에 배치되고, 상기 제3 절연층과 동일 물질을 포함하는 유전층을 포함하는 커패시터;를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 기관과 상기 화소 전극의 사이에는 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층이 순차적으로 배치되고, 상기 제1 내지 제3 절연층 중 적어도 두 개 이상의 절연층의 굴절율이 서로 다른 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 요철부는 복수 개의 함몰부와 돌출부를 포함하고, 상기 함몰부에 대응되는 영역에는 제2 절연층이 완전히 식각되는 유기 발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 절연층의 상기 함몰부에 대응되는 위치는 상기 제2 절연층이 식각된 면을 따라 식각되어, 상기 함몰부를 연장시키는 유기 발광 표시 장치.

청구항 5

제3 항에 있어서,

상기 기관과 상기 제1 절연층 사이에 배치된 버퍼층을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 버퍼층의 굴절율은 상기 제1 절연층의 굴절율과 서로 다른 유기 발광 표시 장치.

청구항 7

제5 항에 있어서,

상기 제1 절연층과, 상기 버퍼층의 상기 함몰부에 대응되는 위치는, 상기 제2 절연층이 식각된 면을 따라 식각되어, 상기 함몰부를 연장시키는 유기 발광 표시 장치.

청구항 8

제7 항에 있어서,

상기 연장된 복수 개의 함몰부의 사이에 배치된 상기 돌출부의 높이는 0.5 um 이상인 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 제3 절연층의 두께는 상기 제2 절연층의 두께보다 얇은 유기 발광 표시장치.

청구항 10

제1 항에 있어서,

상기 제3 절연층의 유전율은 상기 제1 절연층의 유전율보다 큰 유기 발광 표시 장치.

청구항 11

제1 항에 있어서,

상기 화소 전극은 투명 도전성 물질로써, 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,

상기 화소 전극은 반투과 금속층을 더 포함하는 유기 발광 표시 장치.

청구항 13

제1 항에 있어서,

상기 화소 전극과 상기 제3 절연층은 동일한 식각면을 갖는 유기 발광 표시 장치.

청구항 14

제1 항에 있어서,

상기 상부 전극과 상기 유전층은 동일한 식각면을 갖는 유기 발광 표시 장치.

청구항 15

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정;

제1 절연층을 형성하고, 상기 제1 절연층 상에 제1 도전층을 적층하고, 상기 제1 도전층을 패터닝하여 박막 트랜지스터의 게이트 전극 및 커패시터의 하부 전극을 형성하는 제2 마스크 공정;

제2 절연층을 형성하고, 상기 제2 절연층을 패터닝하여 요철부, 상기 활성층을 노출시키는 제1 개구 및 상기 하부 전극을 노출시키는 제2 개구를 형성하는 제3 마스크 공정;

절연층 및 제2 도전층을 차례로 형성하고, 상기 절연층 및 상기 제2 도전층을 동시에 패터닝하여, 상기 제2 절연층 상에 배치되는 제3 절연층 및 화소 전극, 상기 하부 전극 상에 배치되는 유전층 및 상부 전극을 형성하는 제4 마스크 공정;

제3 도전층을 형성하고, 상기 제3 도전층을 패터닝하여 소스 전극 및 드레인 전극을 형성하는 제5 마스크 공정;

제4 절연층을 형성하고, 상기 화소 전극을 노출시키는 제3 개구를 형성하는 제6 마스크 공정; 및

상기 제3 개구 상에 유기 발광층과 대향 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15 항에 있어서,

상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층 중 적어도 두 개 이상의 절연층은 굴절율이 서로 다른 물질로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제15 항에 있어서,

상기 요철부는 복수 개의 함몰부와 돌출부를 포함하고, 상기 함몰부에 대응되는 위치의 제2 절연층을 완전히 식각하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17 항에 있어서,

상기 제1 절연층의 상기 함몰부에 대응되는 위치를 상기 제2 절연층과 동시에 식각하여 상기 함몰부를 연장시키는 유기 발광 표시 장치의 제조 방법.

청구항 19

제17 항에 있어서,

상기 제1 마스크 공정 단계 전에, 상기 기관 상에 버퍼층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제19 항에 있어서,

상기 버퍼층과, 상기 제1 절연층을 굴절율이 서로 다른 물질로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제19 항에 있어서,

상기 제1 절연층과, 상기 버퍼층의 상기 함몰부에 대응되는 위치를 상기 제2 절연층과 동시에 식각하여 상기 함몰부를 연장시키는 유기 발광 표시 장치의 제조 방법.

청구항 22

제19 항에 있어서,

상기 연장된 복수 개의 함몰부의 사이에 배치된 상기 돌출부의 높이가 0.5 um 이상이 되도록 형성하는 유기 발광 표시 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 제조 공정이 단순하고 시야각에 따른 색 편이(color shift)가 개선된 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치는 저전압으로 구동이 가능하고, 경량의 박형이며, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점으로 인해 차세대 디스플레이 장치로서 주목받고 있다.

[0003] 이러한 유기 발광 표시 장치는 넓은 발광 파장을 가지며, 이에 따라 발광 효율이 떨어지고 색순도가 저하된다. 또한, 유기 발광층에서 방출되는 빛은 특정한 방향성이 없으므로, 임의의 방향으로 방출되는 광자 중 상당수가 유기 발광 소자의 내부 전반사에 의해 실제 관측자에게 도달하지 못하여 유기 발광 소자의 광 추출 효율을 떨어뜨린다. 광 추출 효율을 향상시키기 위해 유기 발광 표시 장치 내에 DBR(distributed bragg reflector) 미러

(mirror)를 적용하거나, 유기층의 두께를 조절하는 공진 구조를 적용할 수 있다. 그러나 이러한 공진 구조는 광 효율은 향상시키지만, 시야각에 따른 색 편이(color shift)가 발생하는 문제가 발생한다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 목적은 요철을 구비한 공진 구조를 적용함으로써 시야각에 따른 색 편이(color shift)가 개선된 유기 발광 표시 장치 및 그 제조 방법을 제공하는 데 있다.
- [0005] 본 발명의 또 다른 목적은 굴절율이 서로 다른 복수 개의 층을 배치하여, DBR 공진 구조를 형성함으로써 광 추출 효율과 색 재현율을 향상시키는 데 있다.
- [0006] 본 발명의 또 다른 목적은 6마스크 공정으로 픽셀 영역에 단차가 큰 요철을 형성하는 데 있다.
- [0007] 본 발명의 또 다른 목적은 커패시터의 유전층과 박막 트랜지스터의 게이트 절연막을 별개의 절연층으로 형성하여, 커패시터 및 박막 트랜지스터 각각의 특성에 적합하도록 절연층을 설계하는 데 있다.

과제의 해결 수단

- [0008] 본 발명의 일 관점에 의하면, 기판 상에 배치된 제1 절연층과, 제1 절연층 상에 배치되고 요철부를 포함하는 제2 절연층과, 제2 절연층 상에 배치된 제3 절연층과, 제3 절연층 상에 배치된 화소 전극과, 화소 전극과 대향되게 배치된 대향 전극과, 화소 전극과 대향 전극 사이에 배치된 유기 발광층을 포함하는 유기 발광 소자; 기판 상에 배치된 활성층과, 활성층과 절연되도록 배치된 게이트 전극과, 활성층과 연결되는 소스 전극 및 드레인 전극을 포함하고, 활성층과 게이트 전극 사이에 배치된 제1 절연층과, 게이트 전극과 소스 전극 및 드레인 전극 사이에 배치된 제2 절연층을 포함하는 박막 트랜지스터; 및 게이트 전극과 동일층에 배치된 하부 전극과, 화소 전극과 동일층에 배치된 상부 전극과, 하부 전극과 상부 전극 사이의 제3 절연층과 동일층에 배치되고, 제3 절연층과 동일 물질을 포함하는 유전층을 포함하는 커패시터;를 포함하는 유기 발광 표시 장치를 제공한다.
- [0009] 상기 기판과 화소 전극의 사이에는 제1 절연층, 제2 절연층 및 제3 절연층이 순차적으로 배치되고, 제1 내지 제3 절연층 중 적어도 둘 이상의 절연층의 굴절율이 서로 다를 수 있다.
- [0010] 상기 요철부는 복수 개의 함몰부와 돌출부를 포함하고, 함몰부에 대응되는 영역에는 제2 절연층이 완전히 식각될 수 있다.
- [0011] 상기 제1 절연층의 함몰부에 대응되는 위치는, 제2 절연층이 식각된 면을 따라 식각되어, 함몰부를 연장시킬 수 있다.
- [0012] 상기 기판과 제1 절연층 사이에 배치된 버퍼층을 더 포함할 수 있다.
- [0013] 상기 버퍼층의 굴절율은 제1 절연층의 굴절율과 서로 다를 수 있다.
- [0014] 상기 제1 절연층과 버퍼층의 함몰부에 대응되는 위치는, 제2 절연층이 식각된 면을 따라 식각되어 함몰부를 연장시킬 수 있다.
- [0015] 상기 연장된 복수 개의 함몰부의 사이에 배치된 돌출부의 높이는 0.5 um 이상일 수 있다.
- [0016] 상기 제3 절연층의 두께는 제2 절연층의 두께보다 얇을 수 있다.
- [0017] 상기 제3 절연층의 유전율은 제1 절연층의 유전율보다 클 수 있다.
- [0018] 상기 화소 전극은 투명 도전성 물질로써, 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0019] 상기 화소 전극은 반투과 금속층을 더 포함할 수 있다.
- [0020] 상기 화소 전극과 제3 절연층은 동일한 식각면을 가질 수 있다.
- [0021] 상기 상부 전극과 유전층은 동일한 식각면을 가질 수 있다.

- [0022] 본 발명의 다른 관점에 의하면, 기판 상에 반도체층을 형성하고, 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정; 제1 절연층을 형성하고, 제1 절연층 상에 제1 도전층을 적층하고, 제1 도전층을 패터닝하여 박막 트랜지스터의 게이트 전극 및 커패시터의 하부 전극을 형성하는 제2 마스크 공정; 제2 절연층을 형성하고, 제2 절연층을 패터닝하여 요철부, 활성층을 노출시키는 제1 개구 및 하부 전극을 노출시키는 제2 개구를 형성하는 제3 마스크 공정; 절연층 및 제2 도전층을 차례로 형성하고, 절연층 및 제2 도전층을 동시에 패터닝하여, 제2 절연층 상에 배치되는 제3 절연층 및 화소 전극, 하부 전극 상에 배치되는 유전층 및 상부 전극을 형성하는 제4 마스크 공정; 제3 도전층을 형성하고, 제3 도전층을 패터닝하여 소스 전극 및 드레인 전극을 형성하는 제5 마스크 공정; 제4 절연층을 형성하고, 화소 전극을 노출시키는 제3 개구를 형성하는 제6 마스크 공정; 제3 개구 상에 유기 발광층과 대향 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0023] 상기 제1 절연층, 제2 절연층 및 제3 절연층 중 적어도 둘 이상의 절연층을 굴절율이 서로 다른 물질로 형성할 수 있다.
- [0024] 상기 요철부는 복수 개의 함몰부와 돌출부를 포함하고, 함몰부에 대응되는 위치의 제2 절연층을 완전히 식각할 수 있다.
- [0025] 상기 제1 절연층의 함몰부에 대응되는 위치를 제2 절연층과 동시에 식각하여 함몰부를 연장시킬 수 있다.
- [0026] 상기 제1 마스크 공정 단계 전에, 기판 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- [0027] 상기 버퍼층과, 제1 절연층은 굴절율이 서로 다른 물질로 형성할 수 있다.
- [0028] 상기 제1 절연층과, 버퍼층의 함몰부에 대응되는 위치를 제2 절연층과 동시에 식각하여 상기 함몰부를 연장시킬 수 있다.
- [0029] 상기 연장된 복수 개의 함몰부의 사이에 배치된 돌출부의 높이가 0.5 um 이상이 되도록 형성할 수 있다.

발명의 효과

- [0030] 상술한 바와 같은 실시예들에 관한 유기 발광 표시 장치 및 그 제조 방법은, 요철을 구비한 공진 구조를 적용함으로써 시야각에 따른 색 편이(color shift)를 개선할 수 있다.
- [0031] 또한, 굴절율이 서로 다른 복수 개의 층을 배치하여, DBR 공진 구조를 형성함으로써 광 추출 효율과 색 재현율을 향상시킬 수 있다.
- [0032] 또한, 6마스크 공정으로 픽셀 영역에 단차가 큰 요철을 형성할 수 있다.
- [0033] 또한, 커패시터의 유전층과 박막 트랜지스터의 게이트 절연막을 별개의 절연층으로 형성하여, 커패시터 및 박막 트랜지스터 각각의 특성에 적합하도록 절연층을 설계할 수 있다.

도면의 간단한 설명

- [0034] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- 도 2 내지 도 7은 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- 도 8은 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- 도 9는 본 발명의 실시예들에 관한 유기 발광 표시 장치의 색 편이(color shift)의 개선 효과를 도시한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0036] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0037] 도 1을 참조하면, 기판(10) 상의 제1 영역(100)에는 버퍼층(11)과, 제1 절연층(13)과, 제2 절연층(15)이 순차적으로 배치되고, 버퍼층(11)과, 제1 절연층(13)과, 제2 절연층(15)은 함몰부(116a)와 함몰부(116a) 사이에 배치되는 돌출부(116b)를 포함하는 요철부(116)를 포함한다. 제2 절연층(15) 상에는 제3 절연층(118)과, 화소 전극

(119)과, 유기 발광층(122)과, 대향 전극(123)이 순차적으로 배치된다.

- [0038] 기관 상의 제1 영역(100)으로부터 측면으로 이격되어 있는 제2 영역(200)에는, 활성층(212)과, 게이트 전극(214)과, 소스 전극(220a) 및 드레인 전극(220b)과, 활성층(212)과 게이트 전극(214) 사이에 배치된 제1 절연층(13)과, 게이트 전극(214)과 소스 전극(220a) 및 드레인 전극(220b) 사이에 배치된 제2 절연층(15)을 포함하는 박막 트랜지스터가 배치되고, 제2 영역(200)으로부터 측면으로 이격되어 있는 제3 영역(300)에는 하부 전극(314)과, 유전층(318)과, 상부 전극(319)을 포함하는 커패시터가 배치된다. 제3 영역(300)으로부터 측면으로 이격되어 있는 제4 영역(400)에는 패드 전극(420)이 배치된다.
- [0039] 기관(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 그러나 기관(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱재 등 다양한 재질의 기관을 이용할 수 있다.
- [0040] 기관(10) 상의 제1 영역(100)에는 버퍼층(11), 제1 절연층(13), 제2 절연층(15) 및 제3 절연층(118)이 순차적으로 배치되고, 이때, 서로 인접하는 층간의 굴절율은 서로 다를 수 있다. 이러한 복수 개의 절연층은 DBR(distributed bragg reflector) 공진 구조를 형성하여 유기 발광 표시 장치(1)의 광 추출 효율과 색 재현율을 향상시킨다.
- [0041] 버퍼층(11), 제1 절연층(13), 제2 절연층(15) 및 제3 절연층(118)은 SiN_x, SiO₂, SiON, HfO₂, Si₃N₄, ZrO₂, TiO₂, Ta₂O₄, Ta₂O₅, Nb₂O₅, Al₂O₃, BST 및 PZT를 포함하는 그룹에서 선택되는 적어도 하나를 포함할 수 있다. 이때, 버퍼층(11)은 공진 구조로서의 역할뿐 아니라, 기관(10)으로부터의 불순 원소의 침투를 방지하고, 기관(10) 표면을 평탄화하는 기능도 수행할 수 있다. 본 실시예의 유기 발광 표시 장치(1)는 버퍼층(11)을 구비하고 있지만, 버퍼층(11)은 생략 가능하다.
- [0042] 버퍼층(11), 제1 절연층(13) 및 제2 절연층(15)은 동일한 식각면을 가지며, 동일한 식각면을 따라 식각되어 있는 복수 개의 함몰부(116a)와 함몰부(116a) 사이에 배치되는 돌출부(116b)를 포함하는 요철부(116)를 포함한다. 본 실시예는 요철부(116)가 버퍼층(11), 제1 절연층(13) 및 제2 절연층(15)에 형성되어 있는 것을 도시하고 있지만, 본 발명은 이에 제한되지 않고, 제2 절연층(15)에만 형성될 수도 있고, 제1 절연층(13)과 제2 절연층(15)에만 형성될 수도 있다. 이때, 제2 절연층(15)의 높이는 0.5 um 이상일 수 있고, 돌출부(116b)의 높이(h)는 0.5 um 이상일 수 있다. 버퍼층(11), 제1 절연층(13) 및 제2 절연층(15)의 함몰부(116a)에 대응되는 영역은 완전히 식각될 수도 있고, 일부만 식각될 수도 있다. 즉, 제2 절연층(15)의 일부만 식각될 수도 있고, 제2 절연층(15)이 완전히 식각되어 제1 절연층(13)이 노출될 수도 있고, 제1 절연층(13)이 제2 절연층(15)이 식각된 면을 따라 식각되어 함몰부(116a)를 연장시킬 수도 있다. 또한, 본 실시예와 같이 버퍼층(11)과 제1 절연층(13)이 제2 절연층(15)이 식각된 면을 따라 식각되어, 함몰부(116a)를 더욱 연장시킬 수도 있다. 이 경우, 연장된 함몰부(116a) 사이에 배치되는 돌출부(116b)의 높이(h)는 1 um 이상일 수도 있다.
- [0043] 이때, 복수 개의 함몰부(116a) 사이에 배치된 돌출부(116b)의 높이(h)에 따라 본 실시예의 유기 발광 표시 장치(1)의 측면에서의 색 편이(color shift)의 감소 정도가 달라지므로, 이를 고려하여 적절한 높이(h)를 선택할 수 있다. 버퍼층(11) 및 제1 절연층(13)을 완전히 식각하는 경우, 요철부(116)의 높이(h)가 충분히 높아 색 편이(color shift)를 더욱 효율적으로 감소시킬 수 있다. 그러나, 버퍼층(11)을 완전히 식각되는 경우, 기관(10)으로부터 불순물이 유입될 수 있으므로, 이를 고려하여 식각 정도를 조절할 수 있다.
- [0044] 상기 돌출부(116b) 사이의 거리는 일정할 수 있고, 돌출부(116b)는 원형, 삼각형, 사각형, 오각형, 육각형, 팔각형 등 다양한 형태를 가질 수 있다. 도 1은 돌출부(116b)가 4개인 것을 도시하고 있지만, 상기 돌출부(116b)의 개수는 이에 제한되지 않는다.
- [0045] 본 실시예의 유기 발광 표시 장치(1)는 유기 발광층(122)에서 방출되는 광이 요철부(116)를 구비하는 버퍼층(11), 제1 절연층(13) 및 제2 절연층(15)에 입사되고, 입사되는 광은 상기 요철 구조에 의해 사방으로 반사 또는 굴절된다. 따라서, 유기 발광 표시 장치(1)의 정면과 측면으로 방출되는 광의 분포를 균일하게 하여, 측면으로 방출되는 광의 색 편이(color shift)를 감소시킬 수 있다.
- [0046] 요철부(116)를 구비하는 제2 절연층(15) 상에는 제3 절연층(118)과, 화소 전극(119)과, 유기 발광층(122)과, 대향 전극(123)이 순차적으로 배치된다. 이때, 제3 절연층(118)과 화소 전극(119)은 동일한 식각면을 구비한다.
- [0047] 화소 전극(119)은 투명 또는 반투명 도전성 물질로 구성될 수 있다. 투명/반투명 도전성 물질은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 및 알루미늄징크옥사이드(AZO;

aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 화소 전극(119)은 반투과 금속층(미도시)을 더 포함할 수 있다. 반투과 금속층은 은(Ag), 알루미늄(Al) 및 이들의 합금 중에서 선택된 적어도 하나를 포함할 수 있다.

[0048] 화소 전극(119)은 투명 도전성 물질 이외에, 반투과 금속층(미도시)을 더 포함할 수 있다. 반투과 금속층은 은(Ag), 알루미늄(Al) 및 이들의 합금 중에서 선택된 적어도 하나를 포함할 수 있고, 어느 정도의 투과성을 갖도록 30 nm 이하의 두께로 형성한다.

[0049] 화소 전극(119)은 양쪽 가장자리에는 제4 절연층(21)이 배치되어, 화소 영역을 정의하는 화소 정의막으로 기능한다.

[0050] 제4 절연층(21)은 유기 절연막으로 구비될 수 있다. 제4 절연층(21)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다. 그러나 이에 한정되지 않고 제4 절연층(21)은 버퍼층(11) 및 제1, 2, 3 절연층(13)(15)(118)과 마찬가지로 무기 절연막으로 형성할 수도 있으며, 유기막과 무기막을 교번하여 형성할 수도 있다.

[0051] 유기 발광층(122)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(122)이 저분자 유기물일 경우, 유기 발광층(122)을 중심으로 홀 수송층(HTL; hole transport layer), 홀 주입층(HIL; hole injection layer), 전자 수송층(ETL; electron transport layer) 및 전자 주입층(EIL; electron injection layer) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc; copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(NPB; N'-diphenyl-benzidine), 트리스-8-하이드록시퀴놀린 알루미늄(Alq₃; tris-8-hydroxyquinoline aluminum) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(91)이 고분자 유기물일 경우, 유기 발광층(122) 외에 홀 수송층(HTL; hole transport layer)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT; poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI; polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로는 피피브이(PPV; poly-phenylenevinylene)계 및 폴리플루오렌(polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.

[0052] 대향 전극(123)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 본 실시예는 화소 전극(119)이 애노드로 사용되고, 대향 전극(123)이 캐소드로 사용되었지만, 전극의 극성은 반대로 적용될 수 있다. 대향 전극(123)은 Ag, Al, Mg, Li, Ca, LiF/Ca 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다.

[0053] 대향 전극(123)이 반사 전극으로 구비됨으로써, 유기 발광층(122)에서 방출된 광은 대향 전극(123)에 의해 반사되어 투명/반투명 도전물로 구성된 화소 전극(119)을 투과하여 기관(10) 측으로 방출된다. 이때, 버퍼층(11) 및 제1, 2, 3 절연층(13)(15)(118)에 의해 형성된 DBR(distributed bragg reflector) 공진 구조에 의해, 유기 발광 표시 장치(1)의 광 추출 효율을 높이고, 색 재현율을 높일 수 있고, 상술한 바와 같이 버퍼층(11) 및 제1, 2 절연층(13)(15)에 구비된 요철 구조에 의해 색 편이(color shift)를 감소시킬 수 있다.

[0054] 또한, 대향 전극(123)은 화소 전극(119)에 포함되어 있는 반투과 금속층과 함께, 미러에 의한 공진 구조를 형성한다. 즉, 반투과 금속층은 반투과 미러로 기능하고, 대향 전극(123)은 반사 전극으로 기능하여, 대향 전극(123)과 반투과 금속층 사이에 공진이 일어날 수 있다. 따라서, 본 실시예의 유기 발광 표시 장치(1)는 DBR 공진 구조와 미러에 의한 공진 구조를 모두 포함하여, 광효율과 색재현율을 더욱 증가시킬 수 있다.

[0055] 기관 상의 제1 영역(100)으로부터 측면으로 이격되어 있는 제2 영역(200)에는, 활성층(212)과, 게이트 전극(214)과, 소스 전극(220a) 및 드레인 전극(220b)을 포함하는 박막 트랜지스터가 배치된다.

[0056] 활성층(212)은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly silicon)과 같은 반도체 물질일 수 있고, 채널 영역(212c)과, 채널 영역(212c) 외측에 이온 불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)을 포함할 수 있다.

[0057] 활성층(212) 상에는 게이트 전극(214)이 배치되고, 활성층(212)과 게이트 전극(214)의 사이에는 제1 영역(100)에 구비된 제1 절연층(13)이 연장되어 배치된다. 즉, 제1 절연층(13)은 박막 트랜지스터(TFT)의 활성층(212)과 게이트 전극(214)을 절연시키는 게이트 절연막으로써의 역할을 수행한다.

[0058] 게이트 전극(214)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선

택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다.

- [0059] 게이트 전극(214) 상에는 제1 영역(100)에 구비된 제2 절연층(15)이 연장 배치되고, 제2 절연층(15)을 사이에 두고 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)에 각각 접속하는 소스 전극(220a) 및 드레인 전극(220b)이 배치된다. 제2 절연층(15)은 박막 트랜지스터의 층간 절연막으로써의 역할을 수행하며, 소스 전극(220a) 및 드레인 전극(220b)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다. 이때, 제1 영역(100)의 화소 전극(119)의 적어도 일부를 소스 전극(220a) 및 드레인 전극(220b) 중 하나의 전극이 직접 접촉하면서 덮도록 배치함으로써, 화소 전극(119)과 소스 전극(220a) 및 드레인 전극(220b) 중 하나의 전극은 전기적으로 연결된다.
- [0060] 제2 절연층(15) 상에는 소스 전극(220a) 및 드레인 전극(220b)을 덮도록 제4 절연층(21)이 배치된다.
- [0061] 제2 영역(200)으로부터 측면으로 이격되어 있는 제3 영역(300)에는 하부 전극(314)과, 유전층(318)과, 상부 전극(319)을 포함하는 커패시터가 배치된다. 이때, 유전층(318)과 상부 전극(319)은 동일한 식각면을 구비한다.
- [0062] 하부 전극(314) 및 상부 전극(319)은 각각 게이트 전극(214) 및 화소 전극(119)과 동일층에 배치되고, 동일 물질을 포함할 수 있다. 또한, 유전층(318)은 제1 영역(100)에 구비된 제3 절연층(118)과 동일층에 배치되고, 동일 물질을 포함한다.
- [0063] 이때, 박막 트랜지스터의 게이트 전극(214)과 소스 전극(220a) 및 드레인 전극(220b) 사이에 위치하는 제2 절연층(15)은 하부 전극(314)의 가장자리를 덮도록 배치된다. 제2 절연층(15)에 의해 커패시터의 하부 전극(314)과 상부 전극(319) 사이의 누설 전류를 방지할 수 있다.
- [0064] 본 실시예는, 박막 트랜지스터 영역에서 층간 절연층 역할을 수행하는 제2 절연층(15)이 커패시터의 유전층으로써의 역할을 수행하지 않으므로, 제2 절연층(15)과 유전층(318)의 재료와 두께는 박막 트랜지스터와 커패시터 각각의 특성에 맞춰 조절할 수 있다.
- [0065] 따라서, 제2 절연층(15)의 두께는 커패시터의 전기 용량을 고려할 필요 없이, 충분히 두껍게 형성될 수 있고, 0.5 um 이상일 수 있다. 상기 구조에 의해, 제1 영역(100), 즉 화소 영역의 제2 절연층(15)에 구비된 요철부(116)의 단차를 충분히 크게 형성하여 산란이 더 잘 되도록 할 수 있다.
- [0066] 또한, 유전층(318)은 게이트 절연막의 역할을 수행하는 제1 절연층(13)과 별개의 층으로 형성되기 때문에, 제1 절연층(13)보다 유전율이 큰 재료로 형성하여 정전 용량을 증가시킬 수 있다. 따라서, 커패시터의 면적을 증가시키지 않고도 정전 용량을 증가시킬 수 있기 때문에, 상대적으로 화소 전극(119)의 면적을 크게 만들 수 있어서 유기 발광 표시 장치(1)의 개구율을 증가시킬 수 있다.
- [0067] 상부 전극(319) 상에는 제4 절연층(21)이 배치된다. 대향 전극(123)과 상부 전극(319) 사이에 유전율이 작은 유기 절연물을 포함하는 제4 절연층(21)이 개재됨으로써, 대향 전극(123)과 상부 전극(319) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0068] 유기 발광 표시 장치(1)의 외곽에는 외장 드라이버의 접속 단자인 패드 전극(420)이 배치된다. 패드 전극(420)은 소스 전극(220a) 및 드레인 전극(220b)과 동일층에 배치되고, 동일 재료를 포함할 수 있다. 패드 전극(420)은 제2 절연층(15) 상에 직접 배치되고, 패드 전극(420) 상부에는 다른 구성 요소가 배치되지 않는다.
- [0069] 도 2 내지 도 7은 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0070] 도 2는 제1 마스크 공정의 결과물을 도시한 것으로, 기판(10) 상의 전면에 버퍼층(11)을 형성하고, 버퍼층(11) 상의 박막 트랜지스터의 활성층(212)을 형성한다. 상기 도면에는 제조 과정이 상세히 도시되어 있지 않지만, 버퍼층(11) 상의 전면에 반도체층을 형성하고, 포토레지스터(미도시)를 도포한 후, 제1 마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층을 패터닝하여 활성층(212)을 형성한다.
- [0071] 반도체층은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 반도체층은 버퍼층(11) 상에 PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0072] 포토리소그래피에 의한 제1 마스크 공정은 제1 마스크(미도시)에 노광 장치(미도시)로 노광 후, 현상(developing), 식각(etching) 및 스트립핑(striping) 또는 에싱(ashing)등과 같은 일련의 공정을 거쳐 진행된다.

다. 이하, 후속 마스크 공정에서 동일 내용에 대한 설명은 생략하기로 한다.

- [0073] 도 3는 제2 마스크 공정의 결과물을 도시한 것으로, 도 2의 제1 마스크 공정의 결과물 상의 전면에 제1 절연층(13)을 형성하고, 제1 절연층(13) 상에 박막 트랜지스터의 게이트 전극(214)과, 커패시터의 하부 전극(314)을 형성한다. 이때, 제1 절연층(13)은 박막 트랜지스터의 활성층(212)과 게이트 전극(214)의 사이에 배치되어 게이트 절연막으로 기능한다. 제1 절연층(13)은 커패시터의 하부 전극(314)의 하부에 배치되어 있으므로, 제1 절연층(13)에 의해 커패시터의 특성이 변화하지 않으므로, 박막 트랜지스터의 특성만을 고려하여, 재료와 두께 등을 선택할 수 있다. 이때, 제1 절연층(13)은 버퍼층(11)과 굴절률이 다른 재료를 사용하여 형성할 수 있다.
- [0074] 제1 절연층(13) 상에 형성된 게이트 전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑하여, 이온 불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)과, 이온 불순물이 도핑되지 않은 채널 영역(212c)을 형성한다.
- [0075] 게이트 전극(214)과 커패시터의 하부 전극(314)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질로 형성된 제1 도전층을 적층하고 제2 마스크를 이용하여 패터닝함으로써 형성된다.
- [0076] 도 4는 제3 마스크 공정의 결과물을 도시한 것으로, 도 3의 제2 마스크 공정의 결과물 상에 제2 절연층(15)을 형성하고, 제2 절연층(15)을 제3 마스크(미도시)에 의해 패터닝하여, 도 1의 유기 발광층(122)이 배치되는 발광 영역에 대응되는 영역에 복수 개의 함몰부(116a)와, 함몰부(116a) 사이에 배치되는 돌출부(116b)를 구비하는 요철부(116)를 형성하고, 박막 트랜지스터의 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)을 노출시키는 제1 개구(C1)와, 커패시터의 하부 전극(314)을 노출시키는 제2 개구(C2)를 형성한다.
- [0077] 제2 절연층(15)은 박막 트랜지스터의 층간 절연막으로 기능하며, 커패시터의 하부 전극(314)의 가장자리를 덮도록 형성된다. 따라서, 제2 절연층(15)은 박막 트랜지스터의 특성만을 고려하여 재료, 두께 등을 자유롭게 선택할 수 있다. 제2 절연층(15)의 높이는 0.5 um 이상일 수 있다. 이때, 제2 절연층(15)은 제1 절연층(13)과 굴절률이 다른 재료를 사용하여 형성할 수 있다.
- [0078] 따라서, 버퍼층(11), 제1 절연층(13) 및 제2 절연층(15)은 인접하는 층의 굴절률이 다르게 형성되어 DBR(distributed bragg reflector) 공진 구조를 형성할 수 있다.
- [0079] 상기 요철부(116)를 형성하는 과정에서, 버퍼층(11), 제1 절연층(13) 및 제2 절연층(15)이 동시에 패터닝되어, 동일한 식각면을 구비한다. 요철부(116)에 구비된 돌출부(116b)의 높이는 0.5 um 이상일 수 있다. 돌출부(116b)의 높이는 제3 마스크 공정의 노광량이나, 식각율에 따라 조절할 수 있다. 이때, 층간 절연층으로 기능하는 제2 절연층(15)의 높이는 0.5 um 이상일 수 있고, 버퍼층(11)과 제1 절연층(13)을 함께 식각하여 요철부(116)를 형성할 수 있으므로, 충분한 높이를 가지는 요철부(116)를 형성할 수 있어, 공진 구조에 의해 야기되는 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다. 이 경우, 돌출부(116b)의 높이는 1 um 이상일 수도 있다.
- [0080] 도 5는 제4 마스크 공정의 결과물을 도시한 것으로, 도 4의 제3 마스크 공정의 결과물 상에 제3 절연층(118)과 유전층(318), 화소 전극(119)과 상부 전극(319)을 형성한다. 제3 절연층(118)과 유전층(318), 화소 전극(119)과 상부 전극(319)은 각각 동일층에 동일 물질로 형성한다.
- [0081] 제3 절연층(118)과 유전층(318)은 SiN_x , SiO_2 , $SiON$, HfO_2 , Si_3N_4 , ZrO_2 , TiO_2 , Ta_2O_4 , Ta_2O_5 , Nb_2O_5 , Al_2O_3 , BST 및 PZT에서 선택된 무기 절연막을 패터닝함으로써, 형성될 수 있고, 화소 전극(119)과 상부 전극(319)은 인듐틴 옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In_2O_3 ; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 투명 도전성 물질을 구비하는 제2 도전층을 패터닝함으로써 형성될 수 있다.
- [0082] 제3 절연층(118)과 유전층(318), 화소 전극(119)과 상부 전극(319)은 동일 마스크 공정에 의해 패터닝되므로, 동일한 식각면을 갖는다. 그러나, 제3 절연층(118)과 유전층(318)의 재료와, 화소 전극(119)과 상부 전극(319)의 재료가 상이하므로, 식각 공정은 2회 실시될 수 있다.
- [0083] 유전층(318)은 커패시터의 하부 전극(314)과 상부 전극(319)의 사이에 배치되고, 박막 트랜지스터에는 배치되지 않으므로, 박막 트랜지스터의 특성을 고려할 필요 없이 커패시터의 특성만 고려하여 재료 또는 두께 등을 선택

할 수 있다.

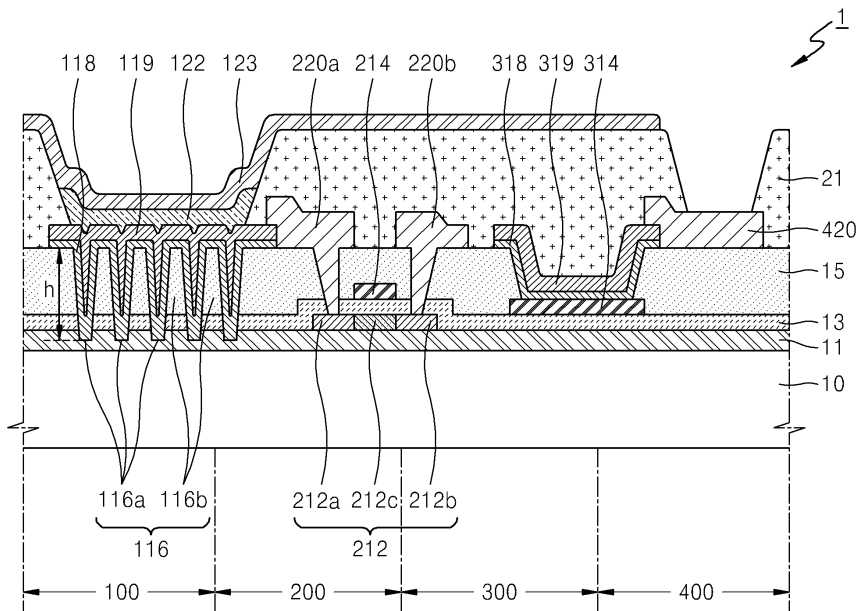
- [0084] 도 6은 제5 마스크 공정의 결과물을 도시한 것으로, 도 5의 제4 마스크 공정의 결과물 상에 박막 트랜지스터의 소스 전극(220a) 및 드레인 전극(220b)과, 패드 전극(420)을 형성한다.
- [0085] 소스 전극(220a) 및 드레인 전극(220b)은 제3 도전층을 패터닝함으로써 형성될 수 있고, 소스 전극(220a) 및 드레인 전극(220b)은 제1 개구(C1)를 통해, 각각 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)과 연결된다. 또한, 소스 전극(220a) 및 드레인 전극(220b) 중 하나의 전극, 본 실시예에서는 소스 전극(220a)은 화소 전극(119)의 가장자리 일부를 덮도록 형성되어, 화소 전극(119)과 전기적으로 연결된다.
- [0086] 패드 전극(420)은 커패시터의 상부 전극(319)의 가장자리 일부를 덮도록 형성된다.
- [0087] 도 7는 제6 마스크 공정의 결과물을 도시한 것으로, 도 6의 제5 마스크 공정의 결과물 상에 제4 절연층(21)을 형성한다. 제4 절연층(21)에는 제6 마스크 공정에 의해 화소 전극(119)을 노출시키는 제3 개구(C3)와 패드 전극(420)을 노출시키는 제4 개구(C4)가 형성된다.
- [0088] 화소 전극(119)을 노출시키는 제3 개구(C3)는 발광 영역을 정의해주는 역할 외에, 화소 전극(119) 및 도 1의 대향 전극(123) 사이의 간격을 넓혀, 화소 전극(119)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소 전극(119)과 대향 전극(123)의 단락을 방지하는 역할을 한다.
- [0089] 상기 제6 마스크 공정의 결과물 상의 제3 개구(C3) 상에 유기 발광층(122, 도1)과 대향 전극(123, 도1)을 형성하여, 도 1의 유기 발광 표시 장치(1)를 형성할 수 있다.
- [0090] 도 8은 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- [0091] 본 실시예의 유기 발광 표시 장치(2)는 도 1의 유기 발광 표시 장치(1)와 다른 구성은 동일하고, 버퍼층(11)이 생략되어 있고, 제1 절연층(13')의 일부만이 식각되어 요철부(116')를 형성한다는 차이만 존재한다.
- [0092] 상술한 바와 같이 제1 절연층(13')과 제2 절연층(15')의 식각 정도를 조절함으로써, 요철부(116')의 함몰부(116a')의 사이에 배치된 돌출부(116b')의 높이(h')를 조절할 수 있다. 즉, 제2 절연층(15')의 일부만 식각될 수도 있고, 제2 절연층(15')이 완전히 식각되어 제1 절연층(13')이 노출될 수도 있고, 본 실시예와 같이 제1 절연층(13')이 제2 절연층(15')이 식각된 면을 따라 식각되어 상기 함몰부(116a')를 연장시킬 수도 있다.
- [0093] 도 9는 본 발명의 실시예들에 관한 유기 발광 표시 장치의 색 편이(color shift)의 개선 효과를 도시한 도면들이다.
- [0094] 도 9의 (a)는 요철의 형태를 개략적으로 나타낸 것으로, 밀면의 너비(L)는 10 um이다. 요철은 밀면으로부터 높이가 가장 높은 중심부를 중심으로 양쪽으로 테이퍼(taper)진 형태를 가진다.
- [0095] 요철은 밀면의 너비(L)가 동일한 경우, 테이퍼진 영역의 기울기에 따라 높이가 다를 수 있고, 15°, 30°, 45°에서 요철의 높이는 각각 약 0.9 um(h1), 약 2.0 um(h2), 3.5 um(h3)이다.
- [0096] 도 9의 (b), (c)는 각각 정면에 대하여 측면으로 기울어진 각도(°)에 따른 색 좌표에 관한 그래프이다. 그래프 상에는 기준(Ref)이 되는 색 좌표값에 대하여, 테이퍼진 영역의 기울기, 즉 요철의 높이가 다른 경우의 색 좌표 값이 도시되어 있다.
- [0097] 이때, 도 9의 (b), (c)의 X축은 각각 X축 방향 또는 Y축 방향으로 정면에 대하여 측면으로 기울어진 각도(°)를 의미하고, Y축은 색좌표 값을 의미한다.
- [0098] 도 9의 (b), (c)의 그래프로부터 요철의 높이가 높아짐에 따라, 정면에 대하여 측면으로 기울어진 각도에 따른 색좌표 값의 변화, 즉 색 편이(color shift) 현저히 감소되는 것을 확인할 수 있다.
- [0099] 도 9의 (d)는 정면에 대하여 측면으로 기울어진 각도(°)에 따른 휘도에 관한 그래프이다. 도 9의 (d)의 그래프로부터 요철의 높이가 높아짐에 따라, 정면에 대하여 측면으로 기울어진 각도에 따른 휘도값의 변화가 감소되는 것을 확인할 수 있다.
- [0100] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

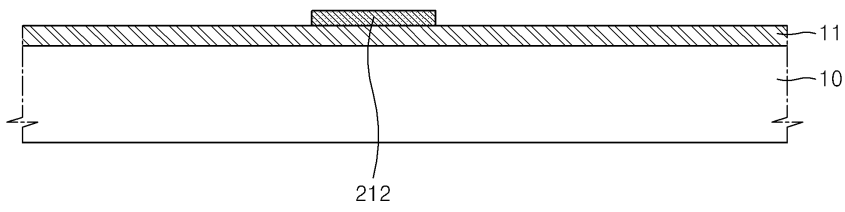
- [0101]
- | | |
|-------------------|------------------|
| 1, 2: 유기 발광 표시 장치 | 100, 100': 제1 영역 |
| 200, 200': 제2 영역 | 300, 300': 제3 영역 |
| 400, 400': 제4 영역 | 10: 기판 |
| 11: 버퍼층 | 13, 13': 제1 절연층 |
| 15, 15': 제2 절연층 | 21: 제4 절연층 |
| 116, 116': 요철부 | 116a, 116a': 함몰부 |
| 116b, 116b': 돌출부 | 118: 제3 절연층 |
| 119: 화소 전극 | 122: 유기 발광층 |
| 123: 대향 전극 | 212: 활성층 |
| 212a: 소스 영역 | 212b: 드레인 영역 |
| 212c: 채널 영역 | 214: 게이트 전극 |
| 220a: 소스 전극 | 220b: 드레인 전극 |
| 314: 하부 전극 | 318: 유전층 |
| 319: 상부 전극 | 420: 패드 전극 |
| C1: 제1 개구 | C2: 제2 개구 |
| C3: 제3 개구 | C4: 제4 개구 |

도면

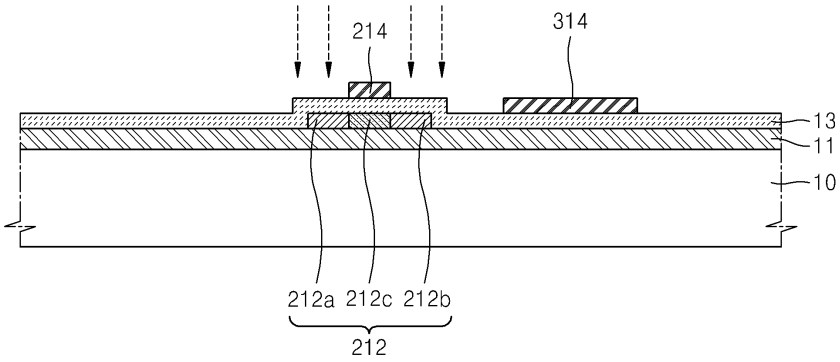
도면1



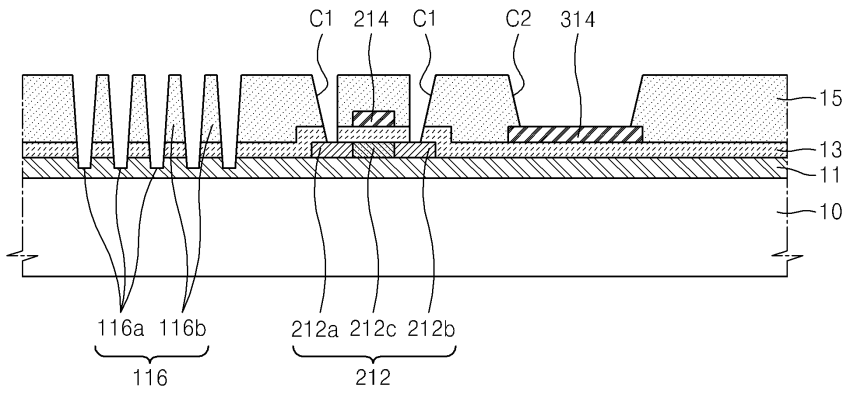
도면2



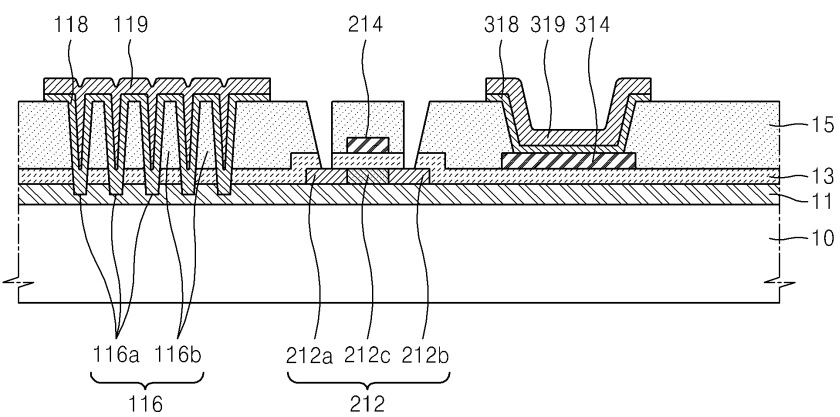
도면3



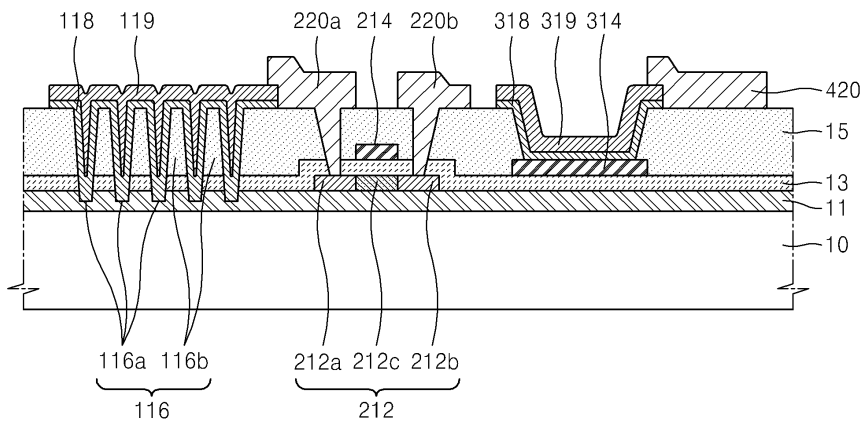
도면4



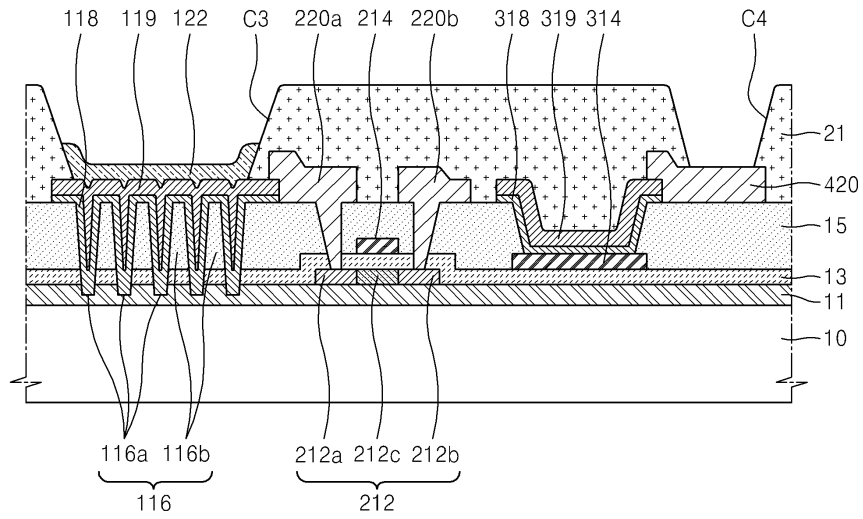
도면5



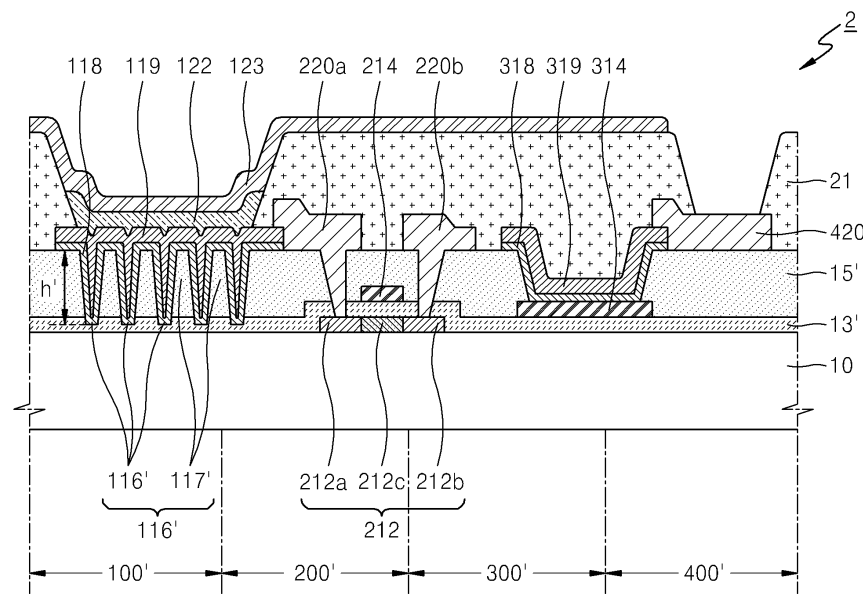
도면6



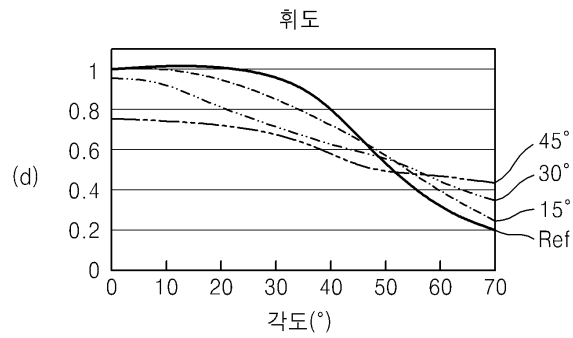
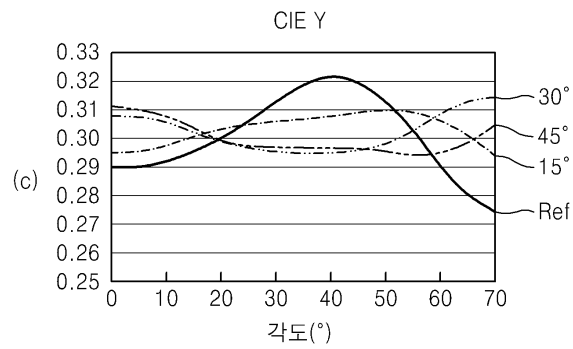
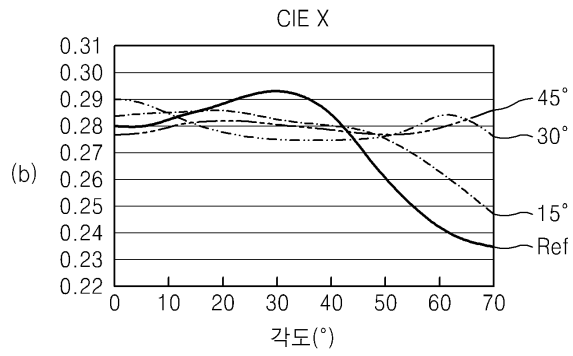
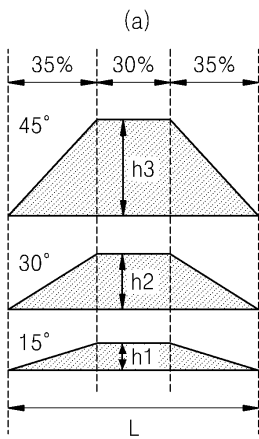
도면7



도면8



도면9



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR1020130026807A	公开(公告)日	2013-03-14
申请号	KR1020110090206	申请日	2011-09-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	OH JAE HWAN 오재환 CHANG YOUNG JIN 장영진 JIN SEONG HYUN 진성현 PARK SE HUN 박세훈 LEE JUNE WOO 이준우 KIM KWANG HAE 김광해 CHOI JONG HYUN 최종현 JUNG KWAN WOOK 정관욱 LEE WON KYU 이원규 CHOI JAE BEOM 최재범		
发明人	오재환 장영진 진성현 박세훈 이준우 김광해 최종현 정관욱 이원규 최재범		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L27/1255 H01L51/5265 H01L51/5268 H01L27/3258 H01L27/3265 H01L2227/323 H01L2251/50 H01L2251/10		
其他公开文献	KR101801349B1		
外部链接	Espacenet		

摘要(译)

本发明的有机发光显示装置，以及设置在所述衬底上的第一绝缘层，以及布置在所述第一绝缘层绝缘的第二绝缘层，其包括凹部和凸部，并且布置在在所述第二绝缘层的第三包括设置在所述层和所述第三绝缘层和像素电极，反电极和之间的有机发光层的有机发光器件设置成面对所述像素电极，所述像素电极和设置在反电极;所部署的有源层和，还包括栅电极，源电极和连接到设置成从所述活性层被绝缘的有源层的漏极电极，设置在活性层和栅电极的第一绝缘层，栅电极和所述基板上的源电极之间，并一种薄膜晶体

管，包括设置在漏电极之间的第二绝缘层;和所述栅电极，并在相同的层设置在下部电极和，布置在所述第三绝缘层和上部电极和下部电极，并在相同的层设置在像素电极的上部电极，所述第三绝缘层和相同的材料之间的相同的层上以及包括介电层的电容器。

