(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0005877
(43) 공개일자 2013년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01)
(21) 출원번호 10-2011-0067534
(22) 출원일자 2011년07월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
강성종
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

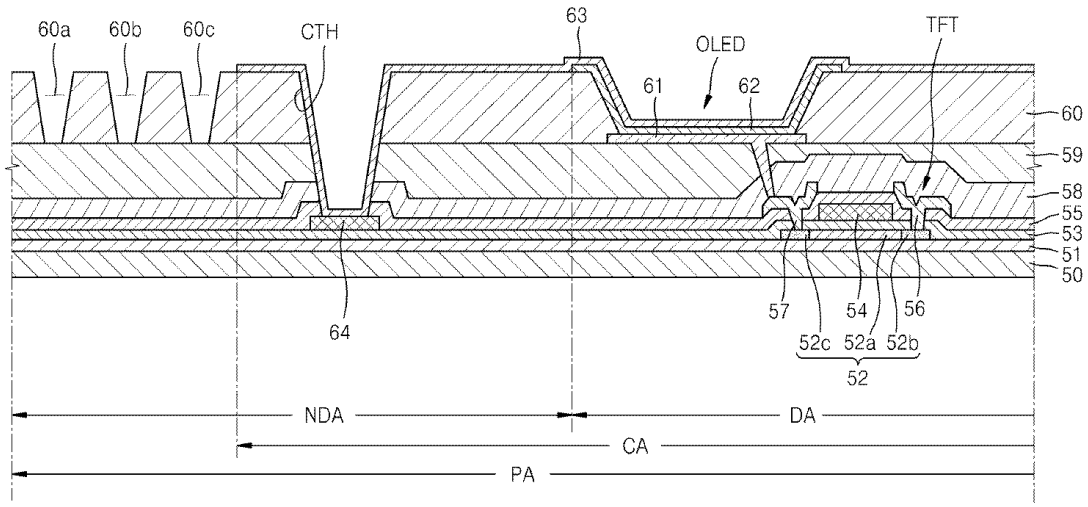
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **유기 발광 디스플레이 장치**

(57) 요 약

본 발명은 유기 발광 디스플레이 장치에 관한 것으로, 상세하게는 유기막에서 발생하는 잔류 가스를 배출하기 위한 아웃개싱 홀(Out-gassing hole)의 위치를 조절하여 효과적인 아웃개싱(Out-gassing)을 유도하는 동시에 화소 수축(pixel shrinkage) 현상을 방지하여 제품의 신뢰성을 향상시키는 유기 발광 디스플레이 장치에 관한 것이다.

대 표 도



특허청구의 범위

청구항 1

기판;

상기 기판상에 형성되는 복수 개의 박막 트랜지스터들;

상기 각각의 박막 트랜지스터 상에 형성되는 복수 개의 제1 전극들;

상기 각 제1 전극들 사이에 형성되는 화소 정의막;

상기 각 제1 전극 상에 형성되고 발광층을 포함하는 복수 개의 유기층들; 및

상기 유기층들 및 상기 화소 정의막의 적어도 일부를 덮도록 형성되는 제2 전극;을 포함하고,

상기 화소 정의막에서 상기 제2 전극이 형성된 영역의 외측에 하나 이상의 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 상기 제2 전극에 의해 덮이지 않은 영역에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 제2 전극과 상기 아웃개싱 홀(Out-gassing hole)은 중첩되지 아니하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제 1 항에 있어서,

상기 박막 트랜지스터를 덮도록 상기 박막 트랜지스터와 상기 화소 정의막 사이에 형성되는 평탄화막을 더 포함하고,

상기 아웃개싱 홀(Out-gassing hole)은 상기 평탄화막의 적어도 일부를 외부로 노출시키는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 화소 정의막에서 상기 제2 전극이 형성된 영역의 외측에만 상기 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

기판상에 형성된 것으로, 활성층과, 상기 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터;

상기 박막 트랜지스터를 덮도록 상기 박막 트랜지스터 상에 형성되는 평탄화막;

상기 평탄화막 상에 상기 박막 트랜지스터와 전기적으로 연결되도록 형성되는 적어도 하나의 제1 전극;

상기 각 제1 전극 상에 형성되고 발광층을 포함하는 적어도 하나의 유기층;

상기 제1 전극과 마주보도록 위치하는 제2 전극; 및

상기 제1 전극의 가장자리를 덮도록 형성되는 화소 정의막;을 포함하고,

상기 화소 정의막의 테두리 영역에는 상기 평탄화막의 적어도 일부를 외부로 노출시키는 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 상기 제2 전극이 형성된 영역의 외측에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제 6 항에 있어서,

상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 그 상부에 상기 제2 전극이 형성되지 않은 영역에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제 6 항에 있어서,

상기 제2 전극과 상기 아웃개싱 홀(Out-gassing hole)은 중첩되지 아니하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

제 6 항에 있어서,

상기 기판상에 상기 게이트 전극과 동일층에 동일 물질로 형성되는 공통전원공급라인을 더 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 11

제 6 항에 있어서,

상기 기판상에 상기 소스 및 드레인 전극과 동일층에 동일 물질로 형성되는 공통전원공급라인을 더 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 12

제 6 항에 있어서,

상기 화소 정의막의 테두리 영역에는 상기 제2 전극이 형성되지 아니하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 13

기판;

상기 기판상에 형성되는 복수 개의 박막 트랜지스터들과, 상기 박막 트랜지스터들과 전기적으로 연결되는 복수 개의 제1 전극들과, 상기 각 제1 전극 상에 형성되고 발광층을 포함하는 복수 개의 유기층들을 포함하는 표시 영역;

상기 표시 영역을 포함하고, 상기 제1 전극과 마주보도록 배치된 제2 전극이 형성된 캐소드 영역; 및

상기 캐소드 영역을 포함하고, 상기 제1 전극의 적어도 일부를 덮는 화소 정의막이 형성되고, 상기 캐소드 영역을 제외한 영역의 상기 화소 정의막에 하나 이상의 아웃개싱 홀(Out-gassing hole)이 형성되는 화소 정의막 영역;을 포함하는 유기 발광 디스플레이 장치.

청구항 14

제 13 항에 있어서,

상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 상기 제2 전극에 의해 덮이지 않은 영역에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 15

제 13 항에 있어서,

상기 캐소드 영역과 상기 아웃개싱 홀(Out-gassing hole)은 중첩되지 아니하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 16

제 13 항에 있어서,

오직 상기 캐소드 영역을 제외한 영역의 상기 화소 정의막에만 상기 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 유기 발광 디스플레이 장치에 관한 것으로, 상세하게는 유기막에서 발생하는 잔류 가스를 배출하기 위한 아웃개싱 홀(Out-gassing hole)의 위치를 조절하여 효과적인 아웃개싱(Out-gassing)을 유도하는 동시에 화소 수축(pixel shrinkage) 현상을 방지하여 제품의 신뢰성을 향상시키는 유기 발광 디스플레이 장치에 관한 것이다.

배 경 기 술

[0002] 통상적으로, 평판 표시 장치(flat displat device)는 크게 발광형과 수광형으로 분류할 수 있다. 발광형으로는 평판 음극선관(flat cathode ray tube)과, 플라즈마 디스플레이 패널(plasma display panel)과, 전계 발광 소자(electro luminescent device)와, 발광 다이오드(light emitting diode) 등이 있다. 수광형으로는 액정 디스플레이(liquid crystal display)를 들 수 있다. 이 중에서, 전계 발광 소자는 시야각이 넓고, 콘트라스트가 우수할 뿐만 아니라 응답 속도가 빠르다는 장점이 있어서 차세대 표시 소자로서 주목을 받고 있다. 이러한 전자 발광 소자는 발광층을 형성하는 물질에 따라서 무기 전계 발광 소자와 유기 전계 발광 소자로 구분된다.

[0003] 이 중에서, 유기 전계 발광 소자는 형광성 유기 화합물을 전기적으로 여기(exitation)시켜서 발광시키는 자발광형 디스플레이로, 낮은 전압에서 구동이 가능하고, 박형화가 용이하며, 광시야각, 빠른 응답 속도 등 액정 디스플레이에 있어서 문제점으로 지적되는 것을 해결할 수 있는 차세대 디스플레이로 주목받고 있다.

[0004] 유기 전계 발광 소자는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 구비하고 있다. 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 수송층을 경유하여 발광층으로 이동되어서, 발광층에서 전자와 정공이 재결합하여 여기자(exiton)을 생성하게 된다.

[0005] 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성하게 된다. 풀 컬러(full color)형 유기 전계 발광 소자의 경우에는 적(R),녹(G),청(B)의 삼색을 발광하는 화소(pixel)를 구비토록 함으로써 풀 컬러를 구현한다.

[0006] 이와 같은 유기 전계 발광 소자에서, 애노드 전극의 양단부에는 화소 정의막(Pixel Define Layer)이 형성된다. 그리고, 이 화소 정의막에 소정의 개구를 형성한 후, 개구가 형성되어 외부로 노출된 애노드 전극의 상부에 발광층 및 캐소드 전극이 차례로 형성된다.

[0007] 전술한 배경기술은 발명자가 본 발명의 도출을 위해 보유하고 있었거나, 본 발명의 도출 과정에서 습득한 기술정보로서, 반드시 본 발명의 출원 전에 일반 공중에게 공개된 공지기술이라 할 수는 없다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 효과적인 아웃개싱(Out-gassing)을 유도하는 동시에 화소 수축(pixel shrinkage) 현상을 방지하여 제품의 신뢰성을 향상시키는 유기 발광 디스플레이 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 본 발명은 기판; 상기 기판상에 형성되는 복수 개의 박막 트랜지스터들; 상기 각각의 박막 트랜지스터 상에 형성되는 복수 개의 제1 전극들; 상기 각 제1 전극들 사이에 형성되는 화소 정의막; 상기 각 제1 전극 상에 형성되고 발광층을 포함하는 복수 개의 유기층들; 및 상기 유기층들 및 상기 화소 정의막의 적어도 일부를 덮도록 형성되는 제2 전극;을 포함하고, 상기 화소 정의막에서 상기 제2 전극이 형성된 영역의 외측에 하나 이상의 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.

[0010] 본 발명에 있어서, 상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 상기 제2 전극에 의해 덮이지 않은 영역에 형성될 수 있다.

[0011] 본 발명에 있어서, 상기 제2 전극과 상기 아웃개싱 홀(Out-gassing hole)은 중첩되지 아니하도록 형성될 수 있다.

[0012] 본 발명에 있어서, 상기 박막 트랜지스터를 덮도록 상기 박막 트랜지스터와 상기 화소 정의막 사이에 형성되는 평탄화막을 더 포함하고, 상기 아웃개싱 홀(Out-gassing hole)은 상기 평탄화막의 적어도 일부를 외부로 노출시킬 수 있다.

[0013] 본 발명에 있어서, 상기 화소 정의막에서 상기 제2 전극이 형성된 영역의 외측에만 상기 아웃개싱 홀(Out-gassing hole)이 형성될 수 있다.

[0014] 다른 측면에 따른 본 발명은, 기판상에 형성된 것으로, 활성층과, 상기 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터; 상기 박막 트랜지스터를 덮도록 상기 박막 트랜지스터 상에 형성되는 평탄화막; 상기 평탄화막 상에 상기 박막 트랜지스터와 전기적으로 연결되도록 형성되는 적어도 하나의 제1 전극; 상기 각 제1 전극 상에 형성되고 발광층을 포함하는 적어도 하나의 유기층; 상기 제1 전극과 마주보도록 위치하는 제2 전극; 및 상기 제1 전극의 가장자리를 덮도록 형성되는 화소 정의막;을 포함하고, 상기 화소 정의막의 테두리 영역에는 상기 평탄화막의 적어도 일부를 외부로 노출시키는 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.

[0015] 본 발명에 있어서, 상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 상기 제2 전극이 형성된 영역의 외측에 형성될 수 있다.

[0016] 본 발명에 있어서, 상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 그 상부에 상기 제2 전극이 형성되지 않은 영역에 형성될 수 있다.

[0017] 본 발명에 있어서, 상기 제2 전극과 상기 아웃개싱 홀(Out-gassing hole)은 중첩되지 아니하도록 형성될 수 있다.

[0018] 본 발명에 있어서, 상기 기판상에 상기 게이트 전극과 동일층에 동일 물질로 형성되는 공통전원공급라인을 더 포함할 수 있다.

[0019] 본 발명에 있어서, 상기 기판상에 상기 소스 및 드레인 전극과 동일층에 동일 물질로 형성되는 공통전원공급라인을 더 포함할 수 있다.

[0020] 본 발명에 있어서, 상기 화소 정의막의 테두리 영역에는 상기 제2 전극이 형성되지 아니할 수 있다.

[0021] 또 다른 측면에 따른 본 발명은, 기판; 상기 기판상에 형성되는 복수 개의 박막 트랜지스터들과, 상기 박막 트랜지스터들과 전기적으로 연결되는 복수 개의 제1 전극들과, 상기 각 제1 전극 상에 형성되고 발광층을 포함하는 복수 개의 유기층들을 포함하는 표시 영역; 상기 표시 영역을 포함하고, 상기 제1 전극과 마주보도록 배치된 제2 전극이 형성된 캐소드 영역; 및 상기 캐소드 영역을 포함하고, 상기 제1 전극의 적어도 일부를 덮는 화소 정의막이 형성되고, 상기 캐소드 영역을 제외한 영역의 상기 화소 정의막에 하나 이상의 아웃개싱 홀(Out-gassing hole)이 형성되는 화소 정의막 영역;을 포함하는 유기 발광 디스플레이 장치를 제공한다.

[0022] 본 발명에 있어서, 상기 아웃개싱 홀(Out-gassing hole)은 상기 화소 정의막에서 상기 제2 전극에 의해 덮이지 않은 영역에 형성될 수 있다.

[0023] 본 발명에 있어서, 상기 캐소드 영역과 상기 아웃개싱 홀(Out-gassing hole)은 중첩되지 아니하도록 형성될 수 있다.

[0024] 본 발명에 있어서, 오직 상기 캐소드 영역을 제외한 영역의 상기 화소 정의막에만 상기 아웃개싱 홀(Out-gassing hole)이 형성될 수 있다.

발명의 효과

[0025] 이와 같은 본 발명에 의해서, 효과적인 아웃개싱(Out-gassing)을 유도하는 동시에 화소 수축(pixel shrinkage) 현상을 방지하여 제품의 신뢰성을 향상시키는 효과를 얻을 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.

도 2는 도 1의 유기 발광 디스플레이 장치의 A-A 부분의 확대도이다.

도 3은 도 2의 유기 발광 디스플레이 장치의 Ⅲ-Ⅲ을 따라 취한 단면도이다.

도 4는 도 1 내지 도 3과 같이 아웃개싱 홀(Out-gassing hole)이 제2 전극이 형성된 영역의 외측에 형성되었을 경우의 유기 발광 디스플레이 장치를 나타내는 도면이다.

도 5는 일 비교예로써, 종래와 같이 아웃개싱 홀(Out-gassing hole)이 제2 전극과 중첩되도록 형성되었을 경우의 유기 발광 디스플레이 장치를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0028] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.

[0029] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 TFT(thin film transistor) 및 발광 화소 등을 포함하는 제1 기판(50) 및 상기 제1 기판(50)과 실링을 통해 합착되는 제2 기판(70)을 포함한다.

[0030] 제1 기판(50)에는 박막 트랜지스터(TFT), 유기 발광 소자(EL), 스토리지 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1 기판(50)은 LTPS(crystalline silicon) 기판, 유리 기판, 플라스틱 기판, 스테인리스 스틸(Stainless Using Steel; SUS) 기판 등일 수 있다.

[0031] 제2 기판(70)은 제1 기판(50)에 구비된 TFT 및 발광 화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1 기판(50) 상에 배치되는 봉지 기판일 수 있다. 제2 기판(70)은 제1 기판(50)과 대향되도록 위치하고, 제1 기판(50)과 제2 기판(70)은 그 가장자리를 따라 배치되는 실링 부재(80)에 의해 서로 접합된다. 제2 기판(70)은 투명 재질의 유리 기판 또는 플라스틱 기판일 수 있다.

[0032] 제1 기판(50)은 빛이 출사되는 표시 영역(DA: display area)과 이 표시 영역(DA)의 외곽에 위치한 비표시 영역(NDA: non-display area)을 포함한다. 본 발명의 실시예들에 따르면, 표시 영역(DA) 외측의 비표시 영역(NDA)에 실링 부재(80)가 배치되어, 제1 기판(50)과 제2 기판(70)을 접합한다.

[0033] 상술한 바와 같이, 제1 기판(50)의 표시 영역(DA)에는 유기 발광 소자(EL), 이를 구동하는 박막 트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비표시 영역(NDA)에는 표시 영역(DA)의 배선으로부터 연장 형성된 패드 전극이 위치하는 패드 영역(PA)이 포함될 수 있다.

[0034] 여기서, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 비표시 영역(NDA), 그 중에서도 제2 전극(도 3의 63 참조)의 외 측에 아웃개싱 홀(Out-gassing hole)이 형성되어, 유기막으로부터의 아웃개싱(Out-gassing) 현상으로 인한 유기발광층의 열화에 의한 화소 수축(pixel shrinkage) 현상을 방지하는 것을 일 특징으로 하는바, 이와 같은 아웃개싱 홀(Out-gassing hole)에 대해서는 뒤에서 상세히 설명하도록 한다.

[0035] 도 2는 도 1의 유기 발광 디스플레이 장치의 A-A 부분의 확대도이고, 도 3은 도 2의 유기 발광 디스플레이 장치의 Ⅲ-Ⅲ을 따라 취한 단면도이다.

[0036] 도 2 및 도 3에 도시된 바와 같이, 글라스재 또는 플라스틱재의 제1 기판(50)상에 버퍼층(51)이 형성되어 있고, 이 위에 박막 트랜지스터(thin film transistor: TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.

[0037] 제1 기판(50) 상에는 버퍼층(51)이 형성되고, 버퍼층(51) 상에는 반도체 소재로 형성된 활성층(52)이 구비되고, 이 활성층(52)을 덮도록 게이트 절연막(53)이 형성된다. 게이트 절연막(53)의 상부에는 게이트 전극(54)이 형성된다. 게이트 전극(54)은 박막 트랜지스터 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 그리고, 게이트 전극(54)을 덮도록 층간 절연막(55)이 형성되며, 층간 절연막(55)의 상부에 소스/드레인 전극(56)(57)이 형성된다. 소스/드레인 전극(56)(57)은 게이트 절연막(53) 및 층간 절연막(55)에 형성된 컨택 홀에 의해 활성층(52)의 소스/드레인 영역(52b)(52c)에 각각 접촉된다. 그리고, 소스/드레인 전극(56)(57) 상부로는 SiO_2, SiNx 등으로 이루어진 패시베이션막(58)이 형성되고, 그 상부에는 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene) 등의 유기물질로 이루어진 평탄화막(59)이 형성된다.

[0038] 상세히, 제1 기판(50) 상에 구비되는 활성층(52)은 무기 반도체 또는 유기 반도체로부터 선택되어 형성될 수 있는 것으로, 소스/드레인 영역(52b)(52c)에 n형 또는 p형 불순물이 도핑되어 있고, 이들 소스 영역과 드레인 영역을 연결하는 채널 영역(52a)을 구비한다.

[0039] 활성층(52)은 무기 반도체 또는 유기 반도체로 형성될 수 있다. 활성층(52)을 형성하는 무기 반도체는 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC, 및 Si를 포함하는 것일 수 있다. 그리고, 활성층(52)을 형성하는 유기 반도체로는 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 또는 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.

[0040] 활성층(52)은 게이트 절연막(53)에 덮히고, 게이트 절연막(53)의 상부에 게이트 전극(54)이 형성된다. 게이트 전극(54)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성될 수 있는 데, 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(54)으로 사용될 수 있다. 게이트 전극(54)은 활성층(52)의 채널 영역에 대응되는 영역을 커버하도록 형성된다.

[0041] 박막 트랜지스터(TFT)의 상부로는 박막 트랜지스터(TFT)를 보호하는 보호막의 역할을 수행하며 SiO_2, SiNx 등으로 이루어진 패시베이션막(58)이 형성되고, 패시베이션막(58)의 상부에는 패시베이션막(58)의 상면을 평탄화시키는 역할을 수행하며 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene) 등의 유기물질로 이루어진 평탄화막(59)이 형성될 수 있다. 여기서 도면에는 패시베이션막(58)과 평탄화막(59)이 각각 별도의 층으로 형성되는 것으로 도시되어 있지만, 본 발명의 사상은 이에 제한되지 아니하며, 패시베이션막과 평탄화막이 하나의 층으로 형성되어 박막 트랜지스터(TFT)를 보호하는 보호막의 역할을 수행하는 동시에 그 상면을 평탄화시키는 평탄화막의 역할을 수행하는 것도 가능하다 할 것이다.

[0042] 한편, 패시베이션막(58) 및 평탄화막(59)에 소정의 개구를 형성한 후, 패시베이션막(58) 및 평탄화막(59)의 상부에는 유기 전계 발광 소자(OLED)의 애노드 전극이 되는 제1 전극(61)이 형성되고, 이를 덮도록 유기물로 화소 정의막(Pixel Define Layer: 60)이 형성된다. 화소 정의막(60)에 소정의 개구를 형성한 후, 화소 정의막(60)의 상부 및 개구가 형성되어 외부로 노출된 제1 전극(61)의 상부에 유기층(62)을 형성한다. 여기서, 유기층(62)은 발광층을 포함한다. 본 발명은 반드시 이와 같은 구조로 한정되는 것은 아니며, 다양한 유기 발광 디스플레이 장치의 구조가 그대로 적용될 수 있음은 물론이다.

[0043] 여기서, 상기 화소 정의막(60)은 유기계로서 폴리이미드(PI), 폴리아마이드(PA), 아크릴 수지, 벤조사이클로부텐(BCB) 및 페놀수지로 이루어진 군에서 선택되는 1종으로 형성될 수 있다.

[0044] 이와 같은 본 발명의 제1 실시예에 관한 유기 발광 디스플레이 장치는, 화소 정의막(60)에서 제2 전극(63)이 형성된 영역의 외측에 하나 이상의 아웃개싱 홀(Out-gassing hole)이 형성되는 것을 일 특징으로 하는바, 이와 같은 아웃개싱 홀(Out-gassing hole)에 대해서는 뒤에서 상세히 설명하도록 한다.

[0045] 유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 박막 트랜지스터의 드레인 전극(56)에 연결되어 이로부터 플러스 전원을 공급받는 제1 전극(61)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제2 전극(63) 및 이들 제1 전극(61)과 제2 전극(63)의 사이에 배치되어 발광하는 유기층(62)으로 구성된다.

[0046] 제1 전극(61)과 제2 전극(63)은 유기층(62)에 의해 서로 절연되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이뤄지도록 한다.

[0047] 여기서, 유기층(62)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB) , 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

[0048] 고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이때, 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

[0049] 이와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

[0050] 제1 전극(61)은 애노드 전극의 기능을 하고, 제2 전극(63)은 캐소드 전극의 기능을 하는 데, 물론, 이들 제1 전극(61)과 제2 전극(63)의 극성은 반대로 되어도 무방하다.

[0051] 제1 전극(61)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In_2O_3로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3를 형성할 수 있다.

[0052] 한편, 제2 전극(63)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 제2 전극(63)이 캐소드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물이 유기층(62)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

[0053] 한편, 비표시 영역(NDA: non-display area), 그 중에서도 비표시 영역(NDA)과 캐소드 영역(CA: cathode area, 후술함)이 중첩되는 영역에는 공통전원공급라인(64)이 형성되어 제2 전극(63)과 전기적으로 연결될 수 있다. 상세히, 공통전원공급라인(64)은 게이트 전극(54)이 형성될 때, 게이트 전극(54)과 동일층에 동일한 재질로 형성될 수 있다. 그리고, 공통전원공급라인(64)의 적어도 일부가 노출되도록 화소 정의막(60), 평탄화막(59), 패시베이션막(58) 및 층간 절연막(55)에 컨택 홀(CTH)이 형성되고, 그 상부에 제2 전극(63)이 형성됨으로써 공통전원공급라인(64)과 제2 전극(63)이 접촉하여 상호 간에 전기적으로 연결될 수 있다. 이와 같은 공통전원공급라인(64)은 제2 전극(63)에 전원을 공급하는 역할을 수행할 수 있다.

[0054] 한편, 도면에는 공통전원공급라인(64)이 게이트 전극(54)과 동일층에 동일한 재질로 형성되는 것으로 도시되어 있으나, 본 발명의 사상은 이에 제한되지 아니한다. 즉, 소스/드레인 전극(56)(57)이 형성될 때, 공통전원공급라인이 소스/드레인 전극(56)(57)과 동일층에 동일한 재질로 형성되는 것도 가능하다 할 것이다.

[0055] 이하에서는 본 발명의 제1 실시예에 관한 유기 발광 디스플레이 장치의 화소 정의막에 대하여 살펴본다.

[0056] 일반적인 유기 발광 디스플레이 장치는, 유기막으로 이루어진 평탄화막 내의 잔류 가스 성분으로 인해 발광층을 포함하는 유기층이 열화되어 화소 수축 현상이 발생하는 문제점이 존재하였다. 이와 같은 문제점을 해결하기 위하여, 평탄화막 내의 잔류 가스 성분을 외부로 배출하기 위한, 즉 아웃개싱(Out-gassing)을 위한 아웃개싱 홀(Out-gassing hole)이 화소 정의막에 형성되어, 평탄화막 내의 잔류 가스 성분을 외부로 배출하기 위한 시도가 있어왔다. 이와 같은 종래의 유기 발광 디스플레이 장치에서는, 화소 정의막 상에 아웃개싱을 위한 아웃개싱 홀(Out-gassing hole)들이 형성되었으나, 이때 아웃개싱 홀(Out-gassing hole)들은 유기층 및 제2 전극의 하부에

도 형성이 되었기 때문에, 평탄화막 내의 잔류 가스 성분으로 인해 발광층을 포함하는 유기층이 열화되어 화소 수축 현상이 발생하는 종래의 문제점을 그대로 가지고 있었다.

[0057] 즉, 종래에는 평탄화막 내의 잔류 가스 성분을 아웃개싱(outgassing) 하기 위한 홀의 위치가 유기층 및 제2 전극의 안쪽에 걸쳐 위치하고 있기 때문에, 박막 트랜지스터 공정에서 발생하는 열에 의한 잔류 가스의 배출은 가능하였다. 그러나 유기층 증착 공정 이후에는 상기 홀 상부가 유기막이나 또는 제2 전극으로 덮이기 때문에, 유기층 증착 공정 이후 발생되는 열에 의한 잔류 가스에 의해서 박막의 들뜸 및 화소 수축 현상이 지속적으로 발생하게 되었다.

[0058] 이와 같은 문제점을 해결하기 위해서, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는, 화소 정의막(60)에서 제2 전극(63)이 형성된 영역의 외측에만 아웃개싱 홀(Out-gassing hole)이 형성되어, 효과적인 아웃개싱(Out-gassing)을 유도하는 동시에 화소 수축(pixel shrinkage) 현상을 방지하여 제품의 신뢰성을 향상시키는 것을 일 특징으로 한다. 이에 대해 더욱 상세히 설명하면 다음과 같다.

[0059] 상술한 바와 같이, 제1 기판(50)은 빛이 출사되는 표시 영역(DA: display area)과, 이 표시 영역(DA)의 외곽에 위치한 비표시 영역(NDA: non-display area)을 포함한다. 또한, 제2 전극(63)은 상기 표시 영역(DA: display area)을 모두 덮도록 형성되며, 이와 같은 제2 전극(63)이 형성된 영역은 표시 영역(DA) 및 표시 영역(DA)의 바깥쪽 영역의 일부까지 포함하는 캐소드 영역(CA: cathode area)을 형성한다. 한편, 화소 정의막(60)은 상기 캐소드 영역(CA: cathode area) 및 캐소드 영역(CA)의 바깥쪽 영역에까지 형성되며, 이와 같은 화소 정의막(60)이 형성된 영역은 화소 정의막 영역(PA: pixel define layer area)을 형성한다.

[0060] 여기서, 아웃개싱 홀(Out-gassing hole)(60a, 60b, 60c)은 화소 정의막(60)에서 상기 제2 전극이 형성된 영역의 외측에 형성되는 것을 일 특징으로 한다. 다시 말하면, 아웃개싱 홀(Out-gassing hole)(60a, 60b, 60c)은 화소 정의막(60) 제2 전극(63)에 의해 덮이지 않은 영역에 형성된다고 표현할 수도 있을 것이며, 또는 제2 전극(63)과 아웃개싱 홀(Out-gassing hole)(60a, 60b, 60c)이 서로 중첩되지 아니하도록 형성된다고 표현할 수도 있을 것이다.

[0061] 도 4는 도 1 내지 도 3과 같이 제2 전극이 형성된 영역의 외측에 아웃개싱 홀(Out-gassing hole)이 형성되었을 경우의 유기 발광 디스플레이 장치를 나타내는 도면이다. 그리고, 도 5는 일 비교예로써, 종래와 같이 아웃개싱 홀(Out-gassing hole)이 제2 전극과 중첩되도록 형성되었을 경우의 유기 발광 디스플레이 장치를 나타내는 도면이다.

[0062] 도 4에 도시된 바와 같이, 제2 전극이 형성된 영역의 외측에 아웃개싱 홀(Out-gassing hole)이 형성되었을 경우에는, 표시 영역(DA: display area)의 끝 부분으로 가더라도(즉, 도 4에서 보았을 때 화면의 왼쪽으로 가더라도) 유기층의 폭이 일정하게 형성된다. 즉, 표시 영역(DA)의 최 외곽에 형성된 녹색 유기층의 폭(t1)과, 그 안쪽에 형성된 녹색 유기층들의 폭(t2, t3)이 모두 동일하게 형성됨을 알 수 있다(t1 = t2 = t3). 즉, 아웃개싱 홀(Out-gassing hole)을 유기층(62) 및 제2 전극(63)의 바깥쪽에 형성함으로써, 화소 수축(pixel shrinkage) 현상이 방지되어 화소 균일도가 일정하게 유지되는 것이다.

[0063] 이에 반하여, 도 5에 도시된 바와 같이 아웃개싱 홀(Out-gassing hole)이 제2 전극과 중첩되도록 형성되었을 경우, 표시 영역(DA: display area)의 끝 부분으로 갈수록(즉, 도 5에서 보았을 때 화면의 오른쪽으로 갈수록) 유기층의 폭이 좁아지는 화소 수축(pixel shrinkage) 현상이 발생한다. 즉, 표시 영역(DA)의 최 외곽에 형성된 녹색 유기층의 폭(t1)이 가장 좁으며, 그 안쪽에 형성된 녹색 유기층의 폭(t2)이 다음으로 좁고, 그 안쪽에 형성된 녹색 유기층의 폭(t3)이 다음으로 좁게 형성된다(t1 < t2 < t3). 즉, 표시 영역(DA)의 끝 부분으로 갈수록 평탄화막으로부터의 아웃개싱의 영향으로 유기층들의 폭이 좁게 형성되는 화소 수축(pixel shrinkage) 현상이 발생하여, 박막의 들뜸 및 화소 수축 현상이 지속적으로 발생하게 되는 것이다.

[0064] 이와 같이 아웃개싱 홀(Out-gassing hole)을 유기층(62) 및 제2 전극(63)의 바깥쪽에 형성함으로써, 유기층(62) 또는 제2 전극(63) 하부에는 아웃개싱 홀(Out-gassing hole)이 형성되지 않도록 하여, 유기층 증착 공정 이후에 수행되는 열공정에 의한 유기층 들뜸 현상을 방지하여, 효과적인 아웃개싱(Out-gassing)을 유도하는 동시에 화소 수축(pixel shrinkage) 현상을 방지하여 제품의 신뢰성을 향상시키는 효과를 얻을 수 있다.

[0065] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

[0066] 50: 기판 51: 버퍼층

52: 활성층 53: 게이트 절연막

54: 게이트 전극 55: 층간 절연막

56: 소스 전극 57: 드레인 전극

58: 패시베이션막 59: 평탄화막

60: 화소 정의막

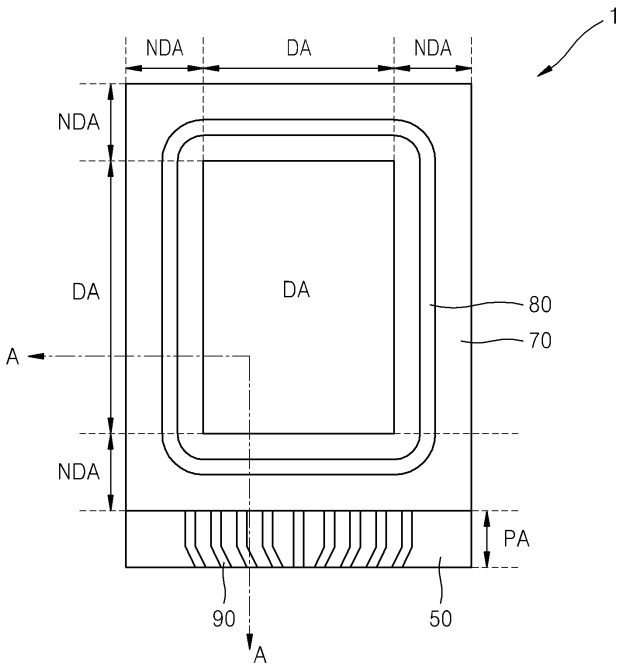
60a, 60b, 60c: 아웃개싱 홀(Out-gassing hole)

61: 제1 전극 62: 유기층

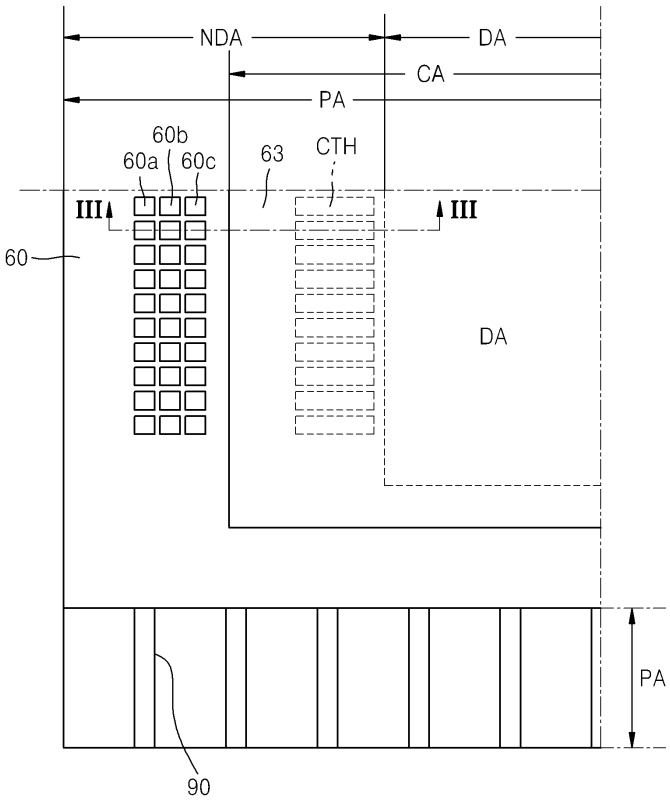
63: 제2 전극

도면

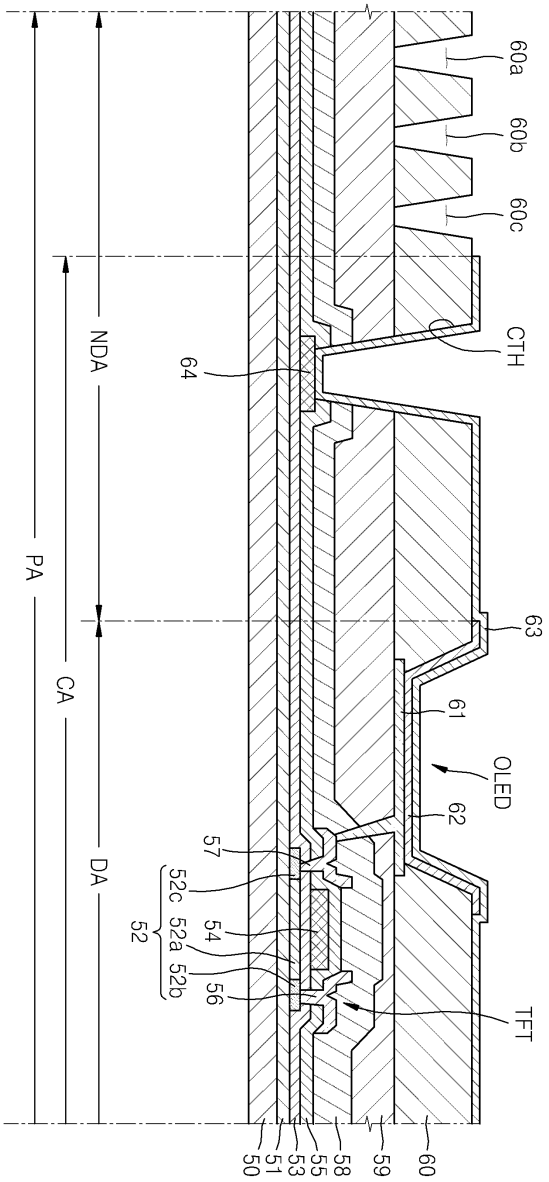
도면1



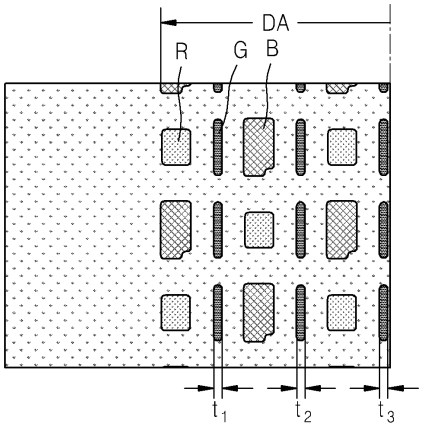
도면2



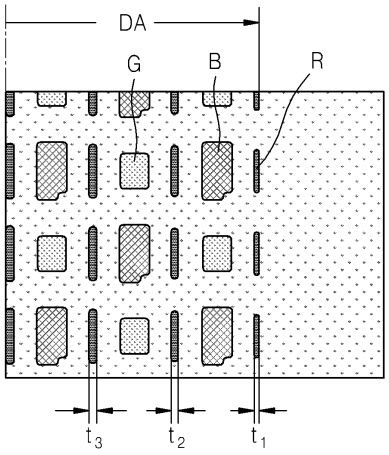
도면3


60a
60b
60c
CTH
64
NDA
PA
CA
DA
63
61
OLED
62
57
52c
52a
52b
52
54
56
TFT
50
51
53
55
58
59
60

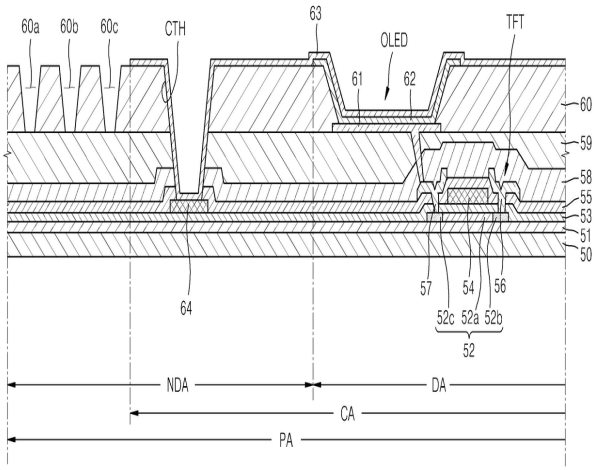
도면4


DA
R
G
B
t1
t2
t3

도면5



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020130005877A	公开(公告)日	2013-01-16
申请号	KR1020110067534	申请日	2011-07-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KANG SEONG JONG 강성종		
发明人	강성종		
IPC分类号	H01L51/50		
CPC分类号	H01L27/3246 H01L2924/3641 H01L2924/15151 H01L27/3216 H01L27/3276 H01L51/5246		
其他公开文献	KR101811027B1		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示装置技术领域[0001]本发明涉及一种有机发光二极管（OLED）显示装置，更具体地，涉及一种能够有效地控制用于排出有机层中产生的残余气体的排气孔位置的OLED显示装置，并同时防止像素收缩现象，从而提高产品的可靠性。