



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월08일
(11) 등록번호 10-1954984
(24) 등록일자 2019년02월27일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0106588
(22) 출원일자 2012년09월25일
심사청구일자 2017년09월25일
(65) 공개번호 10-2014-0039840
(43) 공개일자 2014년04월02일
(56) 선행기술조사문헌
KR1020100076603 A*

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이대우
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

(뒷면에 계속)

전체 청구항 수 : 총 19 항

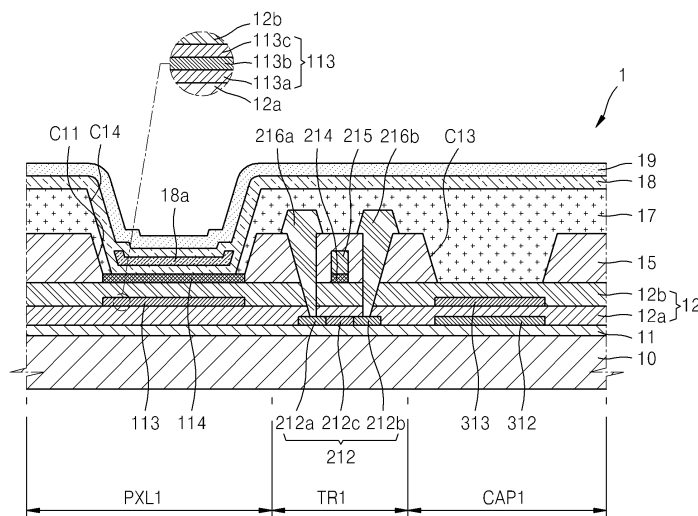
심사관 : 정명주

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 상기 게이트 전극 사이에 배치된 제1 게이트 절연막과 제2 게이트 절연막, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 층간 절연막을 포함하는 박막트랜지스터; 투명 도전성 산화물을 포함하고, 상기 층간 절연막에 형성된 개구에 형성된 화소 전극; 상기 화소 전극에 대응되는 영역에 배치되고, 상기 제1 게이트 절연막과 제2 게이트 절연막 사이에 배치된 반투과 전극; 상기 활성층과 동일층에 배치된 하부 전극과, 상기 반투과 전극과 동일층에 배치된 상부 전극을 포함하는 커패시터; 및 커패시터를 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



(56) 선행기술조사문헌

KR1020120042143 A*

KR1020120020522 A*

KR1020130009137 A

JP2012049126 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 상기 게이트 전극 사이에 배치된 제1 게이트 절연막과 제2 게이트 절연막, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 층간 절연막을 포함하는 박막트랜지스터;

투명 도전성 산화물을 포함하고, 상기 층간 절연막에 형성된 개구에 형성된 화소 전극;

상기 화소 전극에 대응되는 영역에 배치되고, 상기 제1 게이트 절연막과 제2 게이트 절연막 사이에 배치되고 반투과 금속층을 포함하는 반투과 전극; 및

상기 활성층과 동일층에 배치되고 상기 활성층과 동일한 재료를 포함하는 하부 전극과, 상기 반투과 전극과 동일층에 배치되고 상기 반투과 전극과 동일한 재료를 포함하는 상부 전극을 포함하는 커패시터;를 포함하는 박막 트랜지스터 어레이 기판.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 반투과 금속층은 은(Ag) 또는 은(Ag) 합금을 포함하는 박막 트랜지스터 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 반투과 금속층은 투명 도전성 산화물을 포함하는 층들 사이에 배치된 박막 트랜지스터 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 박막 트랜지스터 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 화소 전극은, 상기 게이트 전극과 동일층에 형성된 박막 트랜지스터 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 게이트 전극은,

상기 투명 도전성 산화물을 포함하는 제1층, 및 상기 제1층보다 저항이 낮은 금속을 포함하는 제2층을 포함하는 박막 트랜지스터 어레이 기판.

청구항 8

제 1 항에 있어서,

상기 커패시터의 하부 전극은 이온 분출물이 도핑된 반도체를 포함하는 박막트랜지스터 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 커패시터의 상부 전극은 반투과 금속층을 포함하는 박막 트랜지스터 어레이 기판.

청구항 10

제 1 항에 있어서,

상기 커패시터의 상부 전극에 대응되는 위치의 층간 절연막은 개구되고, 상기 개구를 통하여 제2 게이트 절연막은 상기 소스 전극 및 드레인 전극을 덮는 평탄화막과 접촉하는 박막 트랜지스터 어레이 기판.

청구항 11

제 1 항, 제 3 항 내지 제 10 항 어느 한 항의 박막 트랜지스터 어레이 기판을 포함하고,

상기 화소 전극 상에 배치된 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 대향 전극은 반사 전극인 유기 발광 표시 장치.

청구항 13

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1 마스크 공정;

제1 게이트 절연막을 형성하고, 상기 제1 게이트 절연막 상에 반투과 금속층을 형성하고, 상기 반투과 금속층을 패터닝하여 반투과 전극, 및 커패시터의 상부 전극을 형성하는 제2 마스크 공정;

제2 게이트 절연막을 형성하고, 상기 제2 게이트 절연막 상에 투명 도전성 산화물을 포함하는 제1 층 및 금속을 포함하는 제2층을 형성하고, 상기 제1층 및 제2층을 패터닝하여 화소 전극, 게이트 전극, 커패시터 보호층을 형성하는 제3 마스크 공정;

층간 절연막을 형성하고, 상기 층간 절연막에 화소 전극, 활성층의 소스 영역 및 드레인 영역, 보호층이 노출되도록 개구를 형성하는 제4 마스크 공정; 및

금속층을 형성하고, 상기 금속층을 패터닝하여 소스 전극 및 드레인 전극을 형성하는 제5 마스크 공정;을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제2 마스크 공정에서, 상기 반투과 금속층은 은(Ag) 또는 은(Ag) 합금을 포함하는 반투과 금속층으로 형성되는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 15

제 13 항에 있어서,

상기 제2 마스크 공정에서, 상기 반투과 금속층은 투명 도전성 산화물을 포함하도록 형성되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 16

제 13 항에 있어서,

제3 마스크 공정 후, 상기 활성층의 소스 영역 및 드레인 영역에 이온 불순물을 도핑하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 17

제 13 항에 있어서,

상기 제5 마스크 공정에서 상기 커패시터 보호층을 제거하는 박막 트랜지스터 기판의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 커패시터 보호층을 제거한 후, 상기 하부 전극에 이온 불순물을 도핑하는 박막 트랜지스터 기판의 제조 방법.

청구항 19

제 15 항에 있어서,

상기 제5 마스크 공정에서, 상기 금속층과 함께 상기 화소 전극의 제2층을 을 함께 제거하는 박막 트랜지스터 기판의 제조 방법.

청구항 20

제 19 항에 있어서,

평탄화막을 형성하고, 상기 화소 전극이 대응되는 영역의 평탄화막을 개구시키는 제6마스크 공정;을 더 포함하는 박막트랜지스터 어레이 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기관, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 상기 게이트 전극 사이에 배치된 제1 게이트 절연막과 제2 게이트 절연막, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 층간 절연막을 포함하는 박막트랜지스터; 투명 도전성 산화물을 포함하고, 상기 층간 절연막에 형성된 개구에 형성된 화소 전극; 상기 화소 전극에 대응되는 영역에 배치되고, 상기 제1 게이트 절연막과 제2 게이트 절연막 사이에 배치된 반투과 전극; 상기 활성층과 동일층에 배치된 하부 전극과, 상기 반투과 전극과 동일층에 배치된 상부 전극을 포함하는 커패시터; 및 커패시터를 포함하는 박막 트랜지스터 어레이 기관을 제공한다.

[0008] 상기 반투과 전극은 반투과 금속층을 포함할 수 있다.

[0009] 상기 반투과 금속층은 은(Ag) 또는 은(Ag) 합금을 포함할 수 있다.

[0010] 상기 반투과 전극은 상기 반투과 금속층은 투명 도전성 산화물을 포함하는 층들 사이에 배치될 수 있다.

[0011] 상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0012] 상기 화소 전극은, 상기 게이트 전극과 동일층에 형성될 수 있다.

[0013] 상기 게이트 전극은, 상기 투명 도전성 산화물을 포함하는 제1층, 및 상기 제1층보다 저항이 낮은 금속을 포함하는 제2층을 포함할 수 있다.

[0014] 상기 커패시터의 하부 전극은 이온 분출물이 도핑된 반도체를 포함할 수 있다.

[0015] 상기 커패시터의 상부 전극은 반투과 금속층을 포함할 수 있다.

[0016] 상기 커패시터의 상부 전극에 대응되는 위치의 층간 절연막은 개구되고, 상기 개구를 통하여 제2 게이트 절연막은 상기 소스 전극 및 드레인 전극을 덮는 평탄화막과 접촉할 수 있다.

[0017] 본 발명의 다른 측면에 의하면, 상술한 박막 트랜지스터 어레이 기관을 포함하고, 상기 화소 전극 상에 배치된 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 배치된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

[0018] 상기 대향 전극은 반사 전극일 수 있다.

[0019] 본 발명의 다른 측면에 의하면, 기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1 마스크 공정; 제1 게이트 절연막을 형성하고, 상기 제1 게이트 절연막 상에 반투과 금속층을 형성하고, 상기 반투과 금속층을 패터닝하여 반투과 전극, 및 커패시터의 상부 전극을 형성하는 제2 마스크 공정; 제2 게이트 절연막을 형성하고, 상기 제2 게이트 절연막 상에 투명 도전성 산화물을 포함하는 제1 층 및 금속을 포함하는 제2층을 형성하고, 상기 제1층 및 제2층을 패터닝하여 화소 전극, 게이트 전극, 커패시터 보호층을 형성하는 제3 마스크 공정; 층간 절연막을 형성하고, 상기 층간 절연막에 화소 전극, 활성층의 소스 영역 및 드레인 영역, 보호층이 노출되도록 개구를 형성하는 제4 마스크 공정; 및 금속층을 형성하고, 상기 금속층을 패터닝하여 소스 전극 및 드레인 전극을 형성하는 제5 마스크 공정;을 포함하는 박막 트랜지스터 어레이 기관의 제조 방법을 제공한다.

[0020] 상기 제2 마스크 공정에서, 상기 반투과 금속층은 은(Ag) 또는 은(Ag) 합금을 포함하는 반투과 금속층으로 형성될 수 있다.

[0021] 상기 제2 마스크 공정에서, 상기 반투과 금속층은 투명 도전성 산화물을 포함하도록 형성될 수 있다.

[0022] 제3 마스크 공정 후, 상기 활성층의 소스 영역 및 드레인 영역에 이온 불순물을 도핑할 수 있다.

- [0023] 상기 제5 마스크 공정에서 상기 커패시터 보호층을 제거할 수 있다.
- [0024] 상기 커패시터 보호층을 제거한 후, 상기 하부 전극에 이온 불순물을 도핑할 수 있다.
- [0025] 상기 제5 마스크 공정에서, 상기 금속층과 함께 상기 화소 전극의 제2층을 을 함께 제거할 수 있다.
- [0026] 평탄화막을 형성하고, 상기 화소 전극이 대응되는 영역의 평탄화막을 개구시키는 제6마스크 공정;을 더 포함할 수 있다.

발명의 효과

- [0027] 상기와 같은 본 발명에 따른 박막 트랜지스터 어레이 기관, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 화소 전극 하부에 별도의 층에 반투과 전극을 형성함으로써, 반투과 전극을 식각에 의한 손상으로 부터 보호할 수 있다. 또한, 커패시터로 이온불순물이 도핑된 활성층과 반투과 전극을 사용함으로써, MIM CAP 구조를 형성하여 정전용량을 극대화 시키고 전압 마진을 높일 수 있다. 또한, 커패시터의 유전막을 하나의 게이트 절연막으로 얇게 구성함으로써 정전용량을 높일 수 있다. 결과적으로 커패시터의 사이즈를 작게 할 수 있기 때문에 개구율을 높일 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2a 내지 도 2f는 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 개략적으로 도시한 단면도들이다.
- 도 3은 본 발명의 비교예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- 도 4a 내지 4e는 비교예에 따른 유기 발광 표시 장치(2)의 제조방법을 개략적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0031] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기관(10) 상에는 픽셀영역(PXL1), 트랜지스터영역(TR1), 및 커패시터영역(CAP1)이 구비된다.
- [0032] 기관(10)은 유리 기관뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관 등의 투명 기관으로 구비될 수 있다.
- [0033] 기관(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기관(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0034] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널 영역(212c)과, 채널 영역(212c) 외측에 이온불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)을 포함할 수 있다.
- [0035] 활성층(212) 상에는 제1 게이트 절연막(12a) 및 제2 게이트 절연막(12b)을 사이에 두고 활성층(212)의 채널 영역(212c)에 대응되는 위치에 게이트 전극(214, 215)이 구비된다. 게이트전극(214, 215)은 투명 도전성 산화물을 포함하는 제1층(214)과, 제1층(214)보다 저항이 작은 금속을 포함하는 제2층(215)이 차례로 구비된다.
- [0036] 제1층(214)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0037] 제2층(215)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0038] 한편, 도면에는 도시되어 있지 않으나, 제2 게이트 절연막(12b) 상에는, 예를 들어 스캔신호 배선과 같이, 게이

트 전극(214, 215)과 동일 재료의 신호배선이 더 형성될 수 있다.

- [0039] 게이트 전극(214, 215) 상에는 층간 절연막(15)을 사이에 두고 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)에 각각 접속하는 소스 전극(216a) 및 드레인 전극(216b)이 구비된다. 층간 절연막(15) 상에는 소스 전극(216a) 및 드레인 전극(216b)을 덮도록 평탄화막(17)이 구비된다.
- [0040] 제1 게이트 절연막(12a) 및 제2 게이트 절연막(12b)을 포함하는 게이트 절연막(12) 및 층간 절연막(15)은 무기 절연막으로 구비될 수 있다. 평탄화막(17)은 단층의 유기 절연막, 또는 무기 절연막과 유기 절연막이 함께 구비될 수 있다. 평탄화막(17)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0041] 본 발명의 실시예에 따른 픽셀 영역(PXL1)에는 제1 게이트 절연막(12a)과 제2 게이트 절연막(12b) 사이에 반투과 전극(113)이 구비된다.
- [0042] 반투과 전극(113)은 은(Ag) 또는 은(Ag) 합금 물질을 포함하는 반투과 금속층을 포함할 수 있으며, 반투과 전극(113)의 두께를 적당히 조절함으로써 광을 일부 투과하거나 일부 반사시킬 수 있다. 반투과 전극(113)은 후술할 반사 전극인 대향 전극(19)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성하여, 배면 발광 유기 표시 장치(1)의 광 효율을 향상시킬 수 있다.
- [0043] 반투과 전극(113)은 은(Ag) 또는 은(Ag) 합금을 포함하는 반투과 금속층(113b) 뿐만 아니라, 도 1에 도시된 대로 상부에는 반투과 금속층(113b)을 에칭 환경으로부터 보호하는 층(113c)과, 하부에는 반투과 금속층(113b)과 제1 게이트 절연막(12a)의 접착 스트레스를 줄이고 접착력을 강화하는 층(113c)이 더 구비될 수 있다. 이때, 보호하는 층(113c)과 접착력을 강화하는 층(113c)은 투명 도전성 산화물을 포함할 수 있다.
- [0044] 한편, 반투과 전극(113)은 기관(10) 측으로 빛이 방출되고 후술할 커패시터의 하부 전극 도핑을 수행할 수 있도록 반투과 전극(113)의 전체 두께는 약 100 옴스트롱(Å)에서 약 1,000 옴스트롱(Å) 사이의 두께로 형성될 수 있다. 한편, 반투과 전극(113)의 반투과 금속을 포함하는 층(113b)은 약 50 옴스트롱(Å)에서 약 300 옴스트롱(Å), 반투과 금속층(113b)을 에칭 환경으로부터 보호하는 층(113c)은 약 50 옴스트롱(Å)에서 약 300 옴스트롱(Å), 접착력을 강화하는 층(113c)은 약 50 옴스트롱(Å)에서 약 300 옴스트롱(Å)의 두께로 제작될 수 있다.
- [0045] 반투과 전극(113) 상에 제2 게이트 절연막(12b)이 형성되고, 제2 게이트 절연막(12b) 상에 반투과 전극(113)에 대응하는 영역에 화소 전극(114)이 형성된다.
- [0046] 화소 전극(114)은 투명 도전성 산화물로 형성되어 화소 전극(114) 측으로 광이 방출될 수 있다. 이와 같은 투명 도전성 산화물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0047] 본 실시예에서는 반투과 전극(113)이 화소 전극(114)과 동일층에 형성되지 않고 별도의 층에서 별도의 식각 공정으로 따로 형성되기 때문에, 화소 전극(114)과 함께 식각 할 때 발생하는 식각액에 대한 손상을 방지할 수 있다.
- [0048] 화소 전극(114) 외곽에는 평탄화막(17) 형성되고, 평탄화막(17)에는 화소 전극(114)을 노출시키는 개구(C14)가 형성된다. 상기 개구(C14)에 유기 발광층(18a)이 구비되고, 화소 전극(114) 상에는 유기 발광층(18a)을 포함하는 중간층(18)이 형성된다.
- [0049] 유기 발광층(18a)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(18a)이 저분자 유기물일 경우, 중간층(19)에는 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(18a)이 고분자 유기물일 경우, 중간층(18)에는 정공 수송층(HTL)이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-

dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 이와 같은 유기 발광층(18a)은 적색, 녹색, 청색의 빛을 방출하는 서브 픽셀로 하나의 단위 픽셀을 이룰 수 있다.

- [0050] 유기 발광층(18a) 상에는 공통 전극으로 대향 전극(19)이 증착 된다. 대향 전극(19)은 반사 전극으로 구비될 수 있다. 대향 전극(19)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(19)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향 전극(19)이 반사 전극으로 구비됨으로써, 유기 발광층(18a)에서 방출된 빛은 대향 전극(19)에 반사되어 투명도 전성 산화물로 구성된 화소 전극(114)을 투과한다. 이때 유기 발광층(18a)에서 방출된 빛은 반사 전극인 대향 전극(19)과 반투과 전극(113) 사이에서 공진하게 되고, 전체적으로 기관(10) 측으로 방출되는 광의 효율이 증가하게 된다.
- [0051] 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(114)은 애노드로 사용되고, 대향 전극(19)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0052] 상술한 실시예에서는 유기 발광층(18a)이 개구(C14) 내부에 형성되어 각 픽셀별로 별도의 발광 물질이 형성된 경우를 예로 설명하였으나, 본 발명은 이에 한정되지 않는다. 유기 발광층(18a)은 픽셀의 위치에 관계 없이 평탄화막(18) 전체에 공통으로 형성될 수 있다. 이때, 유기 발광층은 예를 들어, 적색, 녹색 및 청색의 빛을 방출하는 발광 물질을 포함하는 층이 수직으로 적층되거나 혼합되어 형성될 수 있다.
- [0053] 커패시터영역(CAP1)에는 버퍼층(11) 상에, 박막 트랜지스터의 활성층(212)과 동일 재료로 형성된 커패시터의 하부 전극(312)이 구비된다.
- [0054] 하부 전극(312)은 박막 트랜지스터의 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)과 동일 재료로서, 이온 불순물이 도핑된 반도체를 포함할 수 있다. 만약, 하부 전극(312)을 진성 반도체로 형성할 경우, 커패시터는 상부전극(313)과 함께 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 하부 전극(312)을 본 실시예와 같이 이온불순물이 도핑된 반도체로 형성할 경우, MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화 시키고 전압 마진을 높일 수 있다.
- [0055] 제1 게이트 절연막(12a) 상부에 상부 전극(313)이 구비된다. 상부 전극(313)은 반투과 전극(113)과 동일하게 반투과 금속층으로 형성된다. 본 실시예에서 하부 전극(312)과 상부 전극(313) 사이에 제1 게이트 절연막(12a)만 형성되기 때문에 커패시터 용량이 증가한다. 따라서, 증가하는 용량만큼 커패시터의 면적을 줄일 수 있는 마진이 높아지는 만큼, 화소 전극(114)을 크게 형성하여 개구율을 높일 수 있다.
- [0056] 상부 전극(313) 상에 제2 게이트 절연막(12b)이 직접 접촉하도록 형성되고, 제2 게이트 절연막(12b)은 하부 전극(312) 및 상부 전극(313)에 대응되는 영역에 개구(C13)가 형성된 층간 절연막(15)이 구비된다.
- [0057] 층간 절연막(15)에 형성된 개구(C13)에는 평탄화막(17)이 형성되어, 개구(C13)에는 제2 게이트 절연막(12b)과 평탄화막(17)이 직접 접촉한다. 상부 전극(313)과 대향 전극(19) 사이에 제2 게이트 절연막(12b)과 평탄화막(17)이 개재됨으로써, 상부 전극(313)과 대향 전극(19) 사이의 기생용량을 줄일 수 있다.
- [0058] 이하, 도 2a 내지 2f를 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0059] 도 2a는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0060] 도 2a를 참조하면, 기관(10) 상에 버퍼층(11)과 반도체층(미도시)을 순차로 형성하고, 반도체층(미도시)을 패터닝하여 박막트랜지스터의 활성층(212), 커패시터의 하부 전극(312)을 형성한다.
- [0061] 상기 도면에는 도시되어 있지 않지만, 기관(10)상에는 버퍼층(11) 및 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝된다. 패터닝 결과, 전술한 활성층(212), 하부전극(312)이 형성된다. 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0062] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법,

MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

- [0063] 도 2b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0064] 도 2b를 참조하면, 도 2a의 제1마스크 공정의 결과물 상에 제1 게이트 절연막과 반투과 금속을 포함하는 층(미도시)을 차례로 적층한 후 이를 패터닝한다.
- [0065] 제1 게이트 절연막(12a)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막이 단층 또는 복수층으로 형성될 수 있고, 반투과 금속을 포함하는 층은 은(Ag) 또는 은 합금을 포함할 수 있다.
- [0066] 반투과 전극(13)은 은(Ag) 또는 은(Ag) 합금을 포함하는 반투과 금속층(113b)외에, 반투과 금속층(113b)을 에칭 환경으로부터 보호하는 층(113c)과, 반투과 금속층(113b)과 제1 게이트 절연막(12a)의 접착력을 강화하는 층(113c)을 더 포함할 수 있다.
- [0067] 패터닝 결과, 제1 게이트 절연막(12a) 상에 반투과 전극(113)과 커패시터의 상부 전극(313)이 형성된다. 제1 게이트 절연막(12a)은 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전막 역할을 한다.
- [0068] 도 2c를 참조하면, 도 2b의 제2마스크 공정의 결과물 상에 제2 게이트 절연막, 투명 도전성 산화물을 포함하는 층(미도시), 및 금속층(미도시)을 차례로 적층한 후 이를 패터닝한다.
- [0069] 제2 게이트 절연막(12b)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있고, 투명도전성 산화물을 포함하는 층(미도시)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 금속층(미도시)은 투명 도전성 산화물보다 저항이 작은 금속이 바람직하다. 다양한 금속이 단층 또는 다층으로 형성될 수 있으며, 본 실시예에서는 Mo/Al/Mo으로 형성된 3층의 배선을 이용하였다.
- [0070] 패터닝 결과, 제2 게이트 절연막(12b) 상에 이후 화소 전극(114)이 될 부분과 화소 전극 상부층(115), 게이트 전극(114, 115), 및 커패시터 보호층(314, 315)이 형성된다.
- [0071] 금속층(미도시)으로, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성할 수 있다.
- [0072] 상기와 같은 구조물 위에 이온불순물이 도핑된다. 이온불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm³ 이상의 농도로 박막트랜지스터의 활성층(212)을 타겟으로 하여 1차 도핑(D1)한다.
- [0073] 게이트 전극(214, 215)을 셀프-얼라인(self-align) 마스크로 하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)에는 이온불순물이 도핑된 소스영역(212a) 및 드레인영역(212b)과, 그 사이에 채널영역(212c)이 형성된다. 한편, 상기 도면에는 도시되어 있지 않으나, 활성층(212)과 동일 재료로 형성된 하부전극(312)에 연결되는 배선에도 활성층(212)과 함께 동시에 도핑된다. 그러나, 커패시터 보호층(314, 315)은 차단 마스크로 기능하기 때문에 커패시터의 하부 전극(312)에는 아직 도핑이 되지 않는다.
- [0074] 도 2d는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0075] 도 2d를 참조하면, 도 2c의 제3마스크 공정의 결과물 상에 층간 절연막(15)을 형성되고, 층간 절연막(15)을 패터닝하여 화소 전극 상부층(115)을 노출시키는 개구(C11), 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 개구(C12), 커패시터 보호층(314, 315)의 상부(315)를 개구시키는 개구(C13)를 형성한다.
- [0076] 도 2e는 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0077] 도 2e를 참조하면, 도 2e의 제4마스크 공정의 결과물 상에 금속층(미도시)을 형성하고, 패터닝 결과 소스 전극(216a)과 드레인 전극(216b)이 형성된다.
- [0078] 금속층(미도시)으로는 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데

데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

- [0079] 소스 전극(216a) 및 드레인 전극(216b)을 형성하는 공정에서 화소 전극의 상부층(115)과, 커패시터 보호층(314, 315)을 함께 식각한다.
- [0080] 커패시터 보호층(314, 315)을 식각 한 후, 하부 전극(312)을 타겟으로 2차 도핑(D2)을 실시한다. 이때, 상부 전극(314) 전체 두께는 전술한 반투과 전극(113)과 마찬가지로 약 100 옴스트롱(Å)에서 약 1,000 옴스트롱(Å) 사이로 형성될 수 있다. 상부 전극(314)은 반투과 전극(113)과 동일 재료로 형성된다.
- [0081] 하부 전극(312)이 도핑됨으로써 커패시터는 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화 시키고 전압 마진을 높일 수 있다.
- [0082] 도 2f는 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0083] 도 2f를 참조하면, 도 2e의 제5마스크 공정의 결과를 상에 평탄화막(17)을 형성한 후, 화소 전극(114) 상부를 노출시키는 개구(C14)를 형성한다.
- [0084] 상술한 바와 같이 본 발명의 실시예에 따른 유기 발광 표시 장치(1)에 따르면, 화소 전극(114) 하부에 별도의 층에 반투과 전극(113)을 형성함으로써, 반투과 전극(113)을 식각에 의한 손상으로부터 보호할 수 있다.
- [0085] 또한, 커패시터로 이온불순물이 도핑된 활성층(212)과 반투과 전극(312)을 사용함으로써, MIM CAP 구조를 형성하여 정전용량을 극대화 시키고 전압 마진을 높일 수 있다. 또한, 커패시터의 유전막을 하나의 게이트 절연막으로 얇게 구성함으로써 정전용량을 높일 수 있다. 결과적으로 커패시터의 사이즈를 작게 할 수 있기 때문에 개구율을 높일 수 있다.
- [0086] 이하 도 3 및 도 4a 내지 4e를 참조하여 본 발명과 비교하기로 한다.
- [0087] 도 3은 본 발명의 비교예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- [0088] 도 3을 참조하면, 비교예에 따른 유기 발광 표시 장치(2)는 픽셀 영역(PXL2), 트랜지스터 영역(TR2), 및 커패시터 영역(CAP2)을 구비한다.
- [0089] 픽셀 영역(PXL2)에서 마이크로-캐비티 효과를 구현하기 위하여 화소 전극(414)은 반투과 금속층(414b)을 포함할 수 있다. 이외, 도면에 도시된 것과 같이 접착력 강화층(414a) 및 보호층(414c)를 더 구비할 수 있다. 이때, 화소 전극(414) 자체가 반투과 전극이 되는데, 후술하겠지만 식각 공정에서 화소 전극(414)을 구성하는 반투과 금속층(414b)이 손상을 받게 된다. 따라서 공진 효과가 저하된다.
- [0090] 커패시터의 하부 전극(312)은 이온 불순물이 도핑된 반도체를 포함하고, 상부 전극(614)은 반투과 금속층을 포함하는 MIM CAP을 형성한다. 그러나, 제1 게이트 절연막(12a)과 제2 게이트 절연막(12b)이 유전막으로 기능하며, 유전막의 두께가 두꺼워 짐으로써 본 실시예에 비하여 정전용량이 작아진다. 따라서, 고 개구율을 구현하기 어렵다.
- [0091] 도 4a 내지 4e는 도 3의 비교예에 따른 유기 발광 표시 장치의 제조과정을 개략적으로 도시한 단면도들이다.
- [0092] 도 4a를 참조하면, 기판(10) 상에 이온불순물이 도핑되지 않은 활성층(512)과, 이온불순물이 도핑되지 않은 하부전극(612)이 형성된다.
- [0093] 도 4b를 참조하면, 투명도전성 산화물을 포함하는 층과 저저항금속을 포함하는 층을 차례로 적층한 후 패터닝하여, 화소전극(414, 415), 게이트전극(514, 515), 커패시터의 상부전극(614, 615)을 각각 형성하고, 제1차 도핑(D1)을 한다. 그 결과, 활성층(512)은 이온불순물이 도핑된 소스 및 드레인 영역(512a, 512b)과, 채널영역(512c)을 구비하게 된다. 상부전극(614, 615)은 차단 마스크로 기능하기 때문에, 상부 전극(614, 615)에 막힌 하부 전극(612)은 도핑 되지 현상이 발생할 수 있다.
- [0094] 도 5c를 참조하면, 층간 절연막(15)을 형성하고 화소전극(114, 115)을 노출시키는 개구(C21), 활성층(512)의 소스 영역(512a) 및 드레인 영역(512b)의 일부를 노출시키는 개구(C22), 및 상부 전극(614, 615)을 노출시키는 개구(C23)를 형성한다.
- [0095] 도 5d를 참조하면, 도 5c의 제3마스크 공정의 결과물 상에 금속층(미도시)이 전술한 개구(C21, C22, C23)를 메우도록 적층된 후 패터닝되어 소스 전극(516a)과 드레인 전극(516b)이 형성된다. 이때, 화소 전극의 상부층

(115)과 상부 전극의 상부층(615)이 함께 제거된다. 그 후 제2차 도핑(D2)이 실시된다. 2차 도핑(D2) 후 하부 전극(612)은 도핑된다. 하부 전극(612)과 상부 전극(614) 사이에는 제1 게이트 절연막(12a)과 제2 게이트 절연막(12b)이 유전막으로 기능하기 때문에 정전 용량의 증가를 얻기 어렵다.

[0096] 도 5e를 참조하면, 제4마스크 공정의 결과물 상에, 평탄화막(17)을 적층한 후, 이를 패터닝하여 화소 전극(41)을 노출시키는 개구(C24)가 형성된다.

[0097] 본 발명의 실시예에 따르면, 반투과 금속을 포함하는 화소 전극 (41)이 식각 공정 중에 손상을 받을 수 있기 때문에 효과적인 공진 현상을 구현하기 어렵고, 커패시터의 정전 용량 증가가 어려우므로 커패시터 사이즈를 줄임으로써 개구율을 증가시키기 어렵다.

[0098] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0099] 1: 유기 발광 표시 장치

10: 기판

11: 버퍼층

12a: 제1 게이트 절연막

12b: 제2 게이트 절연막

15: 층간 절연막

17: 평탄화막

18a: 유기 발광층

18: 중간층

19: 대향 전극

113: 반투과 전극

114: 화소 전극

212: 활성층

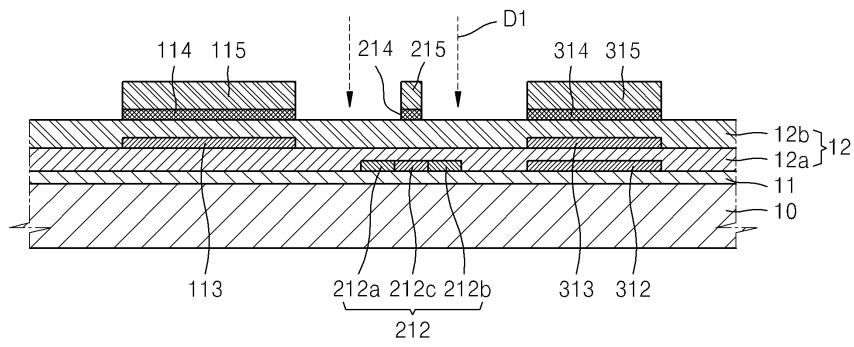
214, 215: 게이트 전극

216a, 216b: 소스 전극, 드레인 전극

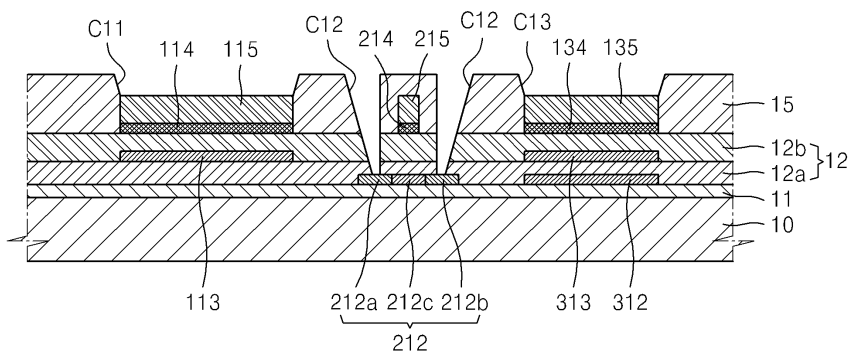
312: 하부 전극

313: 상부 전극

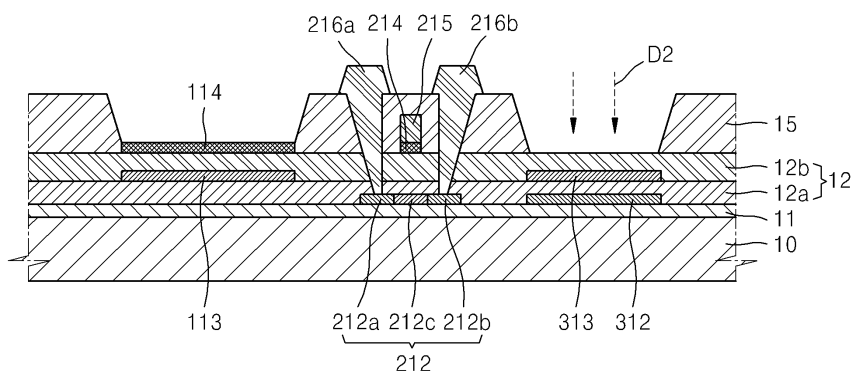
도면2c



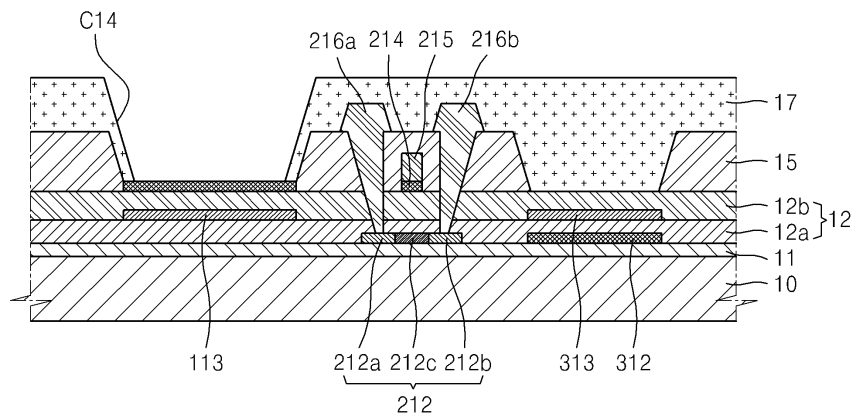
도면2d



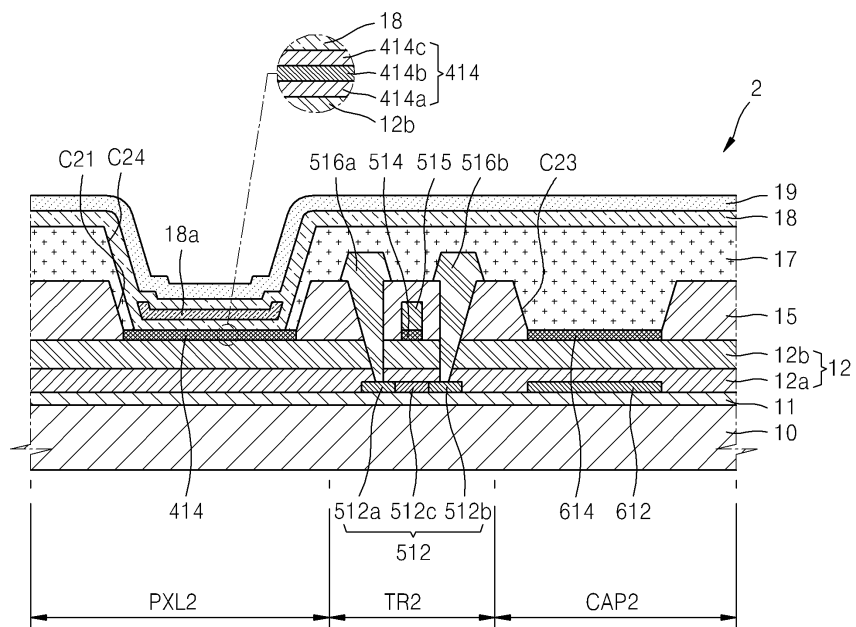
도면2e



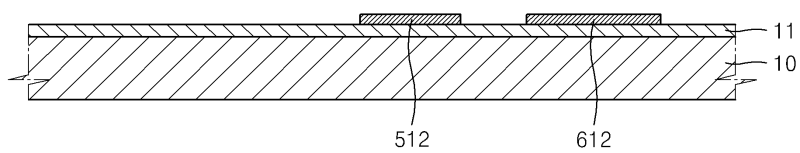
도면2f



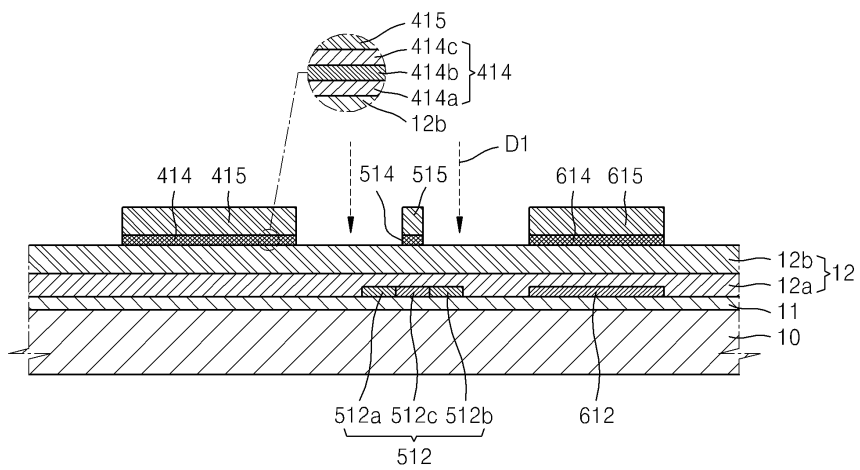
도면3



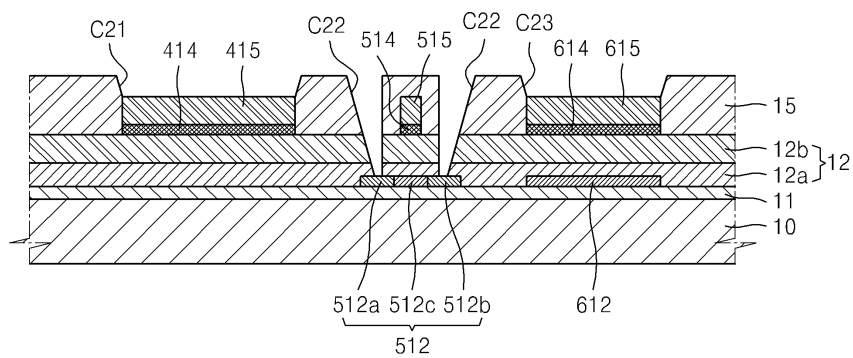
도면4a



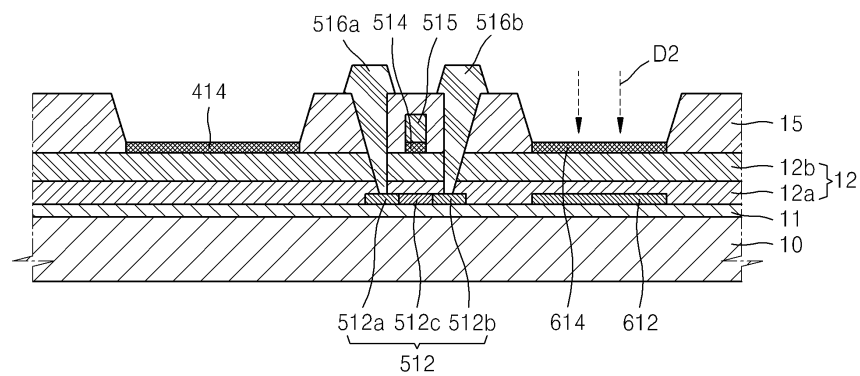
도면4b



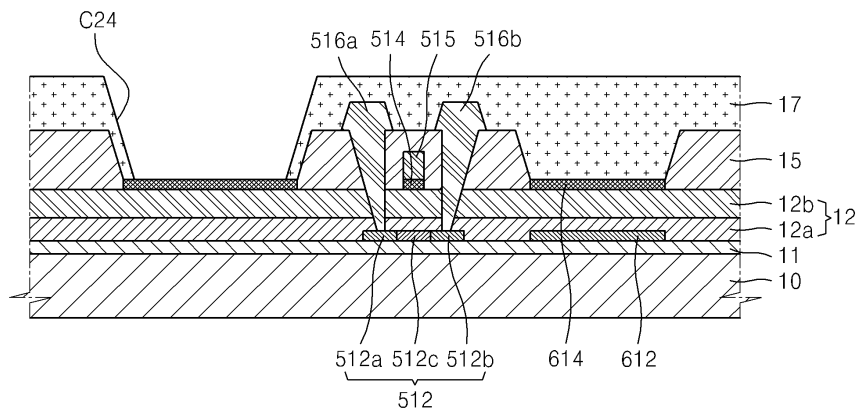
도면4c



도면4d



도면4e



专利名称(译)	薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	KR101954984B1	公开(公告)日	2019-03-08
申请号	KR1020120106588	申请日	2012-09-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이대우		
发明人	이대우		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/124 H01L27/1214 H01L27/1255 H01L27/1288 H01L27/326 H01L51/50 H01L2227/323		
审查员(译)	Jeongmyeong周		
其他公开文献	KR1020140039840A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管 (TFT) 阵列基板包括TFT，该TFT包括有源层，栅电极，源电极，漏电极，形成在有源层和栅电极之间的第一栅绝缘层和第二栅绝缘层，层间绝缘层形成在栅电极与源电极以及漏电极之间。形成在层间绝缘层的开口中的像素电极，该像素电极包括透明导电氧化物。在第一栅极绝缘层和第二栅极绝缘层之间的与像素电极相对应的区域中形成的半透明电极；电容器包括：下部电极，其由与活性层相同的层形成；以及上部电极，其由与半透明电极相同的层形成。

