



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월16일
(11) 등록번호 10-1938761
(24) 등록일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0054947
(22) 출원일자 2012년05월23일
심사청구일자 2017년05월10일
(65) 공개번호 10-2013-0131124
(43) 공개일자 2013년12월03일
(56) 선행기술조사문헌
KR1020100116876 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김성호
경기 용인시 기흥구 삼성로 95, (농서동)
허종무
경기 용인시 기흥구 삼성로 95, (농서동)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 21 항

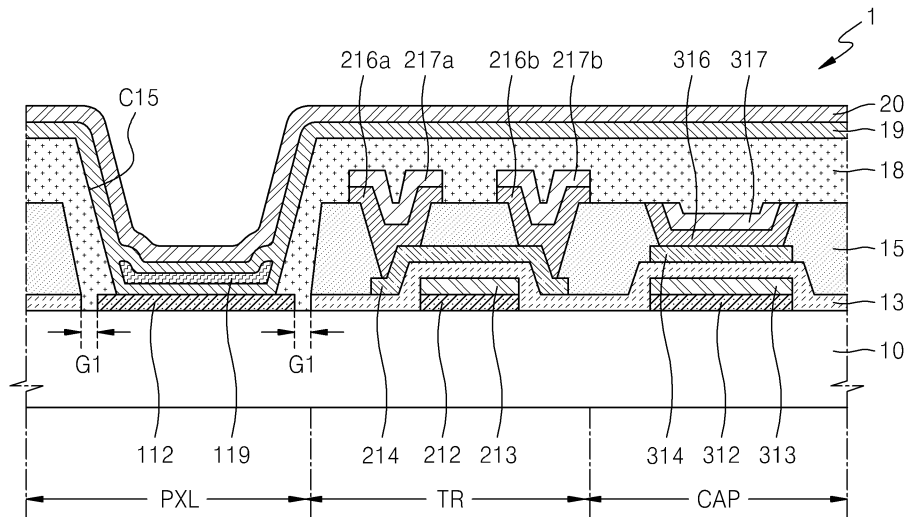
심사관 : 정명주

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 게이트 전극, 활성층, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터; 상기 게이트 전극과 동일층에 형성된 화소전극; 상기 게이트 전극과 동일층에 형성된 커패시터의 하부전극; 상기 게이트 전극 및 상기 하부전극 상에 형성된 제1절연층; 상기 활성층과 상기 소스 전극 및 드레인 전극 사이에 형성된 제2절연층; 상기 제1절연층 상에 배치되고, 상기 활성층과 동일물질을 포함하는 제1층과, 상기 소스 전극 및 드레인 전극과 동일물질을 포함하는 제2층을 포함하는 커패시터의 상부전극; 및 상기 소스 전극과 드레인 전극 및 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



(56) 선행기술조사문헌

KR1020120024241 A*

KR1020090082685 A*

KR1020120043438 A*

KR1020050111171 A

KR1020100068644 A

KR1020100070676 A

KR1020050061706 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

게이트 전극, 활성층, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터;

상기 게이트 전극과 동일층에 형성된 화소전극;

상기 게이트 전극과 동일층에 형성된 커패시터의 하부전극;

상기 게이트 전극 및 상기 하부전극 상에 형성된 제1절연층;

상기 활성층과 상기 소스 전극 및 드레인 전극 사이에 형성된 제2절연층;

상기 제1절연층 상에 배치되고, 상기 활성층과 동일물질로 포함하는 제1층과, 상기 제1층 상에 이온불순물이 포함된 비정질 실리콘을 포함하는 제2층과, 상기 제2층 상에 금속을 포함하는 제3층을 포함하는 커패시터의 상부전극; 및

상기 소스 전극과 드레인 전극 및 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;을 포함하고,

상기 제2절연층은 상기 커패시터의 상부전극의 제1층의 가장자리를 덮고, 상기 제1층의 상면을 노출시키는 개구를 구비하고,

상기 커패시터의 상부전극의 제2층 및 제3층은 상기 제2절연층의 개구에 배치된, 박막트랜지스터 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 게이트 전극 및 상기 하부전극은, 투명 도전물을 포함하는 제1층 및 금속을 포함하는 제2층을 포함하는 박막트랜지스터 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 활성층 및 상기 상부전극의 제1층은, 결정질 실리콘을 포함하는 박막트랜지스터 어레이 기판.

청구항 4

제 1 항에 있어서,

상기 소스 전극과 드레인 전극은, 상기 커패시터의 상부전극의 제2층 및 제3층과 동일한 재료를 포함하는 박막트랜지스터 어레이 기판.

청구항 5

제 4 항에 있어서,

상기 소스 전극과 드레인 전극은 상기 제2절연층에 형성된 콘택홀을 통하여, 상기 커패시터의 상부전극의 제2층의 일부가 상기 활성층의 일부에 접속하는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 상부전극의 제2층은 상기 제2절연층에 형성된 개구를 통하여 상기 상부전극의 제1층에 상기 제2층이 직접 접촉하는 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 제1절연층 및 제2절연층은 상기 화소전극 외곽과 오프셋 되어 형성된 박막트랜지스터 어레이 기판.

청구항 8

제 1 항에 있어서,

상기 제3절연층은 상기 화소전극의 외곽을 덮는 박막트랜지스터 어레이 기판.

청구항 9

제 1 항에 있어서,

상기 활성층의 경계는 상기 게이트 전극의 경계를 커버하도록 게이트 전극보다 크게 형성된 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 10

제 1 항에 있어서,

상기 활성층의 경계는 상기 게이트 전극의 경계 내측으로 오프셋 되어 형성된 것을 특징으로 하는 박막트랜지스터 어레이 기판.

청구항 11

게이트 전극, 활성층, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터;

상기 게이트 전극과 동일층에 형성된 화소전극;

상기 게이트 전극과 동일층에 형성된 커패시터의 하부전극;

상기 게이트 전극 및 상기 하부전극 상에 형성된 제1절연층;

상기 활성층과 상기 소스 전극 및 드레인 전극 사이에 형성된 제2절연층;

상기 제1절연층 상에 배치되고, 상기 활성층과 동일물질질을 포함하는 제1층과, 상기 제1층 상에 이온불순물이 포함된 비정질 실리콘을 포함하는 제2층과, 상기 제2층 상에 금속을 포함하는 제3층을 포함하는 커패시터의 상부전극;

상기 소스 전극과 드레인 전극 및 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;

상기 화소 전극 상에 배치되고, 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 위치하는 대향 전극;을 포함하고,

상기 제2절연층은 상기 커패시터의 상부전극의 제1층의 가장자리를 덮고, 상기 제1층의 상면을 노출시키는 개구를 구비하고,

상기 커패시터의 상부전극의 제2층 및 제3층은 상기 제2절연층의 개구에 배치된, 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사 전극인 유기 발광 표시 장치.

청구항 13

제 11 항에 있어서,

상기 화소 전극은 투명 도전물을 포함하고, 상기 게이트 전극 및 상기 하부전극은 상기 투명 도전물을 포함하는 제1층 및 금속을 포함하는 제2층을 포함하는 유기 발광 표시 장치.

청구항 14

제 11 항에 있어서,

상기 활성층 및 상기 상부전극의 제1층은, 결정질 실리콘을 포함하는 유기 발광 표시 장치.

청구항 15

제 11 항에 있어서,

상기 소스 전극과 드레인 전극은, 상기 커패시터의 상부전극의 제2층 및 제3층과 동일한 재료를 포함하는 유기 발광 표시 장치.

청구항 16

기판 상에 투명 도전물층 및 제1금속층을 차례로 적층하고, 상기 투명 도전물층 및 제1금속층을 패터닝하여 화소 전극, 박막트랜지스터의 게이트 전극 및 커패시터의 하부전극을 형성하는 제1 마스크 공정;

제1절연층 및 제1반도체층을 차례로 적층하고, 상기 제1반도체층을 패터닝하여 박막트랜지스터의 활성층 및 상기 커패시터의 상부전극의 제1층을 형성하는 제2 마스크 공정;

제2절연층을 형성하고, 상기 화소 전극, 상기 활성층의 일부, 및 상기 커패시터의 상부전극의 제1층을 노출하는 콘택홀을 형성하는 제3 마스크 공정;

이온불순물이 포함된 비정질 실리콘을 포함하는 제2반도체층 및 제2금속층을 차례로 적층하고, 상기 제2반도체층 및 제2금속층을 패터닝하여 상기 활성층의 일부와 접속하는 소스 전극과 드레인 전극, 및 상기 커패시터의 상부전극의 제2층을 형성하는 제4 마스크 공정;

제3절연층을 형성하고, 상기 화소 전극 상의 제3절연층을 제거하는 제5 마스크 공정;을 포함하고,

상기 제3 마스크 공정에서 형성된 상기 커패시터의 상부전극의 제1층을 노출하는 콘택홀에, 상기 제4 마스크 공정에서 상기 커패시터의 상부전극의 제2층을 배치하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제 2마스크 공정에서, 상기 제1반도체층은 결정질 실리콘을 포함하는 것을 특징으로 하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 18

제 16 항에 있어서,

제2 마스크 공정에서, 상기 활성층의 경계는 상기 게이트 전극의 경계를 커버하도록 게이트 전극보다 크게 형성된 것을 특징으로 하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 19

제 16 항에 있어서,

제2 마스크 공정에서, 상기 활성층의 경계는 상기 게이트 전극의 경계 내측으로 오프셋 되어 형성된 것을 특징으로 하는 박막트랜지스터 어레이 기판의 제조 방법.

청구항 20

제 16 항에 있어서,

제3 마스크 공정에서, 상기 제1절연층 및 상기 제2절연층의 식각면과, 상기 화소 전극 사이에 갭이 형성되는 박막트랜지스터 기판의 제조 방법.

청구항 21

제 16항에 있어서,

상기 제4 마스크 공정에서, 상기 화소 전극 영역에서는 제1금속층, 제2반도체층 및 제2금속층이 함께 식각되는 박막트랜지스터 기관의 제조 방법.

청구항 22

삭제

발명의 설명

기술 분야

[0001] 본 발명은 박막트랜지스터 어레이 기관, 유기 발광 표시 장치 및 박막트랜지스터 어레이 기관의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기관은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기관의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기관 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기관 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기관, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 게이트 전극, 활성층, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터; 상기 게이트 전극과 동일층에 형성된 화소전극; 상기 게이트 전극과 동일층에 형성된 커패시터의 하부전극; 상기 게이트 전극 및 상기 하부전극 상에 형성된 제1절연층; 상기 활성층과 상기 소스 전극 및 드레인 전극 사이에 형성된 제2절연층; 상기 제1절연층 상에 배치되고, 상기 활성층과 동일물질을 포함하는 제1층과, 상기 소스 전극 및 드레인 전극과 동일물질을 포함하는 제2층을 포함하는 커패시터의 상부전극; 및 상기 소스 전극과 드레인 전극 및 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기관을 제공한다.

[0008] 상기 게이트 전극 및 상기 하부전극은, 투명 도전물을 포함하는 제1층 및 금속을 포함하는 제2층을 포함할 수 있다.

[0009] 상기 활성층 및 상기 상부전극의 제1층은, 결정질 실리콘을 포함할 수 있다.

[0010] 상기 소스 전극과 드레인 전극 및 상기 상부전극의 제2층은, 이온불순물이 포함된 비정질 실리콘을 포함하는 제

1부분과, 상기 제1부분 상에 금속을 포함하는 제2부분이 형성될 수 있다.

- [0011] 상기 소스 전극과 드레인 전극은 상기 제2절연층에 형성된 콘택홀을 통하여, 상기 제1부분의 일부가 상기 활성층의 일부에 접속할 수 있다.
- [0012] 상기 상부전극의 제2층은 상기 제2절연층에 형성된 콘택홀을 통하여 상기 상부전극의 제1층에 상기 제2층의 제1부분이 직접 접속할 수 있다.
- [0013] 상기 제1절연층 및 제2절연층은 상기 화소전극 외곽과 오프셋 되어 형성될 수 있다.
- [0014] 상기 제3절연층은 상기 화소전극의 외곽을 덮을 수 있다.
- [0015] 상기 활성층의 경계는 상기 게이트 전극의 경계를 커버하도록 게이트 전극보다 크게 형성될 수 있다.
- [0016] 상기 활성층의 경계는 상기 게이트 전극의 경계 내측으로 오프셋 되어 형성될 수 있다.
- [0017] 본 발명의 다른 측면에 의하면, 게이트 전극, 활성층, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터; 상기 게이트 전극과 동일층에 형성된 화소전극; 상기 게이트 전극과 동일층에 형성된 커패시터의 하부전극; 상기 게이트 전극 및 상기 하부전극 상에 형성된 제1절연층; 상기 활성층과 상기 소스 전극 및 드레인 전극 사이에 형성된 제2절연층; 상기 제1절연층 상에 배치되고, 상기 활성층과 동일물질을 포함하는 제1층과, 상기 소스 전극 및 드레인 전극과 동일물질을 포함하는 제2층을 포함하는 커패시터의 상부전극; 및 상기 소스 전극과 드레인 전극 및 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층; 상기 화소 전극 상에 배치되고, 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 위치하는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공할 수 있다.
- [0018] 상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사 전극일 수 있다.
- [0019] 상기 화소 전극은 투명 도전물을 포함하고, 상기 게이트 전극 및 상기 하부전극은 상기 투명 도전물을 포함하는 제1층 및 금속을 포함하는 제2층을 포함할 수 있다.
- [0020] 상기 활성층 및 상기 상부전극의 제1층은, 결정질 실리콘을 포함할 수 있다.
- [0021] 상기 커패시터의 상부전극은 상기 활성층과 동일물질을 포함하는 제1층과, 상기 소스 전극 및 드레인 전극과 동일물질을 포함하는 제2층을 포함하고, 상기 소스 전극과 드레인 전극 및 상기 상부전극의 제2층은, 이온불순물이 포함된 비정질 실리콘을 포함하는 제1부분과, 상기 제1부분 상에 금속을 포함하는 제2부분이 형성될 수 있다.
- [0022] 본 발명의 또 다른 측면에 의하면, 기판 상에 투명 도전물층 및 제1금속층을 차례로 적층하고, 상기 투명 도전물층 및 제1금속층을 패터닝하여 화소 전극, 박막트랜지스터의 게이트 전극 및 커패시터의 하부전극을 형성하는 제1 마스크 공정; 제1절연층 및 제1반도체층을 차례로 적층하고, 상기 제1반도체층을 패터닝하여 박막트랜지스터의 활성층 및 상기 커패시터의 상부전극의 제1층을 형성하는 제2 마스크 공정; 제2절연층을 형성하고, 상기 화소 전극, 상기 활성층의 일부, 및 상기 상부전극의 제1층을 노출하는 콘택홀을 형성하는 제3 마스크 공정; 제2반도체층 및 제2금속층을 차례로 적층하고, 상기 제2반도체층 및 제2금속층을 패터닝하여 상기 활성층의 일부와 접속하는 소스 전극과 드레인 전극, 및 상기 상부전극의 제2층을 형성하는 제4 마스크 공정; 및 제3절연층을 형성하고, 상기 화소 전극 상의 제3절연층을 제거하는 제5 마스크 공정;을 포함하는 박막트랜지스터 어레이 기판의 제조 방법을 제공한다.
- [0023] 상기 제 2마스크 공정에서, 상기 제1반도체층은 결정질 실리콘을 포함할 수 있다.
- [0024] 제2 마스크 공정에서, 상기 활성층의 경계는 상기 게이트 전극의 경계를 커버하도록 게이트 전극보다 크게 형성될 수 있다.
- [0025] 제2 마스크 공정에서, 상기 활성층의 경계는 상기 게이트 전극의 경계 내측으로 오프셋 되어 형성될 수 있다.
- [0026] 제3 마스크 공정에서, 상기 상기 제1절연층 및 제2절연층의 식각면과, 상기 화소 전극 사이에 갭이 형성될 수 있다.
- [0027] 상기 제4 마스크 공정에서, 상기 화소 전극 영역에서는 제1금속층, 제2반도체층 및 제2금속층이 함께 식각될 수 있다.
- [0028] 상기 제4 마스크 공정에서, 상기 제2반도체층은 이온 불순물을 포함하는 비결정질 실리콘을 포함할 수 있다.

발명의 효과

- [0029] 상기와 같은 본 발명에 따른 박막트랜지스터 어레이 기관, 유기 발광 표시 장치 및 박막트랜지스터 어레이 기관의 제조 방법에 따르면 다음과 같은 효과를 제공한다.
- [0030] 첫째, 총 5회의 마스크 공정으로 바텀 게이트 타입의 박막트랜지스터를 포함하는 유기 발광 표시 장치를 제작할 수 있다.
- [0031] 둘째, 활성층과 소스 전극 및 드레인 전극 사이에 이온불순물이 도핑된 비정질 실리콘층을 형성함으로써 박막트랜지스터의 콘택 저항을 줄일 수 있다.
- [0032] 셋째, 커패시터를 MIM CAP으로 형성하여 전기용량을 증가시킬 수 있다.
- [0033] 넷째, 이온불순물이 도핑된 커패시터의 상부전극의 일부를 절연층에 대한 식각 저지층으로 사용함으로써 유전막을 보호할 수 있다.

도면의 간단한 설명

- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2a 내지 2e는 도 1의 유기 발광 표시 장치(1)를 제조하는 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 3은 본 발명의 비교예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- 도 4a 내지 4e는 도 3의 유기 발광 표시 장치(2)를 제조하는 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(3)를 개략적으로 도시한 단면도이다.
- 도 6a 내지 6e는 도 5의 유기 발광 표시 장치(3)를 제조하는 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0037] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기관(10) 상에는 유기 발광층(119)을 포함하는 중간층(19) 구비된 픽셀 영역(PXL), 박막트랜지스터가 구비된 트랜지스터 영역(TR), 및 커패시터가 구비된 커패시터 영역(CAP)이 형성된다.
- [0038] 픽셀 영역(PXL)에는 기관(10) 상에 투명 도전물을 포함하는 화소 전극(112)이 구비된다.
- [0039] 기관(10)은 SiO₂를 주성분으로 하는 투명 재료의 글라스재로 구비될 수 있다. 물론 글라스재뿐만 아니라 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관으로 구비될 수 있다.
- [0040] 도 2에는 도시되어 있지 않으나, 기관(10)과 화소 전극(112) 사이에는 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(미도시)이 더 구비될 수 있다.
- [0041] 화소 전극(112)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크 옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 또한, 화소 전극(112)은 은(Ag)을 포함하는 반투과 금속층(미도시)을 더 포함하는 복수의 금속층으로 구비될 수도 있다. 대향 전극(20)이 반사 금속으로 형성될 경우, 반투과 금속층(미도시)은 대향 전극과 함께 공진 구조를 형성함으로써 표시 장치의 광 추출 효율을 높일 수 있다.
- [0042] 화소 전극(112) 상부 가장자리에 제1절연층(13)과 제2절연층(15)이 차례로 적층되며, 상기 제1절연층(14)과 제2절연층(15)의 식각면과 화소전극(112)의 가장자리는 소정의 갭(G1)이 형성된다. 제2절연층(15) 상에는 제3절연

층(18)이 구비되고, 제3절연층(18)에는 화소 전극(112)을 노출시키는 개구(C15)가 형성된다.

- [0043] 화소 전극(112) 상에는 유기 발광층(119)을 포함하는 중간층(19)이 형성된다. 유기 발광층(119)에서 방출된 광은 투명 도전물로 형성된 화소 전극(112)을 통하여 기관(10) 측으로 방출될 수 있다.
- [0044] 유기 발광층(119)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(119)이 저분자 유기물일 경우, 중간층(19)은 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등을 더 포함할 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(119)이 고분자 유기물일 경우, 중간층(19)은 홀 수송층(HTL)을 포함할 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0045] 중간층(19) 상에는 공통 전극으로 대향 전극(20)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(112)은 애노드로 사용되고, 대향 전극(20)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0046] 대향 전극(20)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(20)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향 전극(20)이 반사 전극으로 구비됨으로써, 유기 발광층(119)에서 방출된 빛은 대향 전극(20)에 반사되어 투명도전물로 구성된 화소 전극(112)을 통과하여 기관(10) 측으로 방출될 수 있다.
- [0047] 트랜지스터 영역(TR)에는 적어도 하나 이상의 박막트랜지스터가 구비될 수 있다.
- [0048] 기관(10) 상에는 박막트랜지스터의 게이트 전극(212, 213)이 형성된다. 게이트 전극(212, 213)은 전술한 화소 전극(112)과 동일층에 형성된다. 게이트 전극의 제1층(212)은 화소 전극(112)과 동일 물질인 투명 도전물을 포함한다. 만일 화소 전극(112)이 은(Ag)을 포함하는 반투과 금속층(미도시)을 더 포함하면, 게이트 전극의 제1층(212)도 복수개의 층으로 형성될 수 있다. 게이트 전극의 제2층(213)은 저저항 금속 재료를 포함하도록 형성될 수 있다. 도 1에는 도시되지 않았으나, 게이트 전극(212, 213)은 게이트 신호 배선과 연결되어 있다.
- [0049] 게이트 전극(212, 213) 상에는 게이트 절연막으로 기능하는 제1절연층(13)이 형성된다.
- [0050] 제1절연층(13) 상에는 박막트랜지스터의 활성층(214)이 구비된다. 활성층(214)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 또한, 활성층(214)은 Zn(아연), Ga(갈륨), Hf(하프늄), In(인듐), Ti(티탄), 및 Sn(주석)에서 선택된 하나 이상의 원소를 포함하는 투명 도전성 산화물 반도체를 포함할 수 있다.
- [0051] 활성층(212) 상에는 층간 절연막으로 기능하는 제2절연층(15)이 형성된다.
- [0052] 제2절연층(15) 상에는 상기 소스 전극(216a, 217a) 및 드레인 전극(216b, 217b)이 구비된다. 소스 전극의 제1층(216a)과 드레인 전극의 제1층(216b)은 이온 불순물이 포함된 비정질 실리콘을 포함할 수 있고, 소스 전극의 제2층(216)과 드레인 전극의 제2층(217b)은 금속을 포함할 수 있다. 이와 같은 소스 전극(216a, 217a)과 드레인 전극(216b, 217b)은 제2절연층(13)에 형성된 콘택홀(C12, C13, 도 2c참조)을 통하여 활성층(214)에 각각 접속한다. 이때, 이온 불순물이 포함된 비정질 실리콘으로 형성된 소스 전극의 제1층(216a)과 드레인 전극의 제1층(216b)이 활성층(214)에 직접 접속함으로써, 박막트랜지스터의 콘택 저항을 줄일 수 있다.
- [0053] 도 1에는 도시되어 있지 않으나, 소스 전극(216a, 217a) 및 드레인 전극(216b, 217b) 중 하나는 제1절연층(13) 및 제2절연층(15)을 동시에 관통하는 비아홀(미도시)을 통해 픽셀 영역(PXL)의 화소 전극(112)에 연결될 수 있다.
- [0054] 커패시터 영역(CAP)에는 커패시터의 하부전극(312, 313)과 상부전극(314, 316, 317)이 구비된다.
- [0055] 하부전극(312, 313)은 전술한 게이트 전극(212, 213)과 동일층에 동일물질로 형성된다. 즉, 하부전극의 제1층(312)은 게이트 전극의 제1층(212)과 동일층에 동일물질로 형성되고, 하부전극의 제2층(313)은 게이트 전극의 제2층(213)과 동일층에 동일물질로 형성된다.
- [0056] 하부전극(312, 313) 상에는 유전막으로 기능하는 제1절연층(13)이 구비되고, 제1절연층(13) 상에는 상부전극

(314, 316, 317)이 구비된다.

- [0057] 상부전극의 제1층(314)은 전술한 활성층(214)과 동일층에 동일물질로 형성된다. 상부전극의 제2층(316, 317)은 소스 전극(216a, 217a) 및 드레인 전극(216b, 217b)과 동일물질로 형성된다. 즉, 상부전극의 제2층의 제1부분(316)은 소스 전극 및 드레인 전극의 제1층(216a, 216b)과 동일물질로 형성되고, 상부전극의 제2층의 제2부분(317)은 소스 전극 및 드레인 전극의 제1층(217a, 217b)과 동일물질로 형성된다. 다시 말해, 상부전극의 제2층의 제1부분(316)은 이온불순물이 포함된 비정질 실리콘으로 형성될 수 있고, 상부전극의 제2층의 제2부분(317)은 저저항 금속으로 형성될 수 있다.
- [0058] 따라서, 본 실시예에 따른 커패시터는, 게이트 절연막으로 기능하는 제1절연층(13)이 유전막으로 기능하고, 커패시터의 하부전극과 상부전극에 각각 금속을 포함하는 층(313, 317)을 가진 MIM(metal-insulator-metal) CAP으로 형성되기 때문에 전기용량을 증가시킬 수 있다. 따라서, 증가된 전기용량만큼 커패시터의 크기를 줄일 수 있어 유기 발광 표시 장치의 개구율을 증가시킬 수 있다.
- [0059] 한편, 후술하겠지만, 상부전극의 제1층(314)은 커패시터 영역(CAP)에서 제2절연층(15)을 식각하는 공정에서 제1절연층(13)이 함께 식각되는 것을 저지하는 식각 저지층(etch stop layer)으로 기능함으로써 제1절연층(13)이 커패시터의 유전막으로 기능할 수 있도록 한다.
- [0060] 한편, 본 실시예에서 상부전극의 제1층(314)의 가장자리는 제2절연층(15)에 의해 둘러싸이도록 형성되고, 상부전극의 제2층(316, 317)은 제2절연층(15)에 형성된 콘택홀(C14, 도 2c참조)에 형성된다.
- [0061] 도 2a 내지 2e는 전술한 도 1의 유기 발광 표시 장치(1)를 제조하는 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0062] 도 2a는 제1 마스크 공정의 결과물을 도시한 것이다. 상기 도면에는 제조 과정이 상세히 도시되어 있지는 않지만, 기판(10) 상에는 투명 도전물층(미도시) 및 제1금속층(미도시)이 차례로 적층되고, 그 위에 포토레지스터(미도시)가 도포된 후, 제1마스크(미도시)를 이용한 포토리소그라피 공정에 의해, 화소전극(112, 113), 박막트랜지스터의 게이트 전극(212, 213), 및 커패시터의 하부전극(312, 313)이 동시에 패터닝된 것이다. 포토리소그라피에 의한 패터닝 공정은 노광, 현상, 식각, 및 스크립 또는 애싱 등과 같은 일련의 공정을 포함하는 것으로서, 후속 마스크 공정에서 동일 내용에 대한 설명은 생략하기로 한다.
- [0063] 도 2b는 제2 마스크 공정의 결과물을 도시한 것이다. 도 2b를 참조하면, 제1 마스크 공정의 결과물 상에 제1절연층(13)을 형성하고, 제1절연층(13) 상에 제1반도체층(미도시)을 형성한다. 제1반도체층(미도시)을 패터닝하여 박막트랜지스터의 활성층(214) 및 커패시터의 상부전극의 제1층(314)을 형성된다.
- [0064] 이때, 제1반도체층(미도시)은 비정질 실리콘, 결정질 실리콘, 또는 투명 도전성 산화물 반도체로 형성될 수 있다. 제1반도체층(미도시)이 비정질 실리콘일 경우, 비정질 실리콘을 결정화 하는 공정이 더 수반될 수 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0065] 도 2c는 제3 마스크 공정의 결과물을 도시한 것이다. 도 2c를 참조하면, 제2마스크 공정의 결과물 상에 제2절연층(15)을 형성하고, 화소전극(112, 113)을 개구시키는 콘택홀(C11), 활성층(214)의 일부를 개구시키는 콘택홀(C12, C13), 및 상부전극의 제1층(313)을 개구시키는 콘택홀(C14)을 형성한다.
- [0066] 콘택홀(C11) 형성 시, 개구율을 높이기 위하여 제2절연층(15)이 화소전극(112, 113)의 가장자리를 덮지 않도록 제2절연층(15)을 패터닝하는 과정에서, 제1절연층(13)도 제2절연층(15)과 함께 식각된다. 그 결과, 제1절연층(13)과 제2절연층(15)은 화소전극(112, 113)의 가장자리와 떨어져 형성된다. 즉, 제1절연층(13) 및 제2절연층(15)의 식각면과 화소 전극(112, 113)의 가장자리는 오프셋되어 그 사이에 소정의 갭(G1)이 형성된다.
- [0067] 그러나, 본 발명은 이에 한정되는 것은 아니며, 제2절연층(15)이 화소전극(112, 113)의 가장자리를 덮도록 형성할 수도 있다. 이 경우에는 제2절연층(15)의 식각 시 화소전극(112, 113) 상부의 제1절연층(13)이 제2절연층(15)과 함께 식각되지만, 상술한 갭(G1)이 형성되지는 않는다.
- [0068] 한편, 콘택홀(C14) 형성 시, 제2절연층(15)은 커패시터의 상부전극의 제1층(313)의 가장자리를 덮으며, 제1층(313)의 상면을 노출시키도록 개구된다. 이때, 제1층(313)은 제1절연층(13)의 식각을 저지하는 식각 저지층(etch stop layer)로 기능하여 제1절연층(13)이 커패시터의 유전막으로 기능할 수 있도록 한다.

- [0069] 도 2d는 제4 마스크 공정의 결과물을 도시한 것이다. 도 2d를 참조하면, 제3마스크 공정의 결과물 상에 제2반도체층(미도시) 및 제2금속층(미도시)을 차례로 적층하고, 이를 패터닝하여 활성층(214)의 일부와 접속하는 소스 전극(216a, 216b)과 드레인 전극(216b, 217b), 및 상부전극의 제2층(316, 317)을 형성한다.
- [0070] 이때, 제2반도체층(미도시)은 이온불순물이 포함된 비정질 실리콘으로 형성되고, 활성층(214)의 일부와 직접 접하는 소스 전극 및 드레인 전극의 제1층(216a, 217b)으로 형성되어 박막트랜지스터의 콘택 저항을 줄일 수 있다.
- [0071] 한편, 화소전극(112, 113) 상에는 제3마스크 공정을 진행하는 중에 화소전극(112, 113) 상에 적층되는 제2반도체층(미도시)과 제2금속층(미도시)은 패터닝되지 않고 식각된다. 이때, 화소전극의 제2층(113)도 함께 식각되어 화소전극의 제1층(112)이 노출된다.
- [0072] 도 2e는 제5 마스크 공정의 결과물을 도시한 것이다. 도 2e를 참조하면, 제4마스크 공정의 결과물 상에 제3절연층(18)을 형성하고, 화소전극의 제1층(112)의 가장자리를 덮으며 제1층(112)의 상면을 노출시키는 콘택홀(C15)을 형성한다. 콘택홀(C15)은 발광 영역을 정의해주는 역할 외에, 화소 전극의 제1층(112)의 가장자리와 대향 전극(20, 도 1 참조) 사이의 간격을 넓혀, 화소 전극의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소 전극의 제1층(112)과 대향 전극(20)의 단락을 방지하는 역할을 한다.
- [0073] 화소전극의 제1층(112) 상에 전술한 유기 발광층(119)이 포함된 중간층(19) 및 공통전극인 대향 전극(19)을 차례로 형성한다.
- [0074] 상술한 본 실시예에 따른 바텀(bottom) 게이트 타입의 박막트랜지스터를 포함하는 유기 발광 표시 장치를 제작하는데 총 5회의 마스크 공정으로 진행할 수 있다. 따라서, 마스크 공정의 감소에 따른 제조 비용을 획기적으로 줄일 수 있다.
- [0075] 도 3은 본 발명의 비교예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이고, 도 4a 내지 4e는 도 3의 유기 발광 표시 장치(2)를 제조하는 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0076] 도 3을 참조하면, 기판(10) 상에는 픽셀 영역(PXL), 트랜지스터 영역(TR), 및 커패시터 영역(CAP)이 구비된다.
- [0077] 픽셀 영역(PXL)에는 기판(10) 상의 제1절연층(13) 상에 투명 도전물을 포함하는 화소 전극(414)이 구비되고, 제1절연층(13)과 제2절연층(15)의 식각면과 화소전극(414)의 가장자리는 소정의 갭(G1)이 형성된다. 제3절연층(18)에는 화소 전극(414)을 노출시키는 개구(C25, 도 4e참조)가 형성된다.
- [0078] 화소 전극(414) 상에는 유기 발광층(419)을 포함하는 중간층(19)이 형성되고, 유기 발광층(119)에서 방출된 광은 투명 도전물로 형성된 화소 전극(414)을 통하여 기판(10) 측으로 방출될 수 있다. 중간층(19) 상에는 공통전극으로 대향 전극(20)이 증착된다.
- [0079] 트랜지스터 영역(TR)에는 기판(10) 상에 박막트랜지스터의 활성층(511)이 형성된다. 활성층(511)은 채널 영역(511c)과, 채널 영역(511c) 외측에 이온 불순물이 도핑된 소스 영역(511a) 및 드레인 영역(511b)을 포함한다.
- [0080] 활성층(511) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(511)의 채널 영역(511c)에 대응되는 위치에 투명도전물을 포함하는 게이트 전극 제1층(514) 및 게이트 전극 제2층(515)이 차례로 구비된다. 게이트 전극의 제1층(514)은 화소 전극(414)과 동일층에 형성된다. 게이트 전극의 제1층(514)은 화소 전극(414)과 동일물질인 투명 도전물을 포함한다.
- [0081] 게이트 전극 제2층(515) 상에는 층간 절연막인 제2절연층(15)을 사이에 두고 활성층(511)의 소스 영역(511a) 및 드레인 영역(511b)에 각각 접속하는 소스 전극(517a) 및 드레인 전극(517b)이 구비된다.
- [0082] 제2절연층(15) 상에는 상기 소스 전극(217a) 및 드레인 전극(517b)을 덮도록 제3절연층(18)이 구비된다.
- [0083] 커패시터 영역(CAP)에는 커패시터의 하부전극(611)과 상부전극(614)이 구비된다. 하부전극(611)은 활성층(511)과 동일 재료를 포함하고, 상부전극(614)은 게이트 전극 제1층(514)과 동일 재료를 포함한다. 이때, 하부전극(611)은 활성층(511)의 소스 영역(511a) 및 드레인 영역(511b)과 동일 재료로서, 이온 불순물이 도핑된 반도체를 포함할 수 있다.
- [0084] 제1절연층(13)은 하부 전극(611) 상부에는 위치하지만, 하부 전극(611)의 외곽에는 일부 형성되지 않는 영역이 존재한다. 제1절연층(13) 및 제2절연층(15)과 하부 전극(611)의 외곽 사이에, 갭(G2)을 형성하며 제1절연층(13)이 형성되지 않는 부분이 존재한다.

- [0085] 도 4a는 제1 마스크 공정의 결과물을 도시한 것이다. 도 4a를 참조하면, 기판(10) 상에 활성층(511)과 커패시터의 하부전극(611)이 형성된다.
- [0086] 도 4b는 제2 마스크 공정의 결과물을 도시한 것이다. 도 4b를 참조하면, 제1공정의 결과물 상에, 제1절연층(13)을 형성하고, 제1절연층(13) 상에 게이트전극(514, 515), 상부전극(614, 615) 및 화소전극(414, 415)을 형성한다. 이후, 게이트 전극(514, 515)을 셀프-얼라인(self-align) 마스크로 하여 이온 불순물을 1차 도핑(D1)함으로써 활성층의 가장자리에 소스 영역(511a)과 드레인 영역(511b)을 형성한다.
- [0087] 도 4c는 제3 마스크 공정의 결과물을 도시한 것이다. 도 4c를 참조하면, 제2공정의 결과물 상에, 제2절연층(15)을 형성하고, 화소전극(414, 415)을 개구시키는 콘택홀(C21), 활성층(511)의 일부를 개구시키는 콘택홀(C22, C23), 및 상부전극(614, 615)을 개구시키는 콘택홀(C24)을 형성한다.
- [0088] 콘택홀(C21) 형성 시, 개구율을 높이기 위하여 제2절연층(15)이 화소전극(414, 415)의 가장자리를 덮지 않도록 제2절연층(15)을 패터닝하는 과정에서, 제1절연층(13)도 함께 식각된다. 그 결과, 제1절연층(13)과 제2절연층(15)은 화소전극(414, 415)의 가장자리와 떨어져 형성된다. 즉, 제1절연층(13) 및 제2절연층(15)의 식각면과 화소 전극(414, 415)의 가장자리 사이에 소정의 갭(G1)이 형성된다.
- [0089] 한편, 콘택홀(C24) 형성 시, 제2절연층(15)은 커패시터의 상부전극(614, 615)의 가장자리를 덮지 않도록 패터닝된다. 이때, 제1절연층(13)도 함께 식각된다. 즉, 상부전극(614, 615)의 가장자리와 제1절연층(13)과 제2절연층(15)의 식각면 사이에 소정의 갭(G2)이 형성된다. 만약, 제2절연층(15)이 상부전극(614, 615)의 가장자리를 덮을 경우, 제2절연층(15)에 덮힌 부분에 대응되는 하부전극(611)에는 이온 불순물이 도핑되지 않는 영역이 발생하여 커패시터의 신호전달 품질을 떨어뜨리게 된다.
- [0090] 도 4d는 제4 마스크 공정의 결과물을 도시한 것이다. 도 4d를 참조하면, 제3마스크 공정의 결과물 상에 소정의 금속층(미도시)을 적층하여 이를 패터닝하여 소스 전극(517a)과 드레인 전극(517b)을 형성한다. 이 과정에서 화소 영역 및 커패시터 영역에서는 금속층(미도시)과 함께 화소 전극의 제2층(415) 및 상부전극의 제2층(615)이 함께 제거된다. 이후, 2차 도핑을 실시한다.
- [0091] 2차 도핑에 의해 하부전극(611)을 이루는 반도체에도 비로소 이온불순물이 도핑된다. 만일, 전술한 제3 마스크 공정에서 제2절연층(15)이 상부전극(614, 615)의 가장자리를 덮게 되면, 제2절연층(15)에 덮힌 부분에 대응되는 하부전극(611)에는 이온 불순물이 도핑되지 않는 영역이 발생하는 문제가 생길 수 있으나 상기 구조에서는 하부전극(611)에 도핑이 안되는 문제는 발생하지 않는다.
- [0092] 그러나, 제2절연층(15)을 식각하는 과정에서 제1절연층(13)도 함께 식각되는 문제가 발생한다. 즉, 갭(G2)이 생기는 것이다. 그런데, 콘택홀(C24)을 형성하는 과정에서, 반도체 물질을 포함하는 하부전극(611)과 소스 전극(517a) 및 드레인 전극(517b)에 포함된 금속의 반응에 의해, 실리콘-금속 혼합물(silicon-metal compound)이 발생할 수 있다. 이와 같은 실리콘-금속 혼합물이 제거되지 않고 갭(G2)에 남아 있을 경우 상부전극(614) 및 하부전극(611) 사이에 누설전류를 발생시킬 수 있는 문제가 있다.
- [0093] 도 4e는 제5 마스크 공정의 결과물을 도시한 것이다. 도 4e를 참조하면, 제4마스크 공정의 결과물 상에 제3절연층(18)을 형성하고, 화소 전극의 제1층(414)의 가장자리를 덮으며 제1층(414)의 상면을 노출시키는 콘택홀(C25)을 형성한다.
- [0094] 상술한 바와 같이, 비교예에 따른 유기 발광 표시 장치(2)는 비록 5번의 마스크 공정에 의해 제조되지만, 커패시터에 누설전류가 발생하는 문제점이 남는다. 그러나, 도 2a 내지 2e에 의해 제조된 본 실시예에 따른 유기 발광 표시 장치(3)에 의하면, 커패시터의 누설전류 문제가 발생하지 않는다.
- [0095] 이하, 도 5 및 도 6a 내지 6e를 참조하여 본 발명의 다른 실시예를 설명하기로 한다.
- [0096] 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(3)를 개략적으로 도시한 단면도이고, 도 6a 내지 6e는 도 5의 유기 발광 표시 장치(3)의 제조 과정을 개략적으로 도시한 도면들이다. 이하, 전술한 실시예와의 차이점을 중심으로 본 실시예를 설명하기로 한다.
- [0097] 도 5를 참조하면, 본 실시예에 따른 유기 발광 표시 장치(3)의 기판(10) 상에는 픽셀 영역(PXL), 트랜지스터 영역(TR), 및 커패시터 영역(CAP)이 형성된다.
- [0098] 픽셀 영역(PXL)에는 기판(10) 상에 투명 도전물을 포함하는 화소 전극(712)이 구비되고, 화소 전극(712) 상부 가장자리에 제1절연층(13)과 제2절연층(15)이 차례로 적층되며, 상기 제1절연층(13)과 제2절연층(15)의 식각면

과 화소전극(112)의 가장자리는 소정의 갭(G1)이 형성된다. 제2절연층(15) 상에는 제3절연층(18)이 구비되고, 제3절연층(18)에는 화소 전극(712)을 노출시키는 개구(C35)가 형성된다. 화소 전극(712) 상에는 유기 발광층(119)을 포함하는 중간층(19)이 형성된다. 중간층(19) 상에는 공통 전극으로 대향 전극(20)이 증착된다. 유기 발광층(119)에서 방출된 광은 투명 도전물로 형성된 화소 전극(712)을 통하여 기관(10) 측으로 방출될 수 있다.

[0099] 트랜지스터 영역(TR)에는 적어도 하나 이상의 박막트랜지스터가 구비될 수 있다. 기관(10) 상에는 박막트랜지스터의 게이트 전극(812, 813)이 형성된다. 게이트 전극(812, 813)은 전술한 화소 전극(712)과 동일층에 형성된다. 게이트 전극(812, 814) 상에는 제1절연층(13)이 형성되고, 제1절연층(13) 상에는 박막트랜지스터의 활성층(814)이 구비된다. 활성층(812) 상에는 층간 절연막으로 기능하는 제2절연층(15)이 형성되고, 제2절연층(15) 상에는 상기 소스 전극(816a, 817a) 및 드레인 전극(816b, 817b)이 구비된다.

[0100] 전술한 실시예와 마찬가지로, 소스 전극의 제1층(816a) 및 드레인 전극의 제1층(816b)은 이온 불순물이 포함된 비정질 실리콘을 포함할 수 있고, 소스 전극의 제2층(816b) 및 드레인 전극의 제2층(817b)은 금속을 포함할 수 있다. 이때, 이온 불순물이 포함된 비정질 실리콘으로 형성된 소스 전극의 제1층(816a) 및 드레인 전극의 제1층(816b)이 활성층(814)에 직접 접촉함으로써, 콘택 저항을 줄일 수 있다.

[0101] 한편, 본 실시예는 전술한 실시예와 달리 활성층(814)이 게이트 전극(814, 815)보다 작게 형성된다. 즉, 활성층(814) 전체가 게이트 전극(814, 815) 위에 형성된다.

[0102] 반면, 도 1을 참조하면, 전술한 실시예에서는 활성층(214)의 일부가 게이트 전극(212, 213)의 가장자리에 형성된다. 대형 표시 장치가 될수록 저항을 줄이기 위해 게이트 전극을 포함한 게이트 배선의 두께를 두껍게 형성하는데, 이렇게 게이트 전극의 두께를 두껍게 하면, 게이트 전극(212, 213) 가장자리에서는 제1절연층(13)의 스텝 커버리지가 좋지 않아 쇼트 발생률이 높아진다.

[0103] 그러나, 본 실시예에서는 게이트 전극(813, 814)의 크기를 활성층(814)보다 크게 하여, 즉, 활성층(814) 전체가 게이트 전극(814, 815) 위에 형성되게 함으로써, 쇼트 발생률을 줄일 수 있다.

[0104] 커패시터 영역(CAP)에는 커패시터의 하부전극(912, 913)과 상부전극(914, 916, 917)이 구비된다. 하부전극(912, 913)은 게이트 전극(912, 913)과 동일층에 동일물질로 형성된다. 하부전극(912, 913) 상에는 유전막으로 기능하는 제1절연층(13)이 구비되고, 제1절연층(13) 상에는 상부전극(914, 916, 917)이 구비된다.

[0105] 도 6a 내지 6e는 전술한 도 5의 유기 발광 표시 장치(3)를 제조하는 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0106] 도 6a는 제1 마스크 공정의 결과물을 도시한 것이다. 도 6a를 참조하면, 기관(10) 상에는 화소전극(712, 713), 박막트랜지스터의 게이트 전극(812, 813), 및 커패시터의 하부전극(912, 913)이 동시에 패터닝된다.

[0107] 도 6b는 제2 마스크 공정의 결과물을 도시한 것이다. 도 6b를 참조하면, 제1 마스크 공정의 결과물 상에 제1절연층(13)을 형성하고, 제1절연층(13) 상에 박막트랜지스터의 활성층(814) 및 커패시터의 상부전극의 제1층(914)이 형성된다. 이때, 활성층(814)의 크기를 게이트 전극(812, 813)의 크기보다 작게 하여 활성층(814) 전체가 게이트 전극(812, 813) 상에 형성되도록 한다.

[0108] 도 6c는 제3 마스크 공정의 결과물을 도시한 것이다. 도 6c를 참조하면, 제2마스크 공정의 결과물 상에 제2절연층(15)을 형성하고, 화소전극(112, 113)을 개구시키는 콘택홀(C11), 활성층(214)의 일부를 개구시키는 콘택홀(C12, C13), 및 상부전극의 제1층(313)을 개구시키는 콘택홀(C14)을 형성한다.

[0109] 도 6d는 제4 마스크 공정의 결과물을 도시한 것이다. 도 2d를 참조하면, 제3마스크 공정의 결과물 상에 활성층(814)의 일부와 접촉하는 소스 전극(816a, 816b)과 드레인 전극(816b, 817b), 및 상부전극의 제2층(916, 917)을 형성한다. 이때, 화소전극의 제2층(713)도 함께 식각되어 화소전극의 제1층(712)이 노출된다.

[0110] 도 2e는 제5 마스크 공정의 결과물을 도시한 것이다. 도 5e를 참조하면, 제4마스크 공정의 결과물 상에 제3절연층(18)을 형성하고, 화소전극의 제1층(712)의 가장자리를 덮으며 제1층(712)의 상면을 노출시키는 콘택홀(C35)을 형성한다.

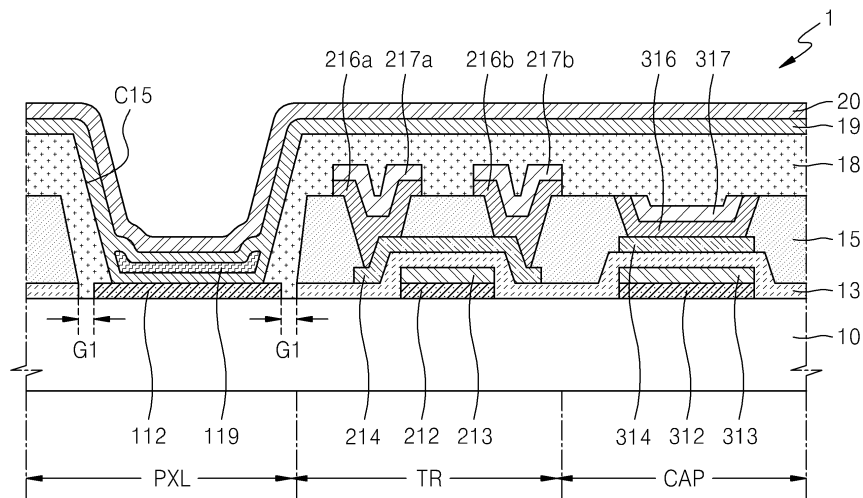
[0111] 상술한 바와 같이 본 발명에 따르면, 바텀 게이트 타입의 박막트랜지스터를 포함하는 유기 발광 표시 장치를 제작하는데 총 5회의 마스크 공정으로 진행할 수 있다.

[0112] 또한, 활성층과 소스 전극 및 드레인 전극 사이에 이온불순물이 도핑된 비정질 실리콘층을 형성함으로써 콘택 저항을 줄일 수 있다.

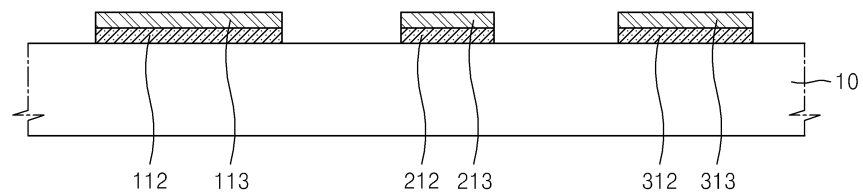
- [0113] 또한, 커패시터를 MIM CAP으로 형성하여 전기용량을 증가시킬 수 있다.
- [0114] 또한, 이온불순물이 도핑된 커패시터의 상부전극의 일부를 절연층에 대한 식각 저지층으로 사용함으로써 유전막을 보호할 수 있다.
- [0115] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

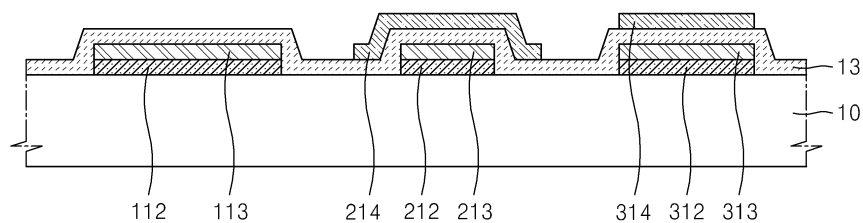
도면1



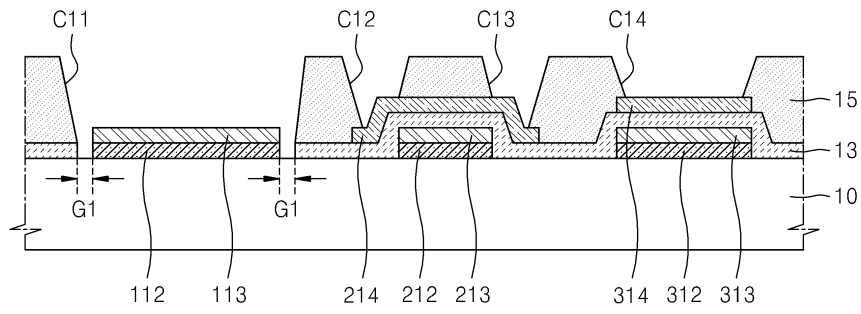
도면2a



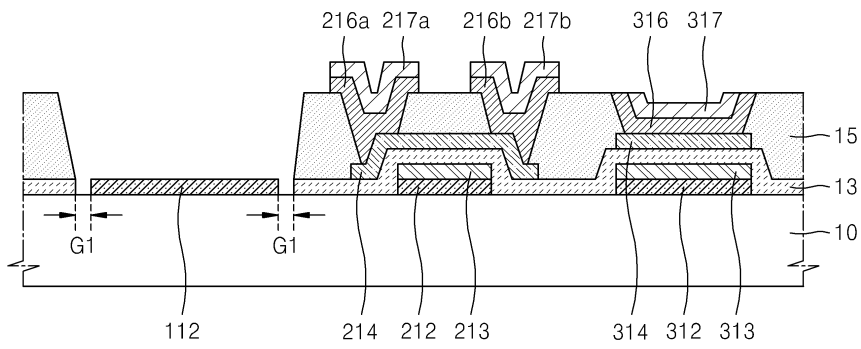
도면2b



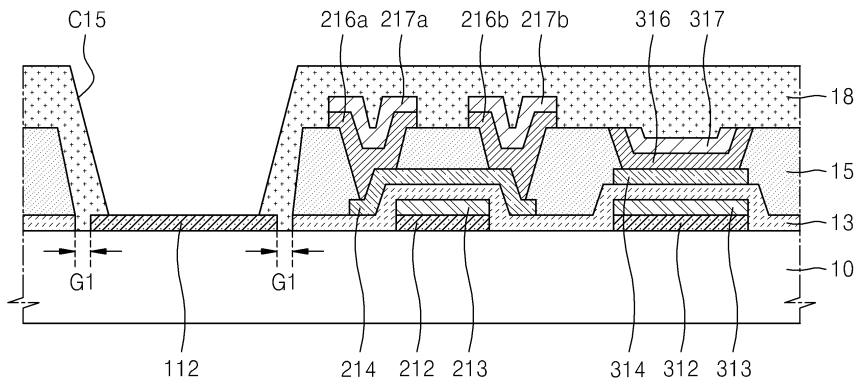
도면2c



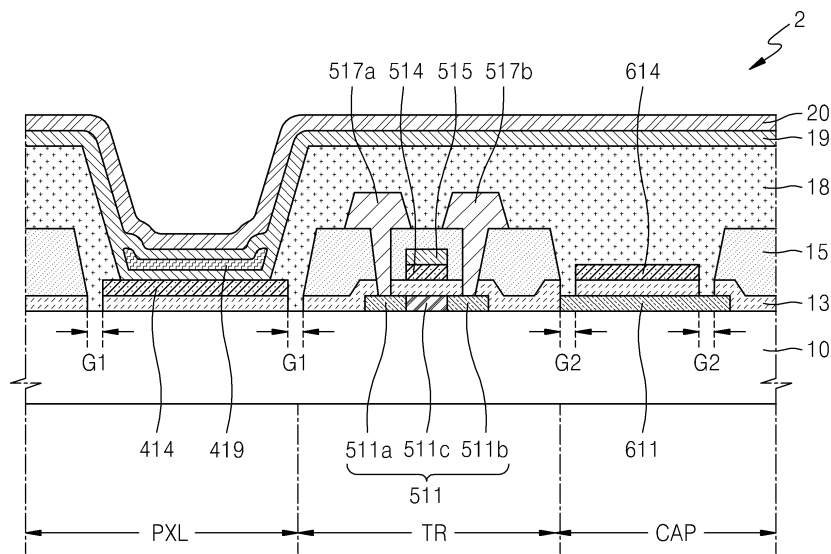
도면2d



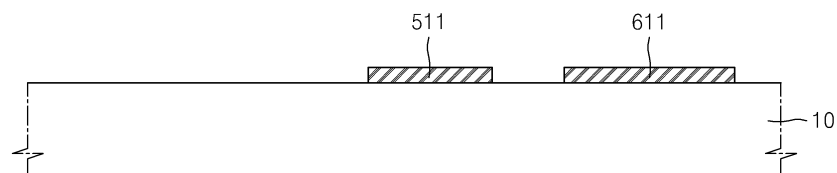
도면2e



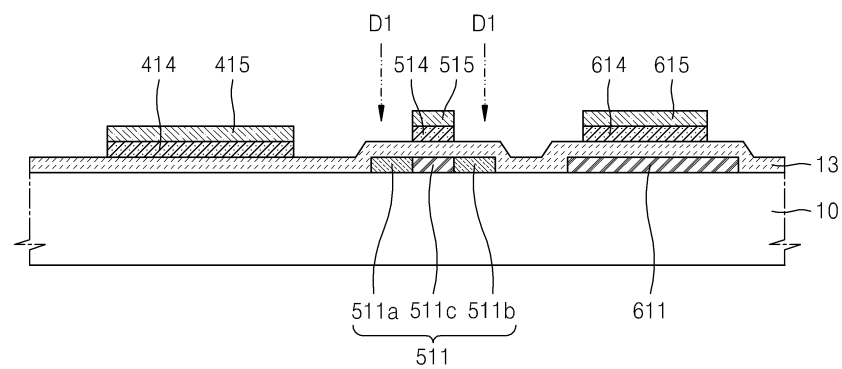
도면3



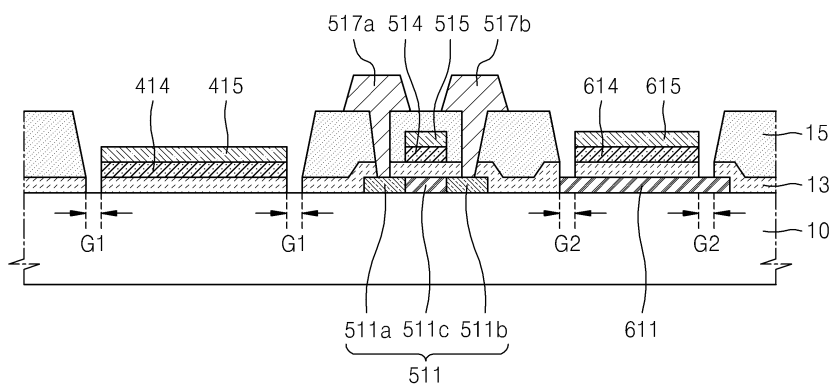
도면4a



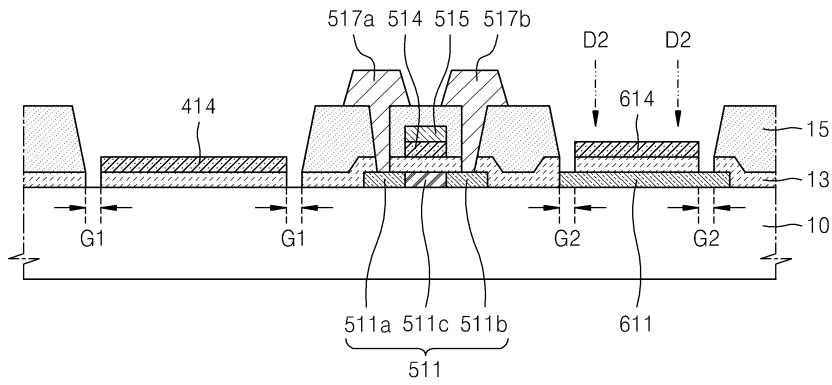
도면4b



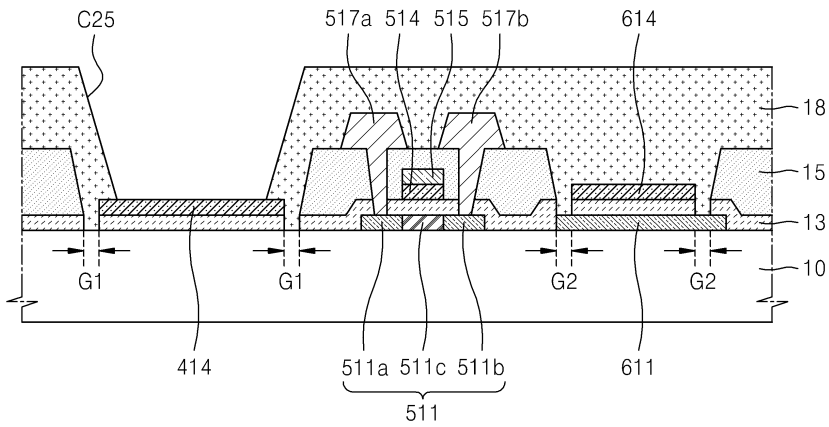
도면4c



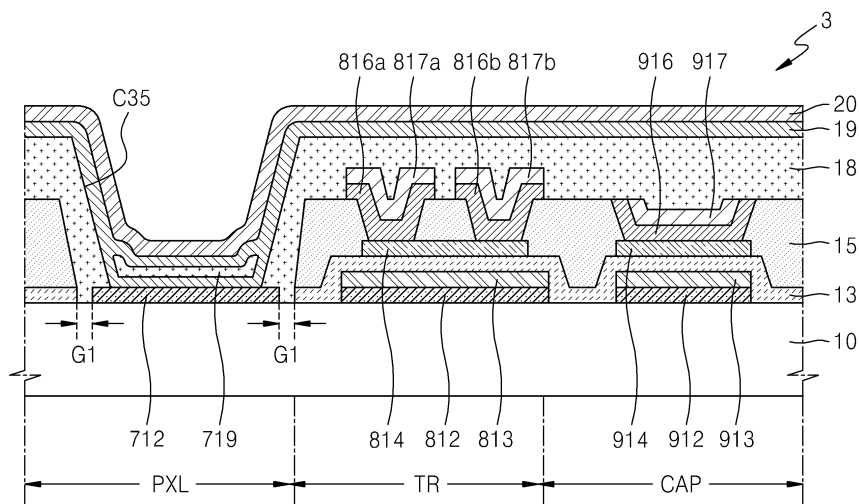
도면4d



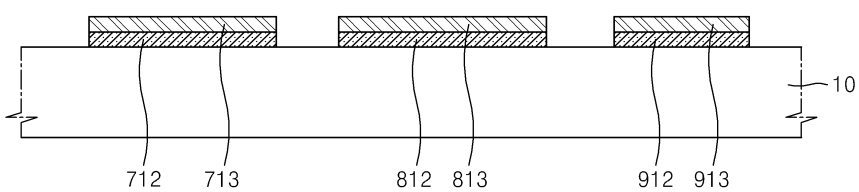
도면4e



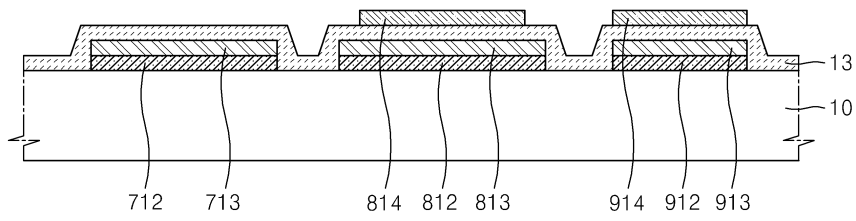
도면5



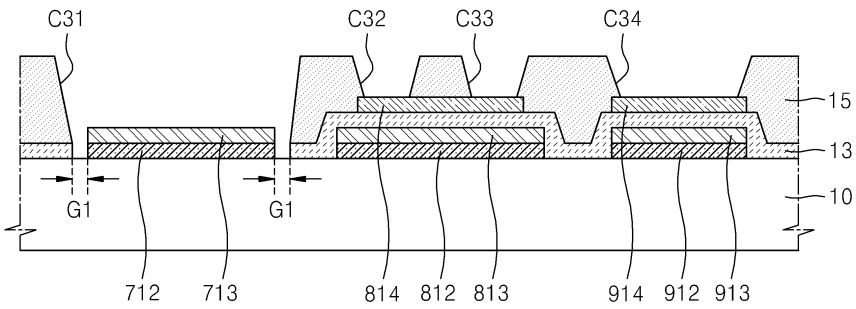
도면6a



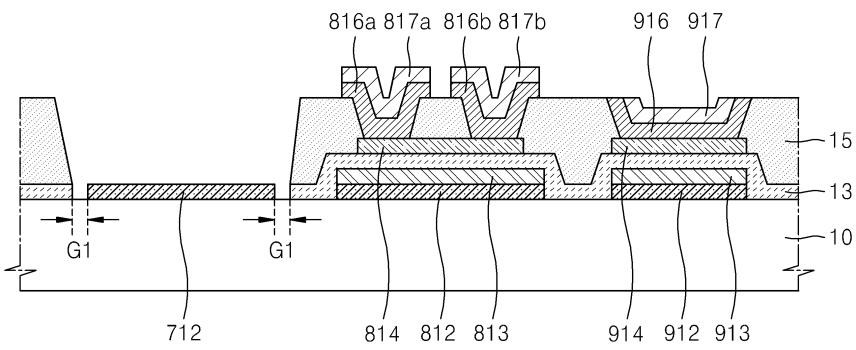
도면6b



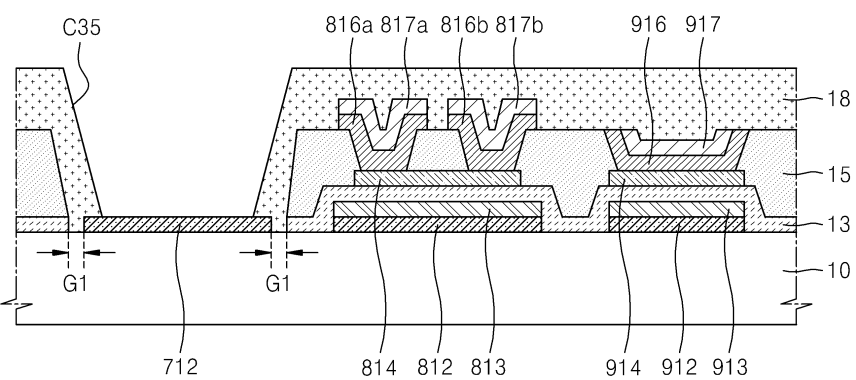
도면6c



도면6d



도면6e



专利名称(译)	薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	KR101938761B1	公开(公告)日	2019-01-16
申请号	KR1020120054947	申请日	2012-05-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김성호 허종무		
发明人	김성호 허종무		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/3262 H01L27/1255 H01L27/1259 H01L27/3265		
审查员(译)	Jeongmyeong周		
其他公开文献	KR1020130131124A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管阵列基板包括：薄膜晶体管，该薄膜晶体管包括栅电极，有源层以及源极和漏极；与该栅电极位于同一层上的像素电极；电容器的下部电极，该下部电极在上方。与栅电极相同的层，栅电极和下部电极上的第一绝缘层，有源层与源电极和漏电极之间的第二绝缘层，第一绝缘层上的上部电极，上部电极包括 第一层由与有源层相同的材料制成，第二层由与源极和漏极相同的材料制成，第三绝缘层覆盖源极和漏极以及上电极并暴露像素电极。