



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월23일
 (11) 등록번호 10-1688923
 (24) 등록일자 2016년12월16일

(51) 국제특허분류(Int. Cl.)
 G09G 3/32 (2016.01) G09G 3/30 (2006.01)
 G09G 5/18 (2006.01)
 (21) 출원번호 10-2013-0138238
 (22) 출원일자 2013년11월14일
 심사청구일자 2015년06월03일
 (65) 공개번호 10-2015-0056106
 (43) 공개일자 2015년05월26일
 (56) 선행기술조사문헌
 KR1020080061268 A*
 KR1020130024744 A*
 US20120299978 A1
 WO2007090287 A1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
신현기
 경기도 파주시 미래로 535 102동 1202호 (목동
 동, 현대1차아파트)
김범식
 경기도 수원시 권선구 권광로 55 113동 1302호 (권선동, 권선자이e편한세상아파트)
 (74) 대리인
김은구, 송해모

전체 청구항 수 : 총 5 항

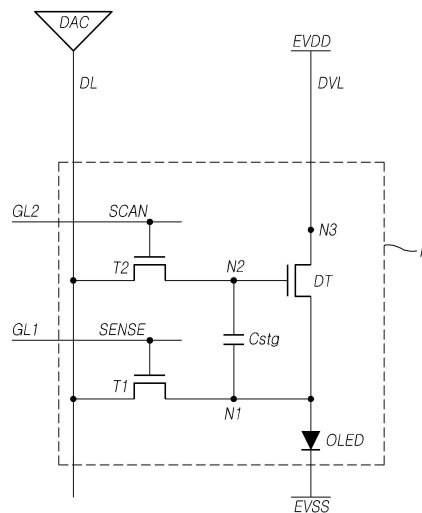
심사관 : 윤성주

(54) 발명의 명칭 **유기발광표시장치 및 그 구동방법**

(57) 요약

본 발명은 유기발광다이오드; 및 센스신호에 의해 제어되며 데이터 라인과 연결된 제1 트랜지스터; 스캔신호에 의해 제어되며 데이터 라인과 연결된 제2 트랜지스터; 및 유기발광다이오드를 구동하되, 제1 트랜지스터를 통해 기준전압이 인가되는 제1 노드와, 제2 트랜지스터를 통해 데이터전압이 인가되는 제2 노드와, 구동전압 라인과 연결된 제3 노드를 갖는 구동 트랜지스터를 포함하는 유기발광표시장치 및 그 구동방법에 관한 것이다.

대표도 - 도6



명세서

청구범위

청구항 1

다수의 데이터 라인, 다수의 제1 게이트 라인 및 다수의 제2 게이트 라인이 형성되어 다수의 화소가 정의되는 표시패널;

상기 표시패널에서 일 방향으로 형성된 상기 데이터 라인을 구동하는 데이터 구동부;

상기 표시패널에서 상기 데이터 라인과 교차하는 타 방향으로 형성된 제1 게이트 라인을 통해 센스신호를 공급하는 제1 게이트 구동부;

상기 표시패널에서 상기 제1 게이트 라인과 평행하게 형성된 제2 게이트 라인을 통해 스캔신호를 공급하는 제2 게이트 구동부; 및

상기 데이터 구동부, 상기 제1 게이트 구동부 및 제2 게이트 구동부의 구동 타이밍을 제어하는 타이밍 컨트롤러를 포함하되,

상기 각 화소는,

유기발광다이오드와, 드레인 단자와 대응하는 제1 노드, 게이트 단자와 대응하는 제2 노드 및 소스 단자와 대응하는 제3 노드를 갖는 구동 트랜지스터와, 상기 센스신호에 의해 제어되며 상기 데이터 라인과 상기 구동 트랜지스터의 제1 노드 사이에 연결된 제1 트랜지스터와, 상기 스캔신호에 의해 제어되며 상기 데이터 라인과 상기 구동 트랜지스터의 제2 노드 사이에 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 연결되는 스토리지 캐패시터를 포함하고,

상기 구동 트랜지스터의 문턱전압 및 이동도 중 하나 이상을 센싱하기 위한 센싱부를 더 포함하며,

상기 센싱부는,

상기 구동 트랜지스터의 제3 노드과 연결되는 구동전압 라인에 연결되고,

상기 구동전압 라인과 연결된 센싱노드를 통해 흐르는 전류를 측정하는 전류 측정기; 및 프리차지 전압 공급노드 및 상기 센싱노드 간의 연결을 스위칭하고, 상기 전류 측정기의 연결노드 및 상기 센싱노드 간의 연결을 스위칭하는 스위치를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 데이터 라인은,

해당 화소의 동작 타이밍에 따라, 기준전압을 공급하는 신호라인으로 동작하거나, 데이터전압을 공급하는 신호라인으로 동작하는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 각 화소가 발광 모드로 동작하는 경우,

상기 제1 트랜지스터는 턴 온 되어 상기 데이터 라인으로 기준전압이 출력됨으로써, 상기 구동 트랜지스터의 제1 노드에 기준전압이 인가되고,

상기 제1 트랜지스터는 턴 오프 되고 상기 제2 트랜지스터는 턴 온 되어 상기 데이터 라인으로 데이터전압이 출력됨으로써, 제2 노드에 기준전압이 인가되어 있는 상기 구동 트랜지스터의 제2 노드에 데이터전압이 인가되며,

이후, 상기 구동 트랜지스터의 제2 노드와 제1 노드 사이에 일정 전압이 걸려 상기 유기발광다이오드로 전류가 흐르는 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 구동 트랜지스터의 제3 노드와 상기 센싱부 사이에 배치된 저항기를 더 포함하는 유기발광표시장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

복수의 게이트 라인과 데이터 라인들에 의해 정의되는 복수의 화소를 포함하고,

상기 각 화소는,

유기발광다이오드와, 드레인 단자와 대응하는 제1 노드, 게이트 단자와 대응하는 제2 노드 및 소스 단자와 대응하는 제3 노드를 갖는 구동 트랜지스터와, 센싱신호에 의해 제어되며 상기 데이터 라인과 상기 구동 트랜지스터의 제1 노드 사이에 연결된 제1 트랜지스터와, 스캔신호에 의해 제어되며 상기 데이터 라인과 상기 구동 트랜지스터의 제2 노드 사이에 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 연결되는 스토리지 캐패시터 및 상기 구동 트랜지스터의 제3 노드와 연결된 구동전압 라인을 포함하는 유기발광표시장치의 구동 방법에 있어서,

상기 제1 트랜지스터가 턴 온되어 상기 구동전압 라인의 센싱노드에 프리차지 전압이 인가되는 단계;

상기 제2 트랜지스터가 턴 온되어 상기 구동 트랜지스터의 제1 및 제2 노드에 제1 데이터 전압이 인가되는 단계;

상기 제1 데이터 전압에 의해 상기 구동 트랜지스터의 제1 노드에서 구동전압 라인으로 흐르는 제1 전류를 측정하는 단계;

동일한 방식으로 상기 구동 트랜지스터의 제1 및 제2 노드에 제2 데이터 전압을 인가하여, 상기 구동 트랜지스터의 제1 노드에서 구동전압 라인으로 흐르는 제2 전류를 측정하는 단계; 및

상기 프리차지 전압, 제1 및 제2 전류를 이용하여 상기 구동 트랜지스터의 문턱전압과 이동도를 센싱하는 단계를 포함하는 유기발광표시장치의 구동방법.

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기전계발광 표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택

된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

- [0004] 이러한 유기발광표시장치의 각 화소는 유기발광다이오드와, 이를 구동시키기 위한 구동 트랜지스터 및 스토리지 캐패시터 등이 각종 신호 라인들과 연결된 화소 구조를 갖는다.
- [0005] 종래의 화소 구조는, 구동 트랜지스터의 소스 노드(또는 드레인 노드)를 초기화시켜주기 위한 기준전압 라인이 필요하기 때문에, 이러한 기준전압 라인은 화소마다 표시패널에 형성되어 각각의 데이터 구동 집적회로에 직접 연결된다.
- [0006] 이로 인해, 표시패널의 개구율이 떨어질 뿐만 아니라, 데이터 집적회로의 연결 수도 그만큼 증가하는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0007] 이러한 배경에서, 본 발명의 목적은, 높은 개구율을 갖는 새로운 개념의 화소 구조를 갖는 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.
- [0008] 또한, 본 발명의 다른 목적은, 기준전압 라인이 필요하지 않고 부가적인 신호 라인과의 중첩 영역을 줄여주어 높은 개구율을 가능하게 하는 화소 구조를 갖는 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.
- [0009] 또한, 본 발명의 또 다른 목적은, 데이터 구동 집적회로의 연결 핀 개수 및 면적을 줄일 수 있고, 그 비용도 절감시킬 수 있는 화소 구조를 갖는 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

- [0010] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 다수의 데이터 라인, 다수의 제1 게이트 라인 및 다수의 제2 게이트 라인이 형성되어 다수의 화소가 정의되는 표시패널; 상기 표시패널에서 일 방향으로 형성된 상기 데이터 라인을 구동하는 데이터 구동부; 상기 표시패널에서 상기 데이터 라인과 교차하는 타 방향으로 형성된 제1 게이트 라인을 통해 센스신호를 공급하는 제1 게이트 구동부; 상기 표시패널에서 상기 제1 게이트 라인과 평행하게 형성된 제2 게이트 라인을 통해 스캔신호를 공급하는 제2 게이트 구동부; 및 상기 데이터 구동부, 상기 제1 게이트 구동부 및 제2 게이트 구동부의 구동 타이밍을 제어하는 타이밍 컨트롤러를 포함하되, 상기 각 화소는, 유기발광다이오드와, 제1 노드, 제2 노드 및 제3 노드를 갖는 구동 트랜지스터와, 상기 센스신호에 의해 제어되며 상기 데이터 라인과 상기 구동 트랜지스터의 제1 노드 사이에 연결된 제1 트랜지스터와, 상기 스캔신호에 의해 제어되며 상기 데이터 라인과 상기 구동 트랜지스터의 제2 노드 사이에 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 연결되는 스토리지 캐패시터를 포함하는 유기발광표시장치를 제공한다.
- [0011] 다른 측면에서, 본 발명은, 유기발광다이오드; 및 센스신호에 의해 제어되며 상기 데이터 라인과 연결된 제1 트랜지스터; 스캔신호에 의해 제어되며 상기 데이터 라인과 연결된 제2 트랜지스터; 및 상기 유기발광다이오드를 구동하되, 상기 제1 트랜지스터를 통해 기준전압이 인가되는 제1 노드와, 상기 제2 트랜지스터를 통해 데이터전압이 인가되는 제2 노드와, 구동전압 라인과 연결된 제3 노드를 갖는 구동 트랜지스터를 포함하는 유기발광표시장치를 제공한다.

발명의 효과

- [0012] 이상에서 설명한 바와 같이 본 발명에 의하면, 높은 개구율을 갖는 새로운 개념의 화소 구조를 갖는 유기발광표시장치 및 그 구동방법을 제공하는 효과가 있다.
- [0013] 또한, 본 발명에 의하면, 기준전압 라인이 필요하지 않고 부가적인 신호 라인과의 중첩 영역을 줄여주어 높은 개구율을 가능하게 하는 화소 구조를 갖는 유기발광표시장치 및 그 구동방법을 제공하는 효과가 있다.
- [0014] 또한, 본 발명에 의하면, 데이터 구동 집적회로의 연결 핀 개수 및 면적을 줄일 수 있고, 그 비용도 절감시킬 수 있는 화소 구조를 갖는 유기발광표시장치 및 그 구동방법을 제공하는 효과가 있다.

도면의 간단한 설명

- [0015] 도 1은 일 실시예에 따른 유기발광표시장치의 시스템을 나타낸 도면이다.

- 도 2는 일 실시예에 따른 유기발광표시장치의 화소 구조를 나타낸 등가 회로도이다.
- 도 3은 일 실시예에 따른 유기발광표시장치의 발광 모드의 타이밍도이다.
- 도 4는 일 실시예에 따른 유기발광표시장치의 표시패널의 평면도이다.
- 도 5는 다른 실시예에 따른 유기발광표시장치의 시스템을 나타낸 도면이다.
- 도 6은 다른 실시예에 따른 유기발광표시장치의 화소 구조를 나타낸 등가 회로도이다.
- 도 7은 다른 실시예에 따른 유기발광표시장치의 발광 모드의 타이밍도이다.
- 도 8 내지 도 10은 다른 실시예에 따른 유기발광표시장치의 발광 모드의 각 단계별 동작 회로도이다.
- 도 11은 다른 실시예에 따른 유기발광표시장치의 화소가 전압센싱기반의 센싱 모드로 동작할 때의 회로도이다.
- 도 12는 다른 실시예에 따른 유기발광표시장치의 화소가 전압센싱기반의 센싱 모드 중 문턱전압 센싱 모드의 타이밍도이다.
- 도 13 내지 도 15는 다른 실시예에 따른 유기발광표시장치의 화소가 전압센싱기반의 센싱 모드 중 문턱전압 센싱 모드의 각 단계별 동작 회로도이다.
- 도 16은 다른 실시예에 따른 유기발광표시장치의 화소가 전압센싱기반의 센싱 모드 중 이동도 센싱 모드의 타이밍도이다.
- 도 17 내지 도 20은 다른 실시예에 따른 유기발광표시장치의 화소가 전압센싱기반의 센싱 모드 중 이동도 센싱 모드의 각 단계별 동작 회로도이다.
- 도 21은 다른 실시예에 따른 유기발광표시장치의 화소가 전류센싱기반의 센싱 모드로 동작할 때의 회로도이다.
- 도 22는 다른 실시예에 따른 유기발광표시장치의 화소가 전류센싱기반의 센싱 모드의 타이밍도이다.
- 도 23 내지 도 25는 다른 실시예에 따른 유기발광표시장치의 화소가 전류센싱기반의 센싱 모드로 동작할 때의 회로도이다.
- 도 26은 다른 실시예에 따른 유기발광표시장치의 표시패널의 평면도이다.
- 도 27은 일 실시예에 따른 표시패널과 다른 실시예에 따른 표시패널을 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0017] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0018] 도 1은 일 실시예에 따른 유기발광표시장치(100)의 시스템을 나타낸 도면이다.
- [0019] 도 1을 참조하면, 일 실시예에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL), 다수의 제1 게이트 라인(GL1) 및 다수의 제2 게이트 라인(GL2)가 형성되어 다수의 화소(P: Pixel)가 정의되는 표시패널(110)과, 표시패널(110)에서 일 방향으로 형성된 다수의 데이터 라인(DL)을 구동하는 데이터 구동부(120)와, 표시패널(110)에서 데이터 라인(DL)과 교차하는 타 방향으로 형성된 제1 게이트 라인(GL1)을 통해 센스신호(Sense Signal)를 공급하는 제1 게이트 구동부(130)와, 표시패널(110)에서 제1 게이트 라인(GL1)과 평행하게 형성된 제2 게이트 라인(GL2)을 통해 스캔신호(Scan Signal)를 공급하는 제2 게이트 구동부(140)와, 데이터 구동부(120), 제1 게이트 구동부(130) 및 제2 게이트 구동부(140)의 구동 타이밍을 제어하는 타이밍 컨트롤러(150)와, 각 화소로 공통전

압인 기준전압(Vref: Reference Voltage)을 공급하기 위한 기준전압 공급부(160) 등을 포함한다.

- [0020] 제1 게이트 구동부(130) 및 제2 게이트 구동부(140)는, 각기 별도로 구현될 수도 있고, 경우에 따라서는, 하나의 게이트 구동부에 포함되어 구현될 수도 있다.
- [0021] 또한, 제1 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(110)의 양측에 위치할 수도 있다. 제2 게이트 구동부(140)도 마찬가지이다.
- [0022] 또한, 제1 게이트 구동부(130) 및 제2 게이트 구동부(140)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있다. 또한, 표시패널(110)에 집적화될 수도 있다.
- [0023] 또한, 데이터 구동부(120)는 다수의 데이터 구동 집적회로(소스 구동 집적회로라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있다. 또한, 표시패널(110)에 집적화될 수도 있다.
- [0024] 기준전압 공급부(160)는, 데이터 구동부(120)의 데이터 구동 집적회로(D-IC)와 연결되어, 데이터 구동 집적회로(D-IC)를 통해 표시패널(110)에 형성된 기준전압 라인(RVL)으로 기준전압(Vref)을 공급할 수 있다.
- [0025] 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 각 화소(P)의 화소구조에 대하여, 도 2를 참조하여 설명한다.
- [0026] 도 2는 일 실시예에 따른 유기발광표시장치(100)의 화소 구조를 나타낸 등가 회로도이다.
- [0027] 도 2를 참조하면, 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 각 화소는, 유기발광다이오드(OLED)와, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)를 갖는 구동 트랜지스터(DT)와, 제1 게이트 라인(GL1)을 통해 공급되는 센스신호(SENSE)에 의해 제어되며 기준전압 라인(RVL: Reference Voltage Line(Vref Line))과 구동 트랜지스터(DT)의 제1 노드(N1) 사이에 연결된 제1 트랜지스터(T1)와, 제2 게이트 라인(GL2)을 통해 공급되는 스캔신호(SCAN)에 의해 제어되며 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2 노드(N2) 사이에 연결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 연결되는 스토리지 캐패시터(Cstg: Storage Capacitor) 등을 포함한다.
- [0028] 각 화소(P) 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL)에서 공급되는 구동전압(EVDD)을 인가받고 제2 트랜지스터(T2)를 통해 인가된 제2 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기발광다이오드(OLED)를 구동시키는 트랜지스터이다.
- [0029] 이러한 구동 트랜지스터(DT)는, 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)는 제1 트랜지스터(T1)와 연결되고, 제2노드(N2)는 제2 트랜지스터(T2)와 연결되며, 제3노드(N3)는 구동전압(EVDD)을 공급받는다.
- [0030] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node; ‘소스 전극’ 이라고도 함)이고, 제2노드는 게이트 노드(Gate Node; ‘게이트 전극’ 이라고도 함)이며, 제3노드(N3)는 드레인 노드(Drain Node; ‘드레인 전극’ 이라고도 함)일 수 있다. 회로 구현 방식 또는 회로 상태에 따라, 구동 트랜지스터(DT)의 제1 노드와 제3 노드 각각은 드레인 노드와 소스 노드일 수도 있다.
- [0031] 또한, 제1 트랜지스터(T1)는, 제1 게이트 라인(GL1)에서 공급되는 센스신호(SENSE)에 의해 제어되며, 기준전압(Vref)을 공급하는 기준전압 라인(RVL) 또는 기준전압 라인에 연결되는 연결패턴(CP)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결되어 센싱 모드에 관여하는 트랜지스터로서, “센서 트랜지스터(Sensor Transistor)” 라고도 한다.
- [0032] 또한, 제2 트랜지스터(T2)는 제2 게이트 라인(GL2)에서 공급되는 스캔신호(SCAN)에 의해 제어되며 해당 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결되어 구동 트랜지스터(DT)의 제2 노드(N2)에 인가할 데이터전압을 스위칭하는 트랜지스터로서, 스위칭 트랜지스터(Switching Transistor)” 라고도 한다.
- [0033] 또한, 스토리지 캐패시터(Cstg)는 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.

- [0034] 도 2에 도시된 바와 같이, 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 각 화소는, 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(Cstg)로 이루어진 3T(Transistor)1C(Capacitor) 화소구조를 갖는다.
- [0035] 또한, 도 2에 도시된 바와 같이, 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 각 화소는, 데이터 라인(DL), 구동전압 라인(DVL: Driving Voltage Line(EVDD Line)) 및 기준전압 라인(RVL)을 포함하는 3개의 수직신호라인과, 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)을 포함하는 2개의 수평신호라인을 필요로 한다.
- [0036] 한편, 일 실시예에 따른 유기발광표시장치(100)의 각 화소는 유기발광다이오(OLED)를 발광시키기 위한 구동모드인 발광 모드와, 각 화소의 구동 트랜지스터(DT)의 특성치로서 문턱전압(Vth: Threshold Voltage)과 이동도(Mobility)를 보상해주기 위한 센싱 모드 중 하나로 동작할 수 있다.
- [0037] 일 실시예에 따른 유기발광표시장치(100)의 화소가 발광 모드로 구동하는 경우, 화소로 인가되는 신호 파형은 도 3의 타이밍도와 같다.
- [0038] 도 3은 일 실시예에 따른 유기발광표시장치(100)의 발광 모드의 타이밍도이다.
- [0039] 도 3을 참조하면, 발광 모드는 초기화 단계(Initial Step), 기록 단계(Writing Step) 및 발광 단계(Emission Step)로 이루어진다.
- [0040] 초기화 단계(Initial Step)에서, 구동 트랜지스터(DT)의 제1 노드(N1)가 초기화된다. 이를 위해, 기준전압 라인(RVL)에 초기화 전압으로서의 기준전압(Vref)을 인가해주고, 제1 트랜지스터(T1)에 센스신호(SENSE)를 인가해주어 제1 트랜지스터(T1)를 턴 온 시킨다. 이에 따라, 구동 트랜지스터(DT)의 제1 노드(N1)에 기준전압(Vref)이 인가된다. 이때, 초기화 전압은 피크/블랙 전류(Peak/Black Current) 및 데이터 구동부(120) 내부의 데이터 구동 집적회로(D-IC, 소스 집적회로(S-IC)라고도 함)의 출력 가능 전압을 고려하여 결정한다.
- [0041] 기록 단계(Writing Step)에서, 제2 트랜지스터(T1)에 스캔신호(SCAN)를 인가해주어 제2 트랜지스터(T2)를 턴 온 시켜서 구동 트랜지스터(DT)의 제2 노드(N2)에 데이터 전압(Vdata)을 인가해준다. 이에 따라, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1) 사이에 일정 전압 차이(Vdata-Vref)가 발생하여, 즉, 스토리지 캐패시터의 양단에 일정 전압 차이(Vdata-Vref)가 발생하여, 일정 전압 차이만큼 스토리지 캐패시터(Cstg)에 전하가 충전된다.
- [0042] 발광 단계(Emission Step)에서, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 동시에 턴 오프 시키면, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2)는 플로팅(Floating) 되고 일정 전위차(Vdata-Vref)를 유지하면서 전압이 부스팅(Boosting) 된다. 이에 따라, 구동 트랜지스터(DT)의 제1 노드(N1)의 전압(V1)이 일정 전압 이상으로 높아지면, 유기발광다이오드(OLED)로 전류가 흐르게 되어 발광을 하게 된다.
- [0043] 한편, 화소가 센싱 모드로 동작하는 경우, 도 2를 참조하면, 구동 트랜지스터(DT)의 문턱전압(Vth)과 이동도를 보상하기 위하여, 데이터 구동부(120) 내 데이터 구동 집적회로(D-IC)의 디지털 아날로그 컨버터(DAC: Digital Analog Converter)가 데이터 라인을 통해 구동 트랜지스터의 제2 노드(N2)에 데이터 전압(Vdata)을 인가하고, 기준전압 공급부(160)가 기준전압 라인(RVL)을 통해 구동 트랜지스터(DT)의 제1 노드(N1)에 기준전압(Vref)을 인가해주고, 이후, 구동 트랜지스터의 제1 노드를 플로팅 시켜, 제1 노드의 전압이 변하다가 일정해지면, 일정해진 전압(Vdata-Vth)을 기준전압 라인(RVL)을 통해 데이터 구동부(120) 내 데이터 구동 집적회로(D-IC)의 아날로그 디지털 컨버터(ADC: Analog Digital Converter)가 측정하여, 구동 트랜지스터의 문턱전압(Vth)을 센싱한다. 이렇게 센싱된 문턱전압을 토대로 각 데이터 전압에 더해주어 문턱전압 보상을 해줄 수 있다.
- [0044] 도 2를 참조하면, 각 화소에 기준전압(Vref)을 공급해주는 기준전압 라인(RVL)은 각 화소 열마다 대응되어 형성될 수도 있다. 즉, 데이터 라인 개수와 동일한 개수만큼 기준 전압 라인(RVL)이 형성될 수 있다.
- [0045] 한편, 각 화소에 기준전압(Vref)을 공급해주는 기준전압 라인(RVL)은 몇 개의 화소 열마다 하나씩 형성될 수도 있다. 즉, 데이터 라인 개수보다 작은 개수만큼 기준 전압 라인(RVL)이 형성될 수 있다.
- [0046] 예를 들어, 4개의 화소 열마다 1개씩의 기준전압 라인(RVL)이 형성될 수 있다. 이 경우, 기준전압 라인 개수는 데이터 라인 개수의 1/4이 된다.
- [0047] 이와 같이, 4개의 화소 열마다 1개씩의 기준전압 라인(RVL)이 형성되는 기준전압 라인 형성구조를 도 4에서 도시한다.

- [0048] 도 4는 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)의 평면도이다.
- [0049] 도 4는 4개의 화소(P1, P2, P3, P4)를 포함하는 표시패널(110)의 일부를 나타낸 평면도이다.
- [0050] 도 4를 참조하면, 4개의 화소(P1~P4)는, 4n-3번째 데이터 라인(DL4n-3)과 연결되는 화소(P1), 4n-2번째 데이터 라인(DL4n-2)과 연결되는 화소(P2), 4n-1번째 데이터 라인(DL4n-1)과 연결되는 화소(P3), 4n번째 데이터 라인(DL4n)과 연결되는 화소(P4)이다.
- [0051] 도 4를 참조하면, 4개의 화소(P1~P4)에 대하여 1개의 기준전압 라인(RVL)이 형성되어 있다. 즉, 데이터 라인 개수는 4개이고, 기준전압 라인 개수는 데이터 라인 개수의 1/4인 1개이다.
- [0052] 도 4를 참조하면, 1개의 기준전압 라인(RVL)은, 4n-2번째 데이터 라인(DL4n-2)과 연결되는 화소(P2)와, 4n-1번째 데이터 라인(DL4n-1)과 연결되는 화소(P3) 사이에 형성되어, P2 화소의 제1 트랜지스터(T1)와 P3 화소의 제1 트랜지스터(T1)와 직접 연결되고, P1 화소의 제1 트랜지스터(T1)와 P4 화소의 제1 트랜지스터(T4)로는 연결 패턴(CP: Connection Pattern)을 통해 연결된다.
- [0053] 도 4를 참조하면, 4개의 화소(P1~P4)의 양측에 2개의 구동전압 라인(DVL2n-1, DVL2n)이 형성된다.
- [0054] 또한, 도 4를 참조하면, P1 화소와 P2 화소 사이에 두 화소(P1, P2)에 데이터전압을 공급하기 위한 2개의 데이터 라인(DL4n-3, DL4n-2)이 형성되고, P3 화소와 P4 화소 사이에 두 화소(P3, P4)에 데이터전압을 공급하기 위한 2개의 데이터 라인(DL4n-1, DL4n)이 형성된다.
- [0055] 전술한 바와 같이, 기준전압 라인(RVL)을 4개의 화소(화소열)마다 1개씩 형성하고, 구동전압 라인(DVL)을 4개의 화소마다 2개씩 형성함으로써, 1개의 화소(화소열)마다 1개씩의 기준전압 라인(RVL) 및 구동전압 라인(DVL)을 형성하는 것에 비해, 개구율을 높일 수 있다.
- [0056] 또한, 4개의 화소 구조를 보면, 2개의 구동전압 라인(DVL2n-1, DVL2n) 및 4개의 데이터 라인(DL4n-3, DL4n-2, DL4n-1, DL4n)의 배치 구조와, 각 화소에서 3개의 트랜지스터(DT, T1, T2) 및 1개의 캐패시터(Cstg)의 배치 구조는, 1개의 기준전압 라인(RVL)을 기준으로 대칭되는 구조를 가진다.
- [0057] 또한, 이러한 대칭 구조가 4개의 화소마다 반복적으로 형성함으로써 표시패널(110)의 제작도 보다 용이해질 수 있다.
- [0058] 도 4를 예시된 표시패널(110)의 구조는, WRGB로 화소가 패터닝(Patterning) 된 표시패널(110)에 적용하기에 적합한 구조일 수 있다. 즉, P1~P4 화소는 WRGB 화소일 수 있다.
- [0059] 전술한 바와 같이, 일 실시예는, 4개의 화소열마다 1개의 기준전압 라인(RVL)만을 표시패널(110)에 형성하여 4개의 화소열에서 공유하도록 하고, 4개의 화소열마다 형성된 1개의 기준전압 라인(RVL)을 데이터 구동 집적회로에 직접 연결하는 기준전압 라인 공유 구조를 제공함으로써, 개구율을 높여줄 수 있고, 데이터 구동 집적회로와 기준전압 라인(RVL) 간의 연결 수도도 줄일 수 있다.
- [0060] 하지만, 이러한 일 실시예는, 4개의 화소에서 1개의 기준전압 라인을 공유하기 위해, 이종의 금속 신호라인(연결 패턴(CP))과 콘택 홀(Contact hole)이 필요할 수 있다. 이 점은, 개구율을 떨어뜨리는 요인이 되고, 금속 라인 간의 중첩이 발생하여 불량이 증가할 수 있는 요인이 될 수 있다.
- [0061] 또한, 데이터 구동 집적회로와 기준전압 라인(RVL)을 연결해야 하고 전압을 인가하는 회로를 구성하기 위한 영역이 여전히 따로 필요하기 때문에, 연결 핀 수가 다소 늘어날 뿐만 아니라 데이터 구동 집적회로의 면적이 넓어져 회로 제작 비용이 많이 드는 문제도 여전히 발생할 수 있다.
- [0062] 따라서, 이하에서는, 일 실시예에 따른 유기발광표시장치(100)에서 해결할 수 없거나 새롭게 생겨나는 문제점을 해결하기 위해, 일 실시예에 따른 유기발광표시장치(100)와는 다르게 기준전압 라인(RVL)이 필요하지 않은 새로운 개념의 화소구조를 갖는 다른 실시예에 따른 유기발광표시장치에 대하여, 도 5 내지 도 26을 참조하여 설명한다.
- [0063] 도 5는 다른 실시예에 따른 유기발광표시장치(500)의 시스템을 나타낸 도면이다.
- [0064] 도 5를 참조하면, 다른 실시예에 따른 유기발광표시장치(500)는, 다수의 데이터 라인(DL), 다수의 제1 게이트 라인(GL1) 및 다수의 제2 게이트 라인(GL2)가 형성되어 다수의 화소(P: Pixel)가 정의되는 표시패널(510)과, 표시패널(110)에서 일 방향으로 형성된 다수의 데이터 라인(DL)을 구동하는 데이터 구동부(520)와, 표시패널(510)에서 데이터 라인(DL)과 교차하는 타 방향으로 형성된 제1 게이트 라인(GL1)을 통해 센스신호(Sense Signal)

를 공급하는 제1 게이트 구동부(530)와, 표시패널(110)에서 제1 게이트 라인(GL1)과 평행하게 형성된 제2 게이트 라인(GL2)을 통해 스캔신호(Scan Signal)를 공급하는 제2 게이트 구동부(540)와, 데이터 구동부(120), 제1 게이트 구동부(530) 및 제2 게이트 구동부(540)의 구동 타이밍을 제어하는 타이밍 컨트롤러(550) 등을 포함한다.

- [0065] 도 5를 참조하면, 다른 실시예에 따른 유기발광표시장치(500)는, 도 1에 도시된 일 실시예에 따른 유기발광표시장치(100)와는 다르게, 기준전압 공급부를 포함하지 않는다.
- [0066] 또한, 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에는, 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)과는 다르게, 기준전압 라인(RVL)이 형성되어 있지 않다.
- [0067] 제1 게이트 구동부(530) 및 제2 게이트 구동부(540)는, 각기 별도로 구현될 수도 있고, 경우에 따라서는, 하나의 게이트 구동부에 포함되어 구현될 수도 있다.
- [0068] 또한, 제1 게이트 구동부(530)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(510)의 양측에 위치할 수도 있다. 제2 게이트 구동부(540)도 마찬가지이다.
- [0069] 또한, 제1 게이트 구동부(530) 및 제2 게이트 구동부(540)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(510)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(510)에 직접 형성될 수도 있다. 또한, 표시패널(510)에 집적화될 수도 있다.
- [0070] 또한, 데이터 구동부(520)는 다수의 데이터 구동 집적회로(소스 구동 집적회로라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(510)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(510)에 직접 형성될 수도 있다. 또한, 표시패널(510)에 집적화될 수도 있다.
- [0071] 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에 정의된 각 화소(P)의 화소구조에 대하여, 도 6을 참조하여 설명한다.
- [0072] 도 6은 다른 실시예에 따른 유기발광표시장치(500)의 화소 구조를 나타낸 등가 회로도이다.
- [0073] 도 6을 참조하면, 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에 정의된 각 화소는, 유기발광다이오드(OLED)와, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)를 갖는 구동 트랜지스터(DT)와, 제1 게이트 라인(GL1)을 통해 공급된 센스신호(SENSE)에 의해 제어되며 데이터 라인(DL)과 구동 트랜지스터(DT)의 제1 노드(N1) 사이에 연결된 제1 트랜지스터(T1)와, 제2 게이트 라인(GL2)을 통해 공급된 스캔신호(SCAN)에 의해 제어되며, 제1 트랜지스터(T1)와 연결된 동일한 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2 노드(N2) 사이에 연결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 연결되는 스토리지 캐패시터(Cstg) 등을 포함한다.
- [0074] 각 화소(P) 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL)에서 공급되는 구동전압(EVDD)을 인가받고 제2 트랜지스터(T2)를 통해 인가된 제2 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기발광다이오드(OLED)를 구동시키는 트랜지스터이다.
- [0075] 이러한 구동 트랜지스터(DT)는, 제1 트랜지스터(T1)를 통해 기준전압(Vref)이 인가되는 제1 노드(N1)와, 제2 트랜지스터(T2)를 통해 데이터전압(Vdata)이 인가되는 제2 노드(N2)와, 구동전압 라인(DVL)과 연결된 제3 노드(N3)를 갖는다. 여기서, 제1노드(N1)는 제1 트랜지스터(T1)와 연결되고, 제2노드(N2)는 제2 트랜지스터(T2)와 연결되며, 제3노드(N3)는 구동전압(EVDD)을 공급받는다.
- [0076] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node; ‘소스 전극’ 이라고도 함)이고, 제2노드는 게이트 노드(Gate Node; ‘게이트 전극’ 이라고도 함)이며, 제3노드(N3)는 드레인 노드(Drain Node; ‘드레인 전극’ 이라고도 함)일 수 있다. 회로 구현 방식 또는 회로 상태에 따라, 구동 트랜지스터(DT)의 제1 노드와 제3 노드 각각은 드레인 노드와 소스 노드일 수도 있다.
- [0077] 또한, 제1 트랜지스터(T1)는, 제1 게이트 라인(GL1)에서 공급되는 센스신호(SENSE)에 의해 제어되며, 데이터라인(DL)과 구동 트랜지스터(DT)의 제1 노드(N1) 사이에 연결되어 센싱 모드에 관여하는 트랜지스터로서, “센서 트랜지스터(Sensor Transistor)” 라고도 한다.
- [0078] 또한, 제2 트랜지스터(T2)는 제2 게이트 라인(GL2)에서 공급되는 스캔신호(SCAN)에 의해 제어되며 해당 데이터

라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결되어 구동 트랜지스터(DT)의 제2 노드(N2)에 인가할 데이터전압을 스위칭하는 트랜지스터로서, 스위칭 트랜지스터(Switching Transistor)” 라고도 한다.

- [0079] 또한, 스토리지 캐패시터(Cstg)는 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.
- [0080] 도 6에 도시된 바와 같이, 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에 정의된 각 화소는, 3개의 트랜지스터(DT, T1, T2)와, 1개의 캐패시터(Cstg)를 포함하는 3T1C 화소구조를 갖는다.
- [0081] 또한, 도 6에 도시된 바와 같이, 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에 정의된 각 화소는, 데이터 라인(DL) 및 구동전압 라인(DVL)을 포함하는 2개의 수직신호라인과, 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)을 포함하는 2개의 수평신호라인을 필요로 한다.
- [0082] 즉, 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에 정의된 각 화소는, 수직신호라인으로서, 구동 트랜지스터(DT)의 제1 노드(N1)를 초기화하기 위하여 초기화 전압으로서 기준전압(Vref)을 공급하는 별도의 신호라인인 기준전압 라인(RVL)을 필요로 하지 않는다.
- [0083] 대신에, 다른 실시예에 따른 화소는, 데이터 전압(Vdata)을 공급하는 기존의 데이터 라인(DL)을 기준전압(Vref)을 공급하는 신호라인으로서 이용한다.
- [0084] 따라서, 데이터 라인(DL)은, 해당 화소의 동작 타이밍에 따라, 기준전압(Vref)을 공급하는 신호라인으로 동작하거나, 데이터전압(Vdata)을 공급하는 신호라인으로 동작할 수 있다.
- [0085] 이렇듯, 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에 정의된 각 화소는 3T1C 화소구조라는 점에서는, 도 2에 도시된 일 실시예에 따른 유기발광표시장치(100)의 표시패널(510)에 정의된 각 화소와 유사하지만, 필요로 하는 신호라인이 다르다.
- [0086] 이러한 차이점으로 인해, 다른 실시예에 따른 유기발광표시장치(500)의 화소를 발광 모드 및 센싱 모드로 구동하는 방법이 일 실시예의 구동 방법과는 다르다.
- [0087] 아래에서는, 다른 실시예에 따른 유기발광표시장치(500)의 화소를 발광 모드로 구동하는 방법에 대하여 도 7 내지 도 10을 참조하여 상세하게 설명하고, 다른 실시예에 따른 유기발광표시장치(500)의 화소를 센싱 모드로 구동하는 방법에 대하여 도 11 내지 도 25를 참조하여 상세하게 설명한다.
- [0088] 도 7은 다른 실시예에 따른 유기발광표시장치(500)의 발광 모드의 타이밍도이다.
- [0089] 도 6의 회로도 와 도 7의 타이밍도를 참조하면, 화소가 발광 모드로 동작하는 경우, 해당 화소에 포함된 제1 트랜지스터(T1)는 센스신호(SENSE)에 의해 턴 온 되어 데이터 라인(DL)으로 기준전압(Vref)이 출력됨으로써, 구동 트랜지스터(DT)의 제2 노드(N2)에 기준전압(Vref)이 초기화 전압으로서 인가된다.
- [0090] 이후, 제1 트랜지스터(T1)는 턴 오프 되고 제2 트랜지스터(T2)는 스캔신호(SCAN)에 의해 턴 온 되어 데이터 라인(DL)으로 데이터전압(Vdata)이 출력됨으로써, 제2 노드(N2)에 기준전압이 인가되어 있는 구동 트랜지스터(DT)의 제1 노드(N1)에 데이터전압(Vdata)이 인가된다. 이후, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1) 사이에는 일정 전압(유기발광다이오드(OLED)로 전류를 흐릴수 있는 전압)이 걸려 유기발광다이오드(OLED)로 전류가 흐르게 되어, 발광하게 된다.
- [0091] 이러한 발광 모드는, 도 7에 도시된 바와 같이, 초기화 단계(Initial Step), 기록 단계(Writing Step) 및 발광 단계(Emission Step)로 이루어진다.
- [0092] 발광 모드를 이루는 각 단계에서의 신호 파형과 트랜지스터들의 동작을 도 8 내지 도 10을 참조하여 더욱 상세하게 설명한다.
- [0093] 도 8 내지 도 10은 다른 실시예에 따른 유기발광표시장치(500)의 발광 모드의 각 단계별 동작 회로도이다.
- [0094] 먼저, 도 8을 참조하여, 발광 모드의 초기화 단계(Initial Step)를 설명한다.
- [0095] 도 8을 참조하면, 발광 모드의 초기화 단계에서, 해당 화소에 포함된 제1 트랜지스터(T1)는 센스신호(SENSE)에 의해 턴 온 되어 데이터 라인(DL)에 인가된 초기화 전압으로서의 기준전압(Vref)이 구동 트랜지스터(DT)의 제2 노드(N2)에 인가됨으로써, 구동 트랜지스터(DT)의 제2 노드(N2)가 초기화된다.
- [0096] 이후, 발광 모드의 성능 및 효율을 위해, 제2 트랜지스터(T2)도 스캔신호(SCAN)에 의해 턴 온 되고, 데이터 라

인(DL)에 인가되고 있는 기준전압(Vref)이 구동 트랜지스터(DT)의 제1 노드(N1)에도 인가됨으로써, 구동 트랜지스터(DT)의 제1 노드(N1)도 초기화된다.

- [0097] 다음으로, 도 9를 참조하여, 발광 모드의 기록 단계(Writing Step)를 설명한다.
- [0098] 도 9를 참조하면, 초기화 단계에서, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2)가 모두 초기화된 이후, 기록 단계에서는, 센스신호(SENSE)가 로우 레벨로 떨어져 제1 트랜지스터(T1)가 턴 오프 되고, 제2 트랜지스터(T1)가 스캔신호(SCAN)에 의해 턴 온 되어 데이터 라인(DL)에 공급된 데이터전압(Vdata)이 구동 트랜지스터(DT)의 제1 노드(N1)에 기록(인가)된다.
- [0099] 이 시점에, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1) 사이에는 순간적으로 일정 전압(Vdata-Vref)이 걸리고 이 전압에 해당하는 전하가 스토리지 캐패시터(Cstg)에 충전된다. 하지만, 제1 트랜지스터(T1)가 턴 오프 되었기 때문에, 구동 트랜지스터(DT)의 제1 노드(N1)는 제1 트랜지스터(T1)가 턴 오프 되기 전에 걸려 있던 정전압(Vref)이 유지되지 못하고 플로팅(Floating) 된다.
- [0100] 이에 따라, 스토리지 캐패시터(Cstg)가 방전되고 구동 트랜지스터(DT)의 제1 노드(N1)의 전압이 부스팅(Boosting) 된다. 이때, 유기발광다이오드(OLED)의 문턱전압으로 인해, 유기발광다이오드(OLED)로는 전류가 흐르지 못한다.
- [0101] 구동 트랜지스터(DT)의 제1 노드(N1)의 전압은, 유기발광다이오드(OLED)로 전류를 흘릴 수 있을 때의 전압까지 부스팅되고, 이때의 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1) 사이의 전압(전위차)이 일정하게 유지된다.
- [0102] 도 10을 참조하여, 발광 모드의 발광 단계(Emission Step)를 설명한다.
- [0103] 도 10을 참조하면, 기록 단계에서 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1) 사이에 걸린 일정 전압(구동 트랜지스터(DT)의 제1 노드(N1)의 전압이 부스팅)이 걸려 있고, 바로 그 시점부터 시작되는 발광 단계에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 모두 턴 오프되어, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1)가 모두 플로팅 되어 전압 부스팅이 일어나면서, 유기발광다이오드(OLED)로 전류(Ioled)가 흐르게 된다.
- [0104] 이상에서는 발광 모드에 대하여 설명하였으며, 아래에서는, 센싱 모드에 대하여 설명한다.
- [0105] 다른 실시예에 따른 유기발광표시장치(500)의 센싱 모드는, 전압센싱을 기반으로 하는 센싱 모드와 전류센싱을 기반으로 하는 센싱 모드로 나눌 수 있다.
- [0106] 여기서, 전압센싱기반의 센싱 모드는, 문턱전압 센싱 모드와 이동도 센싱 모드로 다시 나눌 수 있으며, 전류센싱기반의 센싱 모드는, 문턱전압센싱 모드와 이동도 센싱 모드가 따로 진행되지 않고 한번에 진행되어 문턱전압과 이동도를 동시에 산출해낼 수 있다.
- [0107] 어떠한 센싱 모드이더라도, 다른 실시예에 따른 유기발광표시장치(100)는, 구동 트랜지스터(DT)의 문턱전압 및 이동도 중 하나 이상을 센싱하기 위한 센싱부(도 11의 1100, 도 21의 2100)를 더 포함할 수 있다.
- [0108] 또한, 이러한 센싱부는, 구동 트랜지스터(DT)의 제3 노드(N3)과 연결되는 구동전압 라인(DVL)에 연결된다.
- [0109] 이는, 일 실시예에 따른 유기발광표시장치(100)의 센싱부(도 2의 ADC 등을 포함)가 기준전압 라인(RVL)에 연결되는 것과는 차이가 있다.
- [0110] 아래에서는, 먼저, 도 11을 참조하여 전압센싱기반의 센싱 모드를 위한 회로를 설명하고, 도 12 내지 도 15를 참조하여 전압센싱기반의 센싱 모드 중 문턱전압 센싱 모드를 설명하고, 도 16 내지 도 20를 참조하여 전압센싱기반의 센싱 모드 중 이동도 센싱 모드를 설명한다. 이어서, 도 21을 참조하여 전류센싱기반의 센싱 모드를 위한 회로를 설명하고, 도 22 내지 도 25를 참조하여 전류센싱기반의 센싱 모드를 통해 문턱전압과 이동도를 센싱하는 것을 설명한다.
- [0111] 도 11은 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전압센싱기반의 센싱 모드로 동작할 때의 회로도이다.
- [0112] 도 11을 참조하면, 다른 실시예에 따른 유기발광표시장치(500)에서, 전압센싱기반의 센싱 모드를 위한 회로는, 도 6의 화소 구조를 기본으로 하여, 구동전압 라인(DVL)과 연결되는 센싱부(1100)를 더 포함한다.
- [0113] 도 11을 참조하면, 전압센싱기반의 센싱 모드를 위한 센싱부(1100)는, 구동전압 라인(DVL)과 연결된 센싱노드

(Ns)의 전압을 측정하는 아날로그 디지털 변환기(1110)와, 프리차지 전압 공급노드(Npre) 및 센싱노드(Ns) 간의 연결을 스위칭하는 제1 스위치(Spre)와, 아날로그 디지털 변환기(1110)의 연결노드(Nadc) 및 센싱노드(Ns) 간의 연결을 스위칭하는 제2 스위치(Vsam)를 포함한다.

- [0114] 이러한 스위치들의 온-오프와 관련하여, 제1 스위치(Spre)가 온이면, 프리차지 전압 공급노드(Npre)와 센싱노드(Ns)가 연결되고, 제1 스위치(Spre)가 오프이면, 프리차지 전압 공급노드(Npre)와 센싱노드(Ns)가 연결되지 않는다. 제2 스위치(Vsam)가 온이면, 아날로그 디지털 변환기(1110)의 연결노드(Nadc)와 센싱노드(Ns)가 연결되고, 제2 스위치(Vsam)가 오프이면, 아날로그 디지털 변환기(1110)의 연결노드(Nadc)와 센싱노드(Ns)가 연결되지 않는다.
- [0115] 또한, 도 11을 참조하면, 구동전압 라인(DVL)과 센싱노드(Ns) 사이에는 저항(R)이 연결될 수 있다.
- [0116] 또한, 도 11을 참조하면, 구동전압 라인(DVL)에는 구동전압 라인 캐패시터(C_{dvl})가 형성된다.
- [0117] 아래에서는, 도 11에 도시된 전압센싱기반의 센싱 모드를 위한 회로를 토대로, 문턱전압 센싱 모드를 도 12 내지 도 15를 참조하여 설명한다.
- [0118] 도 12는 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전압센싱기반의 센싱 모드 중 문턱전압 센싱 모드의 타이밍도이다.
- [0119] 도 12를 참조하면, 전압센싱을 기반으로 하는 센싱 모드 중 문턱전압 센싱 모드는, 초기화 단계(Initial Step), 센싱 단계(Sensing Step) 및 샘플링 단계(Sampling Step)로 이루어진다.
- [0120] 아래에서는, 각 단계별로 신호 파형과 동작을 도 13 내지 도 15를 참조하여 설명한다.
- [0121] 먼저, 도 13을 참조하여, 전압센싱기반의 문턱전압 센싱 모드의 초기화 단계를 설명한다.
- [0122] 도 13을 참조하면, 전압센싱기반의 문턱전압 센싱 모드의 초기화 단계에서는, 제1 스위치(Spre)가 온 되어 시작되고, 이에 따라, 센싱노드(Ns)에 프리차지 전압(V_{pre})이 인가된다.
- [0123] 이때, 스캔신호에 의해 제2 트랜지스터(T2)가 턴 온 되어, 데이터 라인(DL)을 통해 공급된 데이터전압(V_{data})이 구동 트랜지스터(DT)의 제2 노드(N2)에 인가된다.
- [0124] 다음으로, 도 14를 참조하여, 전압센싱기반의 문턱전압 센싱 모드의 센싱 단계를 설명한다.
- [0125] 도 14를 참조하여, 전압센싱기반의 문턱전압 센싱 모드의 센싱 단계에서는, 제1 스위치(Spre)가 오프 되고, 센싱신호에 의해 제1 트랜지스터(T1)가 턴 온 되어 데이터 라인(DL)을 통해 공급되고 있는 데이터전압(V_{data})이 구동 트랜지스터(DT)의 제1 노드(N1)에 인가된다. 즉, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2)에 데이터전압(V_{data})이 동일하게 인가된다.
- [0126] 이에 따라, 구동 트랜지스터(DT)를 통해 센싱노드(Ns)를 거쳐 구동전압 라인 캐패시터(C_{dvl})로 전류(i)가 흐르게 되어, 구동전압 라인 캐패시터(C_{dvl})가 충전되어, 센싱노드(Ns)의 전압이 올라간다.
- [0127] 센싱노드(Ns)의 전압 상승은, 프리차지 전압(V_{pre})에서 시작되어 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의해 일정 전압에서 멈추게 된다.
- [0128] 또 다음으로, 도 15를 참조하여, 전압센싱기반의 문턱전압 센싱 모드의 샘플링 단계를 설명한다.
- [0129] 도 15를 참조하면, 전압센싱기반의 문턱전압 센싱 모드의 샘플링 단계에서, 센스신호(SENSE)가 로우 레벨로 바뀌어, 제1 트랜지스터(T1)가 턴 오프 되고, 제2 스위치(Vsam)이 온 된다.
- [0130] 이에 따라, 아날로그 디지털 컨버터(1110)는, 상승하다가 멈추어 일정한 전압으로 유지되고 있는 센싱노드(Ns)의 전압(V_{sen} 또는 V_{sen'})을 센싱한다.
- [0131] 도 15의 타이밍도에서, 센싱노드(Ns)의 전압을 나타내는 선 두 가지(실선, 점선)은, 문턱전압이 (-) 위상인 경우와 문턱전압이 (+) 위상인 경우이다. 이와 관련하여, 문턱전압이 (-) 위상인 경우, 샘플링 단계에서 센싱노드(Ns)의 전압(V_{sen})은 V_{data}+V_{th}가 되고, 문턱전압이 (+) 위상인 경우, 샘플링 단계에서 센싱노드(Ns)의 전압(V_{sen'})은 V_{data}-V_{th}가 된다.
- [0132] 이때, 데이터전압(V_{data})은 알고 있는 값이므로, 측정된 센싱전압(V_{sen}, V_{sen'})에서 구동 트랜지스터(DT)의 문턱전압(V_{th})을 얻을 수 있다.

- [0133] 타이밍 컨트롤러(550)는, 이렇게 알아낸 문턱전압(V_{th})을 해당 화소에 인가할 다음 데이터전압(V_{data})에 더하거나 빼는 형태로, 해당 화소에 인가될 데이터(Data)를 변환하여 문턱전압 보상을 해줄 수 있다.
- [0134] 아래에서는, 도 11에 도시된 전압센싱기반의 센싱 모드를 위한 회로를 토대로, 이동도 센싱 모드를 도 16 내지 도 20을 참조하여 설명한다.
- [0135] 도 16은 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전압센싱기반의 센싱 모드 중 이동도 센싱 모드의 타이밍도이다.
- [0136] 도 16을 참조하면, 전압센싱기반의 이동도 센싱 모드는 초기화 단계(Initial Step), 센싱 단계(Sensing Step) 및 샘플링 단계(Sampling Step)로 이루어지며, 이동도 센싱은, 스캔신호(SCAN)로 제2 트랜지스터(T2)를 턴 온시켜 구동 트랜지스터(DT)의 제2 노드(N2)에 데이터전압(V_{data})을 인가한 후, 제2 트랜지스터(T2)를 턴 오프시켜 정전류가 구동 트랜지스터(DT)의 제1 노드(N1)에서 구동전압 라인(DVL)으로 흐르게 하여 구동전압 라인(DVL)에 형성된 구동전압 라인 캐패시터(C_{dv1})에 쌓인 전압(V_{sen})을 측정하는 방식으로 이루어진다.
- [0137] 도 17 내지 도 20은 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전압센싱기반의 센싱 모드 중 이동도 센싱 모드의 각 단계별 동작 회로도이다.
- [0138] 전압센싱기반의 이동도 센싱 모드 중 초기화 단계는, 스캔신호(SCAN)에 의해 제2 트랜지스터(T2)가 턴 온 되는 제1 초기화 단계와 제2 트랜지스터(T2)가 턴 오프 되는 제2 초기화 단계로 이루어진다.
- [0139] 도 17을 참조하면, 전압센싱기반의 이동도 센싱 모드에서 제1 초기화 단계에서는, 스캔신호(SCAN)에 의해 제2 트랜지스터(T2)가 턴 온 되고 센스신호(SENSE)에 의해 제1 트랜지스터(T1)가 턴 온 되어, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1)에 데이터전압(V_{data})이 인가된다.
- [0140] 이때, 도 17을 참조하면, 제1 스위치(Spre)가 온 되어, 프리차지 전압(V_{pre})이 센싱노드(N_s)에 인가된다.
- [0141] 도 18을 참조하면, 전압센싱기반의 이동도 센싱 모드에서 제2 초기화 단계에서는, 스캔신호(SCAN)가 로우 레벨로 떨어져 제2 트랜지스터(T2)가 턴 오프 된다.
- [0142] 도 17 및 도 18에 도시된 바와 같이, 전압센싱기반의 이동도 센싱 모드의 초기화 단계(제1 초기화 단계, 제2 초기화 단계)에서는, 센싱노드(N_s)의 전압은 제1 스위치(Spre)가 온 되어 있으므로 프리차지 전압(V_{pre})으로 유지된다.
- [0143] 도 19를 참조하면, 전압센싱기반의 이동도 센싱 모드의 센싱 단계에서는, 제1 스위치(Spre)가 오프되고, 구동 트랜지스터(DT)의 제1 노드(N1)에서 구동전압 라인(DVL)으로 정전류(I)가 흐르면서, 구동전압 라인(DVL)에 형성된 구동전압 라인 캐패시터(C_{dv1})가 충전되고 센싱노드(N_s)의 전압이 올라간다.
- [0144] 도 19의 타이밍도에서, 센싱노드(N_s)의 전압 기울기는, 시간에 따른 센싱노드(N_s)의 전압 변화로서, 구동 트랜지스터(DT)의 제1 노드(N1)에서 구동전압 라인(DVL)으로 흐르는 정전류에 해당한다.
- [0145] 도 19의 타이밍도에서, 센싱노드(N_s)의 전압 변화를 나타낸 실선은, 높은 이동도일 때의 전압 변화를 나타낸 것이고, 센싱노드(N_s)의 전압 변화를 나타낸 점선은, 낮은 이동도일 때의 전압 변화를 나타낸 것이다.
- [0146] 도 20을 참조하면, 전압센싱기반의 이동도 센싱 모드의 샘플링 단계에서는, 센스시간(SENSE)이 로우 레벨로 떨어져 제1 트랜지스터(T1)가 턴 오프되고, 센싱노드(N_s)의 전압도 더 이상 올라가지 않는다.
- [0147] 이때, 제2 스위치(V_{sam})가 온 되어, 아날로그 디지털 변환기(1110)는 센싱노드(N_s)의 전압을 센싱전압(V_{sen} 또는 $V_{sen'}$)으로서 측정하여 이로부터 구동 트랜지스터(DT)의 이동도를 센싱한다. 여기서, 센싱전압($V_{sen} > V_{sen'}$)이 높을수록 구동 트랜지스터(DT)의 이동도가 높게 센싱된다.
- [0148] 이상에서는, 전압센싱을 기반으로 문턱전압 및 이동도를 센싱하는 센싱 모드(문턱전압 센싱 모드, 이동도 센싱 모드)에 대하여 설명하였으며, 이하에서는, 전류센싱을 기반으로 문턱전압 및 이동도를 센싱하는 센싱모드를 도 21 내지 도 25를 참조하여 설명한다.
- [0149] 도 21은 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전류센싱기반의 센싱 모드로 동작할 때의 회로도이다.
- [0150] 도 21을 참조하면, 다른 실시예에 따른 유기발광표시장치(500)에서, 전류센싱기반의 센싱 모드를 위한 회로는, 도 6의 화소 구조를 기본으로 하여, 구동전압 라인(DVL)과 연결되는 센싱부(2100)를 더 포함한다.

- [0151] 도 21을 참조하면, 전류센싱기반의 센싱 모드를 위한 센싱부(2100)는, 구동전압 라인(DVL)을 통해 흐르는 전류를 흐르는 전류를 측정하는 전류 측정기(2110)와, 프리차지 전압 공급노드(Npre) 및 센싱노드(Ns) 간의 연결을 스위칭하는 제1 스위치(Spre)와, 전류 측정기(2110)의 연결노드(Ni) 및 센싱노드(Ns) 간의 연결을 스위칭하는 제2 스위치(Vsam)를 포함한다.
- [0152] 이러한 스위치들의 온-오프와 관련하여, 제1 스위치(Spre)가 온이면, 프리차지 전압 공급노드(Npre)와 센싱노드(Ns)가 연결되고, 제1 스위치(Spre)가 오프이면, 프리차지 전압 공급노드(Npre)와 센싱노드(Ns)가 연결되지 않는다. 제2 스위치(Vsam)가 온이면, 전류 측정기(2110)의 연결노드(Ni)와 센싱노드(Ns)가 연결되고, 제2 스위치(Vsam)가 오프이면, 전류 측정기(2110)의 연결노드(Ni)와 센싱노드(Ns)가 연결되지 않는다.
- [0153] 또한, 도 21을 참조하면, 구동전압 라인(DVL)과 센싱노드(Ns) 사이에는 저항(R)이 연결될 수 있다.
- [0154] 또한, 도 21을 참조하면, 구동전압 라인(DVL)에는 구동전압 라인 캐패시터(C dv1)가 형성된다.
- [0155] 도 22는 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전류센싱기반의 센싱 모드의 타이밍도이다.
- [0156] 도 22를 참조하면, 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전류센싱기반의 센싱 모드는, 초기화 단계(Initial Step), 센싱 단계(Sensing Step) 및 샘플링 단계(Sampling Step)로 이루어진다.
- [0157] 전류센싱기반의 센싱 모드에서는, 데이터 라인(DL)을 통해 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1)에 데이터전압(Vdata)를 동시에 인가하고, 구동전압 라인(DVL)에 프리차지 전압(Vpre)을 인가하게 되면, 구동 트랜지스터(DT)의 제1 노드(N1)에서 구동전압 라인(DVL)으로 전류가 흐르게 된다. 이 전류가 전류 측정기(2110)에 의해 측정된다.
- [0158] 2가지 데이터전압(Vdata1, Vdata2) 각각에 대하여 전류(I_1, I_2)가 측정되어 소정의 관계식에 따라 구동 트랜지스터(DT)의 문턱전압과 이동도가 산출될 수 있다.
- [0159] 아래에서는, 도 23 내지 도 25를 참조하여, 전류센싱기반의 센싱 모드의 각 단계를 설명한다.
- [0160] 도 23 내지 도 25는 다른 실시예에 따른 유기발광표시장치(500)의 화소가 전류센싱기반의 센싱 모드로 동작할 때의 회로도이다.
- [0161] 도 23을 참조하면, 전류센싱기반의 센싱 모드의 초기화 단계에서는, 스캔신호(SCAN)의 로우 레벨에 의해 제2 트랜지스터(T2)가 턴 오프 되어 있고, 센스신호(SENSE)에 의해 제1 트랜지스터(T1)가 턴 온 되고, 제1 스위치(Spre)가 온 되어 프리차지 전압(Vpre)이 센싱노드(Ns)에 인가된다.
- [0162] 도 24를 참조하면, 전류센싱기반의 센싱 모드의 센싱 단계에서는, 스캔신호(SCAN)가 하이 레벨로 바뀌어 제2 트랜지스터(T2)가 턴 온 되고, 데이터라인(DL)을 통해 데이터전압(Vdata)이 공급된다.
- [0163] 이에 따라, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1)에 데이터전압(Vdata)이 인가된다. 즉, 구동 트랜지스터(DT)의 제2 노드(N2)와 제1 노드(N1)의 전압이 데이터전압(Vdata)이 된다.
- [0164] 도 25를 참조하면, 전류센싱기반의 센싱 모드의 샘플링 단계에서는, 제1 스위치(Spre)가 오프되고 제2 스위치(Vsam)가 온 되어,
- [0165] 구동 트랜지스터(DT)의 제1 노드(N1)에서 구동전압 라인(DVL)으로 흐르는 전류를 센싱전류(Isen)로서 측정한다.
- [0166] 이상에서 기술한 과정을 2가지 데이터전압(Vdata1, Vdata2)에 대하여 수행하여 2가지 센싱전류(I_1, I_2)를 측정한다.
- [0167] 이후, 인가한 2개의 데이터전압(Vdata1, Vdata2), 측정된 2개의 센싱전류(I_1, I_2), 인가한 프리차지 전압(Vpre)을 토대로, 하기 수학적 식 1에서 2개의 식을 풀어 2개의 미지수(V_{th}, K)를 구함으로써, 문턱전압(V_{th})과 이동도(K)를 센싱할 수 있다.

수학식 1

$$(1) \quad I_1 = K(V_{gs1} - V_{th})^2$$

$$(2) \quad I_2 = K(V_{gs2} - V_{th})^2$$

[0168]

[0169]

상기 수학식 1에서, I_1 , I_2 는 전류 측정기(2110)에서 측정된 전류이다. V_{gs1} 은 데이터전압(V_{data1})을 인가하였을 때 구동 트랜지스터(DT)의 제2 노드(N2)와 제3 노드(N3) 사이의 전압 차이로서, " $V_{data1} - V_{pre}$ "로 볼 수 있고, V_{gs2} 는 데이터전압(V_{data1})을 인가하였을 때 구동 트랜지스터(DT)의 제2 노드(N2)와 제3 노드(N3) 사이의 전압 차이로서, " $V_{data1} - V_{pre}$ "로 볼 수 있다. 이에 따라, 상기 수학식 1을 아래의 수학식 2로 다시 쓸 수 있다.

수학식 2

$$(1) \quad I_1 = K(V_{data1} - V_{pre} - V_{th})^2$$

$$(2) \quad I_2 = K(V_{data2} - V_{pre} - V_{th})^2$$

[0170]

[0171]

상기 수학식 2에서, I_1 , I_2 , V_{data1} , V_{data2} , V_{pre} 는 모두 알고 있는 값이므로, 식(1)과 식(2)의 방정식을 풀어서, 미지수인 문턱전압(V_{th})과 이동도(K)를 얻을 수 있다.

[0172]

이상에서는, 다른 실시예에 따른 유기발광표시장치(500)의 각 화소 구조와, 이에 대한 발광 모드와 센싱 모드에 대한 구동 방법에 대하여 설명한다.

[0173]

아래에서는, 다른 실시예에 따른 유기발광표시장치(500)의 화소 구조가 적용된 표시패널(510)의 예를 도 26에 도시하여, 다른 실시예에 따른 유기발광표시장치(500)의 화소 구조를 다시 한번 확인하고 그 이점을 설명해본다.

[0174]

도 26은 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)의 평면도이다.

[0175]

도 26은 4개의 화소(P1, P2, P3, P4)를 포함하는 표시패널(110)의 일부를 나타낸 평면도이다.

[0176]

도 26을 참조하면, 4개의 화소(P1~P4)는, $4n-3$ 번째 데이터 라인(DL $4n-3$)과 연결되는 화소(P1), $4n-2$ 번째 데이터 라인(DL $4n-2$)과 연결되는 화소(P2), $4n-1$ 번째 데이터 라인(DL $4n-1$)과 연결되는 화소(P3), $4n$ 번째 데이터 라인(DL $4n$)과 연결되는 화소(P4)이다.

[0177]

도 26을 참조하면, 4개의 화소(P1~P4)에 대하여 기준전압 라인(RVL)이 전혀 형성되어 있지 않고, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)에 데이터 라인(DL)이 모두 연결된 것을 알 수 있다.

[0178]

도 26을 참조하면, 4개의 화소(P1~P4)의 양측에 2개의 구동전압 라인(DVL $2n-1$, DVL $2n$)이 형성된다.

[0179]

또한, 도 26을 참조하면, P1 화소와 P2 화소 사이에 두 화소(P1, P2)에 데이터전압을 공급하기 위한 2개의 데이터 라인(DL $4n-3$, DL $4n-2$)이 형성되고, P3 화소와 P4 화소 사이에 두 화소(P3, P4)에 데이터전압을 공급하기 위한 2개의 데이터 라인(DL $4n-1$, DL $4n$)이 형성된다.

[0180]

한편, P1, P2 화소를 보면, 2개의 데이터 라인(DL $4n-3$, DL $4n-2$)의 배치 구조와, 각 화소에서 3개의 트랜지스터(DT, T1, T2) 및 1개의 캐패시터(Cstg)의 배치 구조는, 서로 대칭되는 구조를 가진다. 마찬가지로, P3, P4 화소를 보면, 2개의 데이터 라인(DL $4n-1$, DL $4n$)의 배치 구조와, 각 화소에서 3개의 트랜지스터(DT, T1, T2) 및 1개의 캐패시터(Cstg)의 배치 구조는, 서로 대칭되는 구조를 가진다.

[0181]

그리고, 2개의 구동전압 라인(DVL $2n-1$, DVL $2n$)이 P1 화소와 P4 화소 양측에 대칭적으로 배치한다.

[0182]

또한, 이러한 대칭 구조가 4개의 화소마다 반복적으로 형성함으로써 표시패널(110)의 제작도 보다 용이해질 수 있다.

- [0183] 도 26에 예시된 표시패널(510)의 구조는, WRGB로 화소가 패터닝(Patterning)된 표시패널(510)에 적용하기에 적합한 구조일 수 있다. 즉, P1-P4 화소는 WRGB 화소일 수 있다.
- [0184] 도 27은 도 26에 도시된 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)과, 도 4에 도시된 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)을 비교하기 위한 도면이다.
- [0185] 도 27의 (a)는 일 실시예에 따른 유기발광표시장치(100)의 표시패널(110)이고, 도 27의 (b)는 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)을 나타낸 도면이다.
- [0186] 도 27의 (b)에 도시된 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에는, DL4n-2와 연결된 P2 화소와 DL4n-1과 연결된 P3 화소 사이에 기준전압 라인(RVL)이 형성되어 있지 않기 때문에, 그만큼 가로 방향으로 각 화소의 발광 영역 크기가 커질 수 있다.
- [0187] 또한, 도 27의 (b)에 도시된 다른 실시예에 따른 유기발광표시장치(500)의 표시패널(510)에서는, 도 27의 (a)에서 기준전압 라인(RVL)을 P1 화소의 제1 트랜지스터(T1) 및 P4 화소의 제1 트랜지스터(T4)와 연결시키기 위한 연결 패턴(CP: Connection Pattern)이 없기 때문에, 세로 방향으로, 각 화소의 발광 영역 크기가 커질 수 있다.
- [0188] 따라서, 도 27의 (b)에 도시된 다른 실시예에 따른 유기발광표시장치(500)는, 도 27의 (a)에 도시된 일 실시예에 따른 유기발광표시장치(100)에 비해, 3% 이상의 개구율이 높아지는 효과를 보인다.
- [0189] 또한, 도 27의 (b)에 도시된 다른 실시예에 따른 유기발광표시장치(500)는, 기준전압 공급부(160) 및 기준전압 라인이 별도로 없어도 되기 때문에, 데이터 구동 집적회로(D-IC)가 기준전압 공급부(160)로부터 기준전압을 전달받아 기준전압 라인으로 전달해 주기 위한 연결 핀(Contact Pin)이 별도로 없어도 된다. 따라서, 데이터 구동 집적회로(D-IC)의 연결 핀 개수를 줄일 수 있고, 데이터 구동 집적회로의 면적을 줄일 수 있으며, 그 비용도 절감될 수 있다.
- [0190] 이상에서 설명한 바와 같이 본 발명에 의하면, 높은 개구율을 갖는 새로운 개념의 화소 구조를 갖는 유기발광표시장치(100, 500) 및 그 구동방법을 제공하는 효과가 있다.
- [0191] 또한, 본 발명에 의하면, 기준전압 라인이 필요하지 않고 부가적인 신호 라인(예: 연결 패턴(CP) 등)과의 중첩 영역을 줄여주어 높은 개구율을 가능하게 하는 화소 구조를 갖는 유기발광표시장치(500) 및 그 구동방법을 제공하는 효과가 있다.
- [0192] 또한, 본 발명에 의하면, 데이터 구동 집적회로(D-IC)의 연결 핀 개수 및 면적을 줄일 수 있고, 그 비용도 절감시킬 수 있는 화소 구조를 갖는 유기발광표시장치(500) 및 그 구동방법을 제공하는 효과가 있다.
- [0193] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

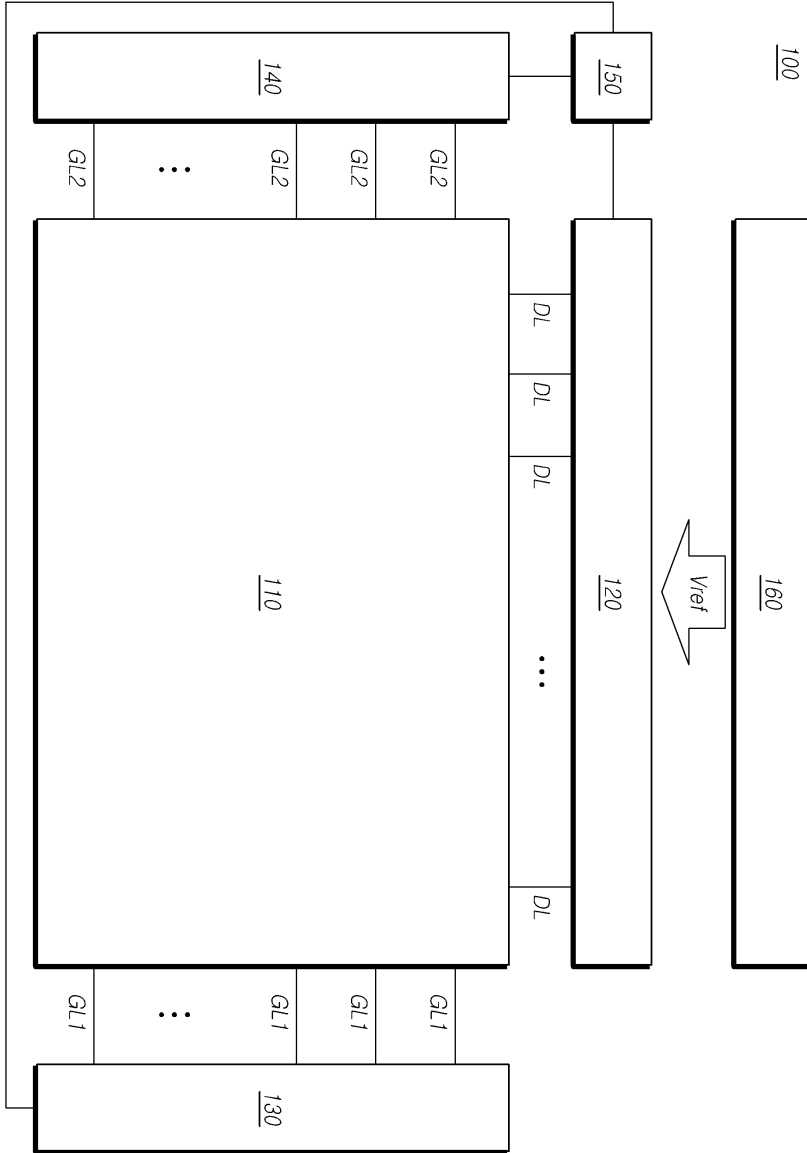
부호의 설명

- [0194] 100, 500: 유기발광표시장치
- 110, 510: 표시패널
- 120, 520: 데이터 구동부
- 130, 140, 530, 540: 게이트 구동부
- 150, 550: 타이밍 컨트롤러
- 160: 기준전압 공급부
- 1100, 2100: 센싱부
- 1110: 아날로그 디지털 변환기(ADC)

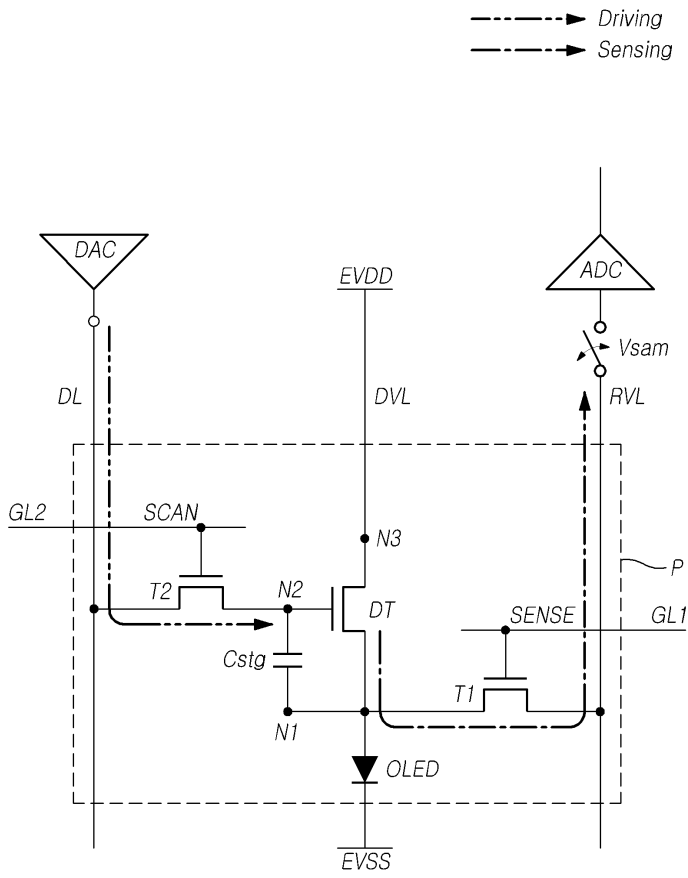
2110: 전류 측정기

도면

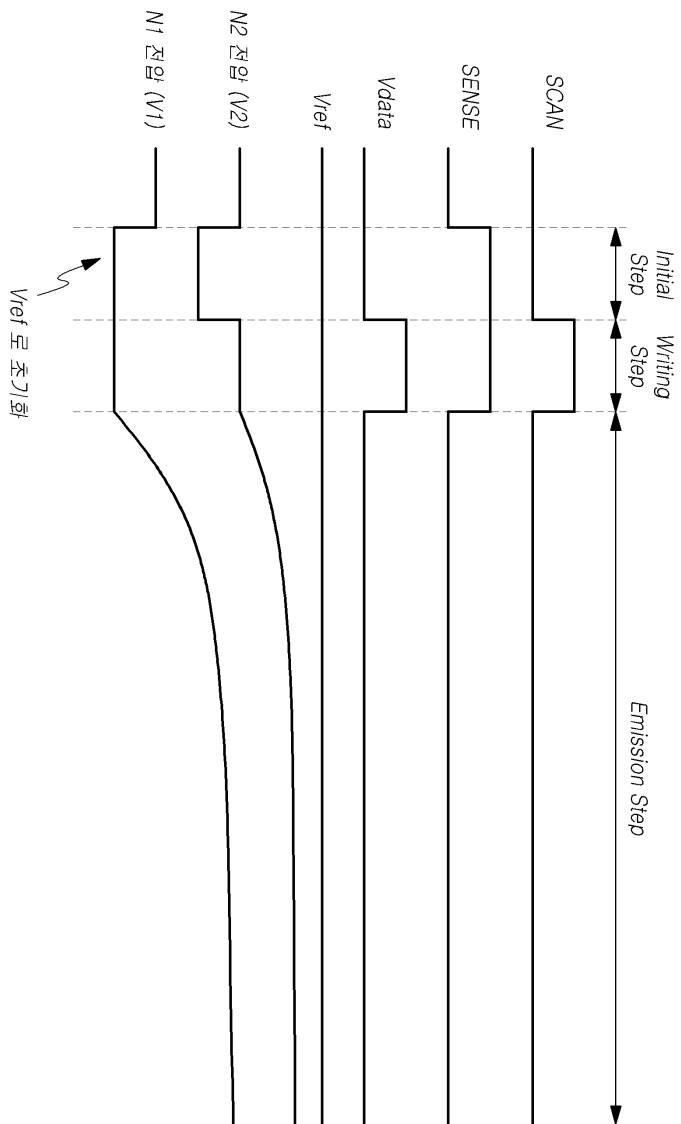
도면1



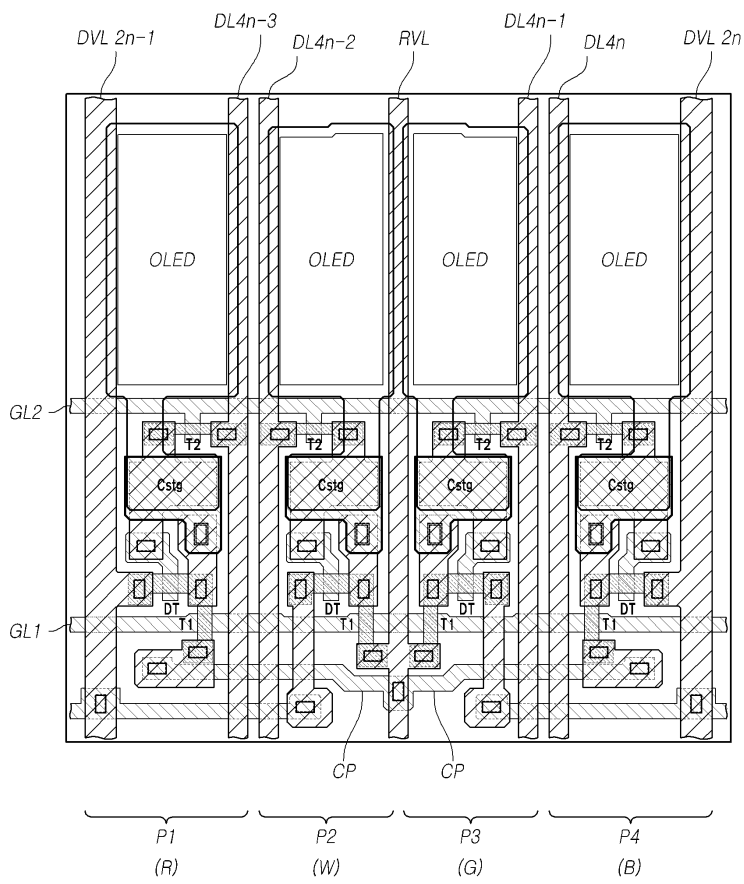
도면2



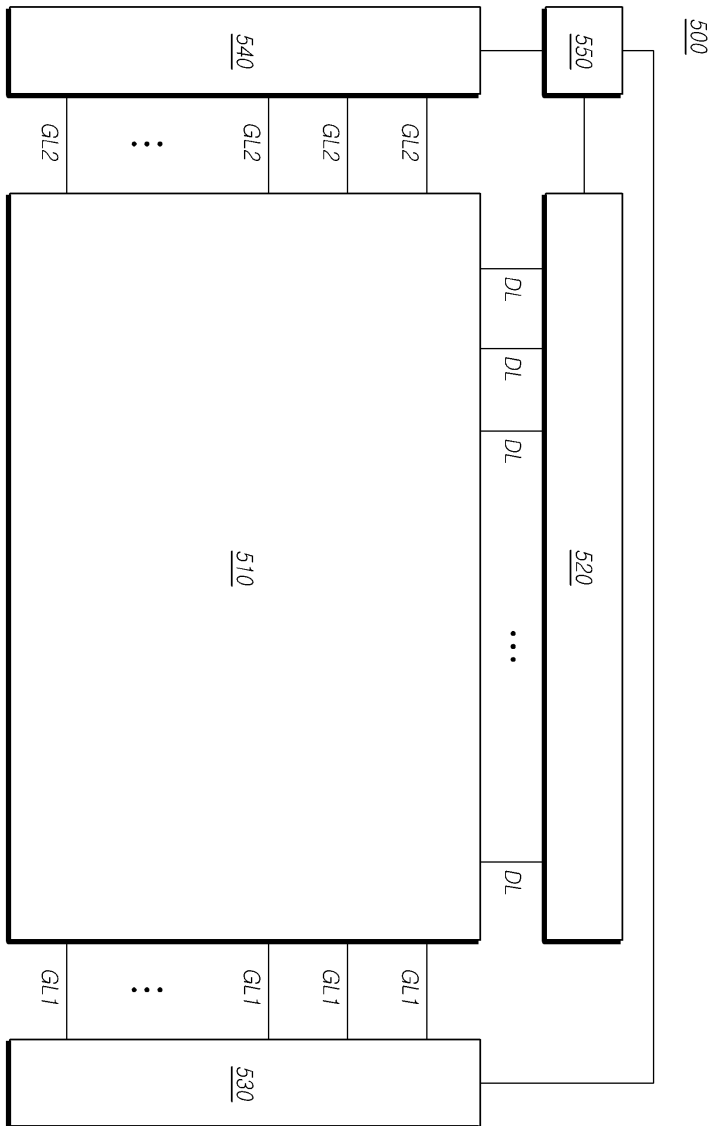
도면3



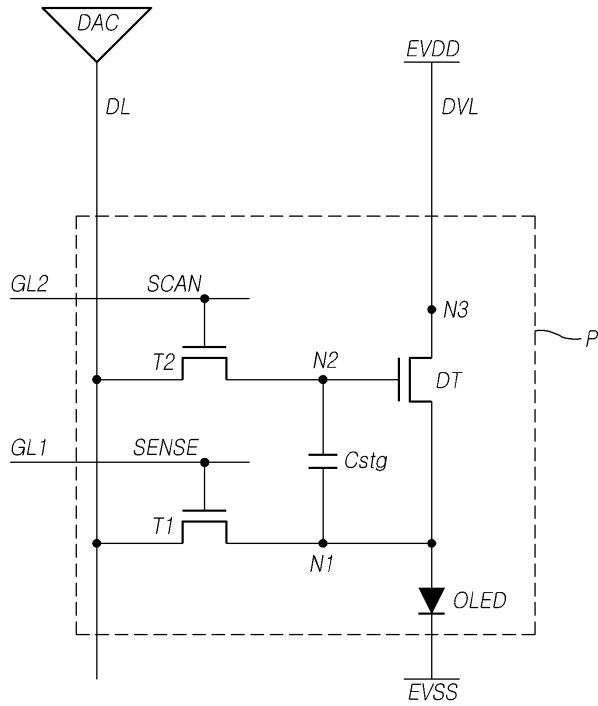
도면4



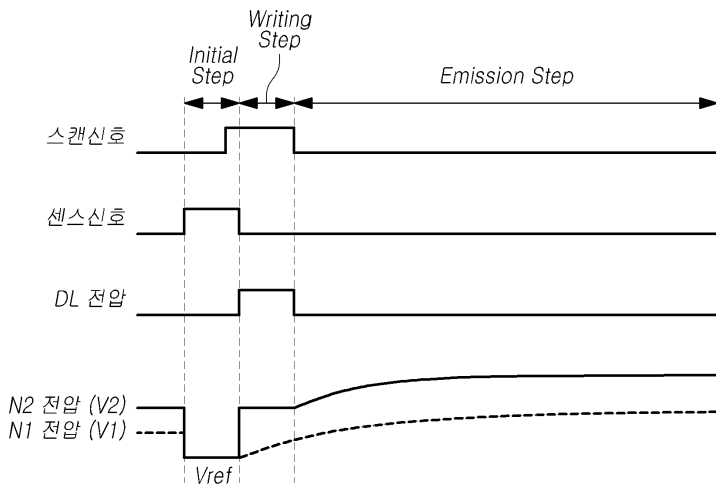
도면5



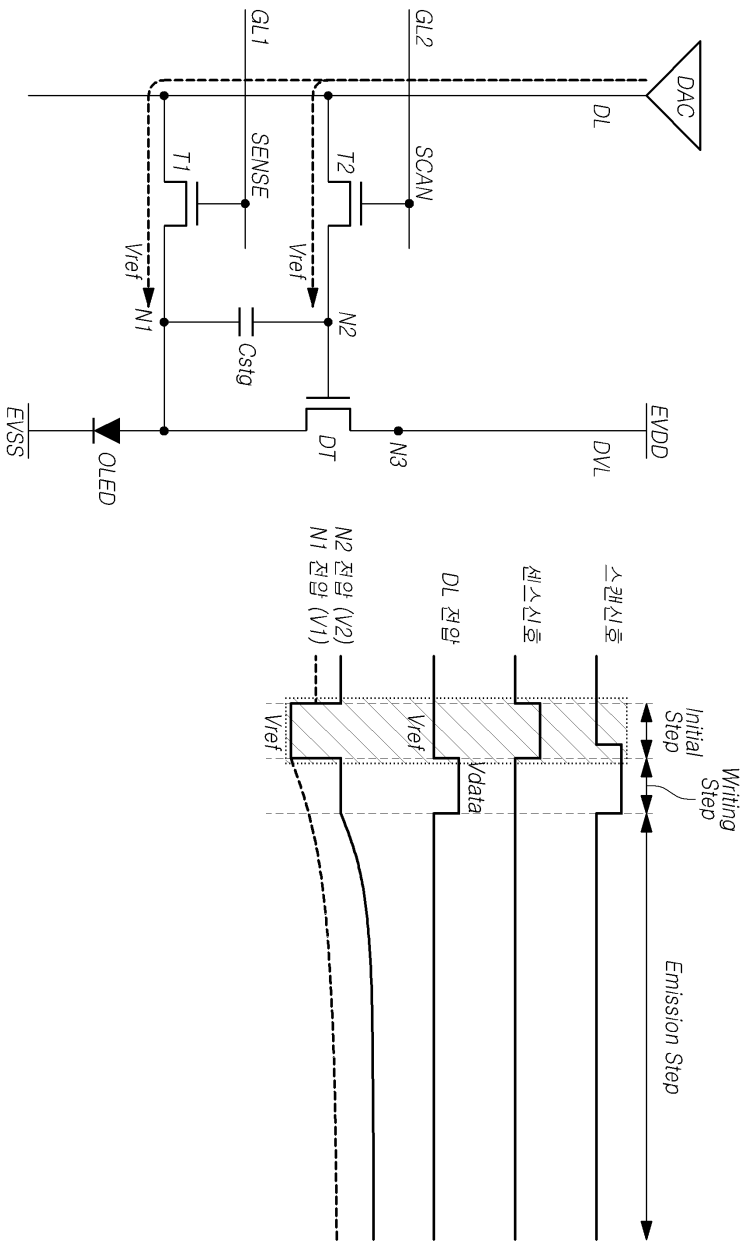
도면6



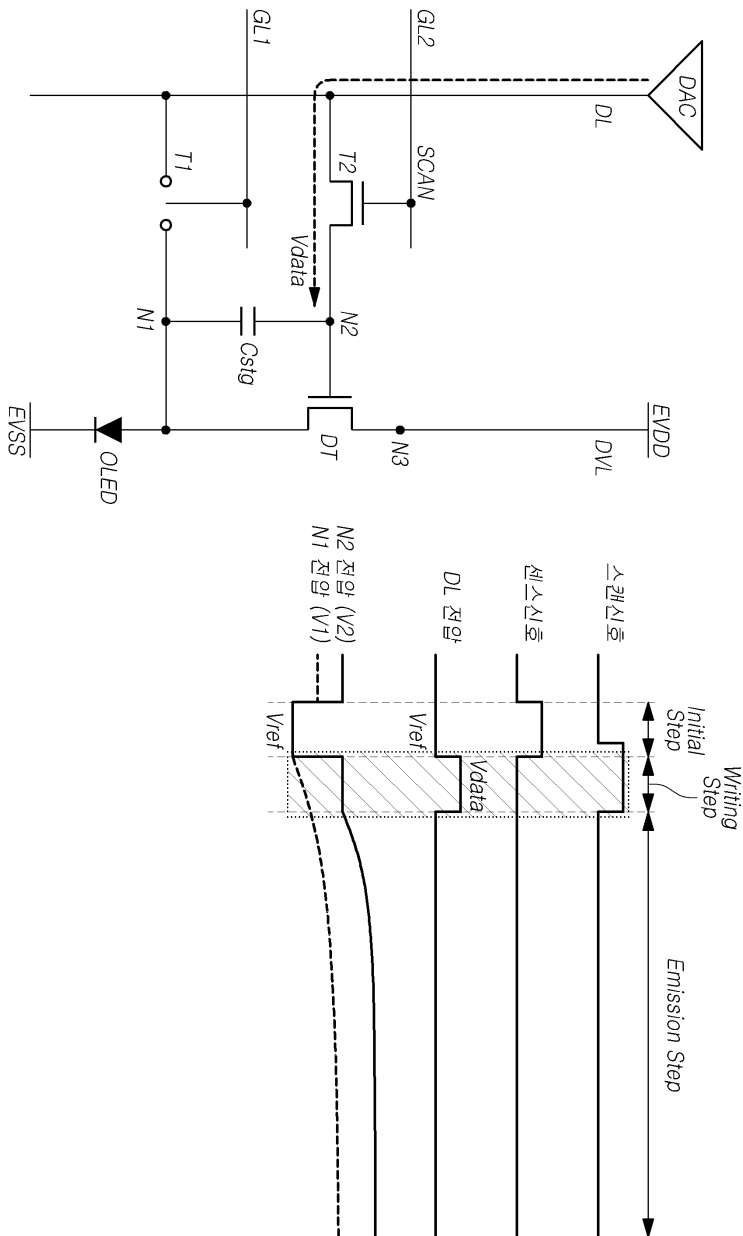
도면7



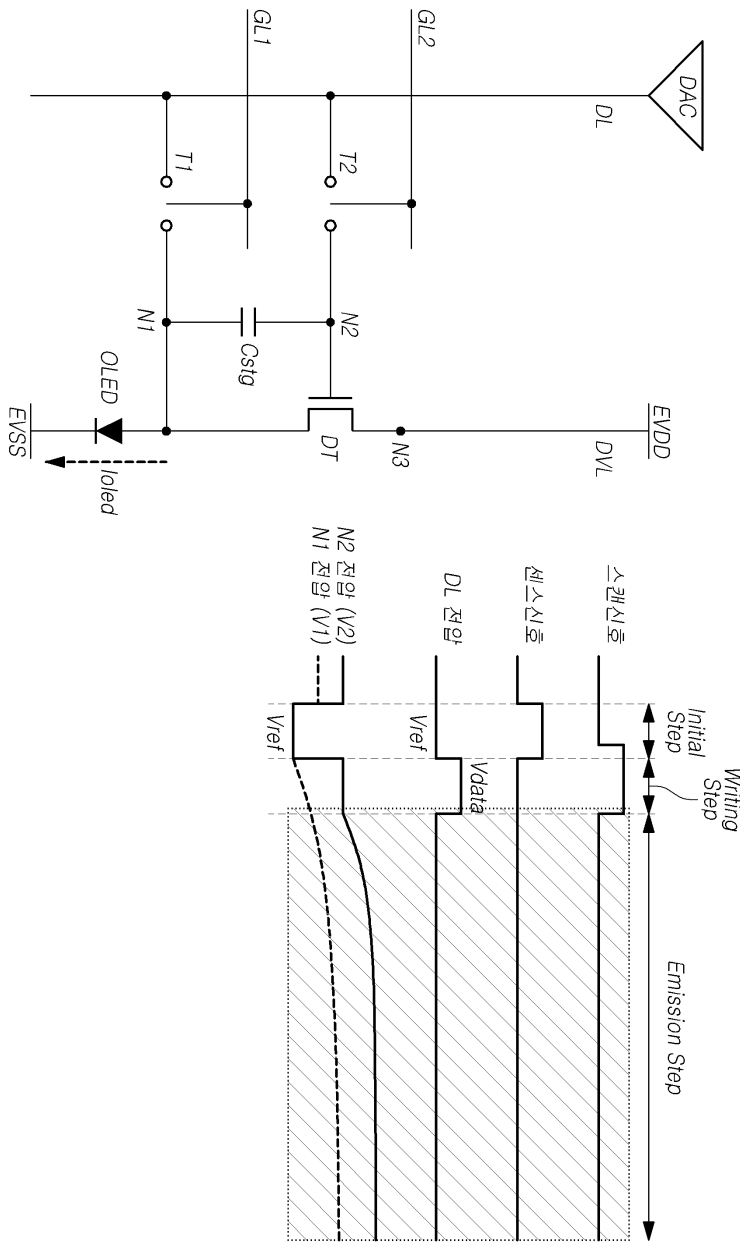
도면8



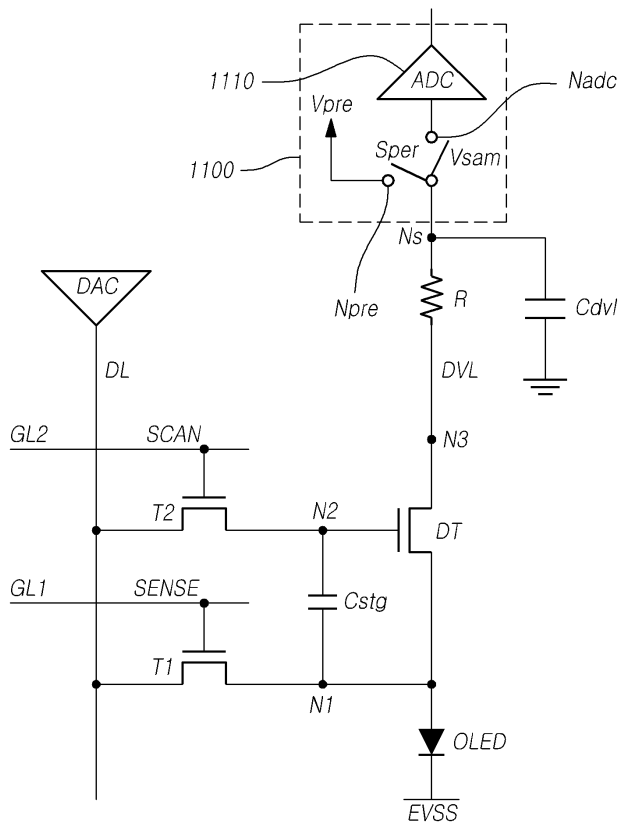
도면9



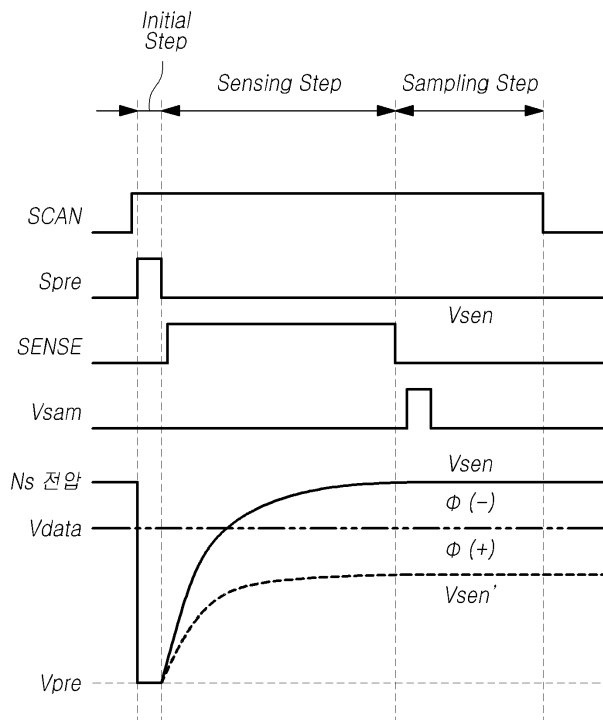
도면10



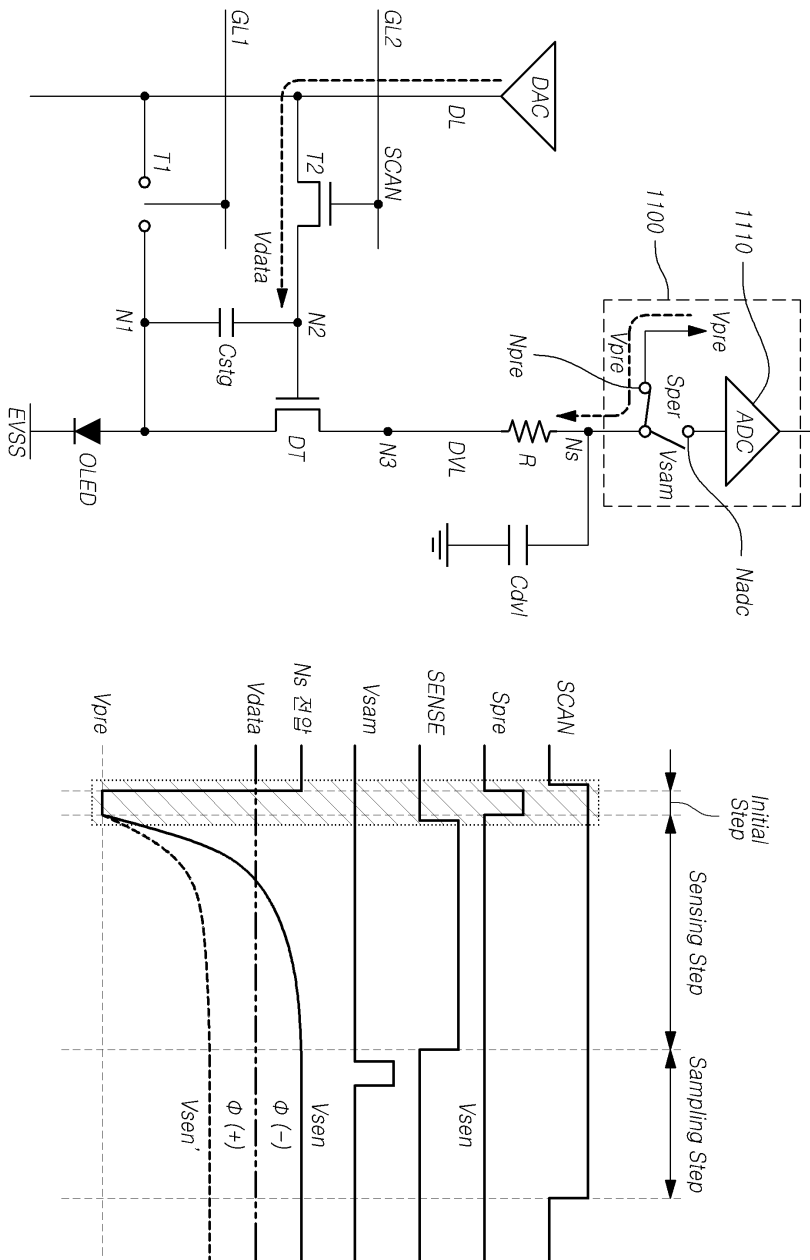
도면11



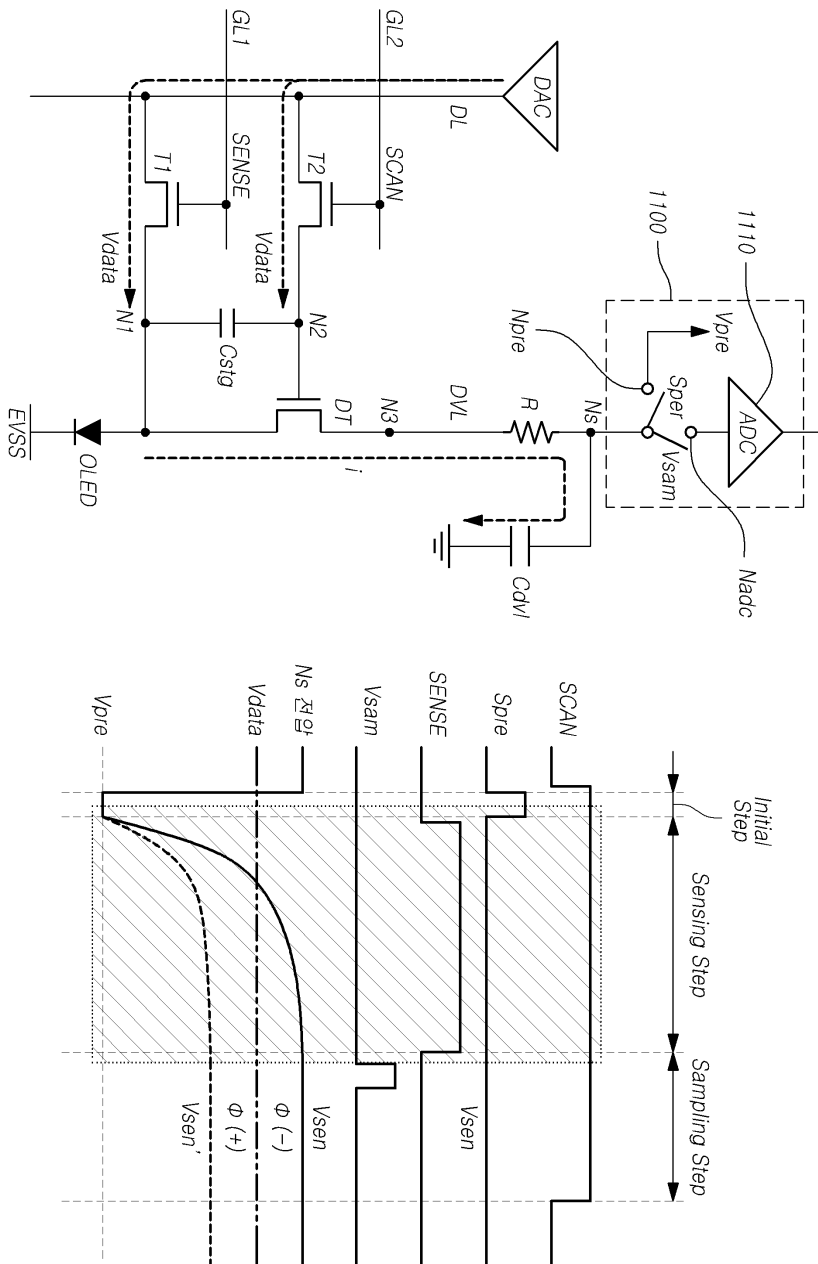
도면12



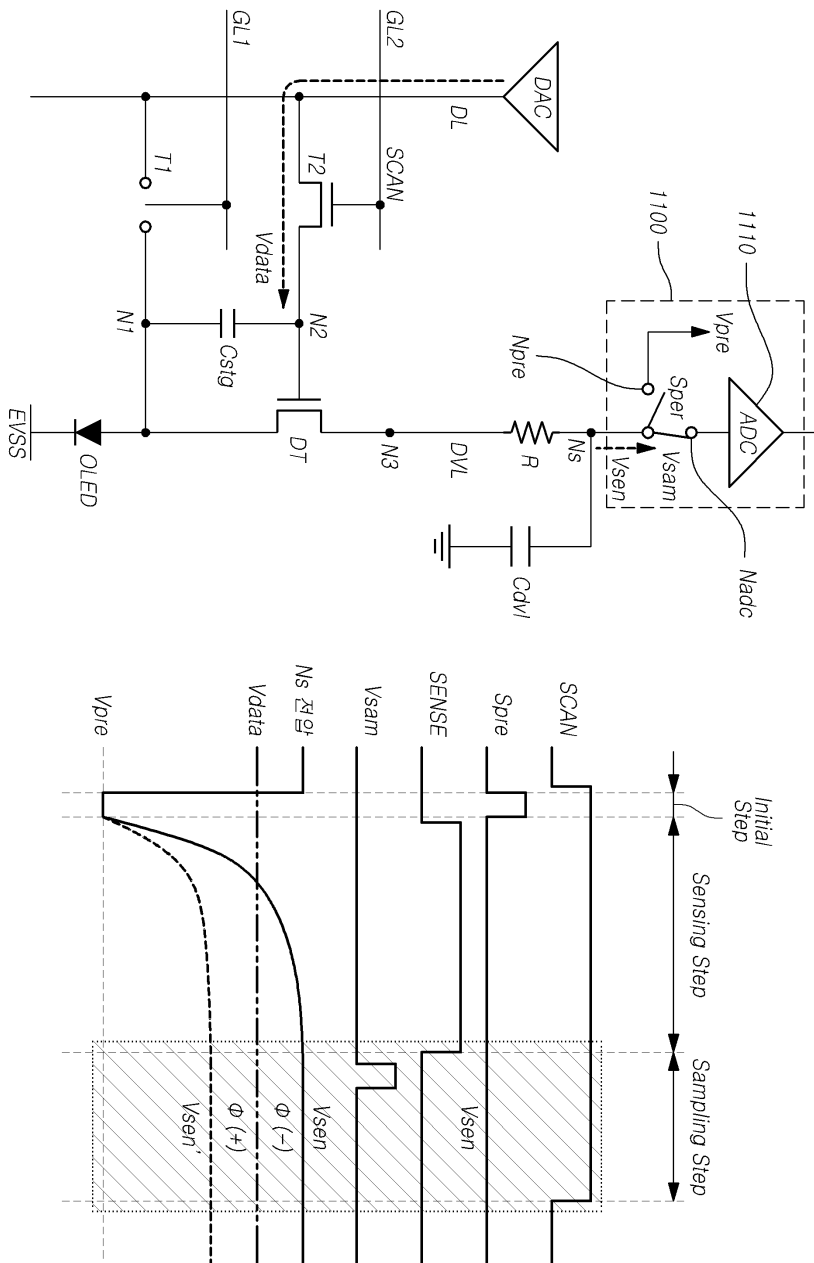
도면13



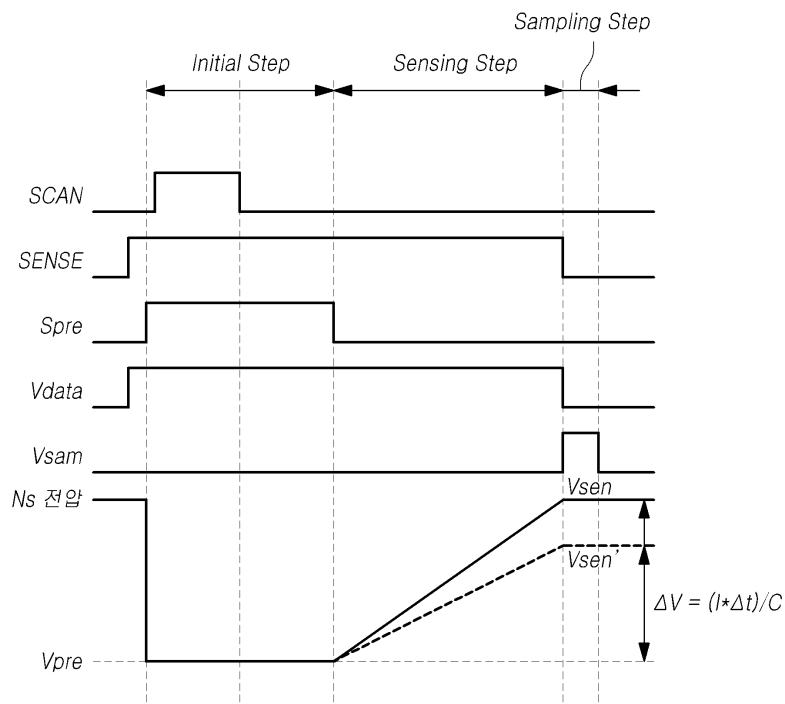
도면14



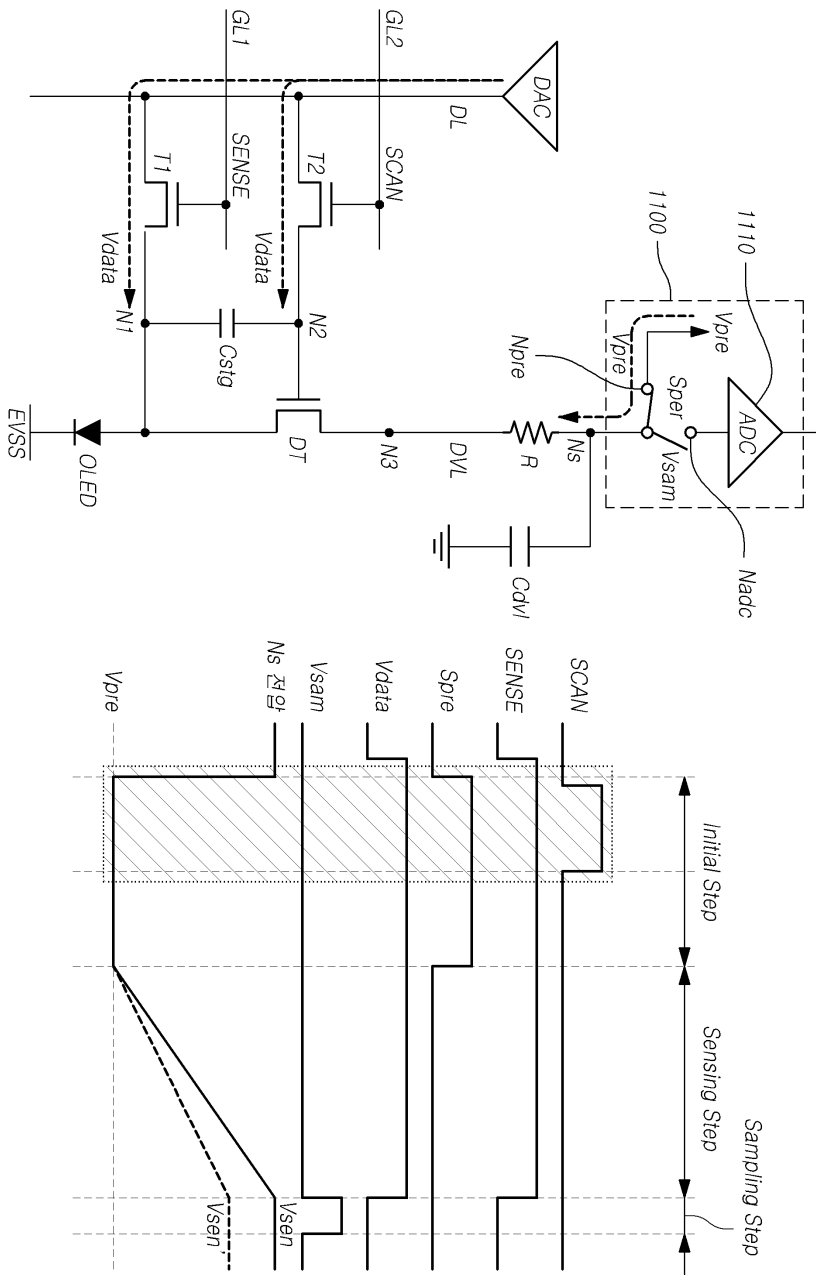
도면15



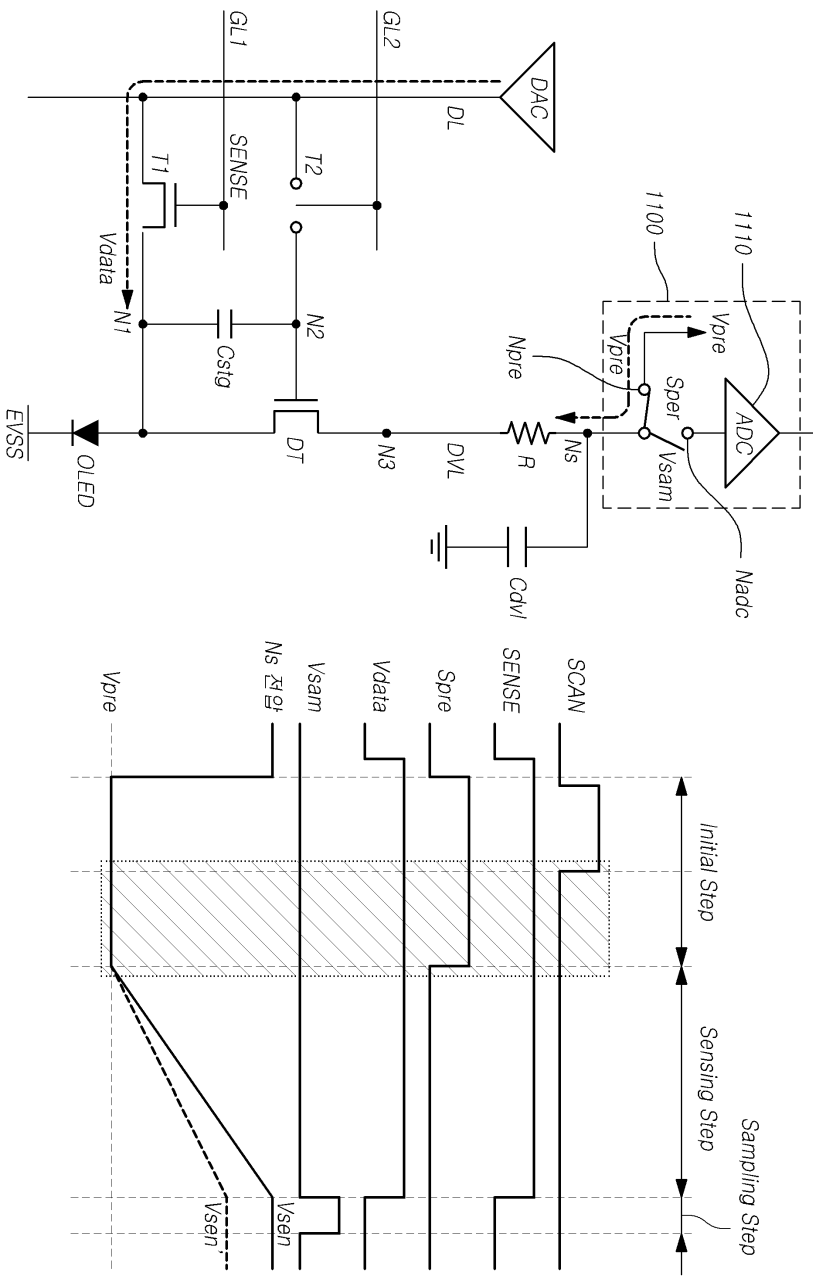
도면16



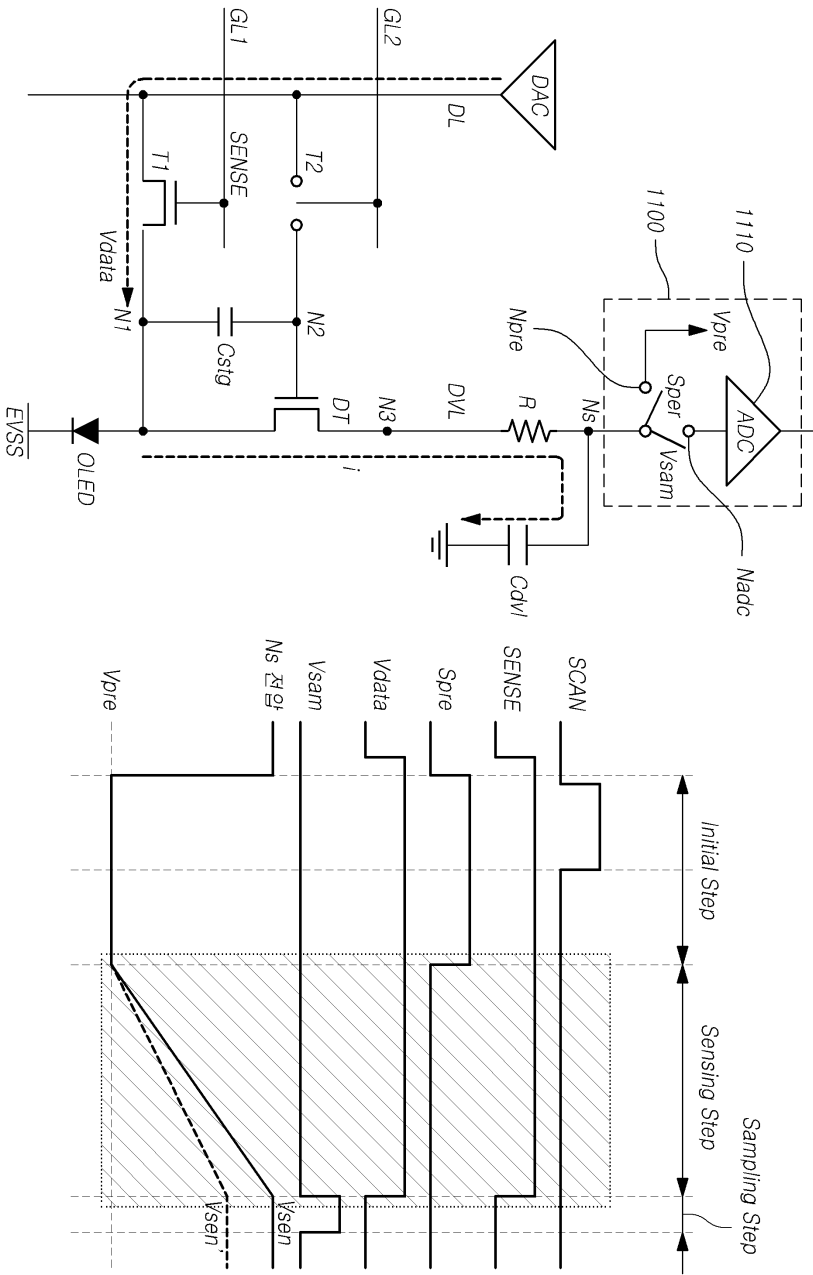
도면17



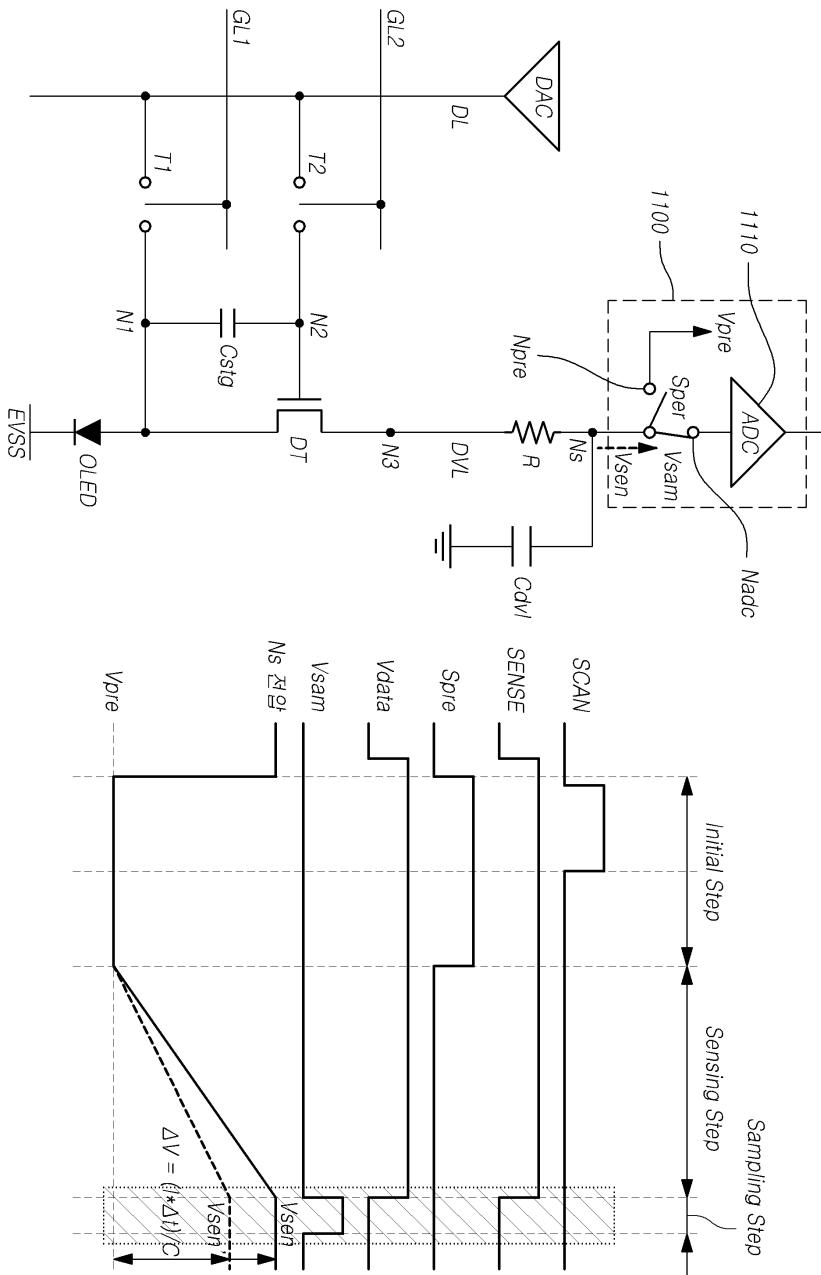
도면18



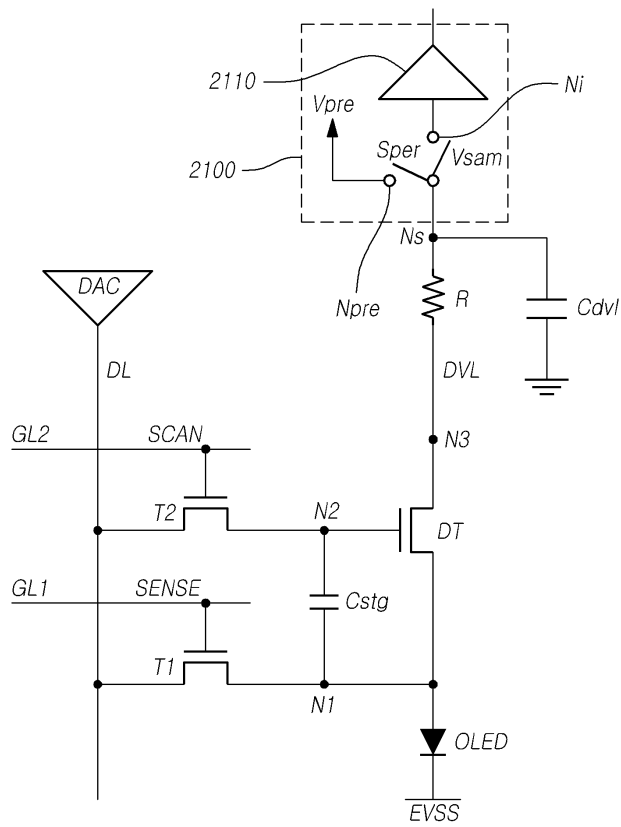
도면19



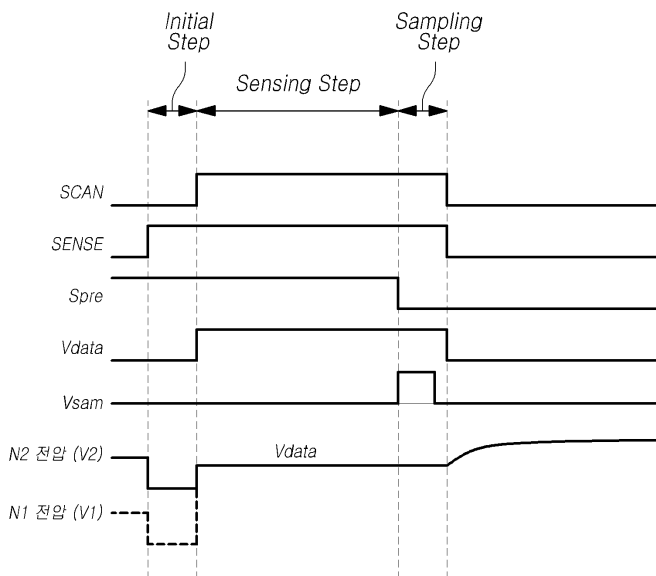
도면20



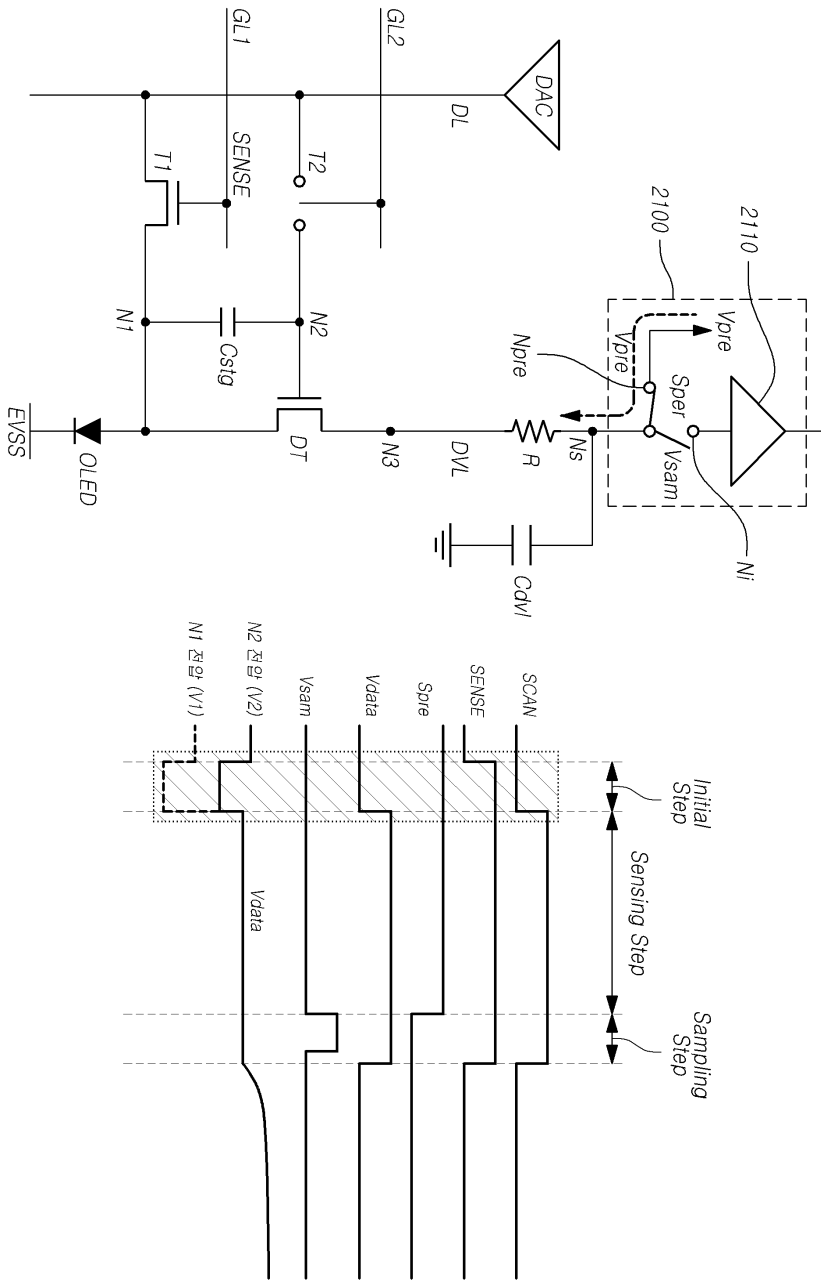
도면21



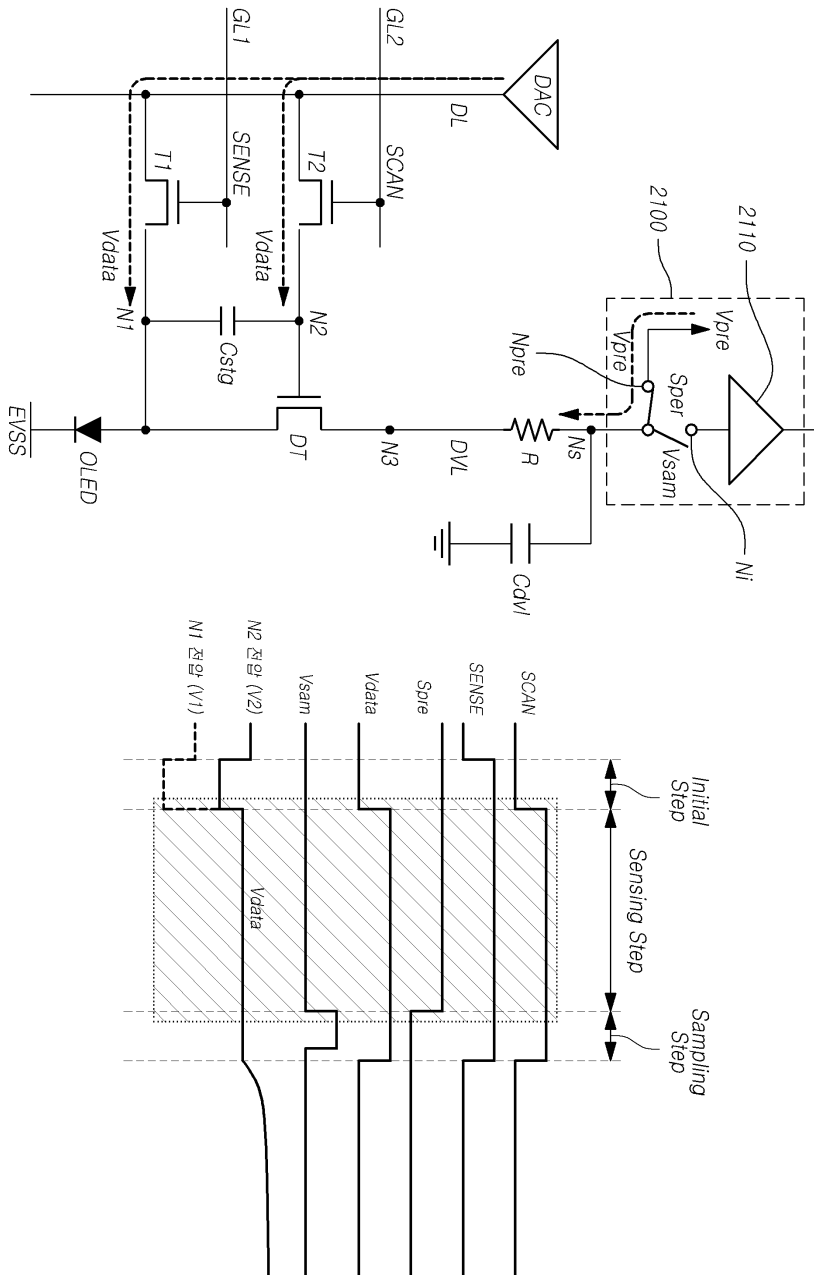
도면22



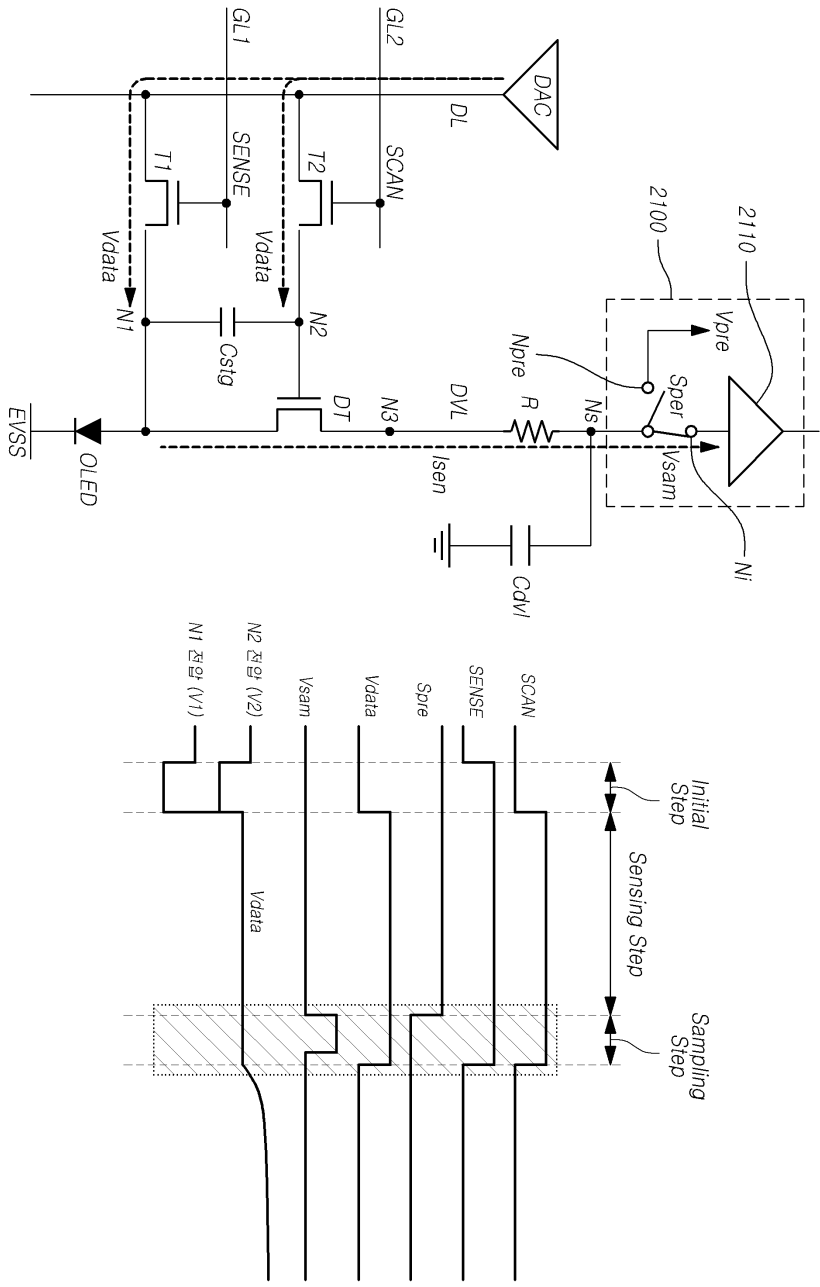
도면23



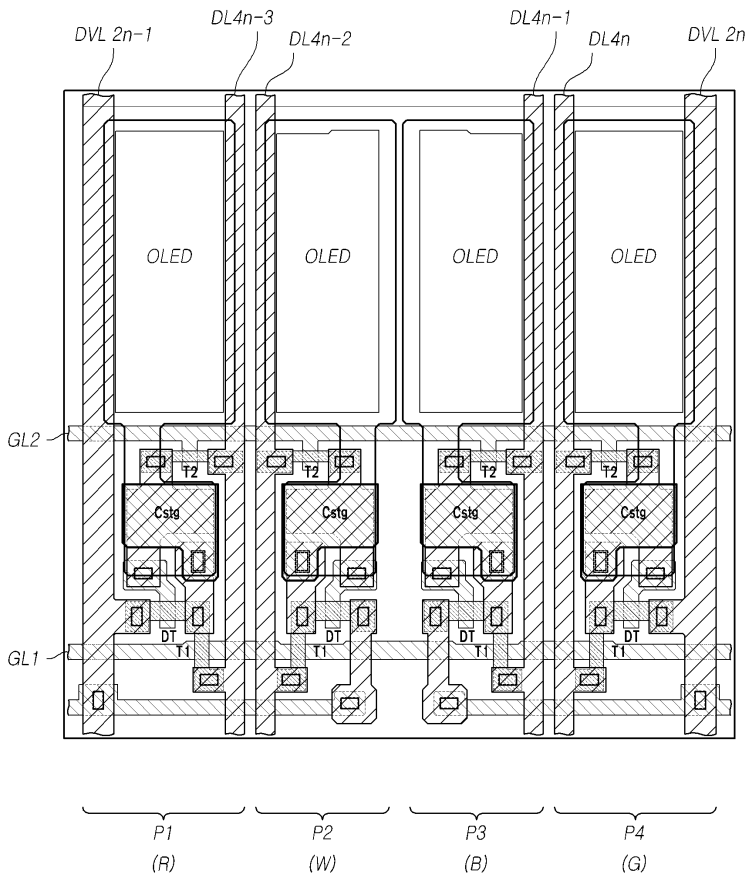
도면24



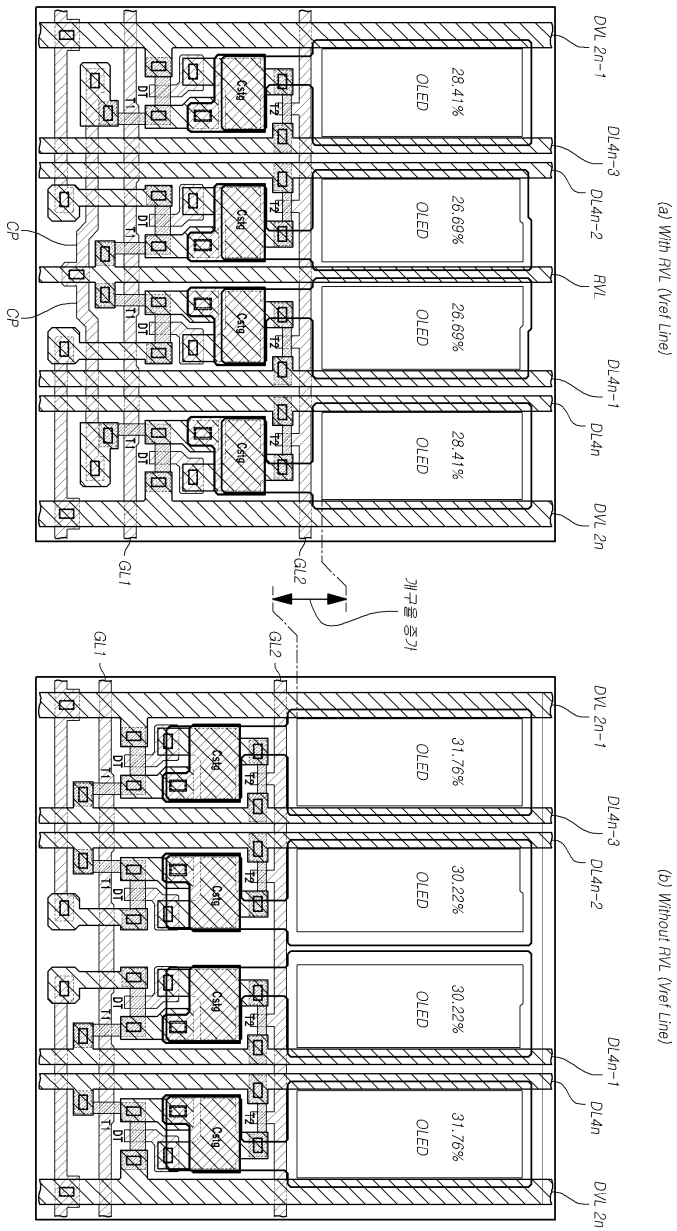
도면25



도면26



도면27



专利名称(译)	标题：有机发光显示器及其驱动方法		
公开(公告)号	KR101688923B1	公开(公告)日	2016-12-23
申请号	KR1020130138238	申请日	2013-11-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN HUN KI 신헌기 KIM BUM SIK 김범식		
发明人	신헌기 김범식		
IPC分类号	G09G3/32 G09G3/30 G09G5/18		
CPC分类号	G09G3/32 G09G3/30 G09G3/3233 G09G3/3291 G09G5/18 G09G3/3258 G09G2300/0465 G09G2300/0842 G09G2310/0262 G09G2320/043 G09G2320/0295		
代理人(译)	Gimeungu 宋.		
其他公开文献	KR1020150056106A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种有机发光显示装置，包括：有机发光二极管；第一晶体管，由感测信号控制并与数据线连接；第二晶体管，由扫描信号控制并与数据线连接；驱动有机发光二极管的驱动晶体管，具有通过第一晶体管施加参考电压的第一节点，通过第二晶体管施加数据电压的第二节点，以及与驱动电压连接的第三节点线及其驱动方法。COPYRIGHT KIPO 2015

