



- 특허법인 정안

심사관 : 김우영

- 1 -

(72) 발명자

고영주

경기 파주시 후곡로 50, 406동 1405호 (금촌동, 후곡마을아파트)

남우진

경기 고양시 일산서구 주엽로 122, 1604동 1403호
(주엽동, 문촌마을16단지아파트)

타니료스케

경기 파주시 월롱면 엘씨디로8번길 47-9, 201

명세서

청구범위

청구항 1

기판 위에 형성된 게이트 전극;

상기 게이트 전극을 덮는 게이트 절연막;

상기 게이트 절연막 위에서 상기 게이트 전극을 덮도록 형성되고, 중앙부 채널 영역과, 상기 채널 영역에서 외측으로 연장되고 도체화된 소스 영역 및 드레인 영역을 포함하는 반도체 층;

상기 채널 영역을 덮으며, 상기 소스 영역 및 상기 드레인 영역을 노출하는 에치 스톱퍼;

상기 노출된 소스 영역의 일부와 접촉하는 소스 전극; 그리고

상기 노출된 드레인 영역의 일부와 접촉하는 드레인 전극을 구비하는 박막 트랜지스터 기판을 포함하고,

상기 소스 전극 및 상기 드레인 전극은, 금속 재료 또는 전도성 재료를 포함하는 제1 금속층과 상기 제1 금속층상에 적층되고 저저항 재료를 포함하는 제2 금속층을 포함하고,

상기 에치 스톱퍼는 상기 소스 영역 및 상기 드레인 영역을 제외한 상기 기판 상의 전체 표면에 형성되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 소스 전극은, 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 소스 영역과 접촉하여, 상기 소스 전극과 상기 채널 영역 사이의 상기 소스 영역이 노출되며,

상기 드레인 전극은, 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 드레인 영역과 접촉하여, 상기 드레인 전극과 상기 채널 영역 사이의 상기 드레인 영역이 노출된 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 에치 스톱퍼는 상기 반도체 층 위에서 상기 기판 전체 표면에 도포되고, 상기 소스 영역을 노출하는 소스 영역 홀과 상기 드레인 영역을 노출하는 드레인 영역 홀을 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 5

제 1 항에 있어서,

상기 에치 스톱퍼 및 상기 채널 영역은, 상기 게이트 전극과 동일한 크기 및 동일한 형상을 갖는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 6

제 1 항에 있어서,

상기 반도체 층은 산화물 반도체 물질을 포함하고,

상기 소스 영역 및 상기 드레인 영역은 상기 반도체 물질을 도체화한 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 7

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막 및 산화물 반도체 물질을 도포하고, 상기 산화물 반도체 물질을 패틴하여 반도체 층을 형성하는 단계;

상기 반도체 층의 중심부를 덮는 에치 스톱퍼를 형성하는 단계;

상기 에치 스톱퍼를 마스크로 플라즈마 처리하여, 상기 에치 스톱퍼 외측으로 노출된 상기 반도체 층의 일부를 도체화 하여, 채널 영역, 소스 영역 및 드레인 영역을 형성하는 단계; 그리고

상기 도체화된 소스 영역의 일부와 접촉하는 소스 전극 및 상기 도체화된 드레인 영역의 일부와 접촉하는 드레인 전극을 형성하는 단계를 포함하고,

상기 소스 전극 및 상기 드레인 전극은, 금속 재료 또는 전도성 재료를 포함하는 제1 금속층과 상기 제1 금속층상에 적층되고 저저항 재료를 포함하는 제2 금속층을 포함하고,

상기 에치 스톱퍼를 형성하는 단계는,

상기 에치 스톱퍼를 상기 소스 영역 및 상기 드레인 영역을 제외한 상기 기판 상의 전체 표면에 형성하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 에치 스톱퍼를 형성하는 단계는,

상기 반도체 층 위에 절연층을 도포하는 단계; 그리고

마스크를 이용하여 상기 절연층을 패틴하여 상기 소스 영역을 노출하는 소스 영역 홀과 상기 드레인 영역을 노출하는 드레인 영역 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 에치 스톱퍼를 형성하는 단계는,

상기 반도체 층 위에 절연층을 도포하는 단계; 그리고

상기 게이트 전극을 마스크로 하여 배면 노광법으로 상기 소스 영역 및 상기 드레인 영역을 노출하고, 상기 채널 영역을 덮도록 상기 에치 스톱퍼를 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는,

상기 소스 전극이 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 소스 영역과 접촉하고, 상기 소스 전극과 상기 채널 영역 사이의 상기 소스 영역이 노출되며;

상기 드레인 전극이, 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 드레인 영역과 접촉하고, 상기 드레인 전극과 상기 채널 영역 사이의 상기 드레인 영역이 노출되도록 형성하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는,

상기 에치 스톱퍼 위에 상기 제1 금속층과 상기 제2 금속층을 연속으로 도포하는 단계;

습식 식각법으로 상기 제2 금속층을 패터닝하는 단계; 그리고

상기 패터닝된 제2 금속층을 마스크로 상기 제1 금속층을 건식 식각하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 이용한 박막 트랜지스터 기판을 포함하는 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 산화물 반도체 층의 채널 영역과 소스-드레인 영역을 에치 스톱퍼 층으로 정의한 박막 트랜지스터 기판을 포함하는 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치에는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광장치(Electroluminescence Device, EL) 등이 있다.

[0003] 전계발광장치는 발광층의 재료에 따라 무기 전계발광장치와 유기발광다이오드장치로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 도 1은 유기발광 다이오드의 구조를 나타내는 도면이다. 유기발광 다이오드는 도 1과 같이 전계발광하는 유기 전계발광 화합물층과, 유기 전계발광 화합물층을 사이에 두고 대향하는 캐소드 전극(Cathode) 및 애노드 전극(Anode)을 포함한다. 유기 전계발광 화합물층은 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)을 포함한다.

[0005] 유기발광 다이오드는 애노드 전극(Anode)과 캐소드 전극(Cathode)에 주입된 정공과 전자가 발광층(EML)에서 재결합할 때의 여기 과정에서 여기자(excitation)가 형성되고 여기자로부터의 에너지로 인하여 발광한다. 유기발광 다이오드 표시장치는 도 1과 같은 유기발광다이오드의 발광층(EML)에서 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다.

[0006] 전계발광소자인 유기발광 다이오드의 특징을 이용한 유기발광 다이오드 표시장치(Organic Light Emitting Diode display: OLED)에는 패시브 매트릭스 타입의 유기발광 다이오드 표시장치(Passive Matrix type Organic Light Emitting Diode display, PMOLED)와 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)로 대별된다.

[0007] 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(AMOLED)는 박막 트랜지스터(Thin Film Transistor: 혹은

"TFT")를 이용하여 유기발광 다이오드에 흐르는 전류를 제어하여 화상을 표시한다.

- [0008] 도 2는 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 등가 회로도의 한 예이다. 도 3은 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도이다. 도 4는 도 3에서 절취선 I-I'로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.
- [0009] 도 2 내지 3을 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치는 스위칭 박막 트랜지스터(ST), 스위칭 TFT와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기발광 다이오드(OLED)를 포함한다.
- [0010] 스위칭 TFT(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다. 그리고 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 유기발광 다이오드(OLED)를 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLED)의 애노드 전극(ANO)과 연결되어 있다.
- [0011] 좀 더 상세히 살펴보기 위해 도 4를 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치의 기판(SUB) 상에 스위칭 TFT(ST) 및 구동 TFT(DT)의 게이트 전극(SG, DG)이 형성되어 있다. 그리고 게이트 전극(SG, DG) 위에는 게이트 절연막(GI)이 덮고 있다. 게이트 전극(SG, DG)과 중첩되는 게이트 절연막(GI)의 일부에 반도체 층(SA, DA)이 형성되어 있다. 반도체 층(SA, DA) 위에는 일정 간격을 두고 소스 전극(SS, DS)과 드레인 전극(SD, DD)이 마주보고 형성된다. 스위칭 TFT(ST)의 드레인 전극(SD)은 게이트 절연막(GI)에 형성된 콘택홀을 통해 구동 TFT(DT)의 게이트 전극(DG)과 접촉한다. 이와 같은 구조를 갖는 스위칭 TFT(ST) 및 구동 TFT(DT)를 덮는 보호층(PAS)이 전면에 도포된다.
- [0012] 특히, 반도체 층(SA, DA)을 산화물 반도체 물질로 형성하는 경우, 높은 전하 이동도 특성에 의해 충전 용량이 큰 대면적 박막 트랜지스터 기판에서 고 해상도 및 고속 구동에 유리하다. 그러나, 산화물 반도체 물질은 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼(SE, DE)를 더 포함하는 것이 바람직하다. 구체적으로, 소스 전극(SS, DS)과 드레인 전극(SD, DD) 사이의 이격된 부분에서 노출된 상부면과 접촉하는 식각액으로부터 반도체 층(SA, DA)이 백 에치(Back Etch) 되는 것을 보호하도록 에치 스톱퍼(SE, DE)를 형성한다.
- [0013] 나중에 형성될 애노드 전극(ANO)의 영역에 해당하는 부분에 칼라 필터(CF)가 형성된다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성하는 것이 바람직하다. 이와 같이 칼라 필터(CF)가 형성된 기판은 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판 전면에 도포한다.
- [0014] 그리고 오버코트 층(OC) 위에 유기발광 다이오드(OLED)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호층(PAS)에 형성된 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 연결된다.
- [0015] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 TFT(ST), 구동 TFT(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 뱅크패턴(BANK)을 형성한다.
- [0016] 뱅크 패턴(BANK)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다. 뱅크 패턴(BANK)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OLE)과 캐소드 전극층(CAT)이 순차적으로 적층된다. 유기발광 층(OLE)은 백색광을 발하는 유기물질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다. 도 4와 같은 구조를 갖는 유기발광 다이오드 표시장치는 아래 방향으로 발광하는 하부 발광(Bottom Emission) 표시 장치가 된다.
- [0017] 이와 같은 구조를 갖는 산화물 반도체를 사용하는 유기발광 다이오드 표시장치에서는, 소스-드레인 전극(SS-SD, DS-DD)이 에치 스톱퍼(SE, DE)와 일부 중첩하는 형상을 갖는다. 특히, 반도체 층(SA, DA) 중에서 소스-드레인 전극(SS-SD, DS-DD) 사이의 길이만 채널 영역으로 정의되는데, 이 중첩 영역으로 인해 채널 영역을 확보하기 위해 반도체 층(SA, DA)의 면적이 필요 이상으로 큰 점유 면적을 갖는다. 또한, 이 중첩된 부분에서 소스-드레인 전극(SS-SD, DS-DD)과 게이트 전극(SG, DG) 사이에 기생 용량이 발생한다. 중첩 영역이 커질수록 기생 용량도 비례적으로 커지므로 바람직하지 않다.

발명의 내용

해결하려는 과제

[0018] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써, 채널 영역이 소스-드레인 전극과 중첩하지 않는 산화물 반도체를 이용한 박막 트랜지스터 기판을 포함하는 유기발광 다이오드 표시장치 및 그 제조 방법을 제공하는 데 있다. 본 발명의 다른 목적은, 에치 스톱퍼를 이용하여 산화물 반도체 층을 채널 영역과 소스-드레인 영역으로 정확하게 정의하고, 소스-드레인 전극은 소스-드레인 영역의 일부와 접촉하여, 채널 영역이 소스-드레인 전극과 중첩하지 않는 산화물 반도체를 사용한 박막 트랜지스터 기판 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0019] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 산화물 반도체를 이용한 박막 트랜지스터 기판을 포함하는 유기발광 다이오드 표시장치는, 기판 위에 형성된 게이트 전극; 상기 게이트 전극을 덮는 게이트 절연막; 상기 게이트 절연막 위에서 상기 게이트 전극을 덮도록 형성되고, 중앙부 채널 영역과, 상기 채널 영역에서 외측으로 연장되고 도체화된 소스 영역 및 드레인 영역을 포함하는 반도체 층; 상기 채널 영역을 덮으며, 상기 소스 영역 및 상기 드레인 영역을 노출하는 에치 스톱퍼; 상기 노출된 소스 영역의 일부와 접촉하는 소스 전극; 그리고 상기 노출된 드레인 영역의 일부와 접촉하는 드레인 전극을 포함한다.

[0020] 상기 소스 전극은, 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 소스 영역과 접촉하여, 상기 소스 전극과 상기 채널 영역 사이의 상기 소스 영역이 노출되며, 상기 드레인 전극은, 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 드레인 영역과 접촉하여, 상기 드레인 전극과 상기 채널 영역 사이의 상기 드레인 영역이 노출된 것을 특징으로 한다.

[0021] 상기 소스 전극 및 상기 드레인 전극은, 제1 금속층과 제2 금속층이 적층된 것을 특징으로 한다.

[0022] 상기 에치 스톱퍼는 상기 반도체 층 위에서 상기 기판 전체 표면에 도포되고, 상기 소스 영역을 노출하는 소스 영역 홀과 상기 드레인 영역을 노출하는 드레인 영역 홀을 포함하는 것을 특징으로 한다.

[0023] 상기 에치 스톱퍼 및 상기 채널 영역은, 상기 게이트 전극과 동일한 크기 및 동일한 형상을 갖는 것을 특징으로 한다.

[0024] 상기 반도체 층은 산화물 반도체 물질을 포함하고, 상기 소스 영역 및 상기 드레인 영역은 상기 반도체 물질을 도체화한 것을 특징으로 한다.

[0025] 또한, 본 발명에 의한 산화물 반도체를 이용한 박막 트랜지스터 기판을 포함하는 유기발광 다이오드 표시장치의 제조 방법은, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극 위에 게이트 절연막 및 산화물 반도체 물질을 도포하고, 상기 산화물 반도체 물질을 패터닝하여 반도체 층을 형성하는 단계; 상기 반도체 층의 중심부를 덮는 에치 스톱퍼를 형성하는 단계; 상기 에치 스톱퍼를 마스크로 플라즈마 처리하여, 상기 에치 스톱퍼 외측으로 노출된 상기 반도체 층의 일부를 도체화 하여, 채널 영역, 소스 영역 및 드레인 영역을 형성하는 단계; 그리고 상기 도체화된 소스 영역의 일부와 접촉하는 소스 전극 및 상기 도체화된 드레인 영역의 일부와 접촉하는 드레인 전극을 형성하는 단계를 포함한다.

[0026] 상기 에치 스톱퍼를 형성하는 단계는, 상기 반도체 층 위에 절연층을 도포하는 단계; 그리고 마스크를 이용하여 상기 절연층을 패터닝하여 상기 소스 영역을 노출하는 소스 영역 홀과 상기 드레인 영역을 노출하는 드레인 영역 홀을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0027] 상기 에치 스톱퍼를 형성하는 단계는, 상기 반도체 층 위에 절연층을 도포하는 단계; 그리고 상기 게이트 전극을 마스크로 하여 배면 노광법으로 상기 소스 영역 및 상기 드레인 영역을 노출하고, 상기 채널 영역을 덮도록 상기 에치 스톱퍼를 형성하는 단계를 포함하는 것을 특징으로 한다.

[0028] 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는, 상기 소스 전극이 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 소스 영역과 접촉하고, 상기 소스 전극과 상기 채널 영역 사이의 상기 소스 영역이 노출되며; 상기 드레인 전극이, 상기 채널 영역에서 일정 거리 외측으로 이격한 상기 드레인 영역과 접촉하고, 상기 드레인 전극과 상기 채널 영역 사이의 상기 드레인 영역이 노출되도록 형성하는 것을 특징으로 한다.

[0029] 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는, 상기 에치 스톱퍼 위에 제1 금속층과 제2 금속층을 연

속으로 도포하는 단계; 습식 식각법으로 상기 제2 금속층을 패터닝하는 단계; 그리고 상기 패터닝된 제2 금속층을 마스크로 상기 제1 금속층을 건식 식각하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

[0030] 본 발명에 의한 산화물 반도체 층을 포함하는 박막 트랜지스터 기판은, 에치 스톱퍼를 이용하여 반도체 층을 도체 처리하여, 채널 영역과 도체화된 소스-드레인 영역을 정확하게 정의할 수 있다. 따라서, 채널 영역의 길이를 에치 스톱퍼에 의해 최소 길이를 갖도록 정밀하게 형성할 수 있다. 더구나, 소스-드레인 전극은 도체화된 소스-드레인 영역의 일부와 접촉하도록 형성한다. 따라서, 채널 영역과 소스-드레인 전극이 중첩하는 않아, 박막 트랜지스터의 전류 특성이 향상한다. 또한, 배면 노광을 이용하여, 게이트 전극, 채널 영역, 에치 스톱퍼를 동일한 형상으로 정의함으로써, 바텀 게이트 구조에서도 게이트-드레인 및 게이트-소스 기생 용량들을 제거한 탑 게이트의 장점을 얻을 수도 있다.

도면의 간단한 설명

[0031] 도 1은 유기발광 다이오드 소자를 나타내는 도면.
 도 2는 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 등가 회로도.
 도 3은 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도.
 도 4는 도 3에서 절취선 I-I'로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.
 도 5는 본 발명의 제1 실시 예에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도.
 도 6은 도 5에서 절취선 II-II'으로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.
 도 7은 도 6에서 구동 박막 트랜지스터 부분을 표시한 ① 영역을 확대한 단면도.
 도 8a 내지 8f는 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판의 제조 공정을 보여주는 단면도들.
 도 9는 본 발명의 제2 실시 예에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도.
 도 10은 도 9에서 절취선 III-III'으로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.
 도 11a 내지 11f는 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판의 제조 공정을 보여주는 단면도들.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0033] 이하, 도 5 및 6을 참조하여, 본 발명의 제1 실시 예에 의한 유기발광 다이오드 표시장치에 대하여 설명한다. 도 5는 본 발명의 제1 실시 예에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도이다. 도 6은 도 5에서 절취선 II-II'으로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0034] 도 5 및 6을 참조하면, 본 발명의 제1 실시 예에 의한 유기발광 다이오드 표시장치는, 기판(SUB) 상에 스위칭 TFT(ST) 및 구동 TFT(DT)의 게이트 전극(SG, DG)이 형성되어 있다. 그리고 게이트 전극(SG, DG) 위에는 게이트 절연막(GI)이 덮고 있다. 게이트 전극(SG, DG)과 중첩되는 게이트 절연막(GI)의 일부에 반도체 층(SA, DA)이 형성되어 있다. 반도체 층(SEM) 위에는 일정 간격을 두고 소스 전극(SS, DS)과 드레인 전극(SD, DD)이 마주보고 형성된다. 스위칭 TFT(ST)의 드레인 전극(SD)은 게이트 절연막(GI)에 형성된 콘택홀을 통해 구동 TFT(DT)의 게이트 전극(DG)과 접촉한다. 이와 같은 구조를 갖는 스위칭 TFT(ST) 및 구동 TFT(DT)를 덮는 보호층(PAS)이 전면에도 도포된다.

[0035] 특히, 반도체 층(SEM)을 산화물 반도체 물질로 형성하는 경우, 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼(ES)를 더 포함한다. 구체적으로, 소스 전극(SS, DS)과 드레인 전극(SD, DD) 사이의 이격된 부분에서 노출된 상부면과 접촉하는 식각액으로부터 반도체 층(SEM)이 백 에치(Back Etch)되는 것을 보호하도록 에치 스톱퍼(ES)를 형성한다.

- [0036] 본 발명의 제1 실시 예에서는 에치 스톱퍼(ES)는 반도체 층(SEM)이 형성된 기판(SUB)의 전체 면을 덮도록 형성된다. 그리고 에치 스톱퍼(ES)에는 반도체 층(SEM) 중에서 채널 영역(SA, DA)을 정의하면서, 채널 영역(SA, DA)의 좌, 우에 연속 배치되는 소스 영역(SSA, DSA) 및 드레인 영역(SDA, DDA)을 정의하는 오픈 홀을 형성한다. 즉, 에치 스톱퍼(ES)의 오픈 홀을 통해 노출된 반도체 층(SEM)은 소스 영역(SSA, DSA) 및 드레인 영역(SDA, DDA)이 된다. 그리고 소스 영역(SSA, DSA) 및 드레인 영역(SDA, DDA) 사이에서 에치 스톱퍼(ES)에 의해 덮인 부분이 채널 영역(SA, DA)으로 정의된다.
- [0037] 또한, 본 발명의 제1 실시 예에서는, 소스 전극(SS, DA)은 소스 영역(SSA, DSA)의 일부와 접촉한다. 이는 소스 전극(SS, DA)이 채널 영역(SA, DA)과 중첩되지 않도록 하기 위함이다. 마찬가지로, 드레인 전극(SD, DD)도 드레인 영역(SDA, DDA)의 일부와 접촉하도록 형성한다.
- [0038] 나중엔 형성될 애노드 전극(ANO)의 영역에 해당하는 부분에 칼라 필터(CF)가 형성된다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성하는 것이 바람직하다. 이와 같이 칼라 필터(CF)가 형성된 기판은 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판 전면에 도포한다.
- [0039] 그리고 오버코트 층(OC) 위에 유기발광 다이오드(OLED)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호층(PAS)에 형성된 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 연결된다.
- [0040] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 TFT(ST), 구동 TFT(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 뱅크패턴(BANK)을 형성한다.
- [0041] 뱅크 패턴(BANK)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다. 뱅크 패턴(BANK)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OLE)과 캐소드 전극층(CAT)이 순차적으로 적층된다. 유기발광 층(OLE)은 백색광을 발하는 유기물질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다. 도 4와 같은 구조를 갖는 유기발광 다이오드 표시장치는 아래 방향으로 발광하는 하부 발광(Bottom Emission) 표시 장치가 된다.
- [0042] 본 발명의 핵심 특징은, 산화물 반도체 물질을 포함하는 박막 트랜지스터의 구조에 관한 것이다. 이하, 도 7을 참조하여 유기발광 다이오드 표시장치에서 박막 트랜지스터의 상세한 구조에 대하여 설명한다. 도 7은 도 6에서 구동 박막 트랜지스터 부분을 표시한 ① 영역을 확대한 단면도이다.
- [0043] 도 7을 참조하면, 기판(SUB) 구동 박막 트랜지스터(DT)의 게이트 전극(DG)이 형성되어 있다. 게이트 전극(DG) 위에는 게이트 절연막(GI)이 도포되어 있다. 게이트 절연막(GI) 위에서 게이트 전극(DG)과 중첩하는 영역에 반도체 층(SEM)이 형성되어 있다. 반도체 층(SEM)이 형성된 기판(SUB) 전체 표면 위에 에치 스톱퍼(ES)가 도포되어 있다.
- [0044] 에치 스톱퍼(ES)는 패턴되어 반도체 층(SEM) 중에서 소스 영역(DSA) 및 드레인 영역(DDA)을 노출한다. 노출된 소스 영역(DSA) 및 드레인 영역(DDA)은 플라즈마로 처리하여 도체화(Metalized) 되어 있다. 그 결과, 소스 영역(DSA)과 드레인 영역(DDA)의 사이에 있는 반도체 영역은 채널 영역(DA)으로 정의된다.
- [0045] 에치 스톱퍼(ES) 위에는 소스-드레인 전극(DS-DD)이 형성된다. 특히, 소스 전극(DS)은 에치 스톱퍼(ES)에 의해 노출된 소스 영역(DSA)과 접촉하되, 채널 영역(DA)에서 일정 거리 이격된 소스 영역(DSA)의 일부와 접촉하는 것이 바람직하다. 동일하게, 드레인 전극(DD)은 에치 스톱퍼(ES)에 의해 노출된 드레인 영역(DDA)과 접촉하되, 채널 영역(DA)에서 일정 거리 이격된 드레인 영역(DDA)의 일부와 접촉하는 것이 바람직하다.
- [0046] 한편, 소스-드레인 전극(DS-DD)은 이중 금속층으로 형성하는 것이 바람직하다. 즉, 하부에는 건식 식각에 용이한 제1 금속층(M1)을, 상부에는 습식 식각에 용이한 제2 금속층(M2)이 적층된 구조를 갖는 것이 바람직하다. 또한, 소스 전극(DS)을 연장하는 데이터 배선(DL)도 동일한 구조를 갖는 것이 바람직하다. 마찬가지로, 구동 박막 트랜지스터(DT)의 게이트 전극(DG)과 연결되는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)도 동일한 구조를 갖는 것이 바람직하다.
- [0047] 이와 같은 구조에서는, 에치 스톱퍼(ES)의 형상에 의해서 채널 영역(DA)과 소스-드레인 영역(DSA-DDA)이 정의된다. 따라서, 채널 영역(DA)이 소스-드레인 전극(DS-DD)과 중첩되는 영역이 없다. 그 결과, 채널 영역(DA)의 길이가 에치 스톱퍼(ES)의 패턴으로 결정되므로, 설계시 중첩 마진을 고려할 필요가 없다. 따라서, 채널 영역이 차지하는 면적 비율을 미세하고 정확하게 형성할 수 있다.

- [0048] 이하 도 8a 내지 8f를 참조하여, 박막 트랜지스터 제조 공정을 좀 더 상세히 설명한다. 도 8a 내지 8f는 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판의 제조 공정을 보여주는 단면도들이다.
- [0049] 투명한 기판(SUB) 위에 게이트 금속 물질을 도포하고, 제1 마스크 공정으로 패터하여, 게이트 요소를 형성한다. 게이트 요소에는 (구동 박막 트랜지스터(DT)의) 게이트 전극(DG) 및 게이트 전극(DG)을 연결하는 스캔 배선(SL)을 형성한다. 게이트 요소가 형성된 기판(SUB)의 전체 표면 위에 게이트 절연막(GI)을 도포한다. (도 8a)
- [0050] 게이트 절연막(GI) 위에 산화물 반도체 물질을 도포하고, 제2 마스크 공정으로 패터하여 반도체 층(SEM)을 형성한다. 산화물 반도체 물질은 인듐-갈륨-아연 산화물(Indium-Galium-Zinc Oxide)와 같은 물질을 포함한다. 반도체 층(SEM)은 게이트 전극(DG)과 중첩하도록 형성한다. (도 8b)
- [0051] 반도체 층(SEM)이 형성된 기판(SUB) 전체 표면 위에 절연막을 도포하여 에치 스톱퍼(ES)를 형성한다. 그리고 제3 마스크 공정으로 에치 스톱퍼(ES)를 패터하여, 소스 영역 홀(SH) 및 드레인 영역 홀(DH)을 형성한다. (도 8c)
- [0052] 소스 영역 홀(SH) 및 드레인 영역 홀(DH)을 형성한 후, 제4 마스크 공정으로 에치 스톱퍼(ES)와 게이트 절연막(GI)을 패터하여, 게이트 전극(DG)의 일부를 노출하는 게이트 콘택홀(GH)을 형성한다. 본 실시 예는 유기발광다이오드 표시장치의 제조 방법을 설명하는 것으로 스위칭 박막 트랜지스터(ST)와 구동 박막 트랜지스터(DT)가 서로 연결되는 구조를 가지므로, 게이트 콘택홀(GH)을 필요로 한다. 하지만, 액정표시장치와 같은 다른 평판 표시장치에서, 게이트 콘택홀(GH)을 필요로 하지 않을 경우에는 제4 마스크 공정은 생략될 수 있다.
- [0053] 패터된 에치 스톱퍼(ES)를 마스크로 하여, 기판(SUB) 표면 전체에 플라즈마로 처리한다. 그러면, 에치 스톱퍼(ES)에 형성된 소스 영역 홀(SH) 및 드레인 영역 홀(DH)에 의해 노출된 반도체 층(SEM)들이 도체화(Metalized)된다.
- [0054] 산화물 반도체 물질은 산소의 함유량에 따라서 전도 특성이 달라지는 성질이 있다. 본 발명에서 반도체 층(SEM)에 사용하는 인듐-갈륨-아연 산화물과 같은 금속 산화 반도체 물질은 산소의 함유량을 적절하게 조절함으로써 반도체의 특성을 갖는다. 여기서, 산소의 함유량을 줄이면 금속 성질이 강화되어 도체의 성질을 갖는다. 반도체 층(SEM)을 형성하는 과정에서 포함된 산소의 함유량을 임의로 줄이는 방법으로는 여러 가지를 생각할 수 있지만, 선택적인 영역에서만 산소 함유량을 줄이기 위해, 플라즈마 처리 공법을 사용한다. 즉, 반도체 층(SEM)을 플라즈마 처리하여 그 내부에 포함된 산소를 제거하여 도체화한다. 플라즈마 공정에서는 헬륨(He), 수소(H₂) 혹은 아르곤(Ar) 가스를 이용할 수 있다.
- [0055] 그 결과, 반도체 층(SEM) 중에서 도체화 된 영역은 소스 영역(DSA)과 드레인 영역(DDA)으로 정의된다. 한편, 소스 영역 홀(SH)과 드레인 영역 홀(DH) 사이에서 에치 스톱퍼(ES)에 의해 덮인 반도체 층(SEM)은 채널 영역(DA)으로 정의된다. (도 8d)
- [0056] 채널 영역(DA)과 소스-드레인 영역(DSA-DDA)이 정의된 기판(SUB) 전체 표면 위에 소스-드레인 금속을 도포한다. 특히, 제1 금속층(M1)과 제2 금속층(M2)을 연속으로 도포한다. 제1 금속층(M1)은 몰리브덴(Mo), 티타늄(Ti), 몰리브덴-티타늄 합금(MoTi) 혹은 ITO(Indium-Tin Oxide)와 같은 금속 혹은 도전물질을 포함한다. 제1 금속층(M1)은 1000Å 이하의 두께로 도포하는 것이 바람직하다. 제2 금속층(M2)은 구리(Cu)와 같은 저 저항 금속 물질이 바람직하다. 혹은, 구리 합금(Cu Alloy), 몰리브덴(Mo), 몰리브덴-티타늄 합금(MoTi) 혹은 ITO(Indium-Tin Oxide)와 같은 금속 혹은 도전물질을 포함할 수 있다. 제2 금속층(M2)은 6000Å 이하의 두께로 도포하는 것이 바람직하다. 제2 금속층(M2)은 제1 금속층(M1)보다는 두꺼운 것이 바람직하지만, 경우에 따라서, 제1 금속층(M1)보다 얇게 도포할 수도 있다. 제5 마스크 공정으로 제2 금속층(M2)을 소스-드레인 요소의 형상으로 습식 식각한다. (도 8e)
- [0057] 소스-드레인 요소의 형상으로 패터된 제2 금속층(M2)을 마스크로 하여 제1 금속층(M1)을 건식 식각한다. 그 결과, 소스-드레인 요소가 완성된다. 소스-드레인 요소에는 구동 박막 트랜지스터(DT)의 소스 전극(DD) 및 드레인 전극(DD), 스위칭 박막 트랜지스터(ST)의 소스 전극(SS) 및 드레인 전극(SD), 데이터 배선(DL), 그리고 구동 전류 배선(VDD)을 포함한다.
- [0058] 특히, 소스 전극(DS)은 에치 스톱퍼(ES)에 형성된 소스 영역 홀(SH)에 노출된 소스 영역(DSA)의 일부와 접촉하도록 형성한다. 좀 더 구체적으로는, 소스 전극(DS)은 채널 영역(DA)에서 외측으로 일정 거리 이격하여 소스 영역(DSA)과 접촉하는 것이 바람직하다. 따라서, 소스 전극(DS)과 채널 영역(DA) 사이의 소스 영역(DSA)은 노출된다. 마찬가지로, 드레인 전극(DD)은 채널 영역(DA)에서 외측으로 일정 거리 이격하여 드레인 영역(DDA)과

접촉하도록 형성한다. 그리고 드레인 전극(DD)과 채널 영역(DA) 사이의 드레인 영역(DDA)은 노출된다. (도 8f)

[0059] 소스-드레인 전극(DS-DD)을 채널 영역(DA)을 덮는 에치 스톱퍼(ES)와 중첩되도록 형성할 경우, 소스 전극(DS)과 드레인 전극(DD) 사이의 공간에 대응하는 반도체 층(SEM)이 채널 영역으로 정의된다. 하지만, 제1 실시 예에서는 소스-드레인 전극(DS-DD)이 채널 영역(DA)과 중첩되지 않으므로, 채널 영역(DA)은 에치 스톱퍼(ES)의 패턴에 의해 정확하게 정의된다.

[0060] 이와 같이 소스 전극(DS)과 드레인 전극(DS-DD) 각각이 소스 영역(DSA) 및 드레인 영역(DDA)의 일부와 접촉하고, 소스 영역(DSA) 및 드레인 영역(DDA)의 타부를 노출하도록 형성할 때, 노출된 소스 영역(DSA) 및 드레인 영역(DDA)의 타부가 식각 과정에서 손상될 수 있다. 이를 방지하기 위해, 본 발명에서는 소스-드레인 요소를 이중 금속층으로 형성한다. 즉, 제2 금속층(M2)을 습식 식각으로 빠른 시간 내에 소스-드레인 요소를 패터닝한다. 그 후, 제2 금속층(M2)보다 상대적으로 훨씬 얇은 제2 금속층(M1)은 제2 금속층(M2)을 마스크로 하여 건식 식각한다. 건식 식각법은 습식 식각법에 비해, 식각 시간은 오래 걸리지만, 식각 두께를 정밀하게 조정할 수 있다. 따라서, 습식 식각법과 건식 식각법을 적절히 조합하여, 노출되는 소스 영역(DSA) 및 드레인 영역(DDA)의 타부에 손상 없이 소스-드레인 요소를 완성할 수 있다.

[0061] 이하, 도 9 및 10을 참조하여 본 발명의 제2 실시 예에 대해서 상세히 설명한다. 도 9는 본 발명의 제2 실시 예에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도이다. 도 10은 도 9에서 절취선 III-III'으로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0062] 본 발명의 제2 실시 예에 의한 유기발광 다이오드 표시장치의 기본적인 구조는 제1 실시 예의 것과 동일하다. 따라서, 동일한 부분에 대한 설명은 생략하고, 제2 실시 예에서 특징이 되는 부분을 중심으로 설명한다.

[0063] 제2 실시 예에서는, 게이트 전극(SG, DG)의 형상을 이용하여 채널 영역(SA, DA) 및 에치 스톱퍼(ES)를 형성하는 것을 특징으로 한다. 즉, 박막 트랜지스터의 채널 영역을 게이트 전극의 패턴을 이용하여 형성한다. 좀 더 구체적으로 설명하면, 박막 트랜지스터에서 채널 영역의 설계 형상에 맞추어 게이트 전극을 형성하고, 게이트 전극을 마스크로 한 배면 노광 기법으로 에치 스톱퍼를 형성하고, 에치 스톱퍼를 이용하여 채널 영역과 소스-드레인 영역을 정의한다.

[0064] 도 9 및 10을 참조하면, 본 발명의 제2 실시 예에 의한 유기발광 다이오드 표시장치는, 기판(SUB) 위에 스위칭 박막 트랜지스터(ST)의 게이트 전극(SG)과 구동 박막 트랜지스터(DT)의 게이트 전극(DG)이 형성된다. 게이트 전극들(SG, DG) 위에는 게이트 절연막(GI)이 도포된다. 게이트 절연막(GI) 위에는 게이트 전극(SG, DG)와 동일한 형상을 갖는 채널 영역(SA, DA)과 채널 영역(SA, DA)의 양 측면으로 연장된 소스-드레인 영역(SSA-SDA, DSA-DDA)을 포함하는 반도체 층(SEM)이 형성된다.

[0065] 채널 영역(SA, DA) 위에는 게이트 전극(SG, DG) 및 채널 영역(SA, DA)과 동일한 형상을 갖는 에치 스톱퍼(ES)가 도포되어 있다. 채널 영역(SA, DA)의 양 측면으로 연장된 소스-드레인 영역(SSA-SDA, DSA-DDA)은 각각 소스-드레인 전극(SS-SD, DS-DD)이 접촉되어 있다. 특히, 소스 전극(SS, DS)은 소스 영역(SSA, DSA)의 일부와 접촉한다. 좀 더 구체적으로는, 소스 전극(SS, DS)은 채널 영역(SA, DA)에서 외측으로 일정 거리 이격한 소스 영역(SSA, DSA)의 일부와 접촉한다. 드레인 전극도 채널 영역(SA, DA)에서 외측으로 일정 거리 이격한 드레인 영역(SDA, DDA)의 일부와 접촉한다.

[0066] 제2 실시 예에서는 에치 스톱퍼(ES) 및 채널 영역(SA, DA)을 게이트 전극(SG, DG)의 형상을 이용하여 형성한다. 제1 실시 예에서 에치 스톱퍼(ES)는 소스-드레인 영역(SSA-SDA, DSA-DDA)을 제외한 기판 전체에 걸쳐 도포된다. 하지만, 제2 실시 예에서 에치 스톱퍼(ES)는 채널 영역(SA, DA) 위에만 존재한다.

[0067] 이하, 도 11a 내지 11f를 참조하여 본 발명의 제2 실시 예에 의한 박막 트랜지스터 제조 공정을 좀 더 상세히 설명한다. 도 11a 내지 11f는 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판의 제조 공정을 보여주는 단면도들이다.

[0068] 투명한 기판(SUB) 위에 게이트 금속 물질을 도포하고, 제1 마스크 공정으로 패터닝하여, 게이트 요소를 형성한다. 게이트 요소에는 (구동 박막 트랜지스터(DT)의) 게이트 전극(DG) 및 게이트 전극(DG)을 연결하는 스캔 배선(SL)을 형성한다. 게이트 전극(DG)의 형상은 나중에 형성할 채널 영역(DA)의 크기 및 형상과 동일하게 형성하는 것이 바람직하다. 게이트 요소가 형성된 기판(SUB)의 전체 표면 위에 게이트 절연막(GI)을 도포한다. (도 11a)

[0069] 게이트 절연막(GI) 위에 산화물 반도체 물질을 도포하고, 제2 마스크 공정으로 패터닝하여 반도체 층(SEM)을 형성

한다. 산화물 반도체 물질은 인듐-갈륨-아연 산화물(Indium-Galium-Zinc Oxide)와 같은 물질을 포함한다. 반도체 층(SEM)은 게이트 전극(DG)보다 더 크게 형성하는 것이 바람직하다. (도 11b)

[0070] 반도체 층(SEM)이 형성된 기판(SUB) 전체 표면 위에 절연막을 도포하여 에치 스톱퍼(ES)를 형성한다. 그리고 제3 마스크 공정으로 에치 스톱퍼(ES)를 패터닝한다. 별도의 마스크를 사용하지 않고, 게이트 전극(DG)을 마스크로 활용한 배면 노광(Back Exposure) 공법을 이용하여, 에치 스톱퍼(ES)를 패터닝한다. (도 11c)

[0071] 에치 스톱퍼(ES)를 형성한 후, 제4 마스크 공정으로 게이트 절연막(GI)을 패터닝하여, 게이트 전극(DG)의 일부를 노출하는 게이트 콘택홀(GH)을 형성한다. 본 실시 예는 유기발광 다이오드 표시장치의 제조 방법을 설명하는 것으로 스위칭 박막 트랜지스터(ST)와 구동 박막 트랜지스터(DT)가 서로 연결되는 구조를 가지므로, 게이트 콘택홀(GH)을 필요로 한다. 하지만, 액정표시장치와 같은 다른 평판 표시장치에서, 게이트 콘택홀(GH)을 필요로 하지 않을 경우에는 제4 마스크 공정은 생략될 수 있다.

[0072] 패터닝된 에치 스톱퍼(ES)를 마스크로 하여, 기판(SUB) 표면 전체에 플라즈마로 처리한다. 그러면, 에치 스톱퍼(ES)의 주변으로 노출된 반도체 층(SEM)들이 도체화(Metalized) 된다. 그 결과, 반도체 층(SEM) 중에서 도체화된 영역은 소스 영역(DSA)과 드레인 영역(DDA)으로 정의된다. 한편, 소스 영역(DSA)과 드레인 영역(DDA) 사이에서 에치 스톱퍼(ES)에 의해 덮인 반도체 층(SEM)은 채널 영역(DA)으로 정의된다. (도 11d)

[0073] 채널 영역(DA)과 소스-드레인 영역(DSA-DDA)이 정의된 기판(SUB) 전체 표면 위에 소스-드레인 금속을 도포한다. 특히, 제1 금속층(M1)과 제2 금속층(M2)을 연속으로 도포한다. 제1 금속층(M1)은 몰리브덴(Mo), 티타늄(Ti), 몰리브덴-티타늄 합금(MoTi) 혹은 ITO(Indium-Tin Oxide)와 같은 금속 혹은 도전물질을 포함한다. 제1 금속층(M1)은 1000Å 이하의 두께로 도포하는 것이 바람직하다. 제2 금속층(M2)은 구리(Cu)와 같은 저 저항 금속 물질이 바람직하다. 혹은, 구리 합금(Cu Alloy), 몰리브덴(Mo), 몰리브덴-티타늄 합금(MoTi) 혹은 ITO(Indium-Tin Oxide)와 같은 금속 혹은 도전물질을 포함할 수 있다. 제2 금속층(M2)은 6000Å 이하의 두께로 도포하는 것이 바람직하다. 제2 금속층(M2)은 제1 금속층(M1)보다는 두꺼운 것이 바람직하지만, 경우에 따라서, 제1 금속층(M1)보다 얇게 도포할 수도 있다. 제5 마스크 공정으로 제2 금속층(M2)을 소스-드레인 요소의 형상으로 습식 식각한다. (도 11e)

[0074] 소스-드레인 요소의 형상으로 패터닝된 제2 금속층(M2)을 마스크로 하여 제1 금속층(M1)을 건식 식각한다. 그 결과, 소스-드레인 요소가 완성된다. 소스-드레인 요소에는 구동 박막 트랜지스터(DT)의 소스 전극(DD) 및 드레인 전극(DD), 스위칭 박막 트랜지스터(ST)의 소스 전극(SS) 및 드레인 전극(SD), 데이터 배선(DL), 그리고 구동 전류 배선(VDD)을 포함한다.

[0075] 특히, 소스 전극(DS)은 에치 스톱퍼(ES)의 외측으로 노출된 소스 영역(DSA)의 일부와 접촉하도록 형성한다. 좀 더 구체적으로는, 소스 전극(DS)은 채널 영역(DA)에서 외측으로 일정 거리 이격하여 소스 영역(DSA)과 접촉하는 것이 바람직하다. 따라서, 소스 전극(DS)과 채널 영역(DA) 사이의 소스 영역(DSA)은 노출된다. 마찬가지로, 드레인 전극(DD)은 채널 영역(DA)에서 외측으로 일정 거리 이격하여 드레인 영역(DDA)과 접촉하도록 형성한다. 그리고 드레인 전극(DD)과 채널 영역(DA) 사이의 드레인 영역(DDA)은 노출된다. (도 11f)

[0076] 소스-드레인 전극(DS-DD)을 채널 영역(DA)을 덮는 에치 스톱퍼(ES)와 중첩되도록 형성할 경우, 소스 전극(DS)과 드레인 전극(DD) 사이의 공간에 대응하는 반도체 층(SEM)이 채널 영역으로 정의된다. 하지만, 제2 실시 예에서는 소스-드레인 전극(DS-DD)이 채널 영역(DA)과 중첩되지 않으므로, 채널 영역(DA)은 에치 스톱퍼(ES)의 패터닝에 의해 정확하게 정의된다.

[0077] 특히, 제2 실시 예에서는 소스-드레인 전극(DS, DD)과 게이트 전극(DG)이 중첩되지 않고, 자가 정렬된 (Self-aligned) 구조를 갖는다. 따라서, 게이트-소스 사이의 기생 용량 및 게이트-드레인 사이의 기생 용량을 극소화 혹은 제거할 수 있다. 즉, 박막 트랜지스터는 바텀 게이트(Bottom Gate) 구조를 갖지만, 게이트 전극(DG)과 소스-드레인 전극(DS, DD)이 서로 자가 정렬된 탑 게이트(Top Gate) 구조의 장점을 갖는다.

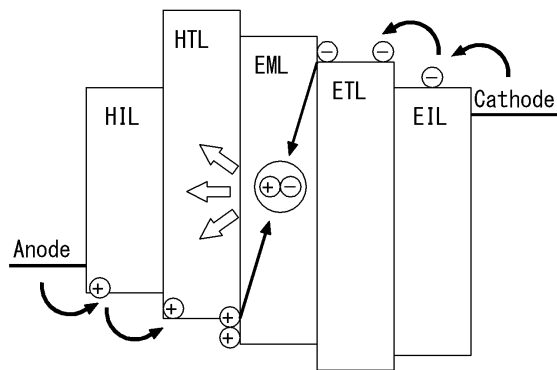
[0078] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

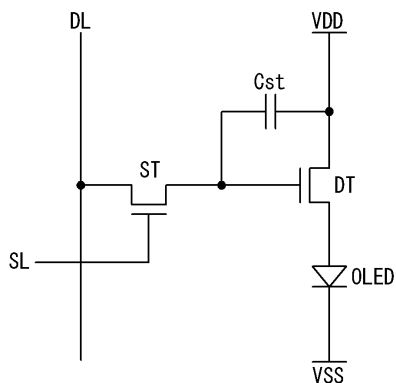
[0079]	DL: 데이터 배선	SL: 스캔 배선
	VDD: 구동 전류 배선	ST: 스위칭 TFT
	DT: 구동 TFT	OLED: 유기발광 다이오드
	CAT: 캐소드 전극(층)	ANO: 애노드 전극(층)
	BANK: 뱅크 패턴	CF: 칼라 필터
	OLE: (백색) 유기층	SUB: 기판
	PAS: 보호막	OC: 오버코트 층
	SG, DG: 게이트 전극	SEM: 반도체 층
	SSA, DSA: 소스 영역	SS, DS: 소스 전극
	SDA, DDA: 드레인 영역	SD, DD: 드레인 전극
	ES, SE, DE: 에치 스톱퍼	SH: 소스 영역 홀
	DH: 드레인 영역 홀	GH: 게이트 콘택홀

도면

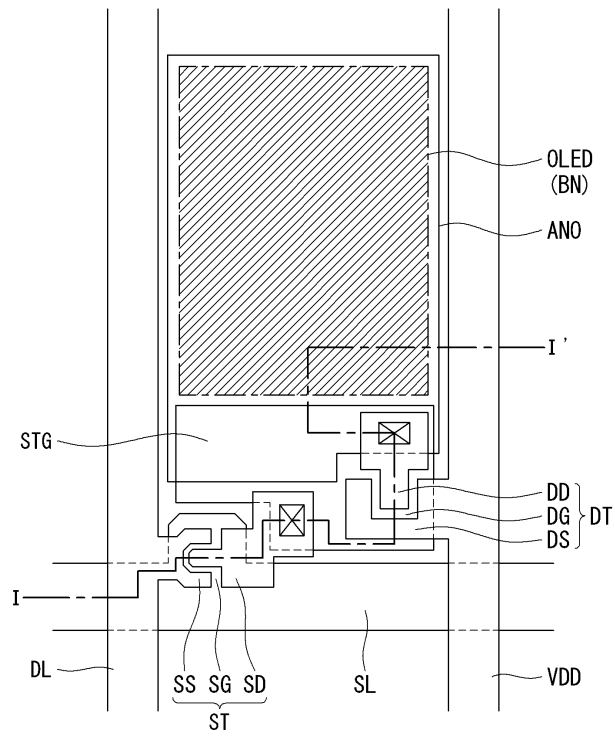
도면1



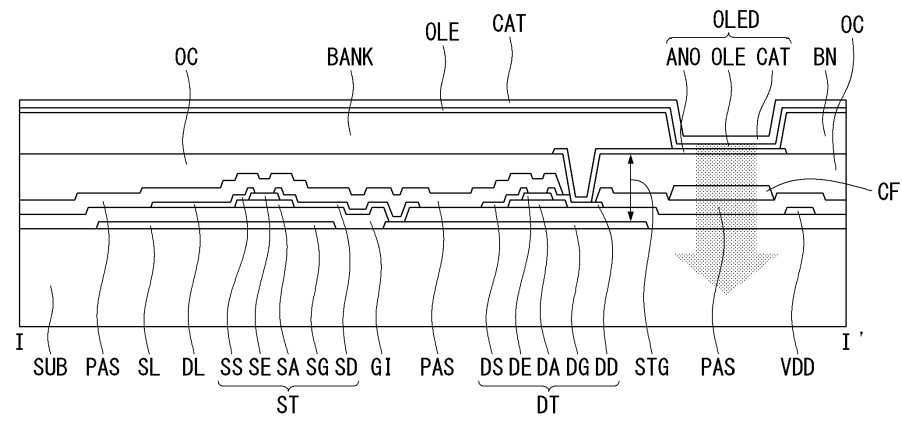
도면2



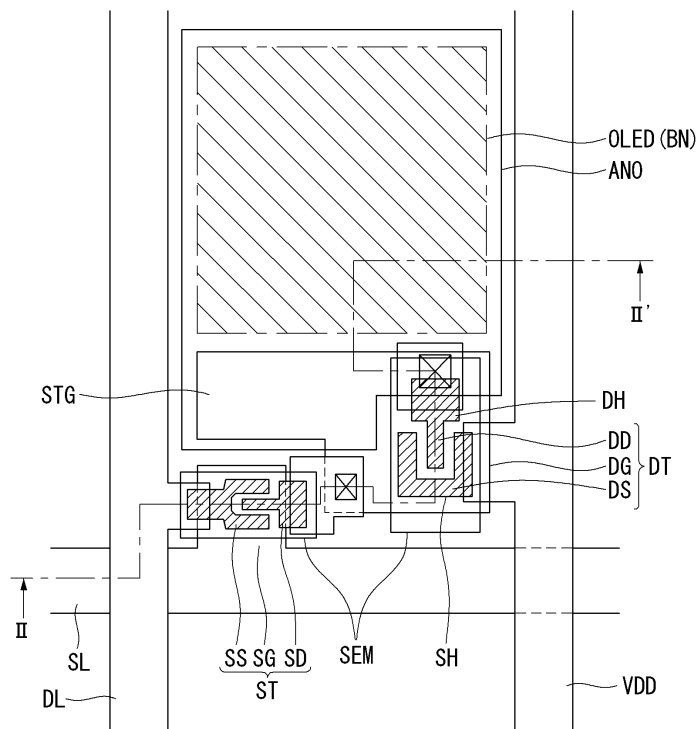
도면3



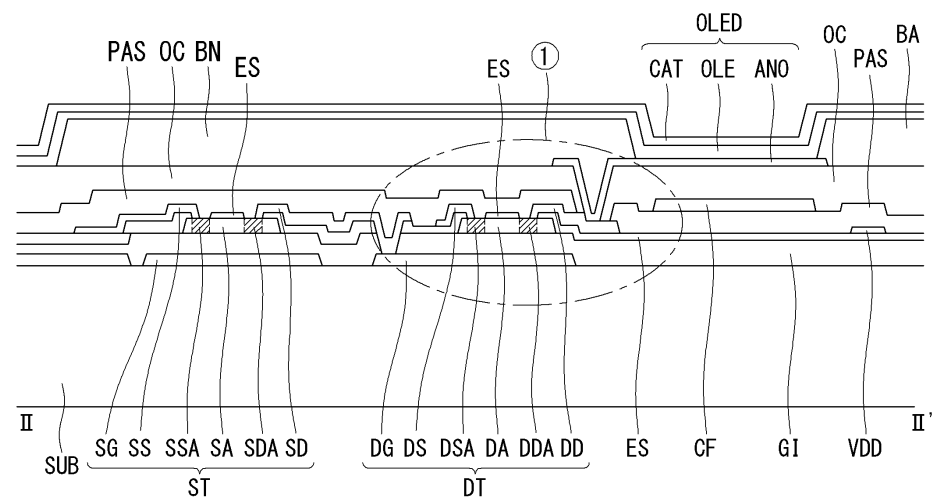
도면4



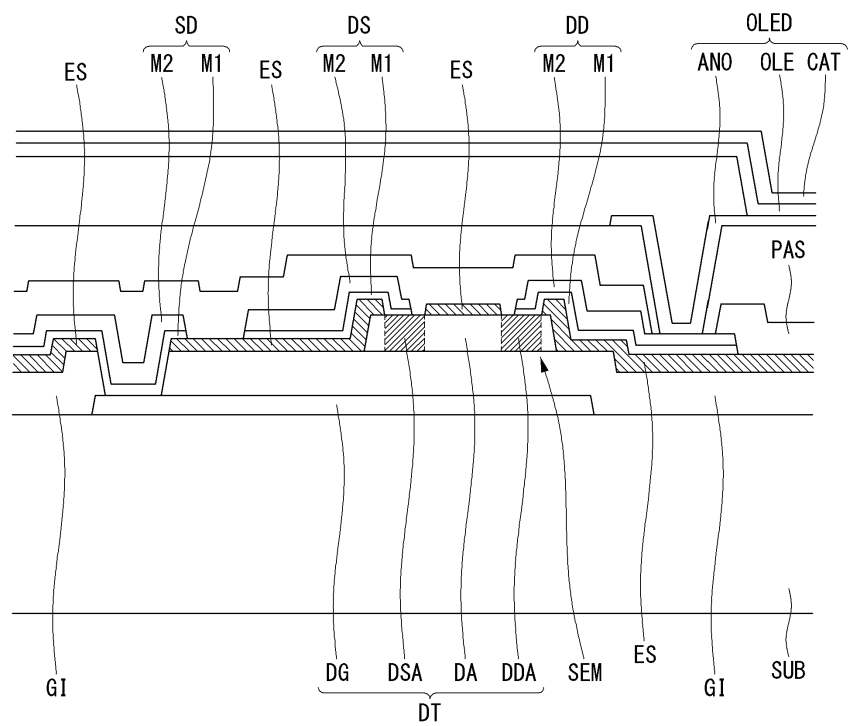
도면5



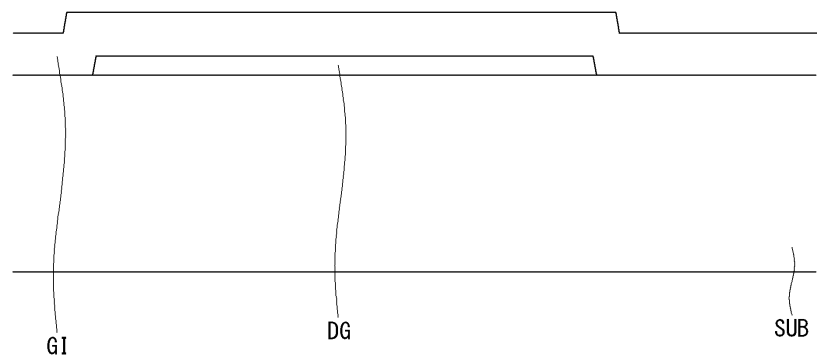
도면6



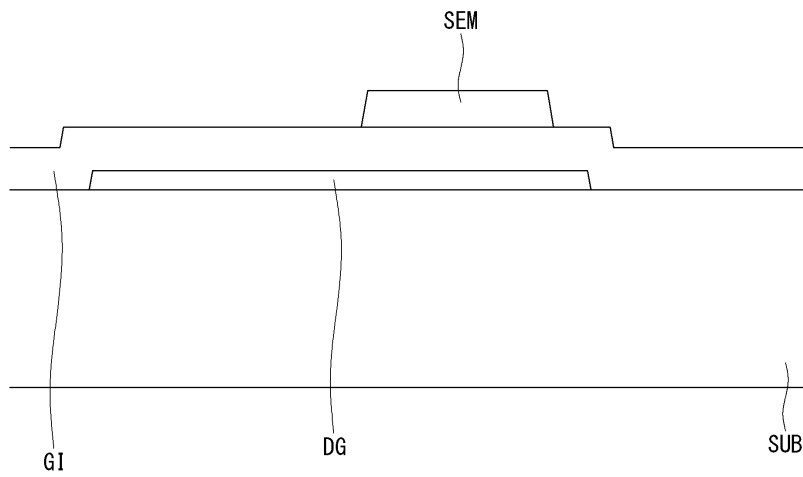
도면7



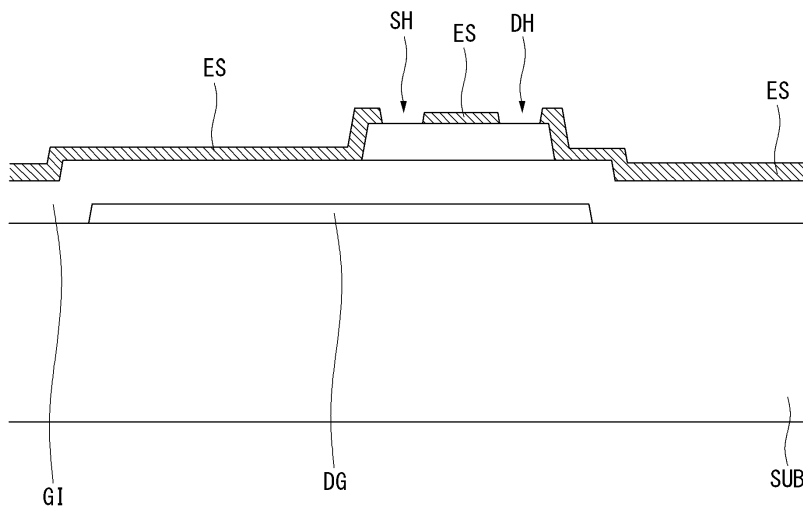
도면8a



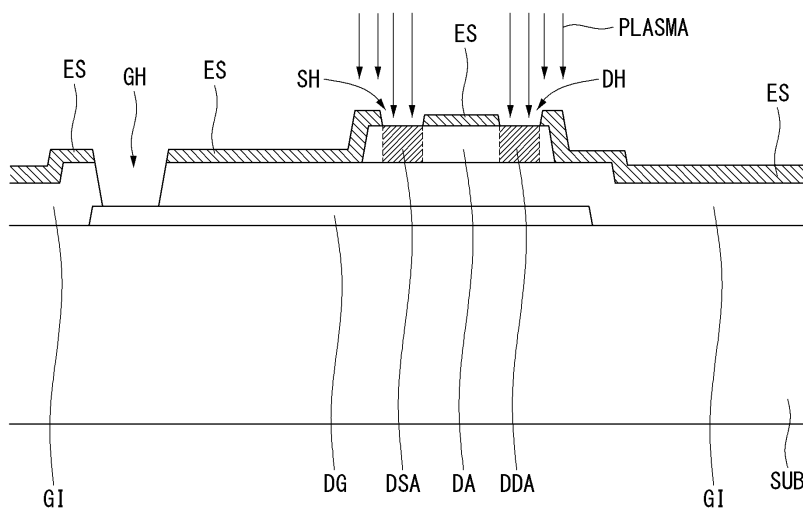
도면8b



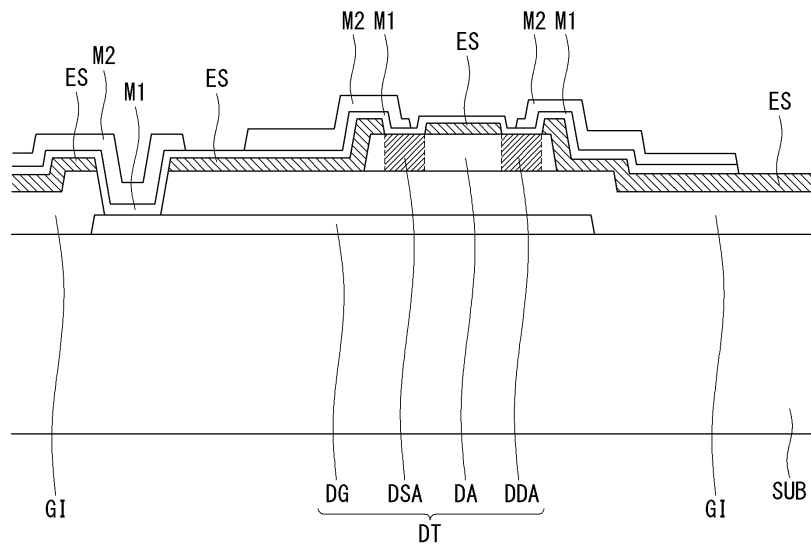
도면8c



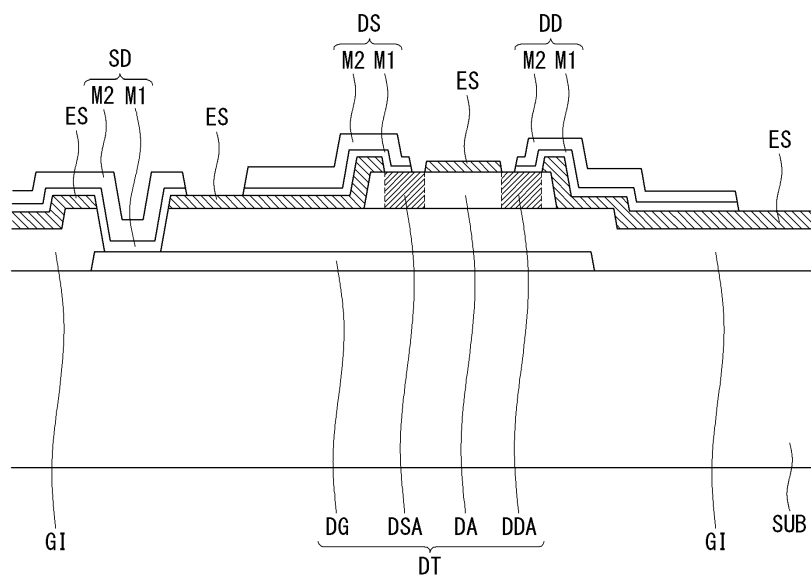
도면8d



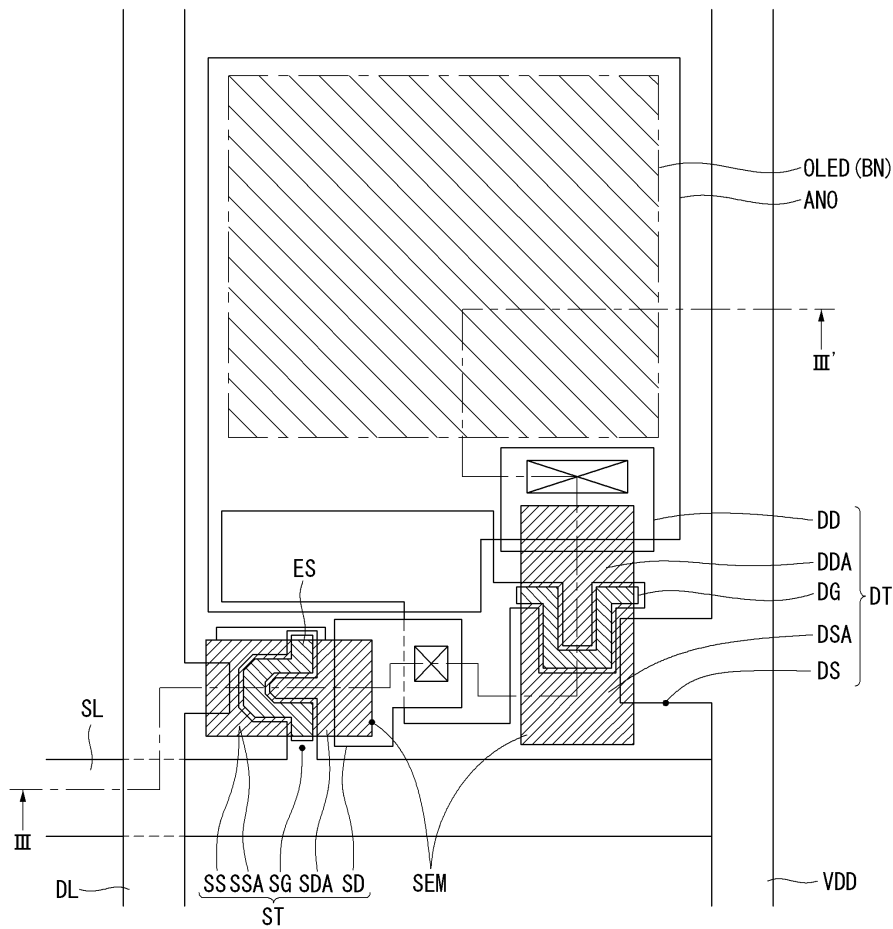
도면 8e



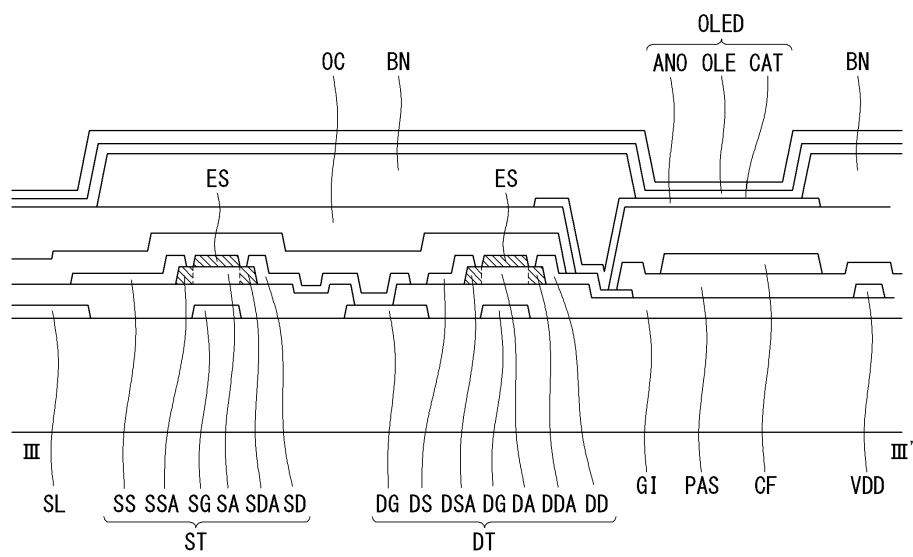
도면 8f



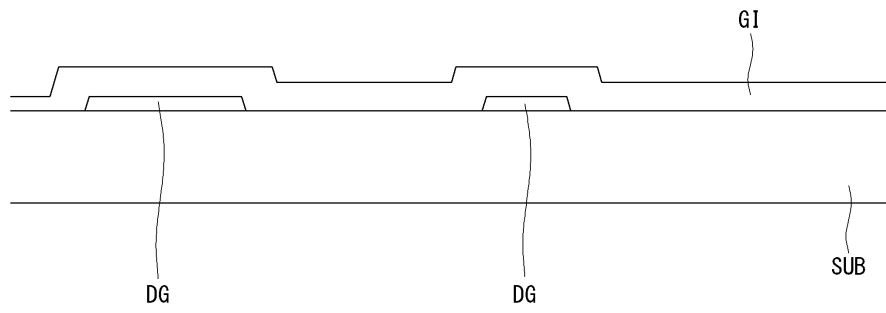
도면9



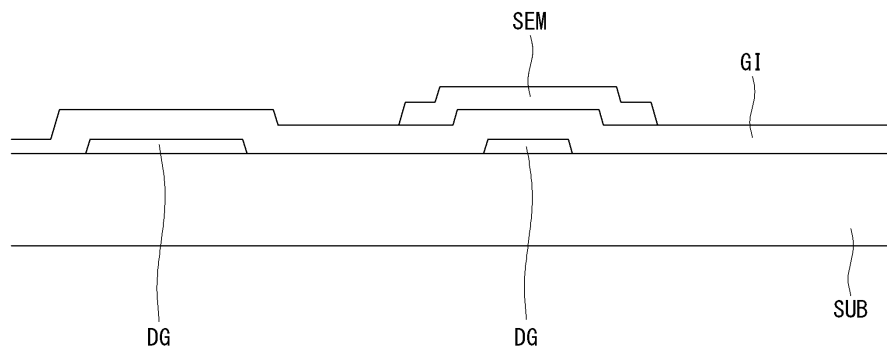
도면10



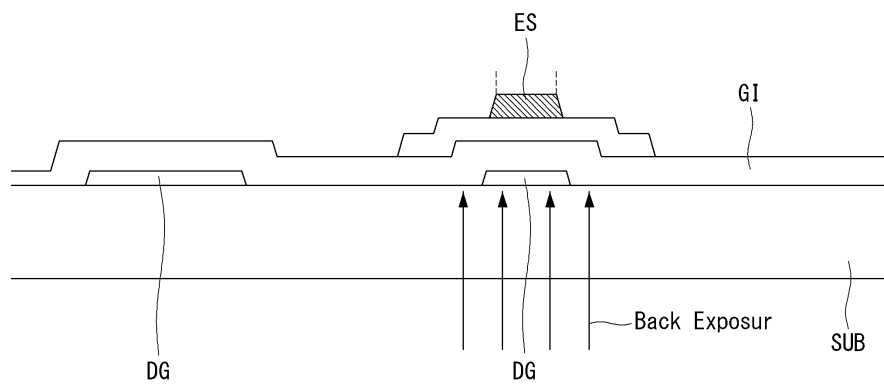
도면11a



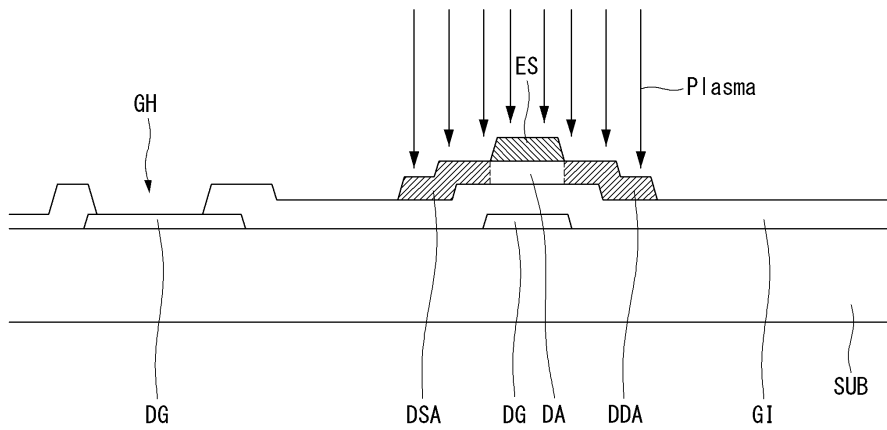
도면11b



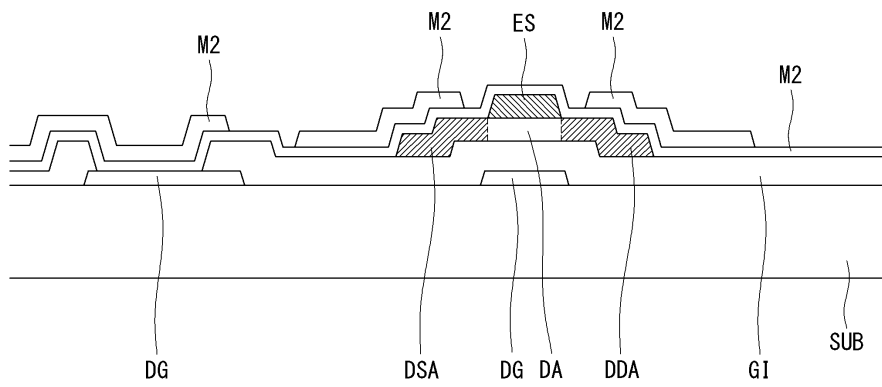
도면11c



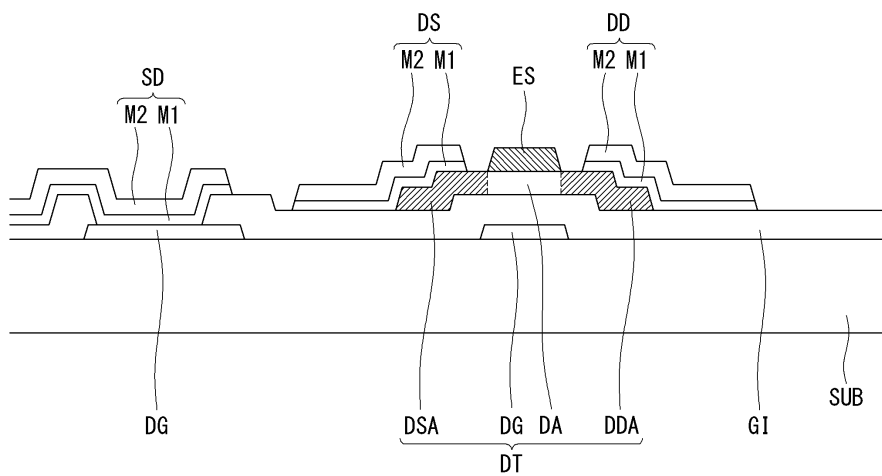
도면11d



도면11e



도면11f



A detailed cross-sectional view of a multi-layer printed wiring board (PWB). The diagram shows multiple layers of conductive material (alternating between hatched and white patterns) and insulating layers. Key components and layers are labeled with abbreviations: **ES** (External Surface), **SD** (Surface Dielectric), **M2** and **M1** (Microvias), **DS** (Drill Surface), **DD** (Drill Dielectric), **OLE** (Organic Layer), **CAT** (Catalytic), **ANO** (Anodic), **PAS** (Passivation), **GI** (Grounding Insulation), **DG** (Drill Groove), **DSA** (Drill Surface Anisotropy), **DA** (Drill Anisotropy), **DDA** (Drill Dielectric Anisotropy), **SEM** (Surface Electrode Material), **ES** (External Surface), and **SUB** (Substrate). The layers are stacked vertically, with the substrate at the bottom and the external surface at the top. The diagram illustrates the complex internal structure and the various materials used in the manufacturing process.