(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월22일
(11) 등록번호 10-2056275
(24) 등록일자 2019년12월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 29/786* (2006.01)
H01L 51/56 (2006.01)
(21) 출원번호 10-2013-0109274
(22) 출원일자 2013년09월11일
심사청구일자 2018년06월07일
(65) 공개번호 10-2015-0030063
(43) 공개일자 2015년03월19일
(56) 선행기술조사문헌
KR1020120061009 A*
KR1020060106209 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오금미
서울 서대문구 세무서2가길 47, (홍제동)
이왕선
경기 파주시 쇠재로 30, 701동 601호 (금촌동, 서원마을아파트)
(뒷면에 계속)
(74) 대리인
특허법인로알

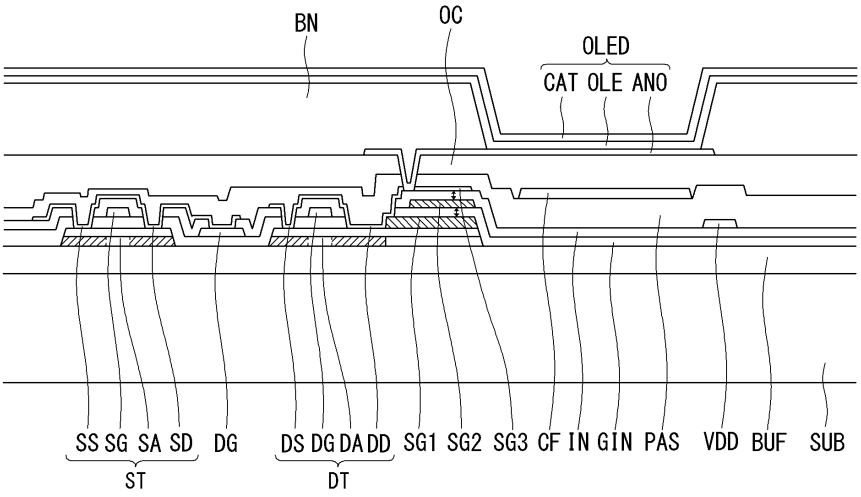
전체 청구항 수 : 총 14 항 심사관 : 이우리

(54) 발명의 명칭 **초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법**

(57) 요 약

본 발명은 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다. 본 발명에 의한 유기발광 다이오드 표시장치는, 박막 트랜지스터 영역과 보조 용량 영역을 포함하는 기판; 상기 기판의 상기 박막 트랜지스터 영역에 형성된 채널 층 및 상기 보조 용량 영역에 형성된 반도체 층; 상기 채널 층 및 상기 반도체 층 위에 적층된 제1 게이트 절연막; 상기 반도체 층을 덮는 상기 제1 게이트 절연막 위에 직접 적층된 제1 보조 용량 전극; 상기 제1 게이트 절연막 및 상기 제1 보조 용량 전극을 덮는 제2 게이트 절연막; 상기 제2 게이트 절연막 위에서, 상기 채널 층과 중첩하는 게이트 전극 및 상기 반도체 층과 중첩하는 제2 보조 용량 전극; 상기 게이트 전극 및 상기 제2 보조 용량 전극을 덮는 중간 절연막; 그리고 상기 중간 절연막 위에서 상기 채널 층과 연결되는 소스-드레인 전극 및 상기 제2 보조 용량 전극과 중첩하는 제3 보조 용량 전극을 포함한다.

대 표 도 - 도6



(72) 발명자

윤광오

경기 파주시 문산읍 방촌로 1744, 102동 1601호 (파주현대힐스테이트1차아파트)

류원상

경기 고양시 일산서구 고양대로 633, 110동 1304호 (일산동, 동양아파트)

정영기

경기 고양시 일산서구 킨텍스로 300, 1401동 308호 (주엽동, 문촌마을14단지아파트)

노상순

경기 고양시 일산서구 고양대로 620, 204동 1402호 (일산동, 동문굿모닝힐2차아파트)

신동채

경기 고양시 일산서구 킨텍스로 300, 1405동 1108호 (주엽동, 문촌마을14단지아파트)

명 세 서

청구범위

청구항 1

스위칭 박막 트랜지스터 영역, 상기 스위칭 박막 트랜지스터 영역에 이격되어 배치되는 구동 박막 트랜지스터 영역 및 상기 구동 박막트랜지스터 영역에 연접하게 배치되는 보조 용량 영역을 포함하는 기판;

상기 기판의 상기 스위칭 박막 트랜지스터 영역에 배치된 스위칭 채널 층, 상기 스위칭 채널 층에 이격되어 상기 구동 박막 트랜지스터 영역에 배치된 구동 채널 층 및, 상기 보조 용량 영역에 배치되며 상기 구동 채널 층에 연접하게 배치되는 반도체 층;

상기 스위칭 채널 층, 구동 채널 층 및 상기 구동 채널 층에 연접하게 배치된 상기 반도체 층 위에 적층된 제1 게이트 절연막;

상기 제1 게이트 절연막 위에 직접 적층되며, 상기 반도체 층에 오버랩되는 영역 상에 배치되는 제1 보조 용량 전극;

상기 스위칭 박막 트랜지스터 영역, 구동 박막 트랜지스터 영역 상에 배치된 상기 제1 게이트 절연막 및 상기 보조 용량 영역에 배치된 상기 제1 보조 용량 전극을 덮는 제2 게이트 절연막;

상기 제2 게이트 절연막 상에 배치되며, 상기 스위칭 박막 트랜지스터 영역 상에 상기 스위칭 채널 층과 중첩하는 스위칭 게이트 전극, 상기 구동 박막 트랜지스터 영역 상에 상기 구동 채널 층과 중첩하는 구동 게이트 전극 및, 상기 보조 용량 영역 상에 형성된 상기 반도체 층과 중첩하게 배치되는 제2 보조 용량 전극;

상기 스위칭 게이트 전극, 구동 게이트 전극 및 상기 제2 보조 용량 전극을 덮는 중간 절연막; 및

상기 중간 절연막 상에서 상기 구동 채널 층과 연결되는 구동 소스-드레인 전극에서 연장배치되며, 상기 제2 보조 용량 전극과 중첩하게 배치되는 제3 보조 용량 전극을 포함하되,

상기 구동 게이트 전극는, 상기 중간 절연막 상에서 상기 스위칭 채널 층과 연결되는 스위칭 소스-드레인 전극에 접촉배치되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 게이트 절연막은, 산화 실리콘(SiOx)으로 이루어진 500Å 내지 1500Å의 두께를 갖는 박막인 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 게이트 절연막은, 질화 실리콘(SiNx)으로 이루어진 1000Å의 두께를 갖는 박막인 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 4

제 1 항에 있어서,

상기 중간 절연막은, 질화 실리콘(SiNx)으로 이루어진 3000Å 내지 6000Å의의 두께를 갖는 박막인 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 5

제 1 항에 있어서,

상기 구동 소스-드레인 전극, 스위칭 소스-드레인 전극 및 상기 제3 보조 용량 전극을 덮는 보호층;

상기 보호층 위에서 상기 구동 드레인 전극과 연결되는 애노드 전극;

상기 애노드 전극에서 발광 영역을 정의하는 뱅크;

상기 뱅크 위에서 상기 애노드 전극과 접촉하는 유기발광 층; 그리고

상기 유기발광 층과 접촉하는 캐소드 전극을 포함하고,

상기 보호층 상에는 상기 발광 영역을 포함하는 화소 영역에 대응하는 영역에 배치되는 칼라 필터를 더 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 6

기판 위에 반도체 물질, 제1 절연물질 및 금속 물질을 연속으로 도포하고 패턴하여 반도체 층을 포함하는 스위칭 박막 트랜지스터 영역, 상기 스위칭 박막 트랜지스터 영역에 이격되어 배치되는 구동 박막 트랜지스터 영역과, 제1 보조 용량 전극을 포함하며 상기 구동 박막트랜지스터 영역에 연접하게 배치되는 보조 용량 영역을 정의하는 단계;

상기 스위칭 박막 트랜지스터 영역, 구동 박막 트랜지스터 영역과 상기 보조 용량 영역 전체를 덮는 제2 절연물질 및 게이트 물질을 연속으로 도포하고 패턴하여, 스위칭 게이트 전극, 구동 게이트 전극 및 제2 보조 용량 전극을 형성하는 단계;

상기 스위칭 게이트 전극, 구동 게이트 전극 및 상기 제2 보조 용량 전극을 마스크로 상기 반도체 층에 불순물을 주입하여, 스위칭 채널 층 및 구동 채널층의 소스-드레인 영역을 정의하고, 상기 구동 채널 층에 연접하게 형성된 반도체 층을 정의하는 단계;

상기 스위칭 게이트 전극, 구동 게이트 전극 및 상기 제2 보조 용량 전극 위에 중간 절연막을 도포하고 패턴하여, 상기 스위칭 채널 층의 소스-드레인 영역, 상기 구동 채널층의 소스-드레인 영역 및 상기 제1 보조 용량 전극의 일부를 노출하는 단계; 및

상기 중간 절연막 위에 소스-드레인 물질을 도포하고 패턴하여, 상기 구동 채널 층과 연결되는 구동 소스-드레인 전극 및, 상기 구동 소스-드레인 전극에서 연장 형성되며 상기 제2 보조 용량 전극과 중첩하게 배치되는 제3 보조 용량 전극을 형성하는 단계를 포함하고,

상기 제3 보조 용량 전극을 형성하는 단계는,

상기 중간 절연막 상에 형성되며, 상기 스위칭 채널 층과 상기 구동 게이트 전극을 접촉연결시키는 스위칭 소스-드레인 전극을 형성하는 단계인 것을 특징으로 하는 유기발광 다이오드 표시장치 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제1 절연물질은, 산화 실리콘(SiOx)을 500Å 내지 1500Å의 두께로 도포하고,

상기 제2 절연물질은, 질화 실리콘(SiNx)을 1000Å의 두께로 도포하는 것을 특징으로 하는 유기발광 다이오드 표시장치 제조 방법.

청구항 8

제 6 항에 있어서,

상기 중간 절연막은, 질화 실리콘(SiNx)을 3000Å 내지 6000Å의 두께로 도포하는 것을 특징으로 하는 유기발광 다이오드 표시장치 제조 방법.

청구항 9

제 6 항에 있어서,

상기 구동 소스-드레인 전극, 스위칭 소스-드레인 전극 및 상기 제3 보조 용량 전극 위에 보호층을 형성하는 단계;

상기 보호층 위에 상기 구동 드레인 전극과 접촉하는 애노드 전극을 형성하는 단계;

상기 애노드 전극에서 발광 영역을 정의하는 뱅크를 형성하는 단계; 그리고

상기 뱅크 위에서 상기 애노드 전극과 접촉하는 유기발광 층 및 상기 유기발광 층과 접촉하는 캐소드 전극을 도포하는 단계를 포함하고,

상기 보호층 위에 상기 구동 드레인 전극과 접촉하는 애노드 전극을 형성하는 단계 전에,

상기 보호층 상에 상기 발광 영역을 포함하는 화소 영역에 대응하는 영역에 칼라 필터를 형성하는 단계를 더 포함하는 것을 유기발광 다이오드 표시장치 제조 방법.

청구항 10

제 6 항에 있어서,

상기 스위칭 박막 트랜지스터 영역 및 구동 박막 트랜지스터 영역 각각에 형성된 상기 스위칭 게이트 전극과 상기 스위칭 채널 층 사이 및, 상기 구동 게이트 전극과 상기 구동 채널 층 사이 각각에는 상기 제1 절연물질과 상기 제2 절연물질이 적층되어 개재되고,

상기 구동 박막 트랜지스터 영역에 연접하게 배치되는 상기 보조 용량 영역에 형성된 상기 제1 보조 용량 전극과 상기 제2 보조 용량 전극 사이에는 상기 제2 절연물질만 적층되어 개재되는 것을 특징으로 하는 유기발광 다이오드 표시장치 제조 방법.

청구항 11

제 6항에 있어서,

상기 구동 채널 층과 반도체층이 일체형으로 형성되는 것을 특징으로 하는 유기발광 다이오드 표시장치 제조 방법.

청구항 12

제 6항에 있어서,

상기 제3 보조 용량 전극은 상기 제1 보조 용량 전극의 일부에 접촉배치되는 것을 특징으로 하는 유기발광 다이오드 표시장치 제조 방법.

청구항 13

제 1항에 있어서,

상기 구동 채널 층과 반도체층이 일체형으로 형성되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 14

제 1항에 있어서,

상기 제3 보조 용량 전극은 상기 제1 보조 용량 전극의 일부에 접촉배치되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 용량의 크기는 더 확보하면서도 면적을 작게 형성한 보조 용량을 포함하는 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치에는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광 표시장치(Electroluminescence Device, EL) 등이 있다.

[0003] 전계발광 표시장치는 발광층의 재료에 따라 무기 전계발광 표시장치와 유기발광다이오드 표시장치로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 도 1은 일반적인 유기발광 다이오드의 구조를 나타내는 도면이다. 유기발광 다이오드는 도 1과 같이 전계발광하는 유기 전계발광 화합물층과, 유기 전계발광 화합물층을 사이에 두고 대향하는 캐소드 전극(Cathode) 및 애노드 전극(Anode)을 포함한다. 유기 전계발광 화합물층은 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)을 포함한다.

[0005] 유기발광 다이오드는 애노드 전극(Anode)과 캐소드 전극(Cathode)에 주입된 정공과 전자가 발광층(EML)에서 재결합할 때의 여기 과정에서 여기자(excition)가 형성되고 여기자로부터의 에너지로 인하여 발광한다. 유기발광 다이오드 표시장치는 도 1과 같은 유기발광다이오드의 발광층(EML)에서 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다. 전계발광 소자인 유기발광 다이오드의 특징을 이용한 유기발광 다이오드 표시장치(Organic Light Emitting Diode display: OLEDD)에는 패시브 매트릭스 타입의 유기발광 다이오드 표시장치(Passive Matrix type Organic Light Emitting Diode display, PMOLED)와 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)로 대별된다.

[0006] 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(AMOLED)는 박막 트랜지스터(Thin Film Transistor: 혹은 "TFT")를 이용하여 유기발광 다이오드에 흐르는 전류를 제어하여 화상을 표시한다. 도 2는 일반적인 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 등가 회로도의 한 예이다. 도 3은 종래 기술에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도이다. 도 4는 도 3에서 절취선 I-I'로 자른 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0007] 도 2 내지 3을 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치는 스위칭 박막 트랜지스터(ST), 스위칭 TFT와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기발광 다이오드(OLED)를 포함한다. 스위칭 TFT(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다.

[0008] 그리고 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 유기발광 다이오드(OLED)를 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은

유기발광 다이오드(OLED)의 애노드 전극(ANO)과 연결되어 있다.

[0009] 좀 더 상세히 살펴보기 위해 도 4를 더 참조하면, 기판(SUB)의 전체 표면 위에는 버퍼 층(BUF)이 도포되어 있다. 버퍼 층(BUF) 위에 채널 층들(SA, DA)을 포함하는 반도체 층이 형성되어 있다. 반도체 층 중에서 나중에 형성되는 게이트 전극들(SG, DG) 각각과 중첩하는 중앙 영역은 채널 층(SA, DA)으로 정의되고, 그 양 옆에는 불순물이 도핑된 소스 영역 및 드레인 영역으로 정의된다. 또한, 보조 용량(STG)이 형성되는 부분에는 구동 TFT(DT)의 드레인 영역에서 연장되며 불순물이 도핑된 반도체 층으로 제1 보조 용량 전극(SG1)이 배치된다.

[0010] 반도체 층 위에는 기판(SUB) 전체 표면을 덮는 게이트 절연막(GI)이 형성되어 있다. 게이트 절연막(GI) 위에서 채널 층(SA, DA)과 중첩되는 위치에는 금속 물질을 포함하는 게이트 전극(SG, DG)들이 배치된다. 또한, 게이트 절연막(GI) 위에서 제1 보조 용량 전극(SG1)과 중첩하는 제2 보조 용량 전극(SG2)이 형성된다. 게이트 전극들(SG, DG) 및 제1 보조 용량 전극(SG1)이 형성된 기판(SUB) 전체 표면 위에는 중간 절연막(IN)이 도포된다.

[0011] 중간 절연막(IN) 위에는 소스 전극(SS, DS)들 및 드레인 전극(SD, DD)들이 형성된다. 또한, 소스 전극(SS, DS)들을 연결하는 데이터 배선(DL) 및 구동 전류 배선(VDD)이 배치된다. 소스 전극(SS, DS)들 및 드레인 전극(SD, DD)들은 중간 절연막(IN) 및 게이트 절연막(GI)을 관통하여 형성된 콘택홀을 통해, 채널 층(SA, DA)들의 양 옆에 정의된 소스 영역 및 드레인 영역과 각각 접촉한다. 또한, 구동 TFT(DT)의 드레인 전극(GD)은 제1 및 제2 보조 용량 전극(SG1, SG2)들과 중첩하도록 연장되어, 제3 보조 용량 전극(SG3)을 형성한다. 특히, 제3 보조 용량 전극(SG3)은 중간 절연막(IN)과 게이트 절연막(GI)을 관통하여 제1 보조 용량 전극(SG1)과 접촉하도록 형성하는 것이 바람직하다. 이로써, 중간 절연막(IN)을 사이에 두고 중첩하는 제3 보조 용량 전극(SG3)과 제2 보조 용량 전극(SG2) 사이와, 게이트 절연막(GI)을 사이에 두고 중첩하는 제2 보조 용량 전극(SG2)과 제1 보조 용량 전극(SG1) 사이에 보조 용량(STG)이 형성된다.

[0012] 이와 같은 구조를 갖는 스위칭 TFT(ST), 구동 TFT(DT) 및 보조 용량 전득들(SG1, SG2)을 덮도록 보호층(PAS)이 전면에 도포된다. 하부 발광식이며, 백색 유기발광 층을 사용하는 경우, 보호층(PAS) 위에서 화소 영역에 대응하는 영역을 덮는 칼라 필터(CF)를 형성할 수 있다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성할 수도 있다.

[0013] 이와 같이 칼라 필터(CF)가 형성된 기판은 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판 전면에 도포한다.

[0014] 오버코트 층(OC) 위에 유기발광 다이오드(OLED)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호층(PAS)에 형성된 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 연결된다.

[0015] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 TFT(ST), 구동 TFT(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 뱅크패턴(BN)을 형성한다. 뱅크 패턴(BN)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다.

[0016] 뱅크 패턴(BN)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OLE)과 캐소드 전극층(CAT)이 순차적으로 적층된다. 하부 발광식이며, 유기발광 층(OLE)이 백색광을 발하는 유기물질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다.

[0017] 이와 같은 유기발광 다이오드 표시장치의 적용 범위가 점차 확대되어 가면서, 대면적 및 고밀도 사양을 만족하는 유기발광 다이오드 표시장치로의 개발이 가속화되고 있다. 특히, 300ppi(Pixel Per Inch) 이상의 고해상도를 넘어 500ppi 이상의 초고해상도 표시장치의 요구가 점차 증가하는 추세이다.

[0018] 해상도가 높아질수록, 단위 화소의 크기가 점차 작아진다. 단위 화소의 크기가 작아진다는 것은, 박막 트랜지스터들이 형성될 공간이 작아진다는 것을 의미한다. 하지만, 박막 트랜지스터는 비례적으로 크기가 줄어들 수 있는 소자가 아니다. 따라서, 단위 화소의 크기가 줄어들면, 발광 영역인 유기발광 다이오드의 크기가 더 큰 비율로 줄어들 수밖에 없다.

[0019] 고해상도 및 초고해상도 유기발광 다이오드 표시장치에서, 단위 화소 영역 중에 차지하는 발광 영역의 비율인 개구율이 큰 값을 갖도록 설계하는 것이 바람직하다. 즉, 고해상도 및 초고해상도를 구현하기 위한 고 개구율 유기발광 다이오드 표시장치에 관련된 기술이 필요하다.

발명의 내용

해결하려는 과제

[0020] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출 된 발명으로써, 고 개구율을 갖는 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법을 제공하는 데 있다. 본 발명의 다른 목적은 작은 면적에서 고용량의 보조 용량을 확보함으로써 고 개구율을 확보할 수 있는 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0021] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 유기발광 다이오드 표시장치는, 박막 트랜지스터 영역과 보조 용량 영역을 포함하는 기판; 상기 기판의 상기 박막 트랜지스터 영역에 형성된 채널 층 및 상기 보조 용량 영역에 형성된 반도체 층; 상기 채널 층 및 상기 반도체 층 위에 적층된 제1 게이트 절연막; 상기 반도체 층을 덮는 상기 제1 게이트 절연막 위에 직접 적층된 제1 보조 용량 전극; 상기 제1 게이트 절연막 및 상기 제1 보조 용량 전극을 덮는 제2 게이트 절연막; 상기 제2 게이트 절연막 위에서, 상기 채널 층과 중첩하는 게이트 전극 및 상기 반도체 층과 중첩하는 제2 보조 용량 전극; 상기 게이트 전극 및 상기 제2 보조 용량 전극을 덮는 중간 절연막; 그리고 상기 중간 절연막 위에서 상기 채널 층과 연결되는 소스-드레인 전극 및 상기 제2 보조 용량 전극과 중첩하는 제3 보조 용량 전극을 포함한다.

[0022] 상기 제1 게이트 절연막은, 산화 실리콘(SiOx)으로 이루어진 500Å 내지 1500Å의 두께를 갖는 박막인 것을 특징으로 한다.

[0023] 상기 제2 게이트 절연막은, 질화 실리콘(SiNx)으로 이루어진 1000Å의 두께를 갖는 박막인 것을 특징으로 한다.

[0024] 상기 중간 절연막은, 질화 실리콘(SiNx)으로 이루어진 3000Å 내지 6000Å의의 두께를 갖는 박막인 것을 특징으로 한다.

[0025] 상기 소스-드레인 전극 및 상기 제3 보조 용량 전극을 덮는 보호막; 상기 보호막 위에서 상기 드레인 전극과 연결되는 애노드 전극; 상기 애노드 전극에서 발광 영역을 정의하는 뱅크; 상기 뱅크 위에서 상기 애노드 전극과 접촉하는 유기발광 층; 그리고 상기 유기발광 층과 접촉하는 캐소드 전극을 더 포함하는 것을 특징으로 한다.

[0026] 또한, 본 발명에 의한 유기발광 다이오드 표시장치의 제조 방법은, 기판 위에 반도체 물질, 제1 절연물질 및 금속 물질을 연속으로 도포하고 패턴하여 반도체 층을 포함하는 박막 트랜지스터 영역과, 제1 보조 용량 전극을 포함하는 보조 용량 영역을 정의하는 단계; 상기 박막 트랜지스터 영역과 상기 보조 용량 영역 전체를 덮는 제2 절연물질 및 게이트 물질을 연속으로 도포하고 패턴하여, 게이트 전극 및 제2 보조 용량 전극을 형성하는 단계; 상기 게이트 전극 및 상기 제2 보조 용량 전극을 마스크로 상기 반도체 층에 불순물을 주입하여, 채널 층과 소스-드레인 영역을 정의하는 단계; 상기 게이트 전극 및 상기 제2 보조 용량 전극 위에 중간 절연막을 도포하고 패턴하여, 상기 소스-드레인 영역 및 상기 제1 보조 용량 전극의 일부를 노출하는 단계 그리고 상기 중간 절연막 위에 소스-드레인 물질을 도포하고 패턴하여, 소스-드레인 전극 및 제3 보조 용량 전극을 형성하는 단계를 포함한다.

[0027] 상기 제1 절연물질은, 산화 실리콘(SiOx)을 500Å 내지 1500Å의 두께로 도포하고, 상기 제2 절연물질은, 질화 실리콘(SiNx)을 1000Å의 두께로 도포하는 것을 특징으로 한다.

[0028] 상기 중간 절연막은, 질화 실리콘(SiNx)을 3000Å 내지 6000Å의 두께로 도포하는 것을 특징으로 한다.

[0029] 상기 소스-드레인 전극 및 상기 제3 보조 용량 전극 위에 보호막을 형성하는 단계; 상기 보호막 위에 상기 드레인 전극과 접촉하는 애노드 전극을 형성하는 단계; 상기 애노드 전극에서 발광 영역을 정의하는 뱅크를 형성하는 단계; 그리고 상기 뱅크 위에서 상기 애노드 전극과 접촉하는 유기발광 층 및 상기 유기발광 층과 접촉하는 캐소드 전극을 도포하는 단계를 더 포함하는 것을 특징으로 한다.

[0030] 상기 박막 트랜지스터 영역에 형성된 상기 게이트 전극과 상기 채널 층 사이에는 상기 제1 절연물질과 상기 제2 절연물질이 적층되어 개재되고, 상기 보조 용량 영역에 형성된 상기 제1 보조 용량 전극과 상기 제2 보조 용량 전극 사이에는 상기 제2 절연물질만 적층되어 개재되는 것을 특징으로 한다.

발명의 효과

[0031] 본 발명에 의한 유기발광 다이오드 표시장치는, 유전율이 큰 질화 실리콘을 포함한 보조 용량을 구비한다. 즉, 박막 트랜지스터 및 보조 용량 각각에서 절연 특성에 따라 서로 다른 구성을 갖는 절연막을 구비함으로써, 작은

면적을 가지면서 더 큰 용량을 갖는 보조 용량을 형성할 수 있다. 이와 같이 복잡한 구조를 가지면서도, 제조 공정은 종래 기술에 의한 제조 공정에서 사용하는 마스크 공정 수와 동일하거나 더 적은 공정으로 단순화할 수 있다. 따라서, 본 발명에 의하면, 고 용량 보조 용량과 고 개구율을 구현함으로써, 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0032] 도 1은 일반적인 유기발광 다이오드의 구조를 나타내는 도면.

도 2는 일반적인 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 등가 회로도.

도 3은 종래 기술에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도.

도 4는 도 3에서 절취선 I-I'로 자른 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.

도 5는 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도.

도 6은 도 5에서 절취서 II-II'으로 자른 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.

도 7a 내지 7k는 도 5에서 절취선 II-II'으로 자른, 본 발명에 의한 유기발광 다이오드 표시장치를 제조하는 과정을 나타낸 단면도들.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0034] 종래 기술에서 설명했듯이, 단위 화소 영역에서 발광 영역이 차지하는 비율을 크게 확보하려면, 비 표시 영역이 차지하는 비율을 더 작게 하여야 한다. 비 표시 영역에는 박막 트랜지스터들과 보조 용량이 배치된다. 박막 트랜지스터는 화소 크기에 비례하여 작게 만들 수 있는 소자가 아니다. 따라서, 본 발명에서는 차지하는 면적을 작게 만들되 더 큰 용량을 확보할 수 있는 보조 용량을 구비한 유기발광 다이오드 표시장치 및 그 제조 방법을 제공하고자 한다.

[0035] 도 5는 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도이다. 도 6은 도 5에서 절취서 II-II'으로 자른 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0036] 도 5를 참조하면, 본 발명에 의한 액티브 매트릭스 유기발광 다이오드 표시장치는, 스위칭 박막 트랜지스터(ST), 스위칭 TFT와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기발광 다이오드(OLED)를 포함한다. 스위칭 TFT(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 채널 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다.

[0037] 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 유기발광 다이오드(OLED)를 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 채널 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLED)의 애노드 전극(ANO)과 연결되어 있다.

[0038] 좀 더 상세히 살펴보기 위해 도 6을 더 참조하여 설명한다. 기판(SUB)의 전체 표면 위에는 버퍼 층(BU)이 도포되어 있다. 버퍼 층(BU) 위에 채널 층들(SA, DA)을 포함하는 반도체 층이 형성되어 있다. 반도체 층 중에서 나중에 형성되는 게이트 전극들(SG, DG) 각각과 중첩하는 중앙 영역은 채널 층(SA, DA)으로 정의되고, 그 양 옆에는 불순물이 도핑된 소스 영역 및 드레인 영역으로 정의된다. 또한, 구동 TFT(DT)와 연결된 보조 용량(STG)이 더 형성되어 있다.

[0039] 반도체 층을 덮는 질화 게이트 절연막(GIN) 위에는 반도체 층의 중앙 영역인 채널 층(SA, DA)과 중첩하는 게이트 전극(SG, DG)이 형성된다. 또한, 제1 보조 용량 전극(SG1)과 중첩하는 제2 보조 용량 전극(SG2)이 형성된다.

[0040] 보조 용량(STG)은 질화 게이트 절연막(GIN)을 사이에 두고 중첩하는 금속층을 포함하는 제1 보조 용량 전극(SG1)과 제2 보조 용량 전극(SG2)이 형성하는 제1 보조 용량(STG1)을 포함한다. 또한, 중간 절연막(IN)을 사이에 두고 중첩하는 제2 보조 용량 전극(SG2)과 제3 보조 용량 전극(SG3)이 형성하는 제2 보조 용량(STG2)을 포함한다. 특히, 제1 보조 용량(STG1)은 산화 실리콘(SiOx)보다 유전율이 약 2배정도인 질화 실리콘(SiNx)에 형성되는 것을 특징으로 한다.

[0041] 좀 더 구체적으로 설명하면, 산화 실리콘(SiOx)은 유전율(Dielectric Permitivity)이 3.9인 반면, 질화 실리콘(SiNx)의 유전율은 6.4이다. 따라서, 제1 보조 용량 전극(SG1)과 제2 보조 용량 전극(SG2) 사이에는, 질화 실리콘(SiNx)으로 이루어진 질화 게이트 절연막(GIN)을 사이에 두고 중첩하여 제1 보조 용량(STG1)을 형성하는 것이 바람직하다.

[0042] 또한, 제1 보조 용량(STG1)의 용량을 더욱 크게 확보하기 위해서는, 질화 게이트 절연막(GIN)의 두께를 1000Å으로 도포하는 것이 바람직하다. 종래 기술에서는 산화 실리콘(SiOx)으로 이루어진 1300Å의 두께를 갖는 게이트 절연막(GI)으로 제1 보조 용량(STG1)을 형성한다. 이 경우의 제1 보조 용량(STG1)의 크기에 비해 본 발명에 의한 제1 보조 용량(STG1)의 크기는 약 2.13배 정도로 큰 값을 갖는다.

[0043] 여기서 주의할 점은, 1000Å의 두께를 갖는 질화 게이트 절연막(GIN)만으로는 박막 트랜지스터들(ST, DT)의 게이트 절연막으로 기능하기에는 절연성을 확보하기 어려울 수 있다. 이러한 게이트 절연막의 특성을 확보하기 위해, 본 발명에서 게이트 절연막은 500Å 내지 1500Å의 두께를 갖는 산화 게이트 절연막(GIO)이 약 1000Å의 두께를 갖는 질화 게이트 절연막(GIN)과 적층된 구조로 형성하는 것이 바람직하다.

[0044] 게이트 전극들(SG, DG) 및 제1 보조 용량 전극(SG1)이 형성된 기판(SUB) 전체 표면 위에는 중간 절연막(IN)이 도포된다. 중간 절연막(IN) 위에는 소스 전극(SS, DS)들 및 드레인 전극(SD, DD)들이 형성된다. 또한, 소스 전극(SS, DS)들을 연결하는 데이터 배선(DL) 및 구동 전류 배선(VDD)이 배치된다.

[0045] 소스 전극(SS, DS)들 및 드레인 전극(SD, DD)들은 중간 절연막(IN) 및 게이트 절연막(GIN, GIO)을 관통하여 형성된 콘택홀을 통해, 채널 층(SA, DA)들의 양 옆에 정의된 소스 영역 및 드레인 영역과 각각 접촉한다. 또한, 구동 TFT(DT)의 드레인 전극(GD)은 제1 및 제2 보조 용량 전극(SG1, SG2)들과 중첩하도록 연장되어, 제3 보조 용량 전극(SG3)을 형성한다.

[0046] 특히, 제3 보조 용량 전극(SG3)은 중간 절연막(IN)과 질화 게이트 절연막(GIN)을 관통하여 제1 보조 용량 전극(SG1)과 접촉하도록 형성하는 것이 바람직하다. 이로써, 중간 절연막(IN)을 사이에 두고 중첩하는 제3 보조 용량 전극(SG3)과 제2 보조 용량 전극(SG2) 사이에는 제1 보조 용량(STG1)이 형성된다. 그리고 게이트 절연막(GI)을 사이에 두고 중첩하는 제2 보조 용량 전극(SG2)과 제1 보조 용량 전극(SG1) 사이에는 제2 보조 용량(STG2)이 형성된다.

[0047] 이와 같은 구조를 갖는 스위칭 TFT(ST), 구동 TFT(DT) 및 보조 용량 전득들(SG1, SG2)을 덮도록 보호층(PAS)이 전면에 도포된다. 하부 발광식이며, 백색 유기발광 층을 사용하는 경우, 보호층(PAS) 위에서 화소 영역에 대응하는 영역을 덮는 칼라 필터(CF)를 형성할 수 있다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성할 수도 있다.

[0048] 이와 같이 칼라 필터(CF)가 형성된 기판은 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판 전면에 도포한다.

[0049] 오버코트 층(OC) 위에 유기발광 다이오드(OLED)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호층(PAS)에 형성된 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 연결된다.

[0050] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 TFT(ST), 구동 TFT(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 뱅크패턴(BN)을 형성한다. 뱅크 패턴(BN)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다.

[0051] 뱅크 패턴(BN)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OLE)과 캐소드 전극층(CAT)이 순차적으로 적층된다. 하부 발광식이며, 유기발광 층(OLE)이 백색광을 발하는 유기물질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다.

[0052] 이상 설명한 바와 같이, 본 발명에 의한 유기발광 다이오드 표시장치는 종래 기술에 의한 것과 비교해서 거의 비슷한 구조를 갖는다. 차이가 있다면, 보조 용량의 면적을 줄이면서 동일한 혹은 더 큰 보조 용량을 확보하기

위해 보조 용량 전극들 사이에 유전율이 큰 물질을 개재하는 것을 특징으로 한다. 이와 동시에 게이트 절연막의 절연성을 확보하는 것을 특징으로 한다.

[0053] 이와 같이 복잡한 기능적 성질을 만족하기 위해서는 구조가 복잡해지고, 제조 공정이 복잡해 질 수 있다. 하지만, 본 발명에서는 제조 공정을 단순화하여 고 개구율을 갖는 유기발광 다이오드 표시장치를 제조하는 방법을 제공한다. 이하, 도 7a 내지 7k를 참조하여, 본 발명에 의한 유기발광 다이오드 표시장치 제조 방법을 설명한다. 도 7a 내지 7k는 도 5에서 절취선 II-II'으로 자른, 본 발명에 의한 유기발광 다이오드 표시장치를 제조하는 과정을 나타낸 단면도들이다.

[0054] 투명한 기판(SUB) 전체 표면 위에 버퍼 층(BUF), 반도체 층(SEM), 산화 게이트 절연막(GIO) 및 금속층(MET)을 순차적으로 적층하여 도포한다. 여기서, 산화 게이트 절연막(GIO)은 추후에 형성하는 질화 게이트 절연막(GIN)과 더불어 게이트 절연막으로서 기능을 한다. 게이트 절연 물질로서의 기능을 위해 500Å 내지 1500Å의 두께로 도포하는 것이 바람직하다. 금속층(MET)의 표면 위에 포토레지스트(PR)를 도포하고 제1 마스크를 이용하여 포토레지스트(PR)를 패턴한다. 포토레지스트(PR)의 패턴은 세 개의 영역들을 포함한다. (도 7a)

[0055] 예를 들어, 포토레지스트(PR)가 완전히 제거되는 ①영역, 포토레지스트(PR)가 제1 두께를 갖는 ②영역 및 포토레지스트(PR)가 제2 두께를 갖는 ③영역을 포함한다. 특히, ②영역은 박막 트랜지스터들(ST, DT)이 형성될 위치에 할당된다. 또한, ③영역은 보조 용량(STG)이 형성될 위치에 할당된다.

[0056] 이와 같이 두께가 서로 다르게 포토레지스트(PR)를 패턴하기 위해서, 하프-톤 마스크 하나를 사용하고 한 번의 노광 공정으로 이룩할 수 있다. 또는, 일반 마스크 2개를 사용하고, 2회의 노광 공정으로 이룩할 수 있다. 예를 들어, ①영역만을 노출하는 제1 마스크로 55%의 노광 시간으로 노광하고, ①영역과 ②영역을 노출하는 (즉, ③영역만을 가리는) 제2 마스크로 45%의 노광 시간으로 노광한다. 그 결과, ①영역은 100% 노광이 이루어지고, ②영역은 45% 노광이 이루어지며, ③영역은 0%의 노광이 이루어진다. 이러한 노광 공정으로 도 7a와 같은 패턴을 갖는 포토레지스트(PR)을 형성할 수 있다.

[0057] 도 7a에 도시한 형태로 패턴된 포토레지스트(PR)를 마스크로 하여, 금속층(MET), 산화 게이트 절연막(GIO) 및 반도체 층(SEM)을 동시에 패턴한다. 그 후, 애싱(ashing) 공정으로 포토레지스트(PR)를 ②영역의 두께만큼을 제거한다. 그 결과, ③영역에만 포토레지스트(PR)가 남게 된다. (도 7b)

[0058] ③영역만을 덮는 포토레지스트(PR)를 마스크로 하여 금속층(MET)을 제거한다. 여기까지를, 제1 마스크 공정으로 볼 수 있다. 그 결과, ②영역에는 반도체 층(SEM)과 산화 게이트 절연막(GIO)이 적층된 구조를 갖는다. 한편, ③영역에는 반도체 층(SEM)과 산화 게이트 절연막(GIO) 위에 적층된 제1 보조 용량 전극(SG1)이 형성된다. 제1 보조 용량 전극(SG1)이 형성된 기판(SUB) 전체 표면 위에 질화 게이트 절연막(GIN)을 약 1000Å의 두께로 도포한다. (도 7c)

[0059] 질화 게이트 절연막(GIN) 위에 게이트 금속 물질을 도포한다. 제2 마스크 공정으로 게이트 금속 물질을 패턴하여 게이트 전극(SG, DG) 및 제2 보조 용량 전극(SG2)을 형성한다. 게이트 전극들(SG, DG) 각각은 박막 트랜지스터들(ST, DT)이 형성될 ②영역에서 질화 게이트절연막(GIN) 및 산화 게이트 절연막(GIO) 모두를 사이에 두고 반도체 층(SEM)의 중앙부와 중첩하도록 형성한다. 제2 보조 용량 전극(SG2)은 질화 게이트 절연막(GIN)만을 사이에 두고 제1 보조 용량 전극(SG1)과 중첩하도록 형성한다.

[0060] 그 후, 게이트 전극들(SG, DG) 및 제2 보조 용량 전극(SG2)을 마스크로 하여, 반도체 층(SEM)에 불순물을 주입한다. 그 결과, 게이트 전극(SG, DG)의 양 옆에 노출된 반도체 층(SEM)에는 불순물이 주입되어 도체화되어, 소스 영역 및 드레인 영역으로 정의된다. 한편, 게이트 전극들(SG, DG) 및 제2 보조 용량 전극(SG2)과 중첩하는 부분은 원래 반도체 물질의 성질을 유지하는 채널 층(SA, DA)으로 정의된다. 보조 용량(STG) 부분에서는, 제1 보조 용량 전극(SG1) 아래에 산화 게이트 절연막(GIO)을 사이에 두고 반도체 층이 중첩하여 있다. 하지만, 이 반도체 층에는 불순물이 도포되지 않으므로 전극으로 활용되지는 않는다. (도 7d)

[0061] 게이트 전극들(SG, DG) 및 제2 보조 용량 전극(SG2)이 형성된 기판(SUB) 전체 표면 위에 절연물질을 3000Å 내지 6000Å 정도의 두께로 도포하여 중간 절연막(IN)을 형성한다. 중간 절연막(IN)은 산화 실리콘(SiOx) 혹은 질화 실리콘(SiNx)을 포함할 수 있는데, 더 큰 보조 용량을 확보하기 위해서는 질화 실리콘(SiNx)으로 형성하는 것이 바람직하다. 제3 마스크 공정으로, 중간 절연막(IN), 질화 게이트 절연막(GIN) 및 산화 게이트 절연막(GIO)을 패턴하여, 소스 영역을 노출하는 소스 콘택홀들(SSH, DSH) 및 드레인 영역을 노출하는 드레인 콘택홀들(SDH, DDH)을 형성한다. 이때, 제1 보조 용량 전극(SG1)을 노출하는 콘택홀을 형성할 수도 있다. 본 실시 예

에서는, 구동 TFT(DT)의 드레인 콘택홀(DH)은 제1 보조 용량 전극(SG1)의 일측변을 노출하도록 형성하여 콘택홀을 개수를 줄이고, 그 만큼 보조 용량의 면적을 더 확보하였다. 한편, 스위칭 TFT(ST)의 드레인 전극(SD)과 연결하도록, 구동 TFT(DT)의 게이트 전극의 일부를 노출하는 게이트 콘택홀(GH)을 더 형성한다. (도 7e)

[0062] 중간 절연막(IN) 위에 소스-드레인 금속 물질을 도포한다. 제4 마스크 공정으로 소스-드레인 금속 물질을 패턴하여 소스 전극들(SS, DS) 및 드레인 전극들(SD, DD)을 형성한다. 소스 전극(SS, DS)은 반도체 층의 소스 영역과 접촉하고, 드레인 전극(SD, DD)은 반도체 층의 드레인 영역과 접촉한다. 특히, 구동 TFT(DT)의 드레인 전극(DD)은 제1 보조 용량 전극(SG1)과도 접촉하며, 중간 절연막(IN)을 사이에 두고 제2 보조 용량 전극(SG2)과 중첩하도록 연장되는 것이 바람직하다. 이 부분이 제3 보조 용량 전극(SG3)이 된다. (도 7f)

[0063] 그 결과, 스위칭 TFT(ST), 구동 TFT(DT) 및 보조 용량(STG)이 완성된다. 특히, 보조 용량(STG)은 제1 보조 용량(STG1)과 제2 보조 용량(STG2)이 적층되어 형성된다. 더구나, 제1 보조 용량(STG1)은 유전율이 높은 질화 게이트 절연막(GIN)을 사이에 두고 중첩하는 제1 보조 용량 전극(SG1)과 제2 보조 용량 전극(SG2) 사이에 형성된다. 이 보조 용량의 크기는 종래 기술에 비해 2배 이상 크기 때문에, 그 면적을 절반정도로 줄여도 충분한 보조 용량을 확보할 수 있다.

[0064] 또한, 도 7f에서와 같이, 중간 절연막(IN)도 질화 실리콘으로 형성할 경우, 제2 보조 용량(STG2)도 종래 기술에 비해 더 큰 용량을 확보할 수 있다. 따라서, 보조 용량(STG)의 면적을 훨씬 더 작게 설계하더라도, 종래 기술에 의한 보조 용량과 동일하거나 더 큰 용량을 확보할 수 있다.

[0065] 박막 트랜지스터들(ST, DT) 및 보조 용량(STG)을 덮는 보호층(PAS)을 기판(SUB) 전체 표면에 도포한다. 보호층(PAS) 위에 칼라 필터를 도포하고, 마스크 공정으로 패턴하여 칼라 필터(CF)를 형성한다. 칼라 필터(CF)가, 화소 별로 적색, 녹색 및 청색 중 어느 하나가 배치되는 경우, 3회의 서브 마스크 공정이 필요하므로, 제5, 제6 및 제7 마스크 공정을 수행할 수 있다. (도 7g)

[0066] 칼라 필터(CF)가 형성된 기판(SUB) 전체 표면 위에 오버 코트 층(OC)을 도포한다. 제8 마스크 공정으로 오버 코트 층(OC) 및 보호층(PAS)을 패턴하여 구동 TFT(DT)의 드레인 전극(DD)의 일부를 노출하는 화소 콘택홀(PH)을 형성한다. (도 7h)

[0067] 화소 콘택홀(PH)이 형성된 기판(SUB) 전체 표면 위에 인듐-주석 산화물(Indium Tin Oxide: ITO) 혹은 인듐-아연 산화물(Indium Zinc Oxide: IZO)와 같은 투명 도전 물질을 도포한다. 제9 마스크 공정으로 투명 도전 물질을 패턴하여, 애노드 전극(ANO)을 형성한다. (도 7i)

[0068] 애노드 전극(ANO) 전극이 형성된 기판(SUB) 전체 표면 위에 유기물질을 도포한다. 제10 마스크 공정으로 유기물질을 패턴하여, 애노드 전극(ANO)의 대부분 영역이며 발광 영역을 정의하는 뱅크(BN)를 형성한다. (도 7j)

[0069] 뱅크(BN)가 형성된 기판(SUB) 전체 표면에 걸쳐 백색 유기발광 층(OLE) 및 캐소드 전극(CAT)을 연속으로 도포한다. 이로써, 구동 TFT(DT)에 연결된 애노드 전극(ANO), 유기발광 층(OLE) 그리고 캐소드 전극(CAT)이 접합된 유기발광 다이오드(OLED)가 완성된다. (도 7k)

[0070] 본 발명에 의하면, 게이트 전극(SG, DG)과 채널 층(SA, DA) 사이에는 산화 실리콘으로 형성한 산화 게이트 절연막(GIO)과 질화 실리콘으로 형성한 질화 게이트 절연막(GIN)이 적층된 게이트 절연막이 존재한다. 반면에, 제1 보조 용량 전극(SG1)과 제2 보조 용량 전극(SG2) 사이에는 질화 실리콘으로 형성한 질화 게이트 절연막(GIN)만이 존재한다. 이와 같이 절연 특성에 따라 서로 다른 구성을 갖는 절연막을 구비함으로써, 작은 면적을 가지면서 더 큰 용량을 갖는 보조 용량을 형성할 수 있다.

[0071] 더구나, 이와 같이 복잡한 구조를 가지면서도, 제조 공정은 종래 기술에 의한 제조 공정에서 사용하는 마스크 공정 수와 동일하거나 더 적은 공정으로 단순화할 수 있다. 따라서, 본 발명에 의하면, 고 용량 보조 용량과 고 개구율을 구현함으로써, 초고해상도 유기발광 다이오드 표시장치 및 그 제조 방법을 제공할 수 있다.

[0072] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

[0073] DL: 데이터 배선 SL: 스캔 배선

VDD: 구동 전류 배선 ST: 스위칭 TFT

DT: 구동 TFT OLED: 유기발광 다이오드

CAT: 캐소드 전극(층) ANO: 애노드 전극(층)

BN: 뱅크 패턴 CF: 칼라 필터

OLE: (백색) 유기층 SUB: 기판

PAS: 보호막 OC: 오버코트 층

SG, DG: 게이트 전극 SEM: 반도체 층

SS, DS: 소스 전극 SD, DD: 드레인 전극

PH: 화소 콘택홀 STG: 보조 용량

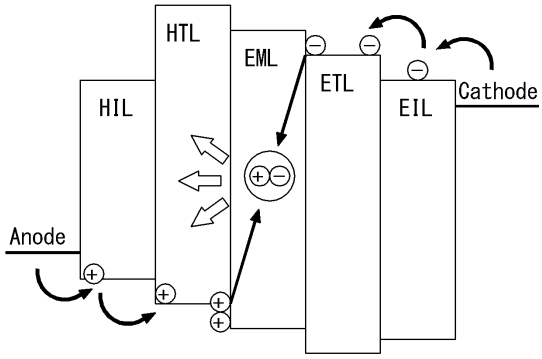
STG1: 제1 보조 용량 STG2: 제2 보조 용량

SG1: 제1 보조 용량 전극 SG2: 제2 보조 용량 전극

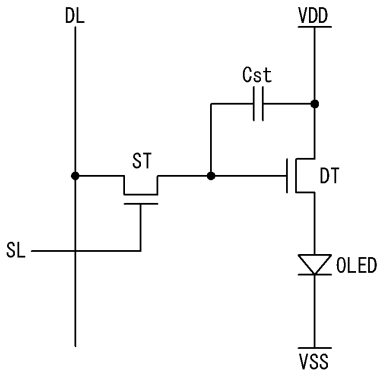
SG3: 제3 보조 용량 전극

도면

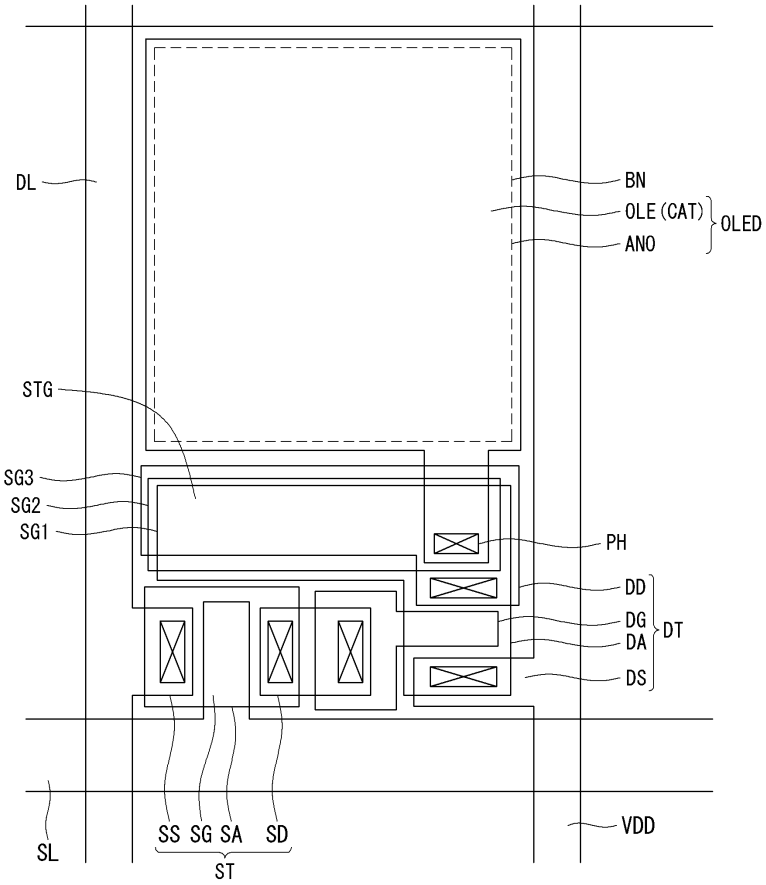
도면1



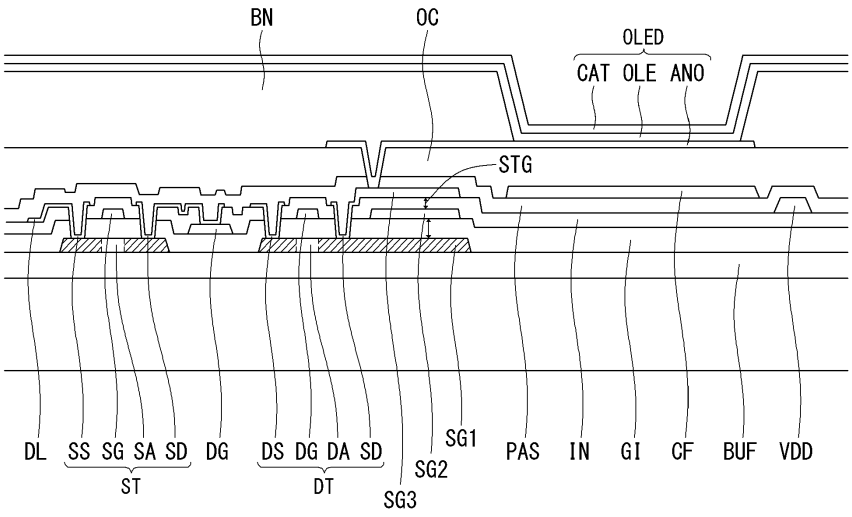
도면2



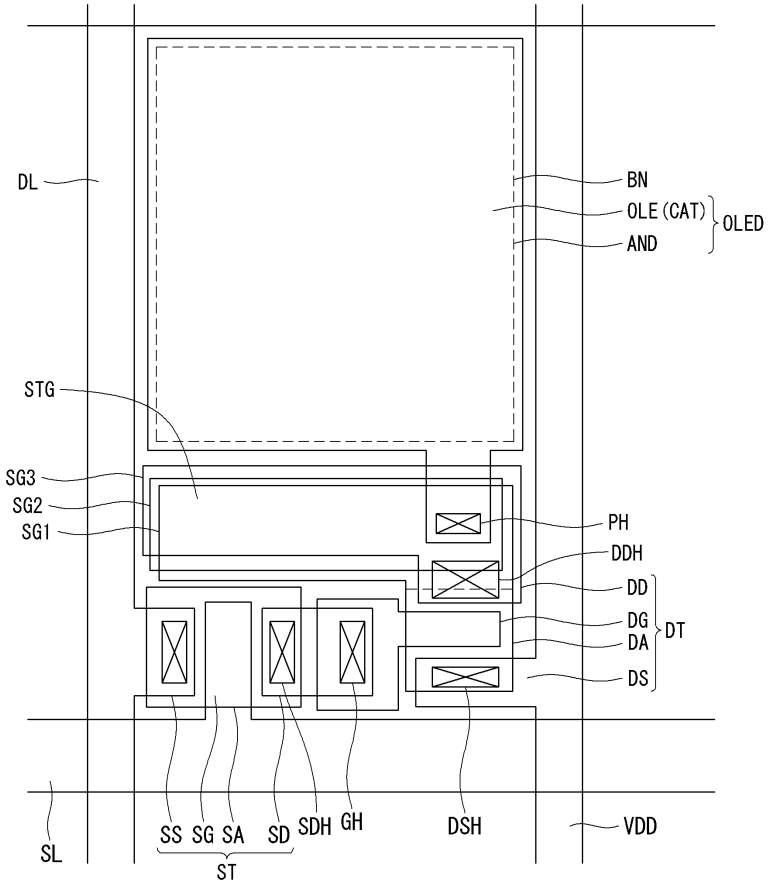
도면3


DL
BN
OLE(CAT)
ANO
OLED
STG
SG3
SG2
SG1
PH
DD
DG
DA
DS
DT
SL
SS SG SA SD
ST
VDD

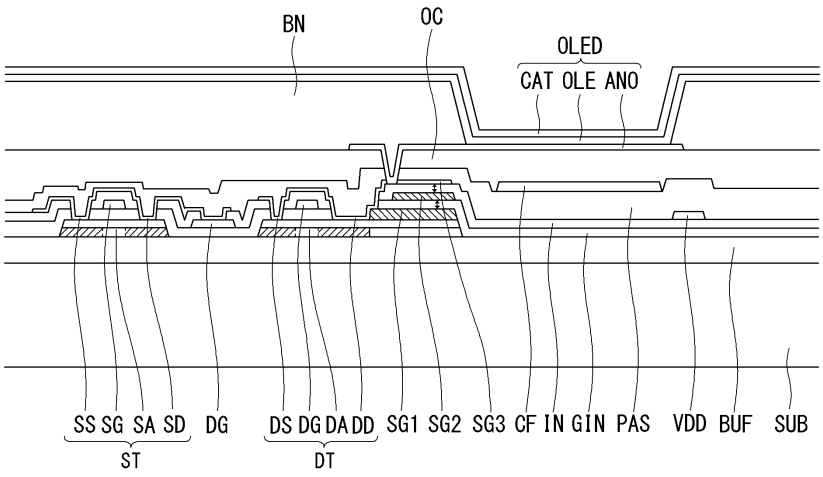
도면4


BN
OC
OLED
CAT OLE ANO
STG
DL
SS SG SA SD
ST
DG
DS DG DA SD
DT
SG3
SG2
SG1
PAS
IN
GI
CF
BUF
VDD

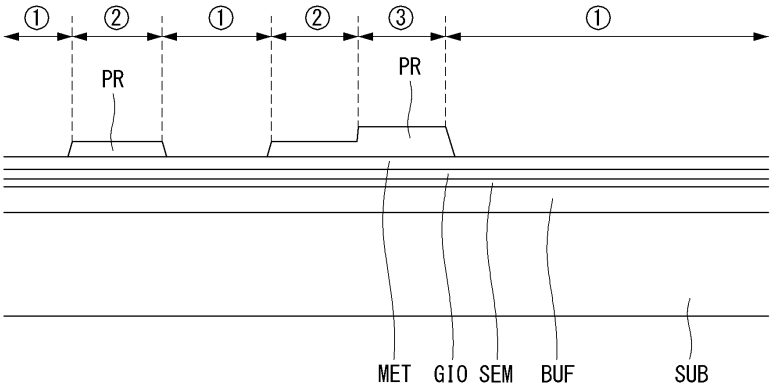
도면5


DL
BN
OLE(CAT)
AND
OLED
STG
SG3
SG2
SG1
PH
DDH
DD
DG
DA
DS
DT
SL
SS SG SA SD
SDH
GH
DSH
VDD
ST

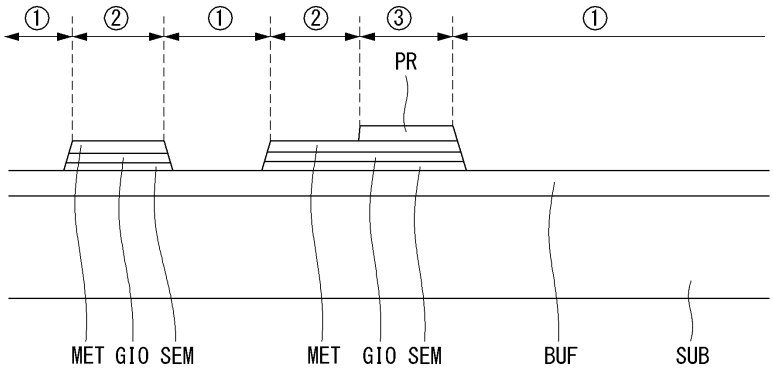
도면6


BN
OC
OLED
CAT OLE ANO
SS SG SA SD
DG
DS DG DA DD
SG1 SG2 SG3 CF IN GIN PAS
VDD BUF
SUB
ST
DT

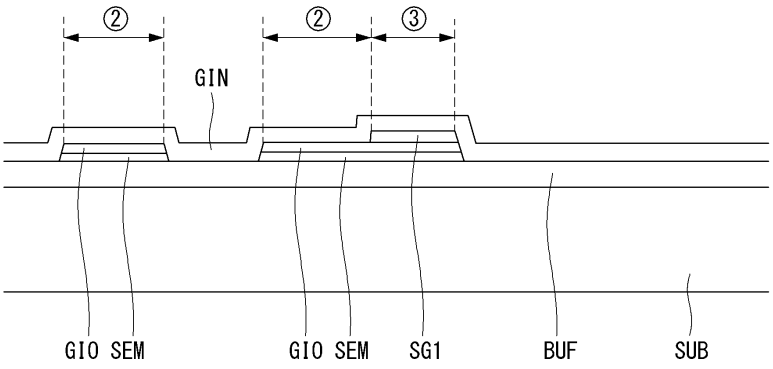
도면7a



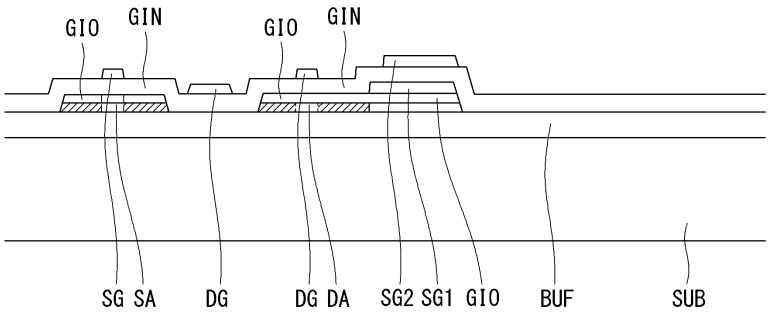
도면7b



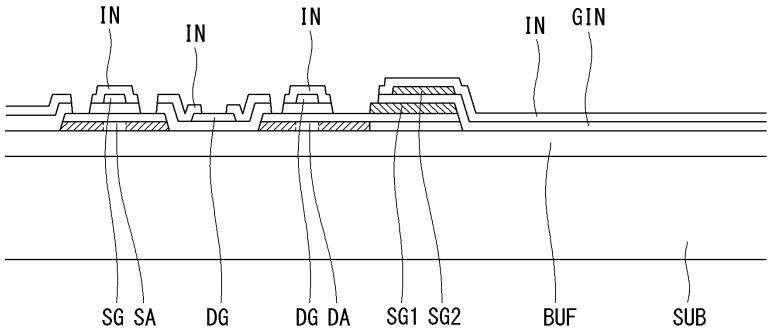
도면7c



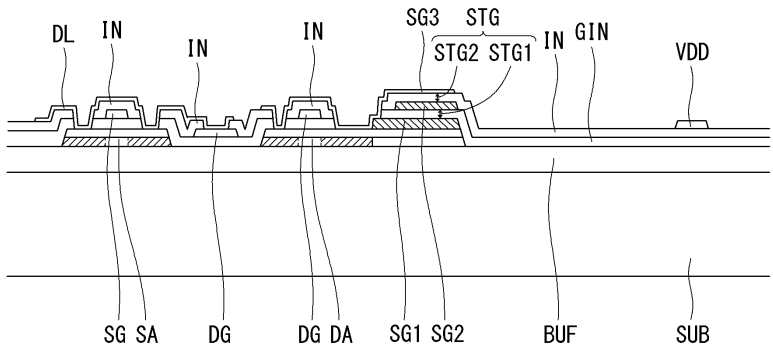
도면7d



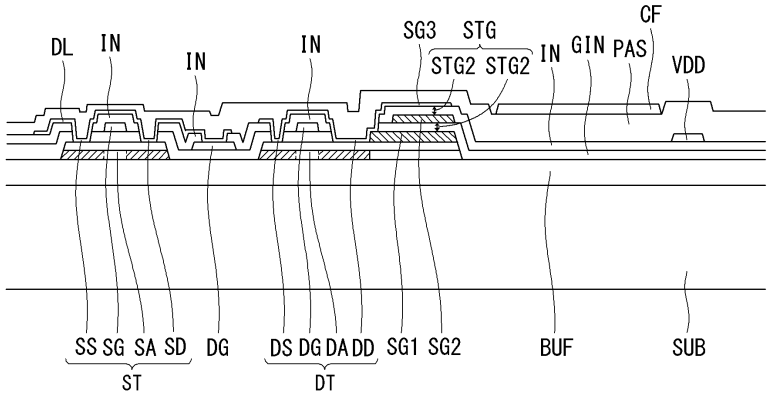
도면7e



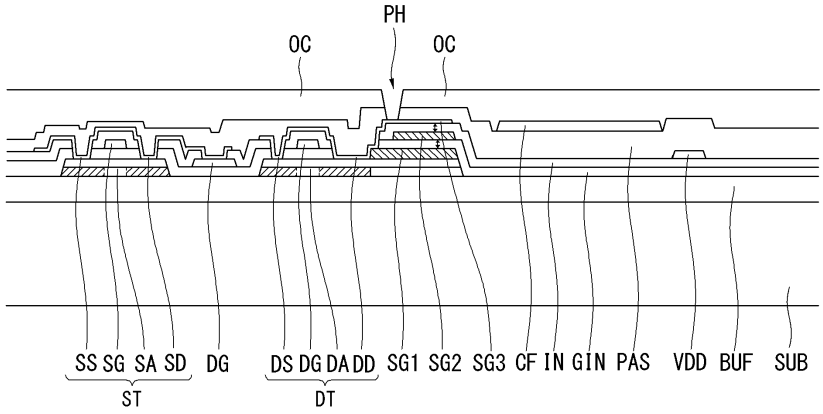
도면7f



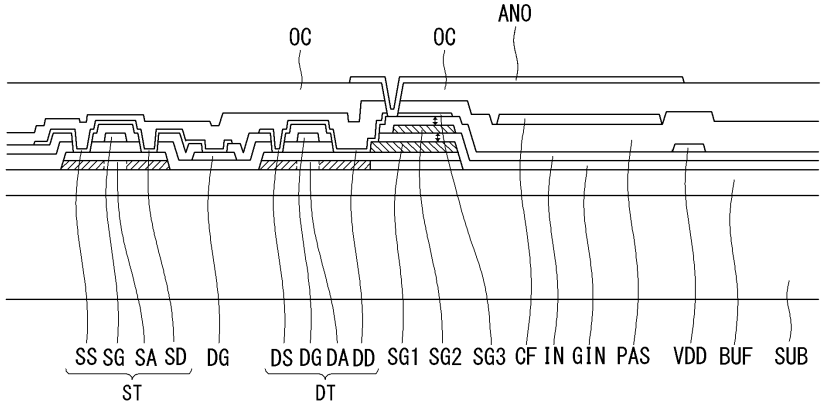
도면7g



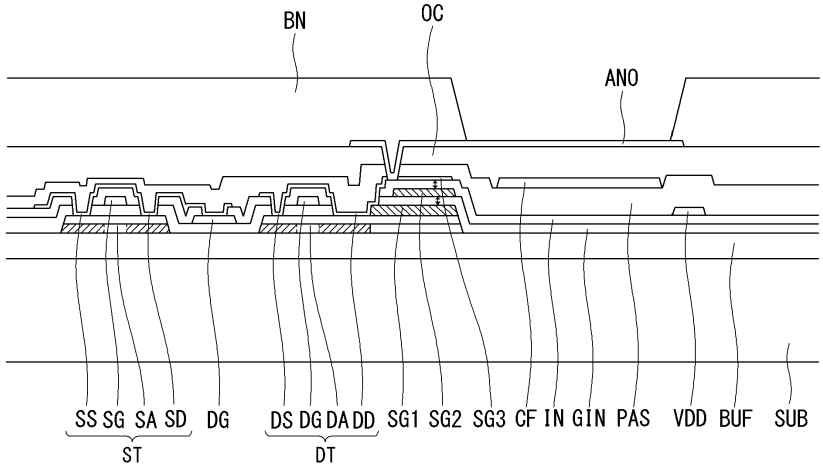
도면7h



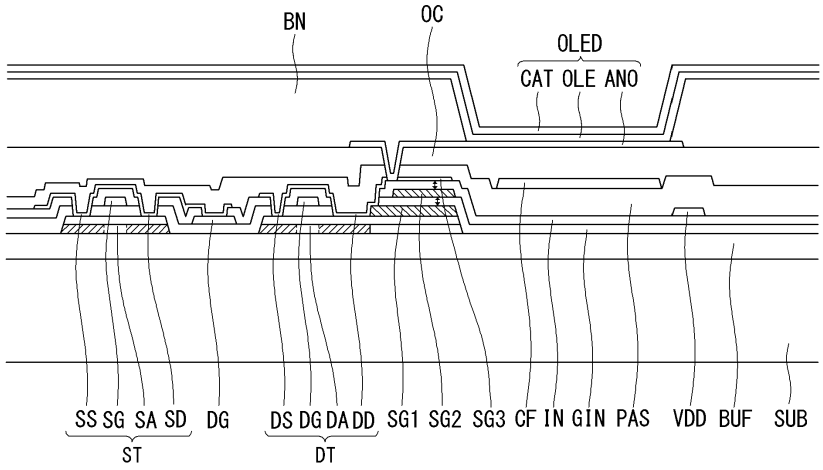
도면7i



도면7j



도면7k



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제10항의 3-4번째줄

【변경전】

상기 구동 게이트 전극과 상기 구동 채널 층 사이 및, 상기 스위칭 게이트 전극과 상기 구동 채널 층 사이

【변경후】

상기 스위칭 게이트 전극과 상기 스위칭 채널 층 사이 및, 상기 구동 게이트 전극과 상기 구동 채널 층 사이

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 제6항의 20번째줄

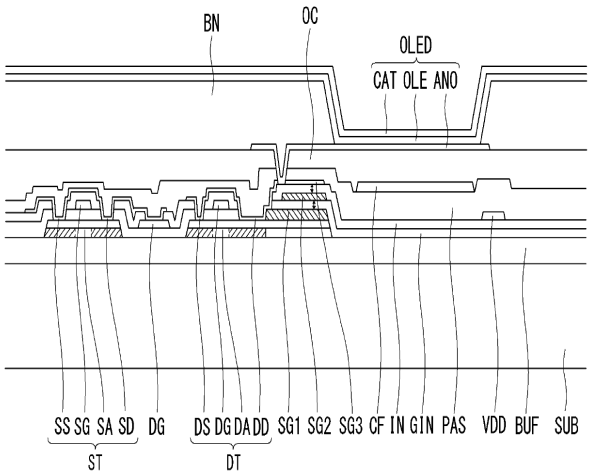
【변경전】

연장 형상되며 상기 제2 보조 용량 전극과

【변경후】

연장 형성되며 상기 제2 보조 용량 전극과

专利名称(译)	超高密度有机发光二极管显示器		
公开(公告)号	KR102056275B1	公开(公告)日	2020-01-22
申请号	KR1020130109274	申请日	2013-09-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	오금미 이왕선 윤광오 류원상 정영기 노상순 신동채		
发明人	오금미 이왕선 윤광오 류원상 정영기 노상순 신동채		
IPC分类号	H01L51/52 H01L29/786 H01L51/56		
CPC分类号	H01L27/1237 H01L27/1255 H01L27/3262 H01L27/3265 H01L29/4908		
审查员(译)	Yiwoori		
其他公开文献	KR1020150030063A		
外部链接	Espacenet		

摘要(译)

具有高开口率的超高分辨率有机发光二极管显示器及其制造方法技术领域本发明涉及具有高开口率的超高分辨率有机发光二极管显示器及其制造方法。 所述有机发光二极管显示器包括：基板，其包括薄膜晶体管区域和存储电容器区域；以及基板。 在基板的薄膜晶体管区域中形成的沟道层和在存储电容器区域中形成的半导体层； 第一栅绝缘膜堆叠在沟道层和半导体层上； 直接在覆盖半导体层的第一栅极绝缘膜上堆叠的第一存储电容器电极； 第二栅极绝缘膜被配置为覆盖第一栅极绝缘膜和第一存储电容器电极； 在第二栅极绝缘膜上，栅极电极被配置为与沟道层重叠，第二存储电容器电极被配置为与半导体层重叠。 中间绝缘膜，其被构造为覆盖栅电极和第二存储电容器电极； 在中间绝缘膜上，源/漏电极与沟道层连接，第三存储电容器电极与第二存储电容器电极重叠。