



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월08일

(11) 등록번호 10-2049793

(24) 등록일자 2019년11월22일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01) H01L 27/32 (2006.01)

(21) 출원번호 10-2013-0138837

(22) 출원일자 2013년11월15일

심사청구일자 2018년06월12일

(65) 공개번호 10-2015-0056177

(43) 공개일자 2015년05월26일

(56) 선행기술조사문헌

JP2012104566 A\*

KR1020030079656 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최희동

충남 서산시 음암면 음암로 499, 110동 401호 (서산수림미소가아파트)

(74) 대리인

특허법인(유한)유일하이스트

전체 청구항 수 : 총 9 항

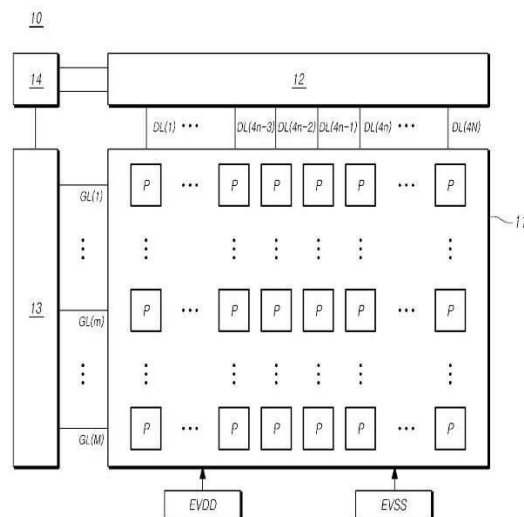
심사관 : 하정균

(54) 발명의 명칭 유기전계발광 표시장치

## (57) 요약

본 발명은, 산화물 반도체 물질로 형성된 반도체층을 포함하며 유기발광 다이오드를 구동하기 위한 구동 트랜지스터, 산화물 반도체 물질로 형성된 반도체층을 포함하며 스캔신호에 의해 제어되며 기준전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1 트랜지스터, 산화물 반도체 물질로 형성된 반도체층을 포함하며 게이트 라인에서 공통으로 공급되는 스캔신호에 의해 제어되며 데이터 라인과 구동 트랜지스터의 제2노드 사이에 연결되는 제2 트랜지스터, 도전 특성이 향상된 산화물 반도체 물질로 형성되며 구동 트랜지스터의 반도체층 및 제1 트랜지스터의 반도체층과 연결된 제1 플레이트, 제1 플레이트 상에 위치하며 제2 트랜지스터의 반도체층 및 구동 트랜지스터의 게이트 전극과 연결된 제2 플레이트 및 제2 플레이트 상에 위치하고 제1 플레이트와 콘택홀을 통하여 연결된 유기발광 다이오드의 화소전극을 포함하는 유기전계발광 표시장치에 관한 것이다.

## 대표도



## 명세서

### 청구범위

#### 청구항 1

산화물 반도체 물질로 형성된 반도체층을 포함하며, 유기발광 다이오드를 구동하기 위한 구동 트랜지스터;

산화물 반도체 물질로 형성된 반도체층을 포함하며, 스캔신호에 의해 제어되며 기준전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1 트랜지스터;

산화물 반도체 물질로 형성된 반도체층을 포함하며, 게이트 라인에서 공통으로 공급되는 상기 스캔신호에 의해 제어되며 데이터 라인과 상기 구동 트랜지스터의 제2노드 사이에 연결되는 제2 트랜지스터;

도전 특성이 향상된 산화물 반도체 물질로 형성되며, 상기 구동 트랜지스터의 반도체층 및 상기 제1 트랜지스터의 반도체층과 연결된 제1 플레이트;

상기 제1 플레이트 상에 위치하며, 상기 제2 트랜지스터의 반도체층 및 상기 구동 트랜지스터의 게이트 전극과 연결된 제2 플레이트; 및

상기 제2 플레이트 상에 위치하고, 상기 제1 플레이트와 콘택홀을 통하여 연결된 상기 유기발광 다이오드의 화소전극을 포함하고,

상기 제1 플레이트의 일부, 상기 제2 플레이트의 일부 및 상기 화소 전극의 일부는 서로 중첩되어 이중 스토리지 캐패시터를 형성하는 유기전계발광 표시장치.

#### 청구항 2

제1항에 있어서,

상기 화소전극은,

상기 제1 트랜지스터의 반도체층에 인접하여 상기 제1 플레이트와 콘택홀을 통하여 연결된 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 3

제1항에 있어서,

상기 제2 플레이트와 상기 화소전극 사이에 상기 제2 플레이트 상에 형성된 평탄화막을 추가로 포함하며,

상기 제2 플레이트는,

상기 제2 트랜지스터의 반도체층과 콘택홀을 통하여 연결되고, 상기 콘택홀 부분에 대응되는 제2 플레이트 상에는 상기 평탄화막이 형성된 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 4

제3항에 있어서,

중첩된 상기 제1 플레이트의 일부, 상기 제2 플레이트의 일부, 상기 화소전극의 일부 상에 상기 평탄화막이 형성되지 않은 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 5

제1항에 있어서,

상기 제1 플레이트는 상기 산화물 반도체 물질을 플라즈마에 노출하거나 또는 불순물을 첨가하여 도전 특성이 향상되는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 6

제1항에 있어서,

상기 산화물 반도체 물질은 인듐을 포함하는 징크-옥사이드 계열 물질인 것을 특징으로 하는 유기전계발광 표시 장치.

#### 청구항 7

제1항에 있어서,

상기 제1 트랜지스터는 화소 간 휘도 편차를 보상해주기 위한 센싱(Sensing)하는 센서 트랜지스터이고, 상기 제2 트랜지스터는 상기 구동 트랜지스터를 선택하는 스위칭 트랜지스터인 것을 특징으로 하는 유기전계발광 표시 장치.

#### 청구항 8

제1항에 있어서,

상기 구동 트랜지스터의 반도체층과 상기 제1 트랜지스터의 반도체층, 상기 제2 트랜지스터의 반도체층, 상기 제1 플레이트는 동일한 층에 동시에 형성되며, 상기 구동 트랜지스터의 반도체층과 상기 제1 트랜지스터의 반도체층, 상기 제1 플레이트는 일체로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

#### 청구항 9

제1항에 있어서,

상기 구동 트랜지스터의 반도체층의 일부는 도전 특성이 향상되어 있으며, 상기 도전 특성이 향상된 상기 구동 트랜지스터의 반도체층의 일부와 구동전압 라인과 연결되어 있으며,

상기 제1 트랜지스터의 반도체층의 일부는 도전 특성이 향상되어 있으며, 상기 도전 특성이 향상된 상기 제1 트랜지스터의 반도체층의 일부와 상기 기준전압 라인이 연결된 것을 특징으로 하는 유기전계발광 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것이다.

#### 배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기전계발광 표시장치는 스스로 발광하는 유기발광 다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기전계발광 표시장치는 유기발광 다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기전계발광 표시장치의 각 화소는 유기발광 다이오드 이외에도, 서로 교차하는 데이터 라인 및 게이트 라인과 이와 연결 구조를 갖는 트랜지스터 및 스토리지 캐패시터 등으로 이루어져 있다.

[0005] 이러한 각 화소는, 각종 기능을 더 수행하기 위하여, 그에 맞는 트랜지스터를 더 포함할 수 있으며, 이로 인해, 트랜지스터들로 각종 신호를 공급하기 위한 신호 라인이 더 많아지고, 화소 구조도 복잡해질 수밖에 없다. 예를 들어, 화소 간의 휘도 불균일성을 보상하기 위한 내부 또는 외부 보상 회로가 화소 구조에 적용되는 경우, 보상을 위한 센싱 동작에 관여하는 트랜지스터가 추가되어야 하고, 이는 필요한 신호 라인의 수를 증가시키고 화소 구조를 복잡하게 하는 요인이 된다.

[0006] 또한, 대면적 또는 고해상도에 대한 요구 증대에 따라, 신호라인의 수도 그만큼 많아질 수 밖에 없으며 화소 구조도 더 복잡해지고 있는 실정이다.

[0007] 전술한 바와 같이, 센싱 및 보상 기능 등의 각종 기능의 추가, 대면적 또는 고해상도 등의 요구 증대 등으로 인해, 신호라인의 수가 증가하고 이로 인해 IC 패드 및 IC의 수도 그 만큼 많아질 수밖에 없으며, 화소 구조도 더욱 복잡해질 수 밖에 없다.

[0008] 이는, 제조를 어렵게 하고 결함 발생 확률을 높이는 것은 물론, 개구율을 현저히 떨어뜨리고, 유기발광 다이오드의 수명도 상당히 단축시킬 수 있는 문제점을 초래할 수 있다. 궁극적으로는, 양질의 표시패널을 얻을 수 없도록 하여 수율을 감소시키는 문제점을 발생시킨다.

## 발명의 내용

### 해결하려는 과제

[0009] 이러한 배경에서, 본 발명의 목적은, 간단하고 컴팩트(Compact)한 구조를 갖는 유기전계발광 표시장치를 제공하는 데 있다.

[0010] 본 발명의 다른 목적은, 개구율을 높여줄 수 있도록 하는 화소 구조를 갖는 유기전계발광 표시장치를 제공하는 데 있다.

[0011] 본 발명의 또 다른 목적은, 공정을 단축하여 화소 내에 2중 캐패시터를 포함하는 화소 구조를 갖는 유기전계발광 표시장치를 제공하는 데 있다.

[0012] 본 발명의 또 다른 목적은, 컨택홀로 인한 단차에서 발생할 수 있는 쇼트불량을 방지할 수 있는 화소 구조를 갖는 유기전계발광 표시장치를 제공하는 데 있다.

### 과제의 해결 수단

[0013] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 산화물 반도체 물질로 형성된 반도체층을 포함하며, 유기발광 다이오드를 구동하기 위한 구동 트랜지스터; 산화물 반도체 물질로 형성된 반도체층을 포함하며, 스캔 신호에 의해 제어되며 기준전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1 트랜지스터, 산화물 반도체 물질로 형성된 반도체층을 포함하며 게이트 라인에서 공통으로 공급되는 스캔신호에 의해 제어되며 데이터 라인과 구동 트랜지스터의 제2노드 사이에 연결되는 제2 트랜지스터, 도전 특성이 향상된 산화물 반도체 물질로 형성되며 구동 트랜지스터의 반도체층 및 제1 트랜지스터의 반도체층과 연결된 제1 플레이트, 제1 플레이트 상에 위치하며 제2 트랜지스터의 반도체층 및 구동 트랜지스터의 게이트 전극과 연결된 제2 플레이트 및 상기 제2 플레이트 상에 위치하고 제1 플레이트와 컨택홀을 통하여 연결된 상기 유기발광 다이오드의 화소전극을 포함하는 유기전계발광 표시장치를 제공한다.

### 발명의 효과

[0014] 이상에서 설명한 바와 같이, 본 발명에 의하면, 유기전계발광 표시장치는 간단하고 컴팩트(Compact)한 구조를 제공하는 효과가 있다.

[0015] 또한, 본 발명에 의하면, 유기전계발광 표시장치는 개구율을 높여줄 수 있도록 하는 화소 구조를 제공하는 효과가 있다.

[0016] 또한, 본 발명에 의하면, 유기전계발광 표시장치는 공정을 단축하여 화소 내에 2중 캐패시터를 포함하는 효과가 있다.

[0017] 또한, 본 발명에 의하면, 유기전계발광 표시장치는 컨택홀로 인한 단차에서 발생할 수 있는 쇼트불량을 방지할 수 있는 효과가 있다.

[0018] 이러한 점들로 인해, 양질의 표시패널을 높은 수율로 제조할 수 있다.

[0019] 이러한 점들은 고해상도 및 대면적의 표시패널에 적용될 경우, 더욱 큰 효과가 될 것이다.

### 도면의 간단한 설명

[0020] 도 1은 실시예들이 적용되는 유기전계발광 표시장치에 대한 전체 시스템 구성도이다.

도 2는 도 1의 유기전계발광 표시장치의 표시패널 내 하나의 화소에 대한 등가회로도이다.

도 3a는 제1 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 3b는 도 3a의 A부분의 확대도이다.

도 4는 도 3a를 절단선 I-I'를 따라 절단한 단면도이다. 도 5는 도 3b를 절단선 II-II'를 따라 절단한 단

면도이다.

도 6a는 제2 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 6b는 도 6a의 B부분의 확대도이다.

도 7은 도 6a를 절단선 III-III'를 따라 절단한 단면도이다.

도 8은 도 6b를 절단선 IV-IV'를 따라 절단한 단면도이다.

도 9a는 제3 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 9b는 도 9a의 C부분의 확대도이다.

도 10은 도 9b를 절단선 V-V'를 따라 절단한 단면도이다.

도 11a는 제4 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 11b는 도 11a의 D부분의 확대도이다.

도 12는 도 11b를 절단선 VI-VI'를 따라 절단한 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0022] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0023] 본 발명의 일부 실시예는, 화소 구조가 복잡해지고 신호 라인의 수가 많아질 수 밖에 없는 기술 경향에도 불구하고, 트랜지스터, 캐패시터 및 유기발광 다이오드 등의 형성 위치, 신호라인 연결 위치 등에 대한 화소 구조가 간단하고 컴팩트(Compact)한 패널 구조를 갖는 유기전계발광 표시장치를 개시한다.
- [0024] 이로 인해, 개구율을 높여주고 결함 발생 확률을 낮출 수 있으며, 제조를 더욱 용이하게 해 줄 수 있고, 양질의 패널을 높을 수율로 제조할 수 있는 효과가 있다. 특히, 이러한 효과는 고해상도 또는 대면적의 패널을 갖는 유기전계발광 표시장치를 제조할 때 더욱 커질 것이다.
- [0025] 도 1은 실시예들이 적용되는 유기전계발광 표시장치에 대한 전체 시스템 구성도이다.
- [0026] 도 1을 참조하면, 실시예들이 적용되는 유기전계발광 표시장치(10)는, 일방향으로 형성되는 다수의 데이터 라인(DL: Data Line)과 다수의 데이터 라인과 교차하는 타방향으로 형성되는 다수의 게이트 라인(GL: Gate Line)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(11)과, 데이터 라인을 통해 데이터 전압을 공급하는 데이터 구동부(12)와, 게이트 라인을 통해 스캔신호를 공급하는 게이트 구동부(13)와, 데이터 구동부(12) 및 게이트 구동부(13)의 구동 타이밍을 제어하는 타이밍 컨트롤러(14) 등을 포함한다.
- [0027] 도 1을 참조하면, 표시패널(11)에는 일방향으로 다수의 데이터 라인(DL(1)~DL(4N))이 형성되고 다수의 데이터 라인(DL(1)~DL(4N))과 교차하는 타방향으로 다수의 게이트 라인(GL(1)~GL(M))이 형성되어 있다.
- [0028] 이러한 표시패널(11)에는, 데이터 라인(DL(1)~DL(4N))과 M개의 게이트 라인(GL(1)~GL(M))이 서로 교차하는 영역에 화소(P)가 각각 정의된다. 각 화소(P)에 대한 화소 구조를 도 2를 참조하여 더욱 상세하게 설명한다.
- [0029] 도 2는 도 1의 유기전계발광 표시장치의 표시패널 내 하나의 화소에 대한 등가회로도이다.
- [0030] 도 2를 참조하면, 각 화소(P)는 1개의 데이터 라인(DL)과 연결되고 1개의 게이트 라인(GL)을 통해 하나의 스캔신호(SCAN)만을 공급받는다.
- [0031] 이러한 각 화소는, 도 2에 도시된 바와 같이, 유기발광 다이오드(OLED: Organic Light Emitting Diode)를 포함

하고, 구동 트랜지스터(DT: Driving Transistor), 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 스토리지 캐패시터(Cst) 등을 포함한다. 이와 같이, 각 화소는 3개의 트랜지스터(DT, T1, T2)와 1개의 스토리지 캐패시터(Cst)를 포함하기 때문에, 각 화소는 3T(Transistor) 1C(Capacitor) 구조를 갖는다고 한다.

- [0032] 각 화소 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL: Driving Voltage Line)에서 공급되는 구동전압(EVDD)을 인가 받고, 제2 트랜지스터(T2)를 통해 인가된 게이트 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기 발광 다이오드(OLED)를 구동시키는 트랜지스터이다.
- [0033] 이러한 구동 트랜지스터(DT)는 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)로는 제1 트랜지스터(T1)와 연결되고, 제2노드(N2)로는 제2 트랜지스터(T2)와 연결되며, 제3노드(N3)로는 구동전압(EVD)을 공급받는다.
- [0034] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node, ‘소스 전극’이라고도 함)이고, 제2노드는 게이트 노드(Gate Node, ‘게이트 전극’이라고도 함)이며, 제3노드(N3)는 드레인 노드(Drain Node, ‘드레인 전극’이라고도 함)일 수 있다. 트랜지스터의 타입 변경, 회로 변경 등에 따라, 구동 트랜지스터(DT)의 제1노드, 제2노드 및 제3노드가 바뀔 수 있다.
- [0035] 또한, 제1 트랜지스터(T1)는, 게이트 라인(GL)에서 공급되는 스캔신호(SCAN)에 의해 제어되며, 기준전압(Vref: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line) 또는 기준전압 라인(RVL)에 연결되는 연결패턴(CP: Connection Pattern)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다. 이러한 제1 트랜지스터(T1)는 “센서 트랜지스터(Sensor Transistor)”라고도 한다.
- [0036] 또한, 제2 트랜지스터(T2)는 게이트 라인(GL)에서 공통으로 공급되는 스캔신호(SCAN)에 의해 제어되며 해당 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결된다. 이러한 제2 트랜지스터(T2)는 “스위칭 트랜지스터(Switching Transistor)”라고도 한다.
- [0037] 또한, 스토리지 캐패시터(Cst)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.
- [0038] 위에서 언급한 바와 같이, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)는, 하나의 동일한 게이트 라인(공통 게이트 라인)을 통해 공급되는 하나의 스캔신호에 의해 제어된다. 이와 같이, 각 화소는 하나의 스캔신호를 사용하기 때문에, 본 발명의 제1 실시예에서 각 화소는 “3T1C 기반의 1 스캔 구조”의 기본 화소구조를 갖는다고 한다.
- [0039] 이러한 3T1C 기반의 1 스캔 구조와 관련하여, 제1 트랜지스터(T1)는 기본적으로 구동 트랜지스터(DT)의 게이트 노드(N2)로 데이터 전압을 인가해주는 것으로 구동과 관련된 트랜지스터이고, 제2 트랜지스터(T2)는 구동과도 관련이 있을 수 있지만 기본적으로는 화소 간 휘도 편차를 보상해주기 위한 센싱(Sensing)과 관련된 트랜지스터로서, 2개의 트랜지스터(T1, T2)는 그 용도 및 기능이 다르기 때문에, 하나의 스캔신호에 의해 제어되는 것은, 그 관련 동작(구동 동작, 센싱 동작)에도 영향을 끼치게 된다. 따라서, 화소의 구동 동작 및 센싱 동작 등이 제대로 수행되기 위해서는 별도의 장치(예: 제2 스위치 등)와 동작 방식(예: 동작 타이밍 등)의 변경 등이 필요할 수 있으며, 이에 대해서는, 뒤에서 설명하게 될 보상 구성(기능) 설명 시 함께 설명하도록 한다.
- [0040] 전술한 바와 같이, 본 발명의 제1 실시예의 유기전계발광 표시장치(10)에 따른 각 화소는, 3T1C 구조 하에서 1개의 게이트 라인(GL)을 통해 하나의 스캔신호(SCAN)만을 공급받는 “3T1C 기반의 1 스캔 구조(공통 스캔 구조)”를 갖는다. 즉, 제1 트랜지스터의 게이트 노드와 제2 트랜지스터의 게이트 노드 각각으로 스캔신호가 별도로 인가되는 것이 아니라, 하나의 게이트 라인(GL, 공통 게이트 라인)을 통해 공급된 스캔신호(공통 스캔신호)가 공통으로 인가된다.
- [0041] 한편, 본 발명의 제1 실시예에 따른 유기전계발광 표시장치(10)의 화소 구조는, 도 2를 참조하여 설명한 “기본 화소 구조(3T1C 기반의 1 스캔 구조)” 이외에, 각 화소가 데이터 라인(DL), 게이트 라인(GL), 구동전압 라인(DVL), 기준전압 라인(RVL) 등의 여러 신호 라인과 연결되는 것과 관련된 “신호 라인 연결 구조”도 포함한다.
- [0042] 여기서, 여러 신호 라인은, 각 화소에 데이터 전압을 공급해주기 위한 데이터 라인과, 스캔신호를 공급해주기 위한 게이트 라인뿐만 아니라, 각 화소에 기준전압(Vref)을 공급하기 위한 기준전압 라인(RVL)과, 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL) 등을 더 포함한다.
- [0043] 위에서 언급한 기준전압 라인(RVL)과 구동전압 라인(DVL)은 데이터 라인(DL)과 평행하게 형성되는데, 각각의 개

수는 데이터 라인 개수와 동일할 수도 있고 데이터 라인 개수보다 적을 수도 있다.

- [0044] 만약, 기준전압 라인 개수 및 구동전압 라인 개수가 데이터 라인 개수와 동일한 경우, 각 화소는 하나의 데이터 라인(DL) 및 하나의 게이트 라인(GL)과 연결되는 것은 물론, 하나의 구동전압 라인(DVL) 및 하나의 기준전압 라인(RVL)과도 바로 연결될 수 있다.
- [0045] 이 경우, 각 화소의 신호 라인 연결 구조는 모두 동일할 수도 있다. 즉, 신호 라인 연결 구조의 기본 단위는 1개의 화소가 되어, 신호 라인 연결 구조의 규칙성이 1개의 화소(1개의 화소 열)마다 있을 수 있다.
- [0046] 또한, 본 명세서 및 도면에서, 데이터 라인(DL)과 연결된 화소는, 일 예로, R(Red) 화소, G(Green) 화소, B(Blue) 화소 및 W(White) 화소일 수 있다.
- [0047] 만약, 기준전압 라인 개수 및 구동전압 라인 개수가 데이터 라인 개수보다 적은 경우, 일부 화소는 구동전압 라인(DVL) 및 기준전압 라인(RVL)과는 바로 연결될 수도 있고, 다른 일부 화소는 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 바로 연결되지 않고 연결패턴(CP)을 통해 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 각각 연결될 수 있다.
- [0048] 이러한 경우, 각 화소의 신호 라인 연결 구조는 모두 동일하지 않을 수도 있다. 하지만, 각 화소가 신호 라인과 연결되는 구조가 동일하지 않더라도, 몇 개 화소마다 신호 라인과 연결되는 구조가 동일할 수 있다. 즉, 신호 라인 연결 구조의 단위는 1개의 화소(P)가 아닌 다수의 화소가 될 수 있으며, 신호 라인 연결 구조의 규칙성이 다수의 화소(다수의 화소 열)마다 반복적으로 나타날 수 있다.
- [0049] 또한, 본 명세서 및 도면에서는, 트랜지스터들(DT, T1, T2)이 N 타입인 것으로 도시되어 설명되었으나, 이는 설명의 편의를 위한 것일 뿐, 회로 설계 변경에 따라, 트랜지스터들(DT, T1, T2) 모두가 P 타입으로 변경되거나, 트랜지스터들(DT, T1, T2) 중 일부는 N 타입으로 다른 일부는 P 타입으로 구현될 수도 있다. 또한, 유기발광 다이오드(OLED)는 인버티드(Inverted) 타입으로도 변경될 수 있을 것이다.
- [0050] 또한, 본 명세서에 기재된 트랜지스터들(DT, T1, T2)은 박막 트랜지스터(TFT: Thin Film Transistor)라고도 한다.
- [0051] <제1 실시예>
- [0052] 도 3a는 제1 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 3b는 도 3a의 A부분의 확대도이다.
- [0053] 도 3a 및 도 3b를 참조하면, 도 2에 도시된 바와 같이, 데이터 라인(DL)과 연결되는 화소(P) 각각은, 구동전압(EVDD)을 인가 받아 유기발광 다이오드를 구동하는 구동 트랜지스터(DT)와, 기준전압(Vref)을 인가 받아 구동 트랜지스터(DT)의 제1노드(N1)에 전달하는 제1 트랜지스터(DL)와, 데이터 전압(Vdata)을 인가 받아 구동 트랜지스터(DT)의 제2 노드(N2)에 전달하는 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2 노드(N2) 사이에 연결된 캐패시터(Cst) 등을 포함한다. 전술한 바와 같이, 이러한 화소의 화소 구조를 “3T1C 기반의 1 스캔 구조”라고 한다.
- [0054] 위와 같이, 2개의 트랜지스터(T1, T2)는 그 용도 및 기능이 다르기 때문에, 하나의 게이트 라인으로부터 스캔신호를 공통으로 인가하여 제어하는 것은, 2개의 트랜지스터(T1, T2)와 관련된 구동 동작 및 센싱 동작에도 큰 영향을 끼칠 수 있다. 따라서, 본 발명의 제1 실시예는 간단하고 컴팩트한 화소 구조, 즉, 3T1C 기반의 1 스캔 구조를 구현함에 있어서, 화소의 구동 동작 및 센싱 동작 등이 전혀 문제 없이 정상적으로 이루어질 수 있도록 하는 구동 방법과 추가적인 구성(예: 제2 스위치(SW2) 등)이 필요하다.
- [0055] 제1 트랜지스터(T1)는 화소 간 휘도 편차를 보상해주기 위한 센싱(Sensing)하는 센서 트랜지스터이고, 상기 제2 트랜지스터(T2)는 상기 구동 트랜지스터를 선택하는 스위칭 트랜지스터이다.
- [0056] 각 구동 트랜지스터(DT)의 반도체층(303a), 각 제1 트랜지스터(T1)의 반도체층(303b), 각 제2 트랜지스터(T2)의 반도체층(303c)이 기판(300) 상에 형성되어 있다.
- [0057] 각 구동 트랜지스터(DT)의 반도체층(303a)은 각 구동 트랜지스터(DT)의 게이트 전극(301a)이 형성위치에 대응되는 위치에 형성된다. 각 제1 트랜지스터(T1)의 반도체층(303b)은, 게이트 라인(301b)에서 각 제1 트랜지스터(T1)의 게이트 전극 역할을 하는 부분에 대응되는 위치에 형성된다. 각 제2 트랜지스터(T2)의 반도체층(303c)은, 게이트 라인(301b)에서 각 제2 트랜지스터(T2)의 게이트 전극 역할을 하는 부분에 대응되는 위치에 형성된다.

- [0058] 각 구동 트랜지스터(DT)의 반도체층(303a)의 게이트 전극(301a)이 형성위치에 대응되는 위치의 영역은 채널영역인 제1 영역(303ab)이다. 각 제1 트랜지스터(T1)의 반도체층(303b)의 게이트 라인(301b)에 대응되는 위치의 영역은 채널영역인 제1 영역(303ba)이다. 각 제2 트랜지스터(T2)의 반도체층(303c)은 게이트 라인(301b)에 대응되는 부분은 채널영역이 된다. 각 채널영역의 양쪽은 불순물이 주입되어 소스-드레인 영역이 된다.
- [0059] 다음으로 각 구동 트랜지스터(DT)의 반도체층(303a), 각 제1 트랜지스터(T1)의 반도체층(303b), 각 제2 트랜지스터(T2)의 반도체층(303c)이 형성된 기판(300) 상에, 각 구동 트랜지스터(DT)의 게이트 전극(301a), 각 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극을 형성하기 위한 게이트 라인(301b), 각 구동전압 라인(DVL)과 연결되는 연결패턴(302a), 각 기준전압 라인(RVL)과 연결되는 연결패턴(302b), 그리고, 각 스토리지 캐패시터(Cst)를 형성하기 위한 제1 플레이트(302c) 등이 형성된다.
- [0060] 여기서, 게이트 라인(301b)은 연결되는 화소 각각에 포함된 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극으로 스캔신호를 공통으로 인가하기 위한 공통 게이트 라인이다. 따라서, 게이트 라인(301b)에서 게이트 전극이 형성될 부분은 설계치인 채널 길이(L)를 고려하여 다른 부분보다 넓게 형성된다. 아울러, 게이트 라인(301b)에서 게이트 전극이 형성되지 않은 부분은 기생 캐패시턴스를 최소화할 수 있도록 좁게 형성될 수 있다.
- [0061] 다음으로 구동전압 라인(305), 1개의 화소 열마다 대응되는 데이터 라인(306) 등의 신호 라인들이 기판(300) 상에 형성되어 있다.
- [0062] 기판(300) 상에 형성된 연결패턴(302b; 기준전압 라인의 연결패턴)과 컨택홀로 연결되는 제1 트랜지스터(T1)의 드레인 전극(307a)과, 모든 화소의 각 구동 트랜지스터(DT)의 드레인 전극(307c)과, 각 화소의 구동 트랜지스터(DT)의 게이트 전극(301a)과 컨택홀로 연결되는 부분과 각 화소의 제2 트랜지스터(DT)의 소스 전극 역할을 하는 부분을 포함하여 스토리지 캐패시터(Cst)를 형성하는 역할을 하는 제2 플레이트(307d)와, 제1 플레이트(302c)와 컨택홀로 연결되는 각 화소의 제1 트랜지스터(T1)의 소스 전극(307e) 등이 더 형성된다.
- [0063] 각 화소의 구동 트랜지스터(DT)의 소스 전극(307c)과 연결된 제1 플레이트(302c)와, 각 화소에서 제1 트랜지스터(T1)의 소스 전극(307e)이 연결되는 컨택홀에서 함께 연결되는 화소전극(308)이 각 화소마다 형성된다.
- [0064] 화소를 정의하는 화소정의막(309; ‘뱅크’라고도 함)이 형성된다. 각 화소의 화소정의막(309) 상에 각 화소에 대응하는 발광층을 포함하는 유기층(미도시)을 적층하고 유기층 상에 모든 화소에 대한 공통전극을 적층할 수 있다. 한편, WOLED(White Organic Light Emitting Diode)인 경우, 모든 화소에 동일한 발광층을 포함하는 유기층을 적층하고 발광하는 방향에 컬러필터를 형성할 수 있다.
- [0065] 도 4는 도 3a를 절단선 I-I'를 따라 절단한 단면도이다. 도 5는 도 3b를 절단선 II-II'를 따라 절단한 단면도이다.
- [0066] 도 3a 내지 도 5를 참조하면, 기판(300) 상에 버퍼층(310)이 형성되어 있다. 버퍼층(310)이 형성된 기판(300) 상에 구동 트랜지스터(DT)의 반도체층(303a)과 각 제1 트랜지스터(T1)의 반도체층(303b)이 형성되어 있다. 전술한 바와 같이 도 4에 도시되지 않았지만 구동 트랜지스터(DT)의 반도체층(303a)과 각 제1 트랜지스터(T1)의 반도체층(303b)과 동일하게 제2 트랜지스터(T2)의 반도체층(303c)이 기판(300) 상에 형성되어 있다. 이때 반도체층(303a, 303b)은 각각 그 중앙부에 대응해서는 플라스마 처리가 이루어 지지 않은 제1 영역(303aa, 303ba)이 구비되며, 제1 영역(303aa, 303ba) 양측으로 각각 플라스마 처리되어 도체화된 제2 영역(303ab, 303bb)으로 이루어져 있다. 이때 제2 트랜지스터(T2) 반도체층(303c)도 각각 그 중앙부에 대응해서는 플라스마 처리가 이루어 지지 않은 제1 영역이 구비되며, 제1 영역 양측으로 각각 플라스마 처리되어 도체화된 제2 영역으로 이루어져 있다.
- [0067] 다음으로, 제1 및 제2 영역(303aa, 303ab)으로 이루어진 산화물 반도체층(303a)과 기판(300) 상에 제1 영역(303aa)에 대응하여 게이트 절연막(311)이 구비되고 있다. 또한 제1 및 제2 영역(303ba, 303bb)으로 이루어진 산화물 반도체층(303b)과 기판(300) 상에 제1 영역(303ba)에 대응하여 게이트 절연막(311)이 구비되고 있다. 이때, 게이트 절연막(311)은 스토리지 캐패시터(Cst)를 형성하기 위한 제1 플레이트(302c)에 대응하여 버퍼층(310) 상에 형성되어 있다. 이때, 제2 트랜지스터(T2)의 반도체층(303c)의 제1 영역에 대응하여 게이트 절연막(311)이 형성되어 있다.
- [0068] 다음으로, 게이트 절연막(311)과 동일한 평면형태를 가지며 기판(300) 상에 구비된 게이트 절연막(311) 상에 일 방향으로 연장하는 게이트 라인(301b)이 구비되고 있으며, 제1 영역(303ab) 상에 형성된 게이트 라인(301b)은

제1 트랜지스터(T1)의 게이트 전극 역할을 한다. 이 게이트 라인(301b)은 제2 트랜지스터(T2)의 반도체층(303c)의 제1 영역에 대응하여 형성된 게이트 절연막(311) 상으로 일방향으로 연장되어 있다. 제2 트랜지스터(T2)의 반도체층(303c)의 제1 영역에 대응하여 연장된 게이트 라인(301b)은 제2 트랜지스터(T2)의 게이트 전극 역할을 한다.

[0069] 또한 게이트 절연막(311) 상에 제1 플레이트(302c)와, 구동 트랜지스터(DT)의 게이트 전극(301a)이 형성되어 있다. 게이트 라인(301b)과 제1 플레이트(302c), 구동 트랜지스터(DT)의 게이트 전극(301a)은 동일 공정에 의해 동일한 게이트 전극 물질로 형성된다.

[0070] 게이트 라인(301b)과 제1 플레이트(302c), 구동 트랜지스터(DT)의 게이트 전극(301a) 상에 기판(300) 전면에서 무기절연물질(예를 들면, 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiN<sub>x</sub>)) 또는 유기절연물질로 이루어진 층간절연막(312)이 구비되고 있다. 이때, 층간절연막(312)에는 구동 트랜지스터(DT)의 반도체층(303a)의 제1 영역(303aa) 양측에 각각 위치하는 제2 영역(303ab) 각각을 노출시키는 제1 및 제2 콘택홀(313a, 313b)이 구비되어 있다. 또한 층간절연막(312)에는 제1 트랜지스터(T1)의 반도체층(303b)의 제1 영역(303ba) 양측에 각각 위치하는 제2 영역(303bb) 각각을 노출시키는 제3 및 제4 콘택홀(313c, 313d)이 구비되어 있다. 또한 층간절연막(312)에는 구동 트랜지스터(DT)의 반도체층(303a)의 제2 영역(303ab) 중 하나와 제1 트랜지스터(T1)의 반도체층(303b)의 제2 영역(303bb) 중 하나와 인접한 위치에 제1 플레이트(303c)를 노출시키는 제5 및 제 6 콘택홀(313e, 313f)이 구비되어 있다.

[0071] 제1 내지 6 콘택홀(313a 내지 313f)을 구비한 층간절연막(312) 상에 게이트 라인(301b)과 교차하여 화소영역(P)을 정의하는 구동전압 라인(305) 및, 데이터 라인(306) 등이 형성되어 있다.

[0072] 또한, 제1 내지 6 콘택홀(313a 내지 313f)을 구비한 층간절연막(312) 상에 제1 콘택홀(313a)을 통해 구동 트랜지스터(DT)의 반도체층(303a)의 제2 영역(303ab)과 연결되는 구동전압 라인(305)이 형성되어 있다. 구동 전압 라인(305)에서 제1 콘택홀(313a)을 통해 구동 트랜지스터(DT)의 반도체층(303a)의 제2 영역(303ab)과 연결되는 부분은 구동 트랜지스터(DT)의 소스 전극 역할을 한다.

[0073] 또한, 층간절연막(312) 상에 구동전압 라인(305)과 이격하며 제2 콘택홀(313b)을 통해 구동 트랜지스터(DT)의 반도체층(303a)의 제2 영역(303ab)과 연결되고, 제5 콘택홀(313e)을 통해 제1 플레이트(302c)와 연결된 구동 트랜지스터(DT)의 드레인 전극(307c)이 형성되고 있다.

[0074] 또한, 층간절연막(312) 상에 제6 콘택홀(313f)을 통해 제1 플레이트(302c)와 연결되고, 제3 콘택홀(313c)을 통해 제2 트랜지스터(303c) 반도체층(303b)의 제2 영역(303bb)와 연결된 제1 트랜지스터(T1)의 소스 전극(307e)이 형성되어 있다.

[0075] 또한, 층간절연막(312) 상에 제4 콘택홀(313d)을 통해 산화물 반도체층(303b)의 제2 영역(303bb)와 연결되고, 다른 콘택홀을 통해 연결패턴(도 3의 CP)과 연결된 제1 트랜지스터(T1)의 드레인 전극(307a)이 형성되어 있다.

[0076] 또한, 층간절연막(312) 상 제1 플레이트(302c)에 대응하는 위치에 구동 트랜지스터(DT)의 게이트 전극(301a)과 콘택홀로 연결되는 부분과 제2 트랜지스터(DT)의 소스 전극 역할을 하는 부분을 포함하여 스토리지 캐패시터(Cst)를 형성하는 역할을 하는 제2 플레이트(307d)이 형성되어 있다. 다시 말해 구동 트랜지스터(DT)의 게이트 전극(301a)은 콘택홀을 통해 제2 플레이트(307d)와 연결되어 있으며, 제2 플레이트(307d)는 다른 콘택홀을 통해 반도체층(303c)의 제2 영역(303cd)과 연결되어 있다.

[0077] 화소영역에 순차 적층된 제1 플레이트(302c)와 제2 플레이트(307d)는 스토리지 캐패시터(Cst)를 형성하는 역할을 한다.

[0078] 화소영역에 순차 적층된 산화물 반도체층(303a)과, 게이트 절연막 상에 형성된 게이트 전극(301a)과, 층간절연막(313) 상에 형성되고 제1 및 2 콘택홀(313a, 313b)을 통해 산화물 반도체층(303a)의 제2 영역(303ab)과 연결된 구동 전압 라인(305)의 소스 전극 역할을 하는 부분 및 드레인 전극(307c)이 구동 트랜지스터(DT)를 구성한다.

[0079] 또한, 화소영역에 순차 적층된 산화물 반도체층(303b)과, 게이트 절연막 상에 형성된 게이트 전극(301b)과, 층간절연막(313) 상에 형성되고 제3, 4 콘택홀(363c, 363d)을 통해 산화물 반도체층(303b)의 제2 영역(303bb)와 연결된 소스 전극(307e)과 드레인 전극(307a)이 제1 트랜지스터(T1)를 구성한다.

[0080] 다음으로 구동 트랜지스터(DT)과 제1 트랜지스터(T1), 스토리지 캐패시터(Cst)가 구성된 기판(101) 전면에서 무기절연물질(예를 들면, 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiN<sub>x</sub>)) 또는 유기절연물질(예를 들면 벤조사이클로부텐

또는 포토아크릴)로 이루어진 보호막(364)이 구비되고 있다. 이때, 보호막(364)에는 소스 전극(307e)을 노출시키는 소스 콘택홀(365)이 구비되고 있다.

[0081] 또한, 소스 콘택홀(365)이 구비된 보호막(364) 상에 소스 콘택홀(365)을 통해 소스 전극(307e)과 접촉하며 발광 영역까지 연장된 화소전극(308)이 형성되고 있다. 화 소영역에 순차 적층된 화소전극(308)과 소스 전극(307e)은 소스 콘택홀(365)을 통해 연결되어 있고, 제1 플레이트(302c)와 소스 전극(307e)은 소스 콘택홀(365)를 통해 연결되어 있다. 화소전극(308)과 제1 플레이트(302c)는 제2 플레이트(307d)와 이중 스토리지 캐패시터(Cst)를 형성하게 된다.

[0082] 이때, 보호막(364) 상에는 평탄화막(314)이 형성되어 있고, 화소전극(308)과 제 2 플레이트(307d) 사이에는 스토리지 캐패시터(CSt) 형성을 위하여 평탄화막(314)이 형성되지 않는다.

[0083] 제1 실시예에 따른 유기전계발광 표시장치(10)의 표시패널(11)에 대한 공정에서, 게이트 전극(301a)이 반도체층(303b)의 상부에 위치하는 탑 게이트(Top Gate)로 설명하였으나, 이는 설명의 편의를 위한 예시일 뿐, 게이트 전극(301a)이 반도체층(303b)의 하부에 존재하는 바텀 게이트(Bottom Gate)일 수도 있다. 바텀 게이트인 경우, 화소 구조도 바텀 게이트 구조에 맞게 변경될 수 있다. 한편, 반도체층(303a, 303b, 303c)은, 일 예로, 산화물 반도체일 수 있으나 이에 제한되지 않고 비정질 실리콘, 비정질 실리콘을 결정화한 다결정 실리콘 또는 유기 반도체일 수 있다(이하 동일).

## [0084] <제2 실시예>

[0085] 도 6a는 제2 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 6b는 도 6a의 B부분의 확대도이다.

[0086] 도 6a 및 6b를 참조하면, 제2 실시예는 제1실시예와 동일하게 동일하게 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL), 데이터 라인(DL)과 연결되는 화소 각각은, 기판(900) 상에 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 형성되어 있는 3T1C 기반의 1 스캔 구조를 포함한다. 이때, 다른 일부 화소는 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 바로 연결되지 않고 연결패턴(CP)을 통해 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 각각 연결될 수 있다.

[0087] 도 6a 및 6b에 도시된 바와 같이, 각 구동 트랜지스터(DT)의 반도체층(603a), 각 제1 트랜지스터(T1)의 반도체층(603b), 각 제2 트랜지스터(T2)의 반도체층(603c)이 기판(600) 상에 형성되어 있다.

[0088] 구동 트랜지스터(DT)는 산화물 반도체 물질로 형성된 반도체층을 포함하며, 유기발광 다이오드를 구동하기 위한 것이다.

[0089] 제1 트랜지스터(T1)는 산화물 반도체 물질로 형성된 반도체층을 포함하며, 스캔신호에 의해 제어되며 기준전압 라인(RVL)과 구동 트랜지스터(DT)의 제1노드 사이에 연결된다.

[0090] 제2 트랜지스터(T2)는 산화물 반도체 물질로 형성된 반도체층을 포함하며, 게이트 라인(GL)에서 공통으로 공급되는 스캔신호에 의해 제어되며 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드 사이에 연결된다.

[0091] 구동 트랜지스터(DT)의 반도체층(303a)의 일부는 도전 특성이 향상되어 있으며, 도전 특성이 향상된 구동 트랜지스터(DT)의 반도체층의 일부와 구동전압 라인(DVL)과 연결되어 있다.

[0092] 제1 트랜지스터(T1)의 반도체층(303b)의 일부는 도전 특성이 향상되어 있으며, 도전 특성이 향상된 제1 트랜지스터(T1)의 반도체층(303b)의 일부와 기준전압 라인(RVL)이 연결된다.

[0093] 구동 트랜지스터(DT)의 반도체층(603a)과 제1 트랜지스터(T1)의 반도체층(603b), 제2 트랜지스터(T2)의 반도체층(603c) 및 제1 플레이트(607d)는 동일한 층에 동시에 형성된다.

[0094] 제1 플레이트(607d)는 구동 트랜지스터(DT)의 반도체층(603a)과 제1 트랜지스터(T1)의 반도체층(603b)을 연결하며 일체형으로 형성되어 있다.

[0095] 이때, 구동 트랜지스터(DT)의 반도체층(603a), 제1 트랜지스터(T1)의 반도체층(603a), 제2 트랜지스터(T2)의 반도체층(603c) 및 제1 플레이트(602c)는 산화물 반도체 물질로 형성되어 있다. 그리고, 제1 플레이트(602c)는 구동 트랜지스터(DT)의 반도체층(603a)과 제1 트랜지스터(T1)의 반도체층(603a)을 연결하며 일체로 형성되어 있다. 산화물 반도체 물질은 징크-옥사이드 계열 물질일 수 있으며, 인듐을 포함하는 징크-옥사이드 계열 물질일 수 있다. 구체적으로 산화물 반도체 물질은 IGZO(Indium Gallium Zinc Oxide), ZTO(Zinc Tin Oxide),

ZnO(ZincOxide) 등 일 수 있다.

- [0096] 산화물 반도체 물질은 플라즈마에 노출시 또는 불순물을 첨가시 도전 특성이 향상될 수 있다.
- [0097] 구체적으로 각 구동 트랜지스터(DT)의 반도체층(603a)은, 각 구동 트랜지스터(DT)의 게이트 전극(601a)의 형성 위치에 대응되는 위치에 형성된다. 각 제1 트랜지스터(T1)의 반도체층(603b)은, 게이트 라인(601b)에서 각 제1 트랜지스터(T1)의 게이트 전극 역할을 하는 부분에 대응되는 위치에 형성된다. 각 제2 트랜지스터(T2)의 반도체층(603c)은, 게이트 라인(601b)에서 각 제2 트랜지스터(T2)의 게이트 전극 역할을 하는 부분에 대응되는 위치에 형성된다.
- [0098] 다음으로 각 구동 트랜지스터(DT)의 반도체층(603a), 각 제1 트랜지스터(T1)의 반도체층(603b), 각 제2 트랜지스터(T2)의 반도체층(603c)이 형성된 기판(600) 상에, 각 구동 트랜지스터(DT)의 게이트 전극(601a), 각 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극을 형성하기 위한 게이트 라인(601b), 각 구동전압 라인(DVL)과 연결되는 연결패턴(602a), 각 기준전압 라인(RVL)과 연결되는 연결패턴(602b)이 형성된다. 여기서, 게이트 라인(601b)은 연결되는 화소 각각에 포함된 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극으로 스캔신호를 공통으로 인가하기 위한 공통 게이트 라인이다.
- [0099] 다음으로 구동전압 라인(605), 1개의 화소 열마다 대응되는 데이터 라인(606) 등의 신호 라인들이 기판(600) 상에 형성되어 있다.
- [0100] 게이트 전극(601a)과 게이트 라인(601b)이 덮여있는 제1 영역 부분을 제외하고, 구동 트랜지스터(DT)의 반도체층(603a), 제1 트랜지스터(T1)의 반도체층(603b) 및 제2 트랜지스터(T2)의 반도체층(603c)과 제1 플레이트(602c)는 플라즈마 처리 또는 불순물 첨가에 의해 도체화되어 있다.
- [0101] 기판(600) 상에 형성된 연결패턴(602b; 기준전압 라인의 연결패턴)과 컨택홀로 연결되는 제1 트랜지스터(T1)의 드레인 전극(607a)과, 각 화소의 구동 트랜지스터(DT)의 게이트 전극(601a)과 컨택홀로 연결되는 부분과 각 화소의 제2 트랜지스터(DT)의 소스 전극 역할을 하는 부분을 포함하여 스토리지 캐패시터(Cst)를 형성하는 역할을 하는 제2 플레이트(607d) 등이 더 형성된다.
- [0102] 구동 트랜지스터(DT)의 반도체층(603a)과 연결된 제1 플레이트(602c)와, 각 화소에서 제1 트랜지스터(T1)의 패턴(607e)이 연결되는 컨택홀에서 함께 연결되는 유기발광 다이오드의 화소전극(608)이 각 화소마다 형성된다. 이때, 화소전극(608)은 제1 플레이트(602c) 및 제2 플레이트(607d) 상에 위치하며 2중 스토리지 캐패시터를 구성한다. 제2 플레이트(607d)를 포함하는 기판(600) 상에는 보호막(613)이 형성되고, 평탄화막(614)이 더 형성될 수 있으며, 스토리지 캐패시터(Cst)의 일부에는 평탄화막(614)이 형성되지 않을 수 있다.
- [0103] 화소를 정의하는 화소정의막(609; ‘뱅크’라고도 함)이 형성된다. 각 화소의 화소정의막(609) 상에 각 화소에 대응하는 발광층을 포함하는 유기층(미도시)을 적층하고 유기층 상에 모든 화소에 대한 공통전극을 적층할 수 있다. 한편, WOLED(White Organic Light Emitting Diode)인 경우, 모든 화소에 동일한 발광층을 포함하는 유기층을 적층하고 발광하는 방향에 컬러필터를 형성할 수 있다.
- [0104] 도 7은 도 6a를 절단선 III-III'를 따라 절단한 단면도이다. 도 8은 도 6b를 절단선 IV-IV'를 따라 절단한 단면도이다.
- [0105] 도 6a 내지 도 8을 참조하면, 기판(600)상에 버퍼층(610)이 형성되어 있다. 버퍼층(610)이 형성된 기판(600) 상에 구동 트랜지스터(DT)의 반도체층(603a)과 각 제1 트랜지스터(T1)의 반도체층(603b)이 형성되어 있다. 전술한 바와 같이 도 4에 도시되지 않았지만 구동 트랜지스터(DT)의 반도체층(603a)과 각 제1 트랜지스터(T1)의 반도체층(603b)과 동일하게 제2 트랜지스터(T2)의 반도체층(603c)이 기판(600) 상에 형성되어 있다. 그리고, 제1 플레이트(602c)는 제1 트랜지스터(T1)의 반도체층(603b)과 제2 트랜지스터(T2)의 반도체층(603c)을 연결하며 일체로 형성되어 있다.
- [0106] 다음으로, 제1 트랜지스터(T1)의 반도체층(603b)과 제2 트랜지스터(T2)의 반도체층(603c)의 제1 영역 제1 영역(603aa, 603ba)의 상부에는 게이트 절연막(611)이 구비되고 있다. 이때, 반도체층(603c)의 제1 영역에 대응하여 게이트 절연막(611)이 형성되어 있다.
- [0107] 다음으로, 게이트 절연막(611)과 동일한 평면형태를 가지며 기판(600) 상에 구비된 게이트 절연막(611) 상에 일 방향으로 연장하는 게이트 라인(601b)이 구비되고 있으며, 제1 영역(603ab) 상에 형성된 게이트 라인(601b)은 제1 트랜지스터(T1)의 게이트 전극 역할을 한다. 이 게이트 라인(601b)은 반도체층(603c)의 제1 영역에 대응하여 형성된 게이트 절연막(611) 상으로 일방향으로 연장되어 있다. 반도체층(603c)의 제1 영역에 대응하여 연장

된 게이트 라인(601b)은 제2 트랜지스터(T2)의 게이트 전극 역할을 한다.

- [0108] 이때, 제1 트랜지스터(T1)의 반도체 층(603b)과 제2 트랜지스터(T2)의 반도체 층(603c) 및 제1 플레이트(602c)는 산화물 반도체 물질로 형성되어 있으며, 플라즈마 처리 또는 불순물 첨가에 의하여 도체화시킬 수 있다.
- [0109] 반도체 층(603a, 603b)은 각각 그 중앙부에 대응해서는 플라즈마 처리가 이루어 지지 않은 제1 영역(603aa, 603ba)이 구비되며, 제1 영역(603aa, 603ba) 일측으로 도체화된 제2 영역(603ab, 603bb)으로 이루어져 있다. 그리고 제1 플레이트(602c)도 도체화되어 있다.
- [0110] 이때, 제2 트랜지스터(T2)의 반도체 층(603c)도 각각 그 중앙부에 대응해서는 플라즈마 처리가 이루어 지지 않은 제1 영역이 구비되며, 제1 영역 양측으로 각각 플라즈마 처리되어 도체화된 제2 영역으로 이루어져 있다.
- [0111] 게이트 라인(601b)과 제1 플레이트(602c), 구동 트랜지스터(DT)의 게이트 전극(601a) 상에 기판(600) 전면에서 무기절연물질(예를 들면, 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}_x$ )) 또는 유기절연물질로 이루어진 층간절연막(612)이 구비되고 있다.
- [0112] 이때, 층간절연막(612)에는 구동 트랜지스터(DT)의 반도체층(603a)의 제2 영역(603ab)을 노출시키는 제1 콘택홀(613a), 제1 트랜지스터(T1)의 제2 영역(603ab)을 노출시키는 제4 콘택홀(613d) 및 제1 트랜지스터(T1)과 인접한 위치에 제1 플레이트(602c)를 노출시키는 제6 콘택홀(613f)이 형성되어 있다.
- [0113] 따라서, 제1 트랜지스터(T1)의 반도체층(603a), 제2 트랜지스터(T2)의 반도체층(603c) 및 제1 플레이트(602c)가 일체로 형성되어 있으므로, 제1 플레이트(602c)를 구동 트랜지스터(DT)의 게이트 전극(601a)과 제1 트랜지스터(T1)를 전기적으로 연결하기 위하여 형성하였던 콘택홀(도 4에서 313b, 313c, 313e)이 생략되었다. 그리고 일부의 콘택홀(도 4에서 313b, 313c, 313e)이 생략됨으로써, 유기발광소자의 발광 영역의 개구율을 더 확장시킬 수 있다.
- [0114] 층간절연막(612) 상에 구동 트랜지스터(DT)의 제1 콘택홀(613a)을 통해 산화물 반도체층(603a)의 제2 영역(603ab)과 연결되는 구동전압 라인(605)이 형성되어 있다. 구동전압 라인(605)이 제1 콘택홀(613a)을 통해 구동 트랜지스터(DT)의 반도체층(603a)의 제2 영역(603ab)과 연결되는 부분은 구동 트랜지스터(DT)의 소스 전극 역할을 한다.
- [0115] 또한, 층간절연막(612) 상에 제4 콘택홀(613d)을 통해 제1 트랜지스터(T1)의 반도체층(603b)의 제2 영역(603b)과 연결되고, 다른 콘택홀을 통해 연결패턴(도 6의 CP)과 연결된 제1 트랜지스터(T1)의 드레인 전극(607a)이 형성되어 있다.
- [0116] 또한, 층간절연막(612) 상에 소스/드레인 전극 물질로 형성된 패턴(607e)이 형성되어 있다. 이때, 패턴(607e)은 제1 플레이트(602c)와 화소전극(608)을 연결하는 역할을 한다.
- [0117] 또한, 층간절연막(612) 상 제1 플레이트(602c)에 대응하는 위치에 구동 트랜지스터(DT)의 게이트 전극(601a)과 콘택홀로 연결되는 부분과 제2 트랜지스터(T2)의 소스 전극 역할을 하는 부분을 포함하여 스토리지 캐패시터(Cst)를 형성하는 역할을 하는 제2 플레이트(607d)가 형성되어 있다. 다시 말해 구동 트랜지스터(DT)의 게이트 전극(601a)은 콘택홀을 통해 제2 플레이트(607d)와 연결되어 있으며, 제2 플레이트(607d)는 다른 콘택홀을 통해 제2 트랜지스터(T2)의 반도체층(603c)의 제2 영역과 연결되어 있다.
- [0118] 다음으로 구동 트랜지스터(DT)과 제1 트랜지스터(T1), 스토리지 캐패시터(Cst)가 구성된 기판(101) 전면에서 무기절연물질(예를 들면, 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}_x$ )) 또는 유기절연물질(예를 들면, 벤조사이클로부텐 또는 포토아크릴)로 이루어진 보호막(614)이 구비되고 있다. 이때, 보호막(614)에는 패턴(607e)을 노출시키는 소스 콘택홀(615)이 구비되고 있다.
- [0119] 또한, 소스 콘택홀(615)이 구비된 보호막(614) 상에 소스 콘택홀(615)을 통해 패턴(607e)과 접촉하며 발광영역까지 연장된 화소전극(608)이 형성되어 있다. 이때, 화소전극(608)은 애노드 전극일 수 있다. 화소영역에 순차적층된 화소전극(608)과 패턴(607e)은 소스 콘택홀(615)을 통해 연결되어 있고, 제1 플레이트(602c)와 소스 전극(607e)은 소스 콘택홀(615)을 통해 연결되어 있다. 화소전극(608)과 제1 플레이트(602c)는 제2 플레이트(607d)와 이중 스토리지 캐패시터(Cst)를 형성하게 된다.
- [0120] <제3 실시예>
- [0121] 도 9a는 제3 실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 9b는 도 9a의 C부분의 확대도이다.

- [0122] 제3 실시예는 제2 실시예보다 화소전극(908)을 조금 더 크게 형성하고, 화소전극(908)과 제2 플레이트(902c) 사이의 일부 평탄화막(914)이 형성되지 않은 것을 제외하고 나머지는 제2 실시예와 동일하므로 반복되는 설명은 생략한다.
- [0123] 도 9a 및 9b를 참조하면, 제3 실시예에 따른 유기전계발광 표시장치는 제2 실시예와 동일하게 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL), 데이터 라인(DL)과 연결되는 화소 각각은, 기판(900) 상에 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 형성되어 있는 3T1C 기반의 1 스캔 구조를 포함한다. 이때, 다른 일부 화소는 연결패턴들(CP)을 통해 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 각각 연결될 수 있다.
- [0124] 다음으로 구동전압 라인(905), 1개의 화소 열마다 대응되는 데이터 라인(906) 등의 신호 라인들이 기판(900) 상에 형성되어 있다. 기판(900) 상에 산화물 반도체 물질로 형성된 구동 트랜지스터(DT)의 반도체층(903a), 제1 트랜지스터(T2)의 반도체층(903b), 제2 트랜지스터(T2)의 반도체층(903c) 및 제1 플레이트(902c)가 형성되어 있다. 이때, 구동 트랜지스터(DT)의 반도체층(903a), 제1 트랜지스터(T1)의 반도체층(903b) 및 제1 플레이트(902c)는 제 2 실시예와 동일하게 일체로 형성되어 있다.
- [0125] 다음으로 각 구동 트랜지스터(DT)의 반도체층(903a), 각 제1 트랜지스터(T1)의 반도체층(903b), 각 제2 트랜지스터(T2)의 반도체층(903c)이 형성된 기판(900) 상에, 각 구동 트랜지스터(DT)의 게이트 전극(901a), 각 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극을 형성하기 위한 게이트 라인(901b), 각 구동전압 라인(DVL)과 연결되는 연결패턴(902a), 각 기준전압 라인(RVL)과 연결되는 연결패턴(902b)이 형성된다. 여기서, 게이트 라인(901b)은 연결되는 화소 각각에 포함된 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극으로 스캔신호를 공통으로 인가하기 위한 공통 게이트 라인이다.
- [0126] 이때, 제2 실시예와 동일하게 제1 플레이트(902c)는 구동 트랜지스터(DT)와 제1 트랜지스터(T1)를 연결하며 산화물 반도체 물질로 형성되어 있고 도체화되어 있다.
- [0127] 제1 플레이트(902c)와 제2 플레이트(907d)가 층간절연막(912)를 사이에 두고 형성되어 있다. 그리고 보호막(913)을 사이에 두고 제2 플레이트(907d)와 화소전극(902)이 형성되어 있다.
- [0128] 보호막(913)과 화소전극(902)의 사이에는 평탄화막(914)이 더 형성되어 있다. 평탄화막(914)은 2중 스토리지 캐패시터(Cst)의 용량을 증가시키기 위하여, 제2 플레이트(907d)의 대응하는 일부의 평탄화막(914)이 형성되어 있지 않다. 이때, 전압 화소전극(902)의 구동 트랜지스터(DT)의 일부를 제외하고는 제2 플레이트(907d)를 일부를 덮도록 형성되어 스토리지 캐패시터의 용량을 최대로 할 수 있다. 또한, 구동전압 라인(DVL) 상부에도 평탄화막(914)이 형성되어 있어, 배선간 발생할 수 있는 불량을 방지할 수도 있다.
- [0129] 도 10은 도 9b를 절단선 V-V'를 따라 절단한 단면도이다.
- [0130] 도 10을 참조하면, 기판(900) 상에는 버퍼층(910) 상에는 제2 트랜지스터(T2)의 반도체층(903c)이 형성되어 있다.
- [0131] 층간절연막(912)은 제2 트랜지스터(T2)의 반도체층(903c)의 일부를 노출시키는 제7 컨택홀(913h)을 포함하며 제2 트랜지스터(T2) 상에 형성되어 있다.
- [0132] 제2 플레이트(907d)는 제7 컨택홀(913h)을 통하여 제2 트랜지스터(T2)의 반도체층(903c)과 연결되며, 다른 컨택홀을 통하여 구동 트랜지스터(DT)가 게이트 전극(901a)과 연결된다.
- [0133] 그리고, 제2 플레이트(907d)가 형성된 기판(900) 상에 보호막(913)이 형성되어 있다. 보호막(913) 상의 제2 플레이트(907d)가 대응되는 일부분을 평탄화막(914)이 형성되어 있다. 그리고 기판(900) 상에 제2 플레이트(907d)와 대응하는 화소전극(908)이 형성되어 있다. 화소전극(908)은 제2 플레이트(907d)와 대응하게 위치하며 스토리지 캐패시터 역할을 한다.
- [0134] 따라서 제3 실시예에 따른 유기전계발광 표시장치는 제1 플레이트(902c), 제2 플레이트(907d) 및 화소전극(908)으로 구성된 2중 스토리지 캐패시터(Cst)를 포함한다.
- [0135] 이때, 제7 컨택홀(913h)의 상부쪽에는 평탄화막(914)이 형성되어 있지 않다. 따라서 제7컨택홀(913h) 부분에 형성된 제2 플레이트(907d)와 화소전극(908)은 제 7컨택홀(913h)에 따른 단차 때문에 쇼트가 발생할 수 있는데, 이를 개선하는 방법으로 제4 실시예를 예로 들어 설명한다.
- [0136] <제4 실시예>

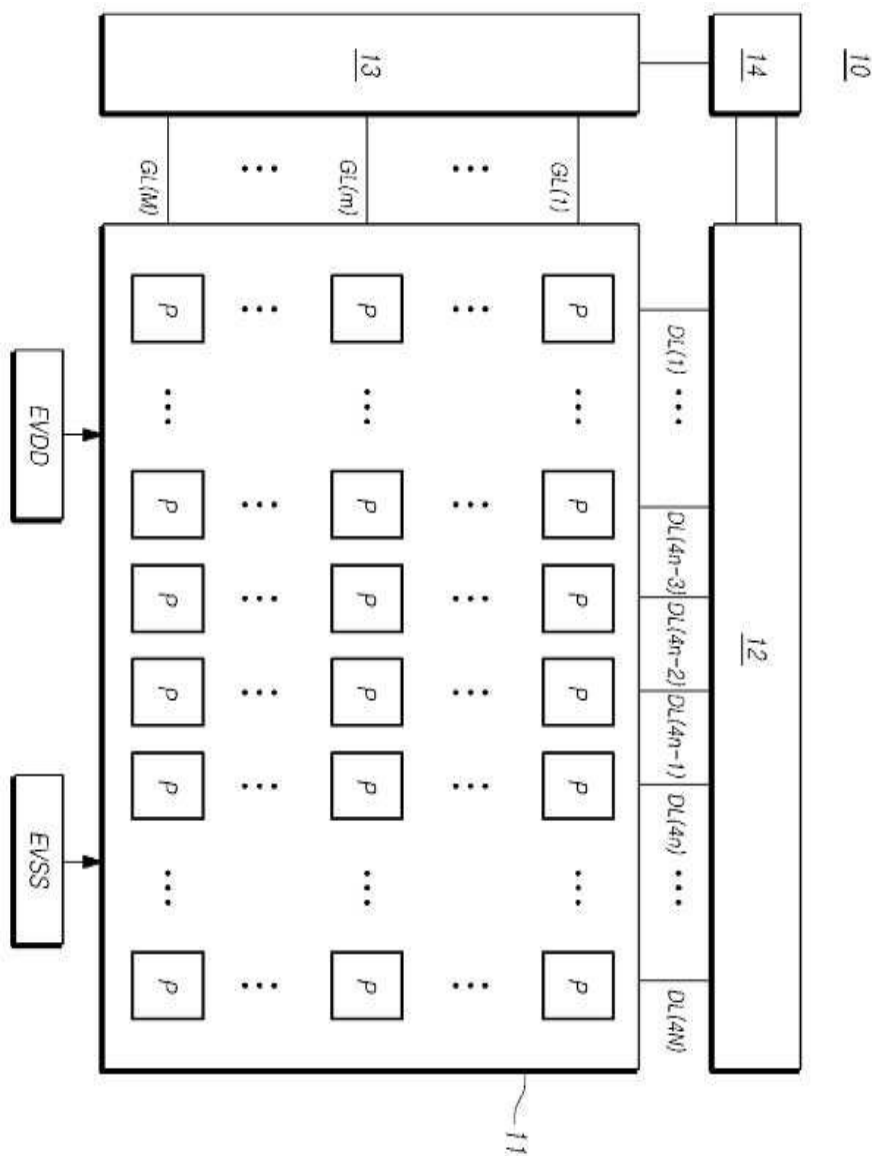
- [0137] 도 11a는 제4실시예에 따른 유기전계발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다. 도 11b는 도 11a의 D부분의 확대도이다.
- [0138] 제4 실시예는 제2 트랜지스터(T2)의 제7 컨택홀(1117h) 상부에 위치하는 제2 플레이트(1107d)와 화소전극(1108) 사이에 형성된 평탄화막(1114)을 제외하고는 제3 실시예와 실질적으로 동일하므로 중복되는 설명은 생략한다.
- [0139] 도 11a 및 11b를 참조하면, 기판(1100) 상에는 제 3 실시예와 동일하게, 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 형성되어 있는 3T1C 기반의 1 스캔 구조를 포함한다. 이때 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 제3 실시예와 동일하게 구동전압 라인(DVL)과 데이터 라인(DL)과 연결된다. 이때, 다른 일부 화소는 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 바로 연결되지 않고 연결패턴(CP)을 통해 구동전압 라인(DVL) 및 기준전압 라인(RVL)과 각각 연결될 수 있다.
- [0140] 다음으로 구동전압 라인(1105), 1개의 화소 열마다 대응되는 데이터 라인(1106) 등의 신호 라인들이 기판(1100) 상에 형성되어 있다. 기판(1100) 상에 산화물 반도체 물질로 형성된 구동 트랜지스터(DT)의 반도체층(1103a), 제1 트랜지스터(T1)의 반도체층(1103b), 제2 트랜지스터(T2)의 반도체층(1103c) 및 제1 플레이트(1102c)가 형성되어 있다. 이때, 구동 트랜지스터(DT)의 반도체층(1103a), 제1 트랜지스터(T1)의 반도체층(1103b) 및 제1 플레이트(1102c)는 제 2 실시예와 동일하게 일체로 형성되어 있다.
- [0141] 다음으로 각 구동 트랜지스터(DT)의 반도체층(1103a), 각 제1 트랜지스터(T1)의 반도체층(1103b), 각 제2 트랜지스터(T2)의 반도체층(1103c)이 형성된 기판(1100) 상에, 각 구동 트랜지스터(DT)의 게이트 전극(1101a), 각 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극을 형성하기 위한 게이트 라인(1101b), 각 구동전압 라인(DVL)과 연결되는 연결패턴(1102a), 각 기준전압 라인(RVL)과 연결되는 연결패턴(1102b)이 형성된다. 여기서, 게이트 라인(1101b)은 연결되는 화소 각각에 포함된 제1 트랜지스터(T1) 및 각 제2 트랜지스터(T2)의 게이트 전극으로 스캔신호를 공통으로 인가하기 위한 공통 게이트 라인이다.
- [0142] 이때, 제2 실시예와 동일하게 제1 플레이트(1102c)는 구동 트랜지스터(DT)와 제1 트랜지스터(T1)를 연결하며 산화물 반도체 물질로 형성되어 있고, 도체화 되어 있다.
- [0143] 제1 플레이트(1102c)와 제2 플레이트(1107d)는 층간절연막(1112)을 사이에 두고 형성되어 있다. 제2 플레이트(1107d)와 화소전극(1102)은 보호막(1113)을 사이에 두고 형성되어 있다. 이때 보호막(1113)과 화소전극(1102) 사이에는 평탄화막(1114)을 더 포함하나, 2중 스토리지 캐패시터의 용량을 증가시키기 위하여, 제2 플레이트(1107d)의 대응하는 일부의 평탄화막(1114)이 형성되어 있지 않다. 평탄화막(1114)은 화소전극(1102)의 구동 트랜지스터(DT)의 일부를 제외하고는 제2 플레이트(1107d)를 일부를 덮도록 형성되어 있어, 제2 플레이트(1107d)와 화소전극(1102)의 쇼트를 방지할 수 있다.
- [0144] 즉, 제1 플레이트(1102c)의 일부와 제2 플레이트(1107d)의 일부가 서로 중첩되고, 제2 플레이트(1107d)와 화소전극(1102)의 일부가 서로 중첩되어 스토리지 캐패시터(Cst) 역할을 하며, 중첩된 제1 플레이트(1102c)의 일부, 제2 플레이트(1107d)의 일부, 상기 화소전극(1102)의 일부 상에 평탄화막(1114)이 형성되지 않는다.
- [0145] 이때, 제2 플레이트(1107d)는 제2 트랜지스터(T2)의 반도체층(1103c)과 컨택홀(1113h)을 통하여 연결되고, 컨택홀(1113h) 부분에 대응되는 제2 플레이트(1107d) 상에는 평탄화막(1114)이 형성되어 컨택홀의 단차로 인한 화소전극(1102)과 제2 플레이트(1107d)와의 쇼트를 방지할 수 있다.
- [0146] 도 12는 도 11b를 절단선 VI-VI'를 따라 절단한 단면도이다.
- [0147] 도 12를 참조하면, 기판(1100) 상에 버퍼층(1110)이 형성되어 있다. 버퍼층(1110) 상에는 제2 트랜지스터(T2)의 반도체층(1103c)이 형성되어 있다.
- [0148] 층간절연막(1112)은 제2 트랜지스터(T2)의 반도체층(1103c)의 일부를 노출시키는 제7 컨택홀(1113h)를 가지며 제2 트랜지스터(T2) 상에 형성되어 있다.
- [0149] 제2 플레이트(1107d)는 제7 컨택홀(1113h)을 통하여 제2 트랜지스터(T2)의 반도체층(1103c)과 연결되며, 다른 컨택홀을 통하여 구동 트랜지스터(DT)이 게이트 전극(1101a)과 연결된다.
- [0150] 그리고, 제2 플레이트(1107d)가 형성된 기판(1100) 상에 보호막(1113)이 형성되어 있다. 보호막(1113) 상의 제2 플레이트(1107d)가 대응되는 일부분을 평탄화막(1114)이 형성되어 있다. 그리고 기판(1100) 상에 제2 플레이트(1107d)와 대응하는 화소전극(1108)이 형성되어 있다.
- [0151] 이때, 평탄화막(1114)은 제2 트랜지스터(1103c)와 제2 플레이트(1107d)가 제7 컨택홀(1113h)을 통하여 연결되는

부분의 상부에도 형성되어, 제7 컨택홀(1113h)의 단차로 인한 화소전극(1102)와 제2 플레이트(1107d)와의 쇼트를 방지할 수 있다.

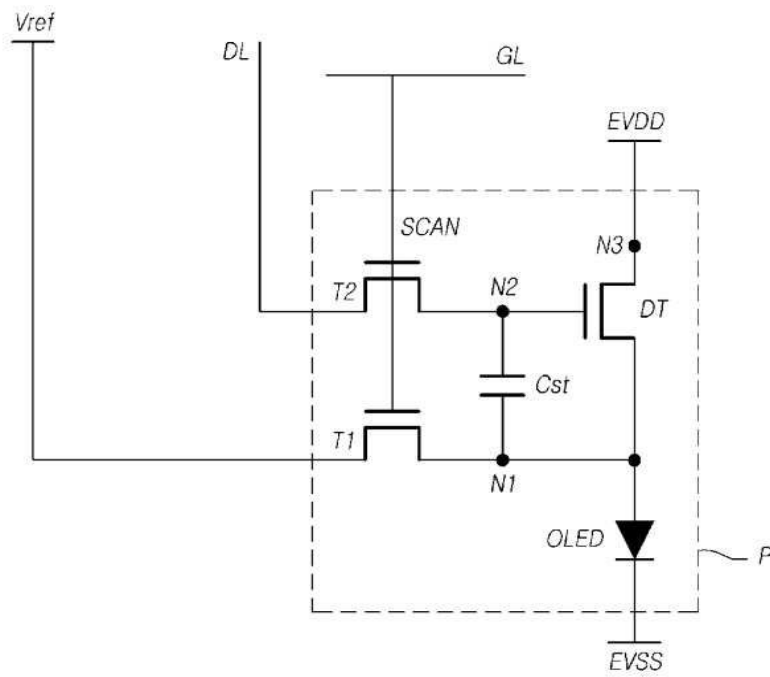
[0152] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

## 도면

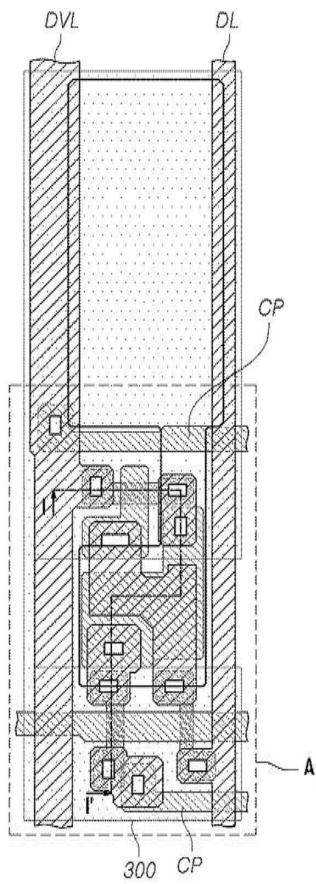
### 도면1



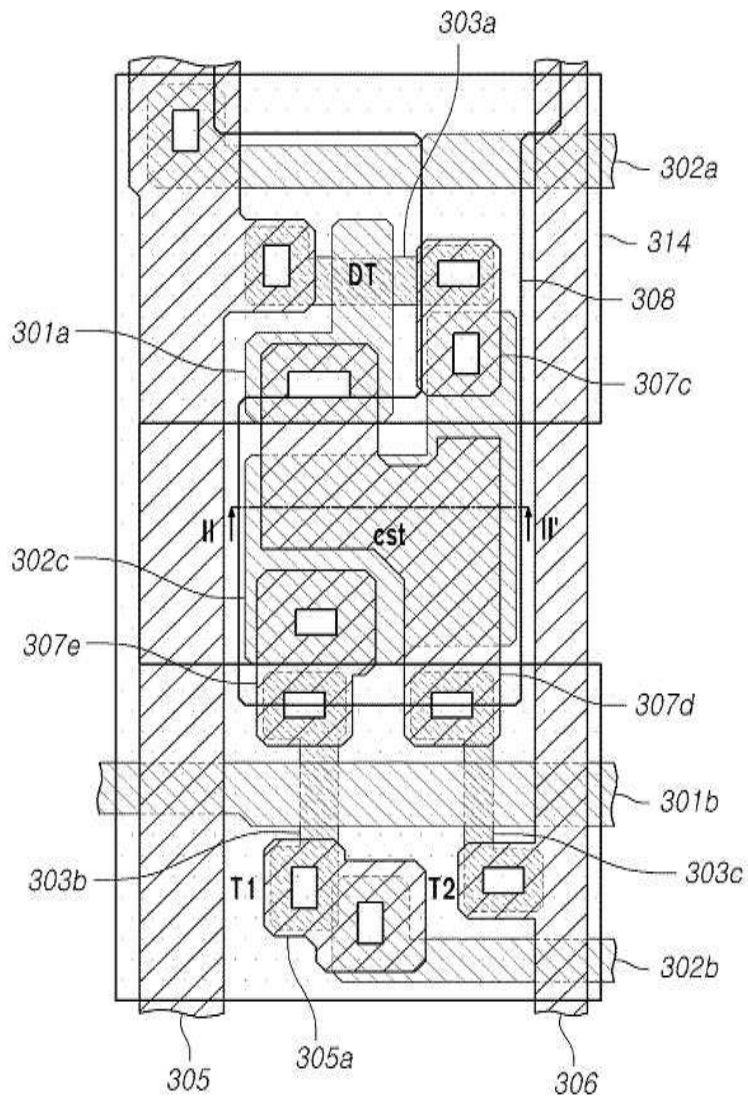
도면2



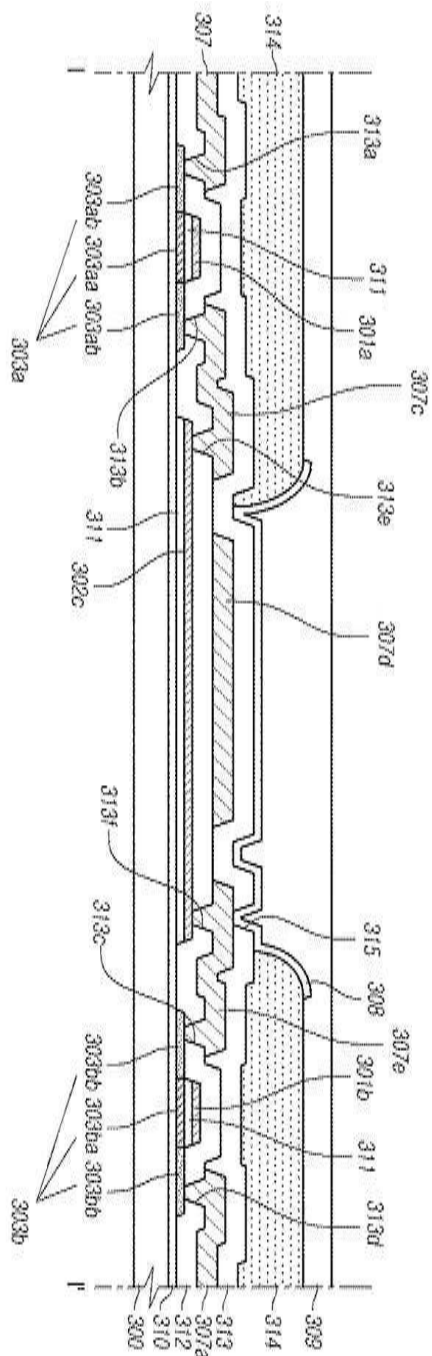
도면3a



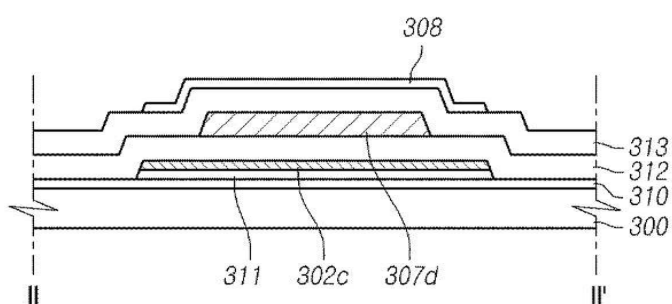
도면3b



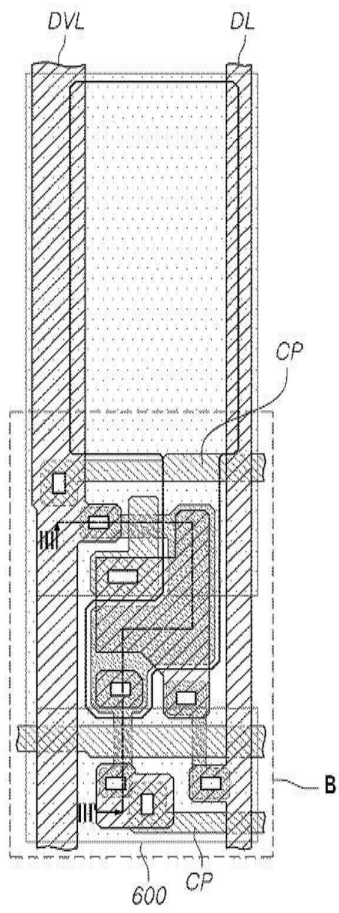
도면4



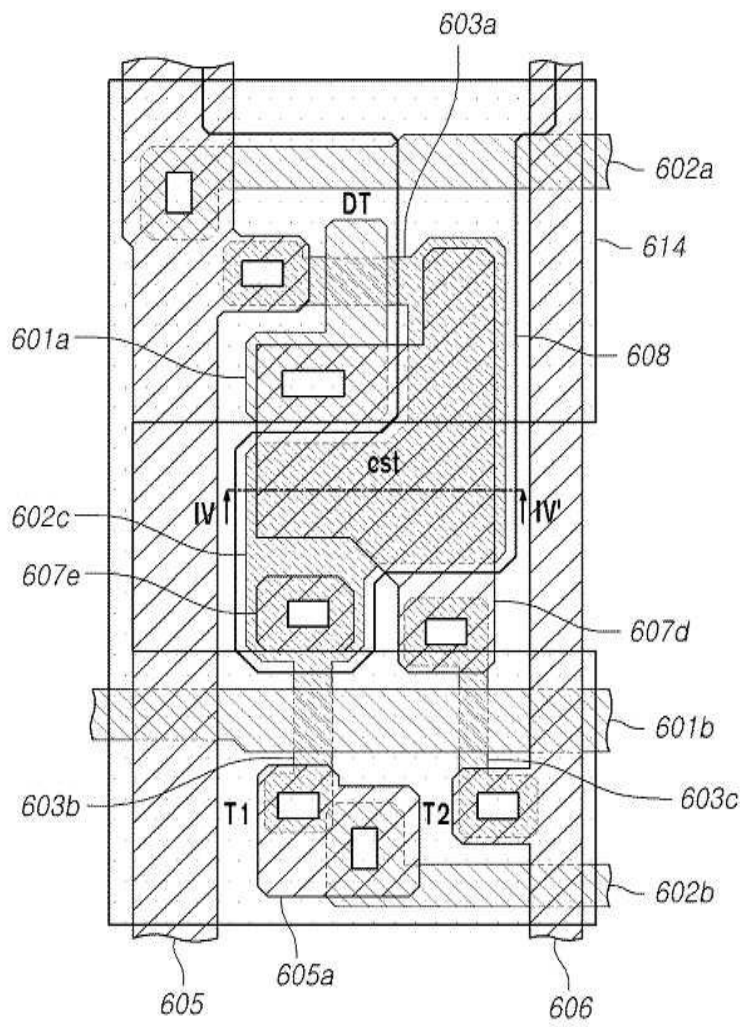
도면5



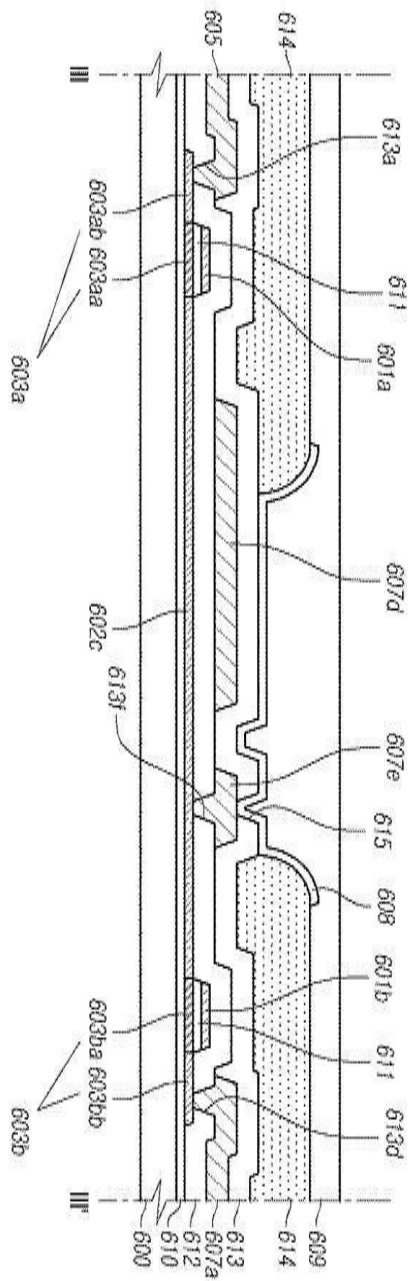
도면6a



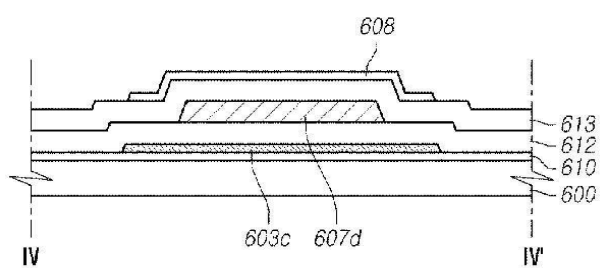
도면6b



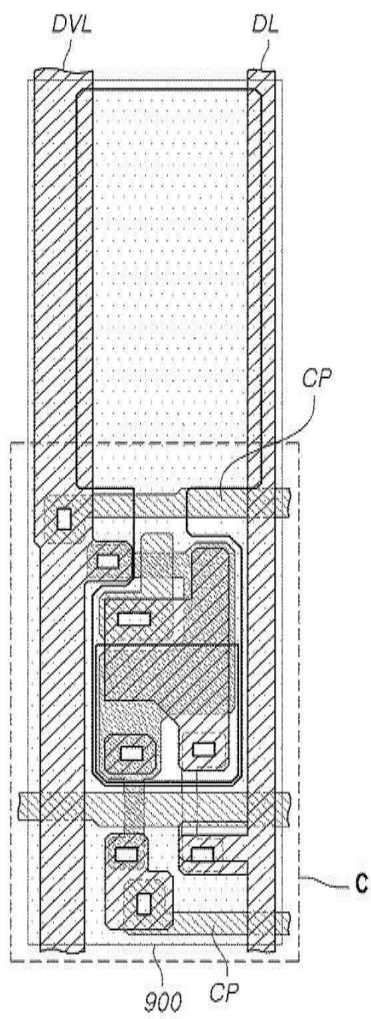
도면7



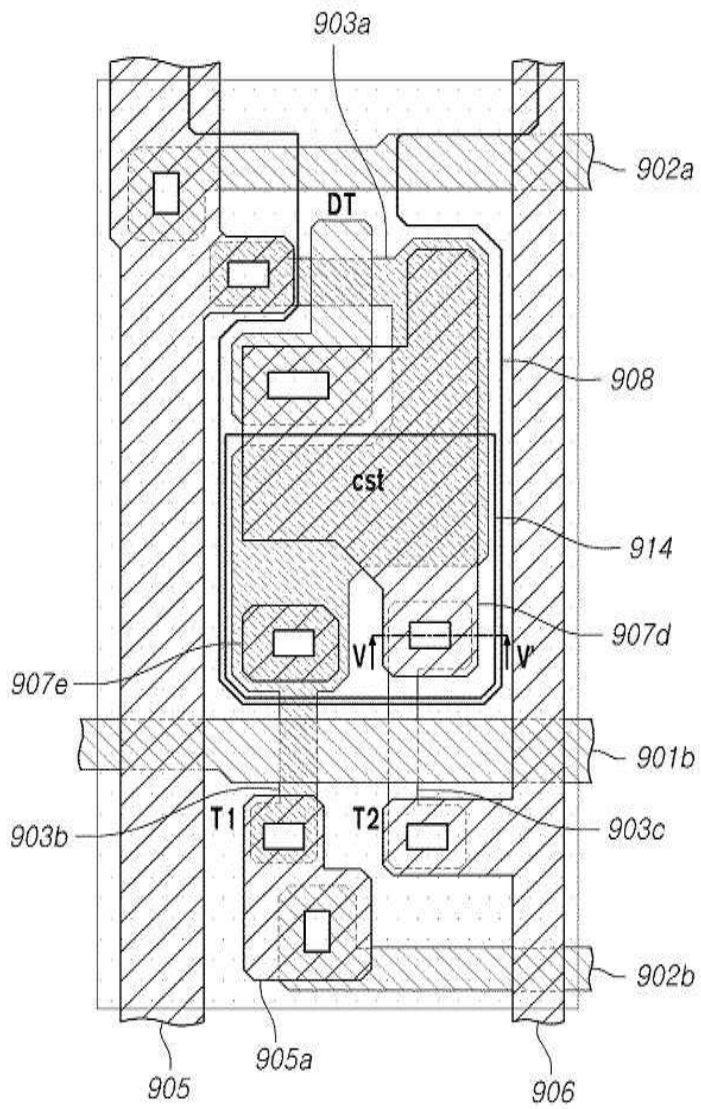
도면8



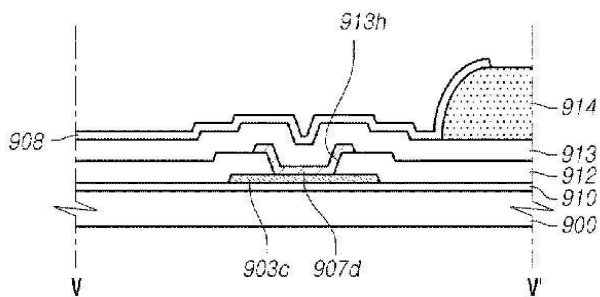
도면9a



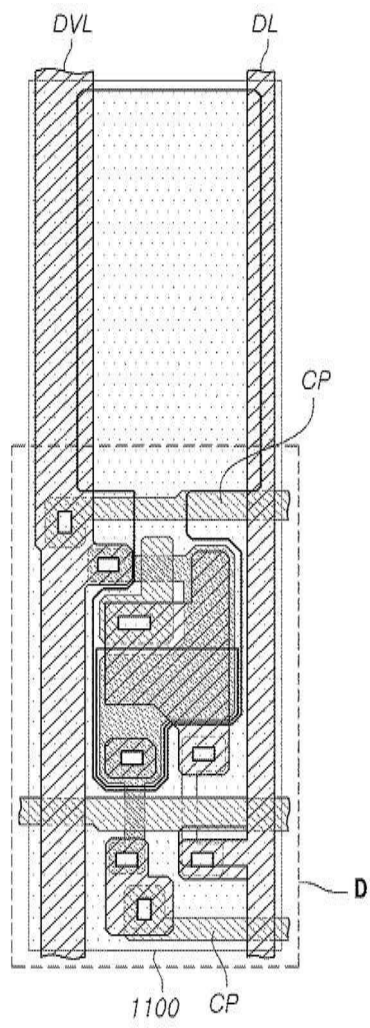
도면9b



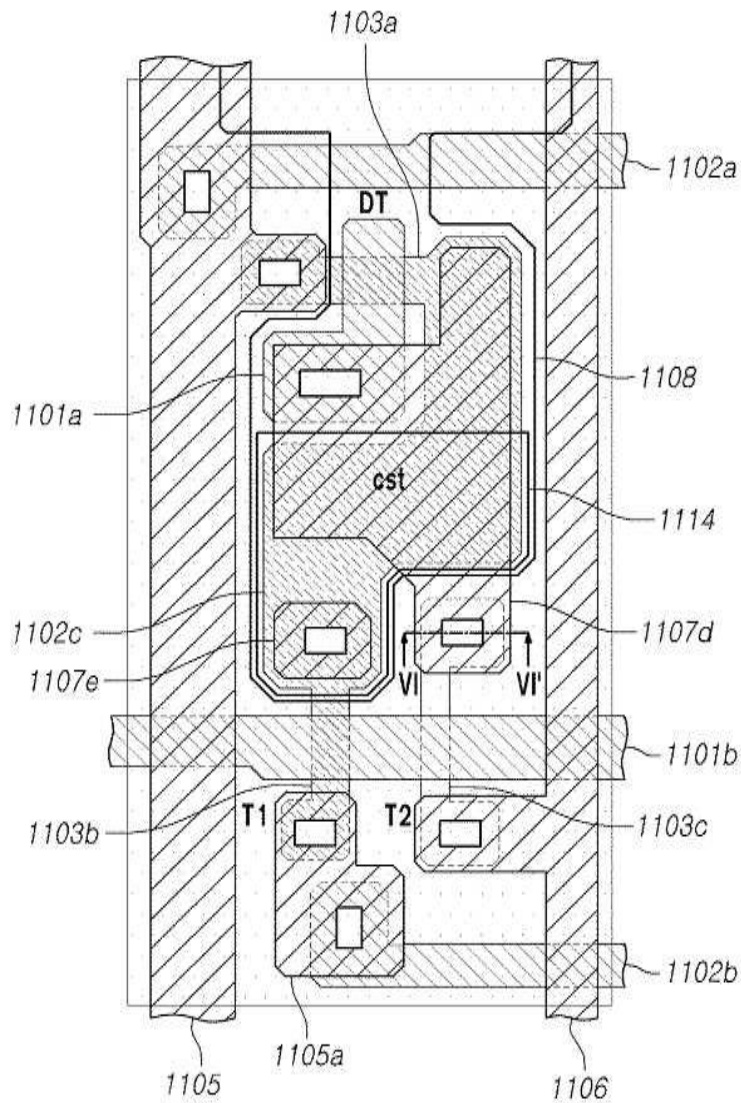
도면10



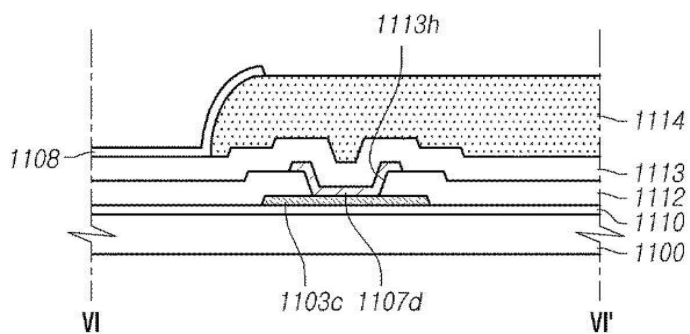
도면11a



도면11b



도면12



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

상기 데이터 라인과

【변경후】

데이터 라인과

|                |                                                                                                                                                    |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机发光显示装置                                                                                                                                           |         |            |
| 公开(公告)号        | <a href="#">KR102049793B1</a>                                                                                                                      | 公开(公告)日 | 2020-01-08 |
| 申请号            | KR1020130138837                                                                                                                                    | 申请日     | 2013-11-15 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                                                                           |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                                                                          |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                                                                          |         |            |
| [标]发明人         | 최희동                                                                                                                                                |         |            |
| 发明人            | 최희동                                                                                                                                                |         |            |
| IPC分类号         | G09G3/32 H01L27/32                                                                                                                                 |         |            |
| CPC分类号         | G09G3/3258 G09G2300/0465 G09G2300/0842 G09G2320/0233 H01L27/3248 H01L27/3265 H01L27/1225 H01L27/3262 H01L27/3269 H01L27/3276 H01L51/52 H01L51/5237 |         |            |
| 审查员(译)         | 贞茵                                                                                                                                                 |         |            |
| 其他公开文献         | KR1020150056177A                                                                                                                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                          |         |            |

#### 摘要(译)

有机发光显示像素 ( P ) 包括用于驱动有机发光二极管 ( OLED ) 的驱动晶体管 ( DT )。第一晶体管 ( T1 ) 由扫描信号 ( GL ) 控制，并连接在参考电压线 ( RVL ) 和驱动晶体管的第一节点 ( N1 ) 之间。第二晶体管 ( T2 ) 也由相同的扫描信号 ( GL ) 控制，并连接在数据线 ( DL ) 和驱动晶体管的第二节点 ( N2 ) 之间。存储电容器 ( Cst ) 包括具有改善的导电特性的第一板，并且连接到驱动晶体管的半导体层和第一晶体管的半导体层。存储电容器的第二板位于第一板上，并连接到第二晶体管的半导体层和驱动晶体管的栅电极。位于第二板上的有机发光二极管的像素电极通过接触孔连接到第一板上。

