



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0034477  
(43) 공개일자 2020년03월31일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3275 (2016.01)  
(52) CPC특허분류  
G09G 3/3275 (2013.01)  
G09G 2310/0251 (2013.01)  
(21) 출원번호 10-2018-0114317  
(22) 출원일자 2018년09월21일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김규진  
경기도 파주시 월롱면 엘지로 245  
유승진  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인다나

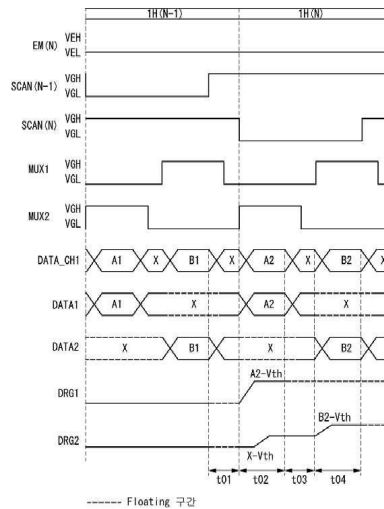
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요약

본 발명은 전계 발광 표시장치에 관한 것으로, 제1 시간에 디멀티플렉서를 통해 제1 및 제2 데이터 라인들이 서로 연결되고 상기 제1 및 제2 데이터 라인들의 전압이 초기화 전압으로 방전된다. 제2 시간에 제1 픽셀 데이터 전압이 상기 제1 데이터 라인에 공급된다. 제3 시간에 상기 디멀티플렉서를 통해 상기 제1 및 제2 데이터 라인들이 서로 연결되고 상기 제1 및 제2 데이터 라인들의 전압이 상기 초기화 전압으로 방전된다.

대표도 - 도7



(52) CPC특허분류  
G09G 2310/0297 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 데이터 라인에 연결된 제1 픽셀 회로;

제2 데이터 라인에 연결된 제2 픽셀 회로;

소정의 초기화 전압과 픽셀 데이터 전압을 채널을 통해 교대로 출력하는 데이터 구동부; 및

제1 제어 신호에 응답하여 상기 데이터 구동부의 채널을 통해 입력된 상기 초기화 전압과 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 순차적으로 공급하고, 제2 제어 신호에 응답하여 상기 초기화 전압과 제2 픽셀 데이터 전압을 상기 제2 데이터 라인에 공급하는 디멀티플렉서를 포함하고,

제1 시간에 상기 디멀티플렉서를 통해 상기 제1 및 제2 데이터 라인들이 서로 연결되고 상기 제1 및 제2 데이터 라인들의 전압이 상기 초기화 전압으로 방전되고,

제2 시간에 상기 제1 픽셀 데이터 전압이 상기 제1 데이터 라인에 공급되고,

제3 시간에 상기 디멀티플렉서를 통해 상기 제1 및 제2 데이터 라인들이 서로 연결되고 상기 제1 및 제2 데이터 라인들의 전압이 상기 초기화 전압으로 방전되고,

제4 시간에 상기 제2 픽셀 데이터 전압이 상기 제2 데이터 라인에 공급되는 전계 발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 초기화 전압이 상기 데이터 구동부의 픽셀 데이터 전압의 최소 전압 보다 낮은 전압인 전계 발광 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 디멀티플렉서는,

상기 제1 제어 신호에 응답하여 상기 데이터 구동부로부터의 상기 초기화 전압과 상기 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급하는 제1 스위치 소자; 및

상기 제2 제어 신호에 응답하여 상기 데이터 구동부로부터의 상기 초기화 전압과 상기 제2 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급하는 제2 스위치 소자를 포함하고,

상기 디멀티플렉서들의 스위치 소자들 각각이 p 채널 트랜지스터이고,

상기 초기화 전압이 상기 제1 및 제2 제어 신호의 라이징 에지에서 발생하는 킥백 전압 만큼 상기 픽셀 데이터 전압의 최소 전압 보다 더 낮은 전계 발광 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 픽셀 회로들 각각은,

발광 소자;

상기 발광 소자에 전류를 공급하는 구동 소자;

픽셀 구동 전압이 인가되는 제1 전원 라인과, 제1 노드 사이에 연결된 커패시터;

제1 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제1 노드와 제2 노드를 연결하는 제1 스위치 소자;

상기 제1 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 데이터 라인의 전압을 제3 노드에 공급하는 제2 스위치 소자;

발광 제어 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제1 전원 라인을 상기 제3 노드에 연결하는 제3 스위치 소자;

상기 발광 제어 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제2 노드를 상기 발광 소자의 애노드에 연결하는 제4 스위치 소자;

상기 제1 스캔 신호 보다 앞서 발생하는 제2 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제1 노드를 초기화 전압이 인가되는 제2 전원 라인에 연결하는 제5 스위치 소자; 및

상기 제1 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제2 전원 라인을 상기 발광 소자의 애노드에 연결하는 제6 스위치 소자를 포함하고,

상기 구동 소자가 상기 제1 노드에 연결된 게이트, 상기 제3 노드에 연결된 제1 전극, 및 상기 제2 노드에 연결된 제2 전극을 포함하고,

상기 발광 소자는 상기 제4 스위치 소자와 상기 제6 스위치 소자 사이의 제4 노드에 연결된 애노드, 및 저전위 전원 전압이 인가되는 캐소드를 포함하는 전계 발광 표시장치.

**청구항 5**

제 4 항에 있어서,

상기 디멀티플렉서의 스위치 소자들과 상기 구동 소자 각각이 p 채널 트랜지스터를 포함하는 전계 발광 표시장치.

**청구항 6**

제 1 항에 있어서,

상기 제2 시간과 상기 제4 시간이 동일한 전계 발광 표시장치.

**청구항 7**

제 1 항에 있어서,

상기 데이터 구동부는,

상기 픽셀 데이터 전압을 출력하는 디지털-아날로그 변환기;

소스 출력 인에이블 신호의 제1 로직 구간에 상기 초기화 전압을 출력하고, 상기 소스 출력 인에이블 신호의 제2 로직 구간에 상기 디지털-아날로그 변환기로부터의 픽셀 데이터 전압을 출력하는 멀티플렉서;

상기 멀티플렉서로부터의 데이터 전압을 상기 디멀티플렉서에 공급하는 버퍼를 포함하고,

상기 멀티플렉서와 상기 버퍼가 상기 데이터 구동부의 채널 각각에 연결되는 전계 발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 데이터 구동부와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)가 배치된 전계 발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 액정 표시장치(Liquid Crystal Display, LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 등 다양한 평판 표시장치가 개발되고 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스

트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 유기 발광 표시장치는 블랙 계조를 완전한 블랙으로 표현할 수 있기 때문에 명암비(contrast ratio)와 색 재현율에서 월등한 수준으로 영상을 재현할 수 있다.

[0004] 유기 발광 표시장치의 픽셀들 각각은 발광 소자인 OLED와, 게이트-소스간 전압(Vgs)에 따라 OLED에 전류를 공급하여 OLED를 구동하는 구동소자를 포함한다. OLED는 애노드 및 캐소드와, 이 전극들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL) 등으로 이루어진다. OLED에 전류가 흐를 때 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되고, 그 결과 발광층(EML)이 가시광을 방출할 수 있다.

[0005] 표시장치는 화면 상에 픽셀 어레이가 배치된 표시패널과, 입력 영상의 픽셀 데이터를 표시패널의 픽셀들에 기입하기 위한 표시패널 구동회로를 포함한다. 표시패널 구동 회로는 픽셀 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동부와, 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동부(또는 스캔 구동부)를 포함할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0006] 데이터 구동부의 채널 수를 줄이기 위하여 데이터 구동부의 출력 단자들과 픽셀 어레이의 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)가 연결될 수 있다. 디멀티플렉서는 데이터 구동부의 한 채널을 통해 공급되는 데이터 신호를 다수의 데이터 라인들에 시분할하여 분배한다. 디멀티플렉서는 1 수평 기간 내에서 데이터 신호를 시분할하기 때문에 데이터 신호가 데이터 라인들에 인가되는 시간이 부족하게 된다. 디멀티플렉서를 통해 데이터 신호가 시분할될 때 데이터 신호가 인가되지 않는 데이터 라인은 플로팅(floating)되어 있다. 디멀티플렉서의 스위치 소자가 턴-온(turn-on)되어 현재 데이터 신호가 데이터 라인에 인가되면 픽셀 회로에 현재 데이터 신호의 전압이 인가되는데, 이 픽셀 회로에 이미 충전되었던 이전 데이터 전압으로 인하여 픽셀 회로에 현재 데이터가 기입되지 않을 수 있다.

[0007] 따라서, 본 발명은 디멀티플렉서를 이용하여 데이터 구동부의 채널 수를 줄이고 픽셀 데이터가 기입되지 않는 현상을 방지할 수 있는 전계 발광 표시장치를 제공한다.

#### 과제의 해결 수단

[0008] 본 발명의 전계 발광 표시장치는 제1 데이터 라인에 연결된 제1 픽셀 회로, 제2 데이터 라인에 연결된 제2 픽셀 회로, 소정의 초기화 전압과 픽셀 데이터 전압을 채널을 통해 교대로 출력하는 데이터 구동부, 및 제1 제어 신호에 응답하여 상기 데이터 구동부의 채널을 통해 입력된 상기 초기화 전압과 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 순차적으로 공급하고, 제2 제어 신호에 응답하여 상기 초기화 전압과 제2 픽셀 데이터 전압을 상기 제2 데이터 라인에 공급하는 디멀티플렉서를 포함한다. 제1 시간에 상기 디멀티플렉서를 통해 상기 제1 및 제2 데이터 라인들이 서로 연결되고 상기 제1 및 제2 데이터 라인들의 전압이 상기 초기화 전압으로 방전된다. 제2 시간에 상기 제1 픽셀 데이터 전압이 상기 제1 데이터 라인에 공급된다. 제3 시간에 상기 디멀티플렉서를 통해 상기 제1 및 제2 데이터 라인들이 서로 연결되고 상기 제1 및 제2 데이터 라인들의 전압이 상기 초기화 전압으로 방전된다.

[0009] 제4 시간에 상기 제2 픽셀 데이터 전압이 상기 제2 데이터 라인에 공급된다.

#### 발명의 효과

[0010] 본 발명은 디멀티플렉서를 이용하여 데이터 구동부의 채널 수를 줄일 수 있을 뿐 아니라, 매 수평 기간마다 데이터 라인들에 순차적으로 공급되는 픽셀 데이터 전압에 앞서 디멀티플렉서의 스위치 소자들을 모두 턴-온시켜 그 데이터 라인들의 차지 셰어링을 유도하고 데이터 라인들의 전압을 픽셀 데이터 전압 보다 낮은 전압으로 방전시킴으로써 이전 픽셀 데이터 전압으로 인하여 픽셀 회로들에 현재 픽셀 데이터 전압이 샘플링되지 않는 현상을 방지할 수 있다. 본 발명은 디멀티플렉서를 통해 순차적으로 구동되는 서브 픽셀들에서 구동 소자의 문턱

전압이 보상된 픽셀 데이터 전압을 샘플링하는 시간을 동일하게 설정할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
- 도 2는 픽셀 어레이의 일부 픽셀들과 배선들을 개략적으로 보여 주는 도면이다.
- 도 3은 본 발명의 제1 실시예에 따른 디멀티플렉서의 스위치 소자들을 보여 주는 도면이다.
- 도 4는 본 발명에 실시예에 따른 픽셀 회로의 예를 보여 주는 회로도이다.
- 도 5는 디멀티플렉서를 이용한 데이터 라인들의 시분할 구동 방법을 보여 주는 도면이다.
- 도 6a 내지 도 6c는 도 4에 도시된 픽셀 회로의 구동 방법에서 픽셀 데이터가 서브 픽셀에 기입되지 못하는 예를 보여 주는 회로도들이다.
- 도 7은 본 발명의 실시예에 따른 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- 도 8은 초기화 전압을 설명하기 위한 도면이다.
- 도 9a 및 도 9b는 제N 픽셀 라인의 픽셀 회로들에서 제1 노드 전압의 초기화를 보여 주는 도면들이다.
- 도 10a 내지 도 13b는 제1 및 제2 픽셀 회로들의 데이터 기입 동작을 단계적으로 보여 주는 도면들이다.
- 도 14는 소스 출력 인에이블 신호와 데이터 전압을 보여 주는 파형도이다.
- 도 15 및 도 16은 데이터 구동부에서 초기화 전압을 출력하는 회로를 보여 주는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0014] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0017] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0018] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0019] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 채널 트랜지스터와 p 채널 트랜지스터 중 하나 이상을 포함할 수 있다. 트랜지스터들은 산화물 반도체를 포함한 Oxide TFT(Thin Film Transistor), 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 LTPS TFT 등으로 구현될 수 있다. 또한, 트랜지스터들 각각은 p 채널 TFT 또는 n 채널 TFT로 구현될 수 있다. 실시예에서 픽셀 회로의 트랜지스터들이 p 채널 TFT로 구현된

예를 중심으로 설명되지만 본 발명은 이에 한정되지 않는다.

- [0020] 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0021] 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙(swing)한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0023] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널(100)의 픽셀들에 입력 영상의 픽셀 데이터를 기입하기 위한 표시패널 구동회로를 포함한다.
- [0024] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 픽셀 어레이를 포함한다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(103)과 교차되는 다수의 게이트 라인들(103), 및 데이터 라인들(102)과 게이트 라인들(103)에 의해 정의된 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0025] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 도 4와 같은 픽셀 회로를 포함한다. 이하에서 픽셀은 서브 픽셀과 같은 의미로 해석될 수 있다.
- [0026] 픽셀 어레이는 다수의 픽셀 라인들(L1~Ln)을 포함한다. 픽셀 라인은 표시패널(100)의 픽셀 어레이에서 1 라인에 배치된 픽셀들을 포함한다. 픽셀 어레이의 해상도가 m\*n일 때 픽셀 어레이는 n 개의 픽셀 라인들(L1~Ln)을 포함한다. 1 픽셀 라인에 배치된 픽셀들은 게이트 라인들을 공유한다. 1 픽셀 라인에 배치된 서브 픽셀들(101)은 서로 다른 데이터 라인(102)에 연결된다. 데이터 라인 방향을 따라 세로 방향으로 배치된 서브 픽셀들은 동일한 데이터 라인을 공유한다.
- [0027] 픽셀 회로는 도 4와 같이, 발광 소자(EL), 구동 소자(DT), 하나 이상의 스위치 소자(M1~M6), 커패시터(Cst) 등을 포함한다. 구동 소자(DT)와 스위치 소자(M1~M6)는 TFT(Thin Film Transistor)로 구현될 수 있다. 픽셀 회로는 도 4에 한정되지 않는다는 것에 주의하여야 한다. 픽셀 회로는 데이터 라인(102)과 게이트 라인(103)에 연결된다. 게이트 라인(103)은 픽셀 라인들 각각에서 스캔 신호[SCAN(N-1), SCAN(N)]이 인가되는 게이트 라인들(31, 32)과, 발광 제어 신호(이하, "EM 신호"라 함)가 인가되는 게이트 라인(33)으로 나뉘어질 수 있다.
- [0028] 표시패널(100)은 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 VDD 라인(104), 픽셀 회로를 초기화하기 위한 초기화 전압(Vini)을 서브 픽셀들(101)에 공급하기 위한 Vini 라인(105), 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극 등을 더 포함할 수 있다. 전원 라인들(104, 105)과 VSS 전극은 도시하지 않은 전원 회로에 연결된다. 전원 회로는 데이터 구동부(110)에 초기화 전압(X)을 공급할 수 있다.
- [0029] 표시패널(100)의 픽셀 어레이 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현



될 수 있다.

- [0030] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서 어레이(112)를 더 구비한다.
- [0031] 표시패널 구동회로는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 픽셀 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130) 그리고 전원 회로는 하나의 드라이브 집적 회로(Drive IC)에 집적될 수 있다.
- [0032] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 프레임 개수 만큼 변화가 없을 때 표시장치의 소비 전력을 줄이기 위하여 설정될 수 있다. 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.
- [0033] 데이터 구동부(110)는 타이밍 컨트롤러(130)의 제어 하에 데이터 신호의 전압(이하, “데이터 전압”이라 함)을 디멀티플렉서 어레이(112)의 입력 노드에 연결된 채널들(CH1, CH2)을 통해 출력한다. 데이터 전압은 입력 영상의 픽셀 데이터 전압(Vdata)과 초기화 전압(X)을 포함한다. 데이터 구동부(110)는 매 수평 기간마다 소정의 초기화 전압(X)과 입력 영상의 픽셀 데이터 전압(Vdata)을 교대로 출력한다. 데이터 구동부(110)는 디지털 데이터인 입력 영상의 픽셀 데이터를 DAC(Digital to Analog Converter)를 이용하여 감마 보상 전압으로 변환하여 픽셀 데이터 전압(Vdata)을 출력하고, 도 15 또는 도 16과 같은 방법으로 초기화 전압(X)을 출력할 수 있다.
- [0034] 데이터 구동부(110)는 타이밍 컨트롤러(130)의 제어 하에 픽셀 데이터 전압(Vdata)을 출력하기 전에 초기화 전압(X)을 출력한다. 초기화 전압(X)은 디멀티플렉서 어레이(112)의 스위치 소자들을 제어하기 위한 MUX 신호들의 전압이 변할 때 발생하는 킥백(kickback)을 고려하여 픽셀 데이터 전압(Vdata)의 최소 전압 보다 낮은 전압으로 설정된다. 픽셀 회로의 구동 소자가 p 채널 트랜지스터로 구현되는 경우에 화이트 계조 전압은 데이터 구동부(110)로부터 출력되는 픽셀 데이터 전압 범위에서 최소 전압이다. 예를 들어, 데이터 구동부(110)의 픽셀 데이터 전압 범위가 0V~5V 이라면, 픽셀 데이터의 화이트 계조 전압은 0V이고 블랙 계조 전압은 5V 일 수 있다.
- [0035] 데이터 라인들(1021~1024) 각각에는 도 3에 도시된 바와 같이 커패시터(51~54)가 연결된다. 커패시터(51~54)는 데이터 라인(102)의 전압을 충전하여 서브 픽셀들(101)의 픽셀 회로에 공급한다. 커패시터(51~54)는 데이터 라인(1021~1024)의 기생 용량 또는 소정의 설계치로 형성된 별도의 커패시터로 구현될 수 있다.
- [0036] 디멀티플렉서 어레이(112)는 픽셀 어레이와 함께 표시패널(100)의 기판 상에 형성될 수 있으나 이에 한정되지 않는다. 디멀티플렉서 어레이(112)는 데이터 구동부(110)의 출력 단자들과 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압(Vdata)을 시분할하여 데이터 라인들(102)로 분배한다. 디멀티플렉서 어레이(112)는 도 3에 도시된 바와 같이 다수의 디멀티플렉서들(61, 62)을 포함한다. 도 3에 도시된 디멀티플렉서(61, 62)는 1:2 디멀티플렉서를 예시한 것이나 본 발명은 이에 한정되지 않는다.
- [0037] 게이트 구동부(120)는 픽셀 어레이의 TFT 어레이와 함께 표시패널(100) 상의 베젤 영역(Bezel, BZ) 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호(G1~Gn)를 시프트시킴으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호(G1~Gn)는 스캔 신호[SCAN(N-1), SCAN(N)]과, EM 신호(EM)를 포함한다.
- [0038] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호[SCAN(N-1), SCAN(N)]를 출력하고, 시프트 클럭에 따라 스캔 신호(SCAN1, SCAN2)를 순차적으로 시프트한다. 제2 게이트 구동부(122)는 EM 신호(EM)를 출력하고, 시프트 클럭에 따라 EM 신호(EM)를 순차적으로 시프트한다. 베젤(bezel)이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)를 구성하는 스위치 소자들 중 적어도 일부가 픽셀 어레이 내에 분산 배치될 수 있다.
- [0039] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 픽셀 데이터와, 픽셀 데이터와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 수직 동기신호(Vsync)의 1 주기는 1 프레임 기간이다. 수평 동기신호(Hsync)와 데이터 인에이블 신호(DE)의 1 주기는 1 수평 기간(1H)이다. 데이터 인에이블 신호(DE)의 펄스는



1 픽셀 라인의 픽셀들에 기입될 1 라인 데이터와 동기된다. 데이터 인에이블 신호(DE)를 카운트하는 방법으로 프레임 기간과 수평 기간을 알 수 있으므로, 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync)는 생략될 수 있다.

- [0040] 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기의 메인 회로 보드일 수 있다. 모바일 기기나 웨어러블 기기에서 타이밍 컨트롤러(130)와 표시패널 구동회로(110, 112, 120)은 하나의 드라이브 IC에 집적될 수 있다.
- [0041] 타이밍 컨트롤러(130)는 입력 프레임 주파수를  $i$  배 채배하여 입력 프레임 주파수 $\times i$ ( $i$ 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러(130)는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0042] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서 어레이(112)의 동작 타이밍을 제어하기 위한 MUX 신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터(level shifter)를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0043] 도 3을 참조하면, 디멀티플렉서(61, 62) 각각은 제1 및 제2 스위치 소자들(S1, S2)을 포함한다. 스위치 소자들(S1, S2) 각각은 p 채널 트랜지스터로 구현될 수 있으나 이에 한정되지 않는다. 타이밍 컨트롤러(130)는 스위치 소자들(S1, S2)의 스위치 온/오프 타이밍을 제어하기 위한 MUX 신호들(MUX1, MUX2)을 발생한다. MUX 신호들(MUX1, MUX2)은 제어 신호 라인들(71, 72)을 통해 스위치 소자들(S1, S2)의 게이트에 인가된다.
- [0044] 데이터 구동부(110)의 채널들(CH1, CH2) 각각에서 데이터 전압(Vdata)은 출력 버퍼(AMP)를 통해 출력된다. 데이터 구동부(110)의 채널들(CH1, CH2) 각각에서 출력 버퍼(AMP)는 디멀티플렉서(61, 62)의 입력 노드에 연결된다.
- [0045] 제1 디멀티플렉서(61)의 제1 스위치 소자(S1)는 데이터 구동부(110)의 제1 채널(CH1)과 제1 데이터 라인(1021) 사이에 연결되어 제1 MUX 신호(MUX1)의 게이트 온 전압(VGL)에 따라 턴-온되어 제1 채널(CH1)을 제1 데이터 라인(1021)에 연결한다. 제1 디멀티플렉서(61)의 제2 스위치 소자(S2)는 데이터 구동부(110)의 제1 채널(CH1)과 제2 데이터 라인(1022) 사이에 연결되어 제2 MUX 신호(MUX2)의 게이트 온 전압(VGL)에 따라 턴-온되어 제1 채널(CH1)을 제2 데이터 라인(1022)에 연결한다. 제1 및 제2 서브 픽셀들(1011, 1012)은 제1 디멀티플렉서(61)를 통해 시분할 분배된 데이터 전압을 순차적으로 충전한다.
- [0046] 제2 디멀티플렉서(62)의 제1 스위치 소자(S1)는 제1 MUX 신호(MUX1)의 게이트 온 전압(VGL)에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(CH2)을 제3 데이터 라인(1023)에 연결한다. 제2 디멀티플렉서(62)의 제2 스위치 소자(S2)는 제2 MUX 신호(MUX2)의 게이트 온 전압(VGL)에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(CH2)을 제4 데이터 라인(1024)에 연결한다. 제3 및 제4 서브 픽셀들(1013, 1014)은 제2 디멀티플렉서(62)를 통해 시분할 분배된 데이터 전압을 순차적으로 충전한다.
- [0047] 도 4는 본 발명의 실시예에 따른 픽셀 회로의 일 예를 보여 주는 회로도이다. 이 픽셀 회로는 구동 소자(DT)의 문턱 전압( $V_{th}$ )을 센싱하고 그 문턱 전압( $V_{th}$ ) 만큼 픽셀 데이터 전압을 보상하는 내부 보상 회로가 적용된 예이다. 내부 보상 회로는 픽셀 회로마다 내장되어 픽셀 회로들 각각에서 구동 소자(DT)의 문턱 전압을 샘플링하여 구동 소자(DT)의 문턱 전압 만큼 데이터 전압을 실시간 보상한다. 한편, 본 발명의 픽셀 회로는 도 4에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 본 발명의 픽셀 회로는 구동 소자의 이동도(mobility,  $\mu$ )를 센싱하고 그 이동도 만큼 픽셀 데이터 전압을 보상하는 내부 보상 회로를 포함할 수 있다.
- [0048] 도 4를 참조하면, 픽셀 회로는 발광 소자(EL), 다수의 트랜지스터들(M1~M6, DT), 및 커패시터(Cst)를 포함한다. 트랜지스터들(M1~M6, DT)은 p 채널 트랜지스터로 구현될 수 있다. 트랜지스터들 중에서 오프 시간이 긴 트랜지스터의 경우에 누설 전류 즉, 오프 커런트(off current)가 낮은 Oxide TFT 혹은 듀얼 게이트(dual gate) 구조의 TFT로 구현될 수 있다. 예를 들어, 도 6a 내지 도 6c에 도시된 바와 같이 1 프레임 기간에서 아주 짧은 시

간에 턴-온되고 거의 1 프레임 기간 동안 오프 상태를 유지하는 제1 및 제5 스위치 소자들(M1, M5)이 듀얼 게이트 구조의 TFT로 구현될 수 있다.

- [0049] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제4 및 제6 스위치 소자들(M4, M6) 사이의 제4 노드에 연결된다. OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다. OLED는 구동 소자(DT)의 게이트-소스간 전압(Vgs)에 따라 흐르는 전류로 발광된다. OLED의 전류 패스는 제3 및 제4 스위치 소자(M3, M4)에 의해 스위칭된다.
- [0050] 스토리지 커패시터(Cst)는 VDD 라인(104)과 제1 노드(DRG) 사이에 연결된다. 구동 소자(DT)의 문턱 전압(Vth)만큼 보상된 픽셀 데이터 전압이 스토리지 커패시터(Cst)에 충전되어 픽셀 데이터가 샘플링된다. 서브 픽셀들(101) 각각에서 픽셀 데이터 전압은 구동 소자(DT)의 문턱 전압(Vth)만큼 보상되기 때문에 서브 픽셀들(101)에서 구동 소자(DT)의 특성 편차가 보상되어 균일한 구동 특성으로 구동될 수 있다.
- [0051] 제1 스위치 소자(M1)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제1 노드(DRG)와 제2 노드(n2)를 연결한다. 제1 노드(DRG)는 구동 소자(DT)의 게이트, 스토리지 커패시터(Cst)의 제1 전극, 및 제1 스위치 소자(M1)의 제1 전극에 연결된다. 제2 노드(n2)는 구동 소자(DT)의 제2 전극, 제1 스위치 소자(M1)의 제2 전극, 및 제4 스위치 소자(M4)의 제1 전극에 연결된다. 제1 스위치 소자(M1)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제1 스위치 소자(M)의 제1 전극은 제1 노드(DRG)에 연결되고, 제1 스위치 소자(M1)의 제2 전극은 제2 노드(n2)에 연결된다.
- [0052] 제2 스위치 소자(M2)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 데이터 라인(102)의 전압을 제3 노드(n3)에 공급한다. 제2 스위치 소자(M2)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제2 스위치 소자(M2)의 제1 전극은 제3 노드(n3)에 연결된다. 제2 스위치 소자(M2)의 제2 전극은 데이터 라인(102)에 연결된다. 제3 노드(n3)는 제2 스위치 소자(M2)의 제1 전극, 제3 스위치 소자(M3)의 제2 전극, 및 구동 소자(DT)의 제1 전극에 연결된다.
- [0053] 제3 스위치 소자(M3)는 EM 신호(EM(N))의 게이트 온 전압(VEL)에 응답하여 턴-온되어 VDD 라인(104)을 제3 노드(n3)에 연결한다. 제3 스위치 소자(M3)의 게이트는 제3 게이트 라인(33)에 연결되어 EM 신호(EM(N))를 공급 받는다. 제3 스위치 소자(M3)의 제1 전극은 VDD 라인(104)에 연결된다. 제3 스위치 소자(M3)의 제2 전극은 제3 노드(n3)에 연결된다.
- [0054] 제4 스위치 소자(M4)는 EM 신호(EM(N))의 게이트 온 전압(VEL)에 응답하여 턴-온되어 제2 노드(n2)를 발광 소자(EL)의 애노드에 연결한다. 제4 스위치 소자(M4)의 게이트는 제3 게이트 라인(33)에 연결되어 EM 신호(EM(N))를 공급 받는다. 제4 스위치 소자(M4)의 제1 전극은 제2 노드(n2)에 연결되고, 제2 전극은 발광 소자(EL)의 애노드에 연결된다.
- [0055] 제5 스위치 소자(M5)는 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제1 노드(DRG)를 Vini 라인(105)에 연결한다. 제5 스위치 소자(M5)의 게이트는 제2 게이트 라인(32)에 연결되어 제N-1 스캔 신호[SCAN(N-1)]를 공급 받는다. 제5 스위치 소자(M5)의 제1 전극은 제1 노드(DRG)에 연결되고, 제2 전극은 Vini 라인(105)에 연결된다.
- [0056] 제6 스위치 소자(M6)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 Vini 라인(105)을 발광 소자(EL)의 애노드에 연결한다. 제6 스위치 소자(M6)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제6 스위치 소자(M6)의 제1 전극은 Vini 라인(105)에 연결되고, 제2 전극은 발광 소자(EL)의 애노드에 연결된다.
- [0057] 구동 소자(DT)는 Vgs에 따라 발광 소자(EL)에 흐르는 전류를 조절하여 발광 소자(EL)를 구동한다. 구동 소자(DT)는 제1 노드(DRG)에 연결된 게이트, 제3 노드(n3)에 연결된 제1 전극, 및 제2 노드(n2)에 연결된 제2 전극을 포함한다.
- [0058] 도 5는 디멀티플렉서(61)를 이용한 데이터 라인들의 시분할 구동 방법을 보여 주는 도면이다. 제N 픽셀 라인의 제1 및 제2 서브 픽셀들은 제N 게이트 신호[GATE(N)]의 펄스가 게이트 온 전압으로 발생될 때 데이터 전압을 순차적으로 공급 받는다. 디멀티플렉서(61)는 1 수평 기간(1H) 동안 제1 및 제2 데이터 라인들에 픽셀 데이터 전압(A, B)을 순차적으로 공급한다. 디멀티플렉서(61)의 제1 및 제2 스위치 소자(S1, S2)가 순차적으로 턴-온된

다.

- [0059] 먼저, 제1 스위치 소자(S1)가 제1 MUX 신호(MUX1)에 응답하여 제1 1/2 수평 기간에 턴-온될 때, 제1 데이터 라인(DATA1)에 제1 픽셀 데이터 전압(A)이 공급된다. 이 때, 제1 데이터 라인(DATA1)에 픽셀 데이터 전압(A)이 충전되고, 제2 스위치 소자(S2)는 오프 상태이므로 제2 데이터 라인(DATA2)은 플로팅(floating)되어 이전 픽셀 데이터 전압을 유지한다.
- [0060] 이어서, 제2 스위치 소자(S2)가 제1 MUX 신호(MUX2)에 응답하여 제2 1/2 수평 기간에 턴-온될 때, 제2 데이터 라인(DATA2)에 제2 픽셀 데이터 전압(B)이 공급된다. 이 때, 제2 데이터 라인(DATA2)에 제2 픽셀 데이터 전압(B)이 충전되고, 제1 스위치 소자(S1)는 오프 상태이므로 제1 데이터 라인(DATA1)은 플로팅되어 이전 픽셀 데이터 전압을 유지한다.
- [0061] 데이터 라인들이 시분할 구동될 때, 이전에 충전된 이전 픽셀 데이터 전압의 영향으로 인하여 도 6a 내지 도 6c에 도시된 바와 같이, 실제 표시하고자 하는 픽셀 데이터가 서브 픽셀에 기입되지 못할 수 있다. 도 5는 디멀티플렉서를 이용한 데이터 라인들의 시분할 구동 방법을 보여 주는 도면이다.
- [0062] 도 6a는 제N(N은 자연수)-1 수평 기간에 제2 픽셀 데이터 전압(B1)이 제2 데이터 라인(1022)에 공급되는 예를 보여 준다. 도 6b 및 도 6c는 제N 수평 기간에 제1 픽셀 데이터 전압(A2)이 제1 데이터 라인(1021)에 공급된 후에, 제2 픽셀 데이터 전압(B2)이 제2 데이터 라인(1022)에 공급되는 예를 보여 준다.
- [0063] 도 6a 내지 도 6c에 도시된 픽셀 회로들(101A, 101B)은 제N 픽셀 라인의 서브 픽셀들을 나타낸다. 도 6a 내지 도 6c에서, 제1 서브 픽셀은 제1 데이터 라인(1021)에 연결된 제1 픽셀 회로(101A)를 포함한다. 제2 서브 픽셀은 제2 데이터 라인(1022)에 연결된 제2 픽셀 회로(101B)를 포함한다. 도 6a 내지 도 6c에서, A1 및 B1은 제N-1 픽셀 라인의 서브 픽셀들에 기입될 이전 픽셀 데이터 전압이다. A2 및 B2는 제N 픽셀 라인의 서브 픽셀들에 기입될 이전 픽셀 데이터 전압이다.
- [0064] 제N-1 수평 기간 동안 제N-1 픽셀 라인의 서브 픽셀들에 기입될 픽셀 데이터 전압(A1, B1)이 데이터 라인들(1021, 1022)에 충전된다. 제N-1 수평 기간의 제1 1/2 수평 기간에 제1 픽셀 데이터 전압(A1)이 제1 데이터 라인(1021)에 공급된 후에, 도 6a에 도시된 바와 같이, 제2 1/2 수평 기간에 제2 스위치 소자(S2)가 턴-온된다. 따라서, 제2 1/2 수평 기간에 제2 픽셀 데이터 전압(B1)이 제2 스위치 소자(S2)를 통해 제2 데이터 라인(1022)에 공급된다.
- [0065] 제N-1 수평 기간의 제2 1/2 수평 기간에 제2 픽셀 데이터 전압(B1)은 제2 데이터 라인(1022)의 커패시터(52)에 충전되고 제2 픽셀 회로(102B)의 제1 및 제2 스위치 소자들(M1, M2)을 통해 제2 픽셀 회로(102B)의 구동 소자(DT)에 공급된다. 이 때, 디멀티플렉서(61)의 제1 스위치 소자(S1)가 턴-오프되어 있으므로 제1 데이터 라인(1021)의 커패시터(51)에 충전된 제1 픽셀 데이터 전압(A1)이 제1 픽셀 회로(101A)의 구동 소자(DT)에 공급된다.
- [0066] 제N 수평 기간 동안, 제N 픽셀 라인의 서브 픽셀들에 기입될 픽셀 데이터 전압(A2, B2)이 데이터 라인들(1021, 1022)에 충전된다.
- [0067] 도 6b를 참조하면, 제N 수평 기간의 제1 1/2 수평 기간에 제1 스위치 소자(S1)가 턴-온되어 제1 픽셀 데이터 전압(A1)이 제1 데이터 라인(1021)에 공급된다. 제1 1/2 수평 기간에 제1 픽셀 데이터 전압(A2)이 제1 데이터 라인(1021)의 커패시터(51)에 충전됨과 동시에, 제1 픽셀 회로(101A)의 구동 소자(DT)에 공급된다. 이 때, 제2 스위치 소자(S2)가 턴-오프되어 있으므로 제2 데이터 라인(1022)의 커패시터(52)에 충전되었던 이전 데이터 전압(B1)이 제2 픽셀 회로(101B)의 구동 소자(DT)에 공급된다.
- [0068] 도 6c를 참조하면, 제N 수평 기간의 제2 1/2 수평 기간에 제2 스위치 소자(S2)가 턴-온되어 제2 픽셀 데이터 전압(B2)이 제2 데이터 라인(1022)에 공급된다. 제2 1/2 수평 기간에 제2 픽셀 데이터 전압(B2)이 제2 데이터 라인(1022)의 커패시터(52)에 충전된다. 이 때, 제1 스위치 소자(S1)가 턴-오프되어 있으므로 제1 데이터 라인(1021)의 커패시터(51)에 충전되었던 제1 픽셀 데이터 전압(A2)이 제1 픽셀 회로(101A)의 구동 소자(DT)에 공급된다.
- [0069] 제1 및 제2 1/2 수평 기간 동안, 제1 픽셀 회로(101A)에서 픽셀 데이터 전압(A2)에 따라 구동 소자(DT)가 턴-온되어 구동 소자(DT)의 문턱 전압(Vth)이 센싱(sensing)되고 문턱 전압(Vth) 만큼 보상된 픽셀 데이터 전압(A2)이 커패시터(Cst)에 충전된다. 제2 1/2 수평 기간에 제2 픽셀 회로(101B)의 구동 소자(DT)가 턴-온되어 그 문턱 전압(Vth)이 센싱되어야 하지만 이전 데이터 전압(B1)이 현재 입력되는 픽셀 데이터 전압(B2) 보다 큰 경우

( $B1 > B2$ )에, 제2 픽셀 회로(101B)의 구동 소자(DT)가 턴-오프되어 구동 소자(DT)의 문턱 전압이 센싱될 수 없다. 이는  $B1 > B2$  일 때 구동 소자(DT)의 소스와 드레인 전압이 반전되어 구동 소자(DT)가 턴-오프되기 때문이다.

- [0070] 본 발명은 도 7에 도시된 바와 같이 픽셀 데이터 전압(A2, B2) 전에 초기화 전압을 데이터 라인들(1021, 1022)에 공급하여 데이터 라인들에 공급하여 데이터 라인들(1021, 1022)을 방전시킴으로써 서브 픽셀들 각각에서 이전 픽셀 데이터 전압의 영향 없이 구동 소자의 문턱 전압을 센싱할 수 있다. 본 발명에 따르면, 모든 서브 픽셀들에서 구동 소자의 문턱 전압( $V_{th}$ )이 센싱되는 시간이 동일하게 된다.
- [0071] 도 7은 본 발명의 실시예에 따른 픽셀 회로의 구동 방법을 보여 주는 파형도이다. 도 7에서,  $1H(N-1)$ 은 제N-1 수평 기간이고,  $1H(N)$ 은 제N 수평 기간이다. DATA\_CH1은 데이터 구동부(110)의 제1 채널(CH1)로부터 출력되는 데이터 전압이다. DATA1은 제1 데이터 라인(1021)에 공급되는 데이터 전압이다. DATA2는 제1 데이터 라인(1021)에 공급되는 데이터 전압이다. X는 초기화 전압이다. t01과 t03은 데이터 구동부(110)로부터 초기화 전압(X)이 출력되어 데이터 라인들이 픽셀 데이터 전압(A1, A2, B1, B2)의 최소 전압 보다 낮은 전압으로 방전되는 시간이다. t02와 t04는 데이터 구동부(110)로부터 픽셀 데이터 전압(A1, A2, B1, B2)이 출력되는 픽셀 데이터 기입 시간이다. 도 7에서 점선은 데이터 라인들의 플로팅(floating) 구간이다.
- [0072] 도 7을 참조하면, 데이터 구동부(110)는 채널들 각각에서 출력 버퍼(AMP)를 통해 매 픽셀 데이터 마다 초기화 전압(X)을 출력한 후에 픽셀 데이터 전압(A1, A2, B1, B2)을 출력한다. 디멀티플렉서(61)는 매 수평 기간 마다 초기화 전압(X)과 제1 픽셀 데이터 전압(A1, A2)을 제1 데이터 라인(1021)에 공급한 후, 초기화 전압(X)과 제2 픽셀 데이터 전압(B1, B2)을 제1 데이터 라인(1021)에 공급한다.
- [0073] 초기화 전압(X)은 디멀티플렉서 어레이(112)의 스위치 소자들을 제어하기 위한 MUX 신호들(MUX1, MUX2)의 전압이 게이트 오프 전압(VGH)으로 상승할 때 발생하는 킥백 전압(kickback voltage)을 고려하여 픽셀 데이터 전압(Vdata)의 최소 전압 보다 낮은 전압으로 설정된다.
- [0074] 도 8의 예에서, t0 시점에 구동 소자(DT)의 게이트 즉, 제1 노드(DRG1)의 전압은  $B2 - V_{th}$  보다 낮아야 하지만 제2 MUX 신호(MUX2)가 게이트 오프 전압(VGH)으로 라이징(rising)되어 제2 스위치 소자(S2)가 턴-오프될 때 제1 노드(DRG1)의 전압이  $X + \text{kickback} - V_{th}$ 가 된다. 데이터 전압 중에서 최소 전압은 화이트 게조 전압(White voltage)이다. 따라서,  $X + \text{kickback voltage} - V_{th} \leq \text{White Voltage} - V_{th}$  이다.  $V_{th}$ 는 구동 소자(DT)의 문턱 전압이다. MUX 신호(MUX1, MUX2)의 라이징 에지(rising edge)에서 발생하는 킥백 전압을 고려하여 t0 시점에 구동 소자(DT)의 게이트 전압이  $B2 - V_{th}$  보다 낮게 하기 위해서, X는 White Voltage - Kickback voltage 으로 설정된다. 한편, MUX 신호(MUX1, MUX2)의 폴링 에지에서 발생하는 킥백 전압은 구동 소자(DT)의 드레인-소스 전압이 반전되기 때문에 구동 소자(DT)의 게이트 전압에 거의 영향을 주지 않는다.
- [0075] 도 9a, 도 10a, 도 11a, 도 12a 및 도 13a에서, 점선은 데이터 라인들(1021, 1022)의 플로팅 구간이다. 데이터 전압이 서브 픽셀들의 픽셀 회로에 공급되는 1 수평 기간[ $1H(N-1)$ ,  $1H(N)$ ]동안, 발광 소자(EL)가 발광되지 않도록 EM 신호[EM(N)]는 게이트 오프 전압(VEH)을 유지한다. 도 9b에서 서브 픽셀들에 발광 시간은 생략되어 있다.
- [0076] 제N-1 수평 기간[ $1H(N-1)$ ] 동안, 제N-1 픽셀 라인의 서브 픽셀들에 인가되는 EM 신호[EM(N)]는 게이트 온 전압(VEL)으로 반전되어 제N-1 픽셀 라인의 서브 픽셀들이 발광되기 시작한다. 제N-1 픽셀 라인의 서브 픽셀들(101A, 101B)은 도 9a 및 도 9b에 도시된 바와 같이 제N-1 수평 기간[ $1H(N-1)$ ] 동안 제1 노드 전압이 Vini로 초기화된다.
- [0077] 도 9a 및 도 9b를 참조하면, 제N-1 수평 기간[ $1H(N-1)$ ] 동안, 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 응답하여 제N 픽셀 라인의 픽셀 회로들(101A, 101B) 각각에서 제5 스위치 소자(M5)가 턴-온된다. 그 결과, 제1 및 제2 픽셀 회로들(101A, 101B)에서 제1 노드(DRG1, DRG2)의 전압이 Vini으로 초기화된다.
- [0078] 도 10a 내지 도 12b는 제N-1 수평 기간[ $1H(N-1)$ ] 동안 제N 픽셀 라인의 제1 및 제2 픽셀 회로들(101A, 101B)의 동작을 단계적으로 보여 주는 도면들이다.
- [0079] 도 10a 및 도 10b를 참조하면, 제1 시간(t01) 동안 제1 및 제2 MUX 신호(MUX1, MUX2)가 동시에 게이트 온 전압(VGL)으로 발생된다. 제1 시간(t01) 동안 제N-1 및 제N 스캔 신호들[SCAN(N-1), SCAN(N)]의 전압은 게이트 오프 전압(VGH)이다.
- [0080] 제1 시간(t01)에 데이터 구동부(110)는 초기화 전압(X)을 제1 채널(CH)을 통해 출력하고 디멀티플렉서(61)의 제



1 및 제2 스위치 소자(S1, S2)는 게이트 온 전압(VGL)의 MUX 신호(MUX1, MUX2)에 응답하여 동시에 턴-온된다. 제1 및 제2 데이터 라인들(1021, 1022)은 제1 시간(t01)에 제1 및 제2 스위치 소자들(S1, S2)을 통해 단락(short circuit)되어 차지 웨어링(Charge sharing)됨과 동시에, 데이터 구동부(110)의 출력 버퍼(AMP)를 통해 방전되어 제1 시간(t01)의 종료 시점 전에 초기화 전압(X)까지 방전된다. 초기화 전압(X)은 전술한 바와 같이 픽셀 데이터 전압(A1, A2, B1, B2)의 최소 전압 보다 낮은 전압 즉, 화이트 계조 전압 - 킥백 전압으로 설정된다. 따라서, 제2 시간(t02)에 제1 데이터 라인(1021)에 인가되는 픽셀 데이터 전압(A2) 보다 낮은 전압으로 데이터 라인들(1021, 1022)의 커패시터(51, 52)가 초기화된다.

[0081] 도 11a 및 도 11b를 참조하면, 제2 시간(t02) 동안 제2 MUX 신호(MUX2)가 게이트 오프 전압(VGH)으로 반전되어 제2 스위치 소자(S2)는 턴-오프되고, 제1 MUX 신호(MUX1)는 게이트 온 전압(VGL)을 유지하여 제1 스위치 소자(S1)가 턴-온된다. 이 때, 데이터 구동부(110)는 제N 픽셀 라인의 제1 픽셀 회로(101A)에 공급될 제1 픽셀 데이터 전압(A2)을 출력한다. 제2 시간(t02)에 제N 스캔 신호[SCAN(N)]는 게이트 온 전압(VGL)으로 반전되어 제1, 제2, 및 제6 스위치 소자들(M1, M2, M6)이 턴-온된다. 따라서, 제1 픽셀 데이터 전압(A2)은 제2 시간(t02)에 제1 픽셀 회로(101A)의 제1 및 제2 스위치 소자(M1, M2)를 통해 제1 노드(DRG1)에 공급된다. 제2 시간(t02)에 구동 소자(DT)와 제1 스위치 소자(M1)가 턴-온되어 제1 픽셀 회로(101A)의 제1 노드(DRG2)의 전압이 A2-Vth까지 상승하여 이 전압이 커패시터(Cst)에 샘플링된다.

[0082] 한편, 제2 시간(t02)에 제2 데이터 라인(1022)의 커패시터(52)에 충전된 초기화 전압(X)이 제2 픽셀 회로(101B)의 제1 노드(DRG2)에 공급되어, 제2 픽셀 회로의 제1 노드 전압은 X-Vth까지만 상승하고 이 전압이 제2 픽셀 회로(101B)의 커패시터(Cst)에 샘플링된다.

[0083] 도 12a 및 도 12b를 참조하면, 제3 시간(t03) 동안 제2 MUX 신호(MUX2)가 게이트 온 전압(VGL)으로 반전되어 제2 스위치 소자(S2)가 턴-온되고, 제1 MUX 신호(MUX1)는 게이트 온 전압(VGL)을 유지하여 제1 스위치 소자(S1)가 온 상태를 유지한다. 제1 시간(t01) 동안 제N 스캔 신호[SCAN(N1)]는 게이트 온 전압(VGL)을 유지하여 제1 및 제2 픽셀 회로들(101A, 101B)의 제1, 제2 및 제6 스위치 소자들(M1, M2, M6)이 턴-온된다. 이 때, 데이터 구동부(110)는 초기화 전압(X)을 제1 채널(CH)을 통해 출력한다.

[0084] 제3 시간(t03)에, 제1 및 제2 데이터 라인들(1021, 1022)은 제1 및 제2 스위치 소자들(S1, S2)을 통해 단락되어 차지 웨어링(Charge sharing)됨과 동시에, 데이터 구동부(110)의 출력 버퍼(AMP)를 통해 방전되어 제3 시간(t03)의 종료 시점 전에 초기화 전압(X)까지 방전된다. 초기화 전압(X)은 화이트 계조 전압 - 킥백 전압으로 설정된다. 따라서, 제4 시간(t04)에 제2 데이터 라인(1022)에 인가되는 픽셀 데이터 전압(B2) 보다 낮은 전압으로 데이터 라인들(1021, 1022)의 커패시터(51, 52)가 초기화된다.

[0085] 제3 시간(t03)에 제1 픽셀 회로(DT)의 구동 소자(DT)는 턴-오프되어 제1 노드(DRG1)의 전압이 변동되지 않는다. 이는 제3 시간(t03)에 구동 소자(DT)의 드레인 전압(Vd)과 소스 전압(Vs)이 반전되어 소스 전압(Vs)이 드레인 전압(Vd) 보다 작기 때문이다.

[0086] 도 13a 및 도 13b를 참조하면, 제4 시간(t04) 동안 제1 MUX 신호(MUX1)가 게이트 오프 전압(VGH)으로 반전되어 제1 스위치 소자(S1)는 턴-오프되고, 제2 MUX 신호(MUX2)는 게이트 온 전압(VGL)을 유지하여 제2 스위치 소자(S2)가 턴-온된다. 이 때, 데이터 구동부(110)는 제N 픽셀 라인의 제2 픽셀 회로(101B)에 공급될 제2 픽셀 데이터 전압(B2)을 출력한다. 제4 시간(t04)에 제N 스캔 신호[SCAN(N)]는 게이트 온 전압(VGL)으로 유지되어 제1, 제2, 및 제6 스위치 소자들(M1, M2, M6)이 턴-온된다. 따라서, 제2 픽셀 데이터 전압(A2)은 제4 시간(t04)에 제2 픽셀 회로(101B)의 제1 및 제2 스위치 소자(M1, M2)를 통해 제1 노드(DRG2)에 공급된다. 제4 시간(t04)에 구동 소자(DT)와 제1 스위치 소자(M1)가 턴-온되어 제2 픽셀 회로(101B)의 제1 노드(DRG2)의 전압이 B2-Vth까지 상승하여 이 전압이 커패시터(Cst)에 샘플링된다.

[0087] 한편, 제4 시간(t04)에 제1 데이터 라인(1021)은 플로팅되어 제1 픽셀 회로의 제1 노드 전압은 A2-Vth를 유지한다. 까지만 상승하고 이 전압이 제2 픽셀 회로(101B)의 커패시터(Cst)에 샘플링된다.

[0088] 본 발명은 매 수평 기간마다 데이터 라인들에 순차적으로 공급되는 픽셀 데이터 전압에 앞서 디멀티플렉서의 스위치 소자들을 모두 턴-온시켜 데이터 라인들의 차지 웨어링을 유도하고 데이터 라인들의 전압을 픽셀 데이터 전압 보다 낮은 전압으로 방전시킨다. 본 발명은 디멀티플렉서를 통해 순차적으로 구동되는 서브 픽셀들에서 구동 소자(DT)의 문턱 전압(Vth)이 보상된 픽셀 데이터 전압을 샘플링하는 시간(t02, t04)을 동일하게 설정할 수 있다. 서브 픽셀들의 샘플링 시간(t02, t04)이 동일하게 제어되면, 전기적 특성의 편차가 있는 서브 픽셀들의 보상을 균일하게 할 수 있다.

- [0089] 데이터 구동부(110)는 도 14에 도시된 바와 같이 타이밍 콘트롤러(130)로부터의 소스 출력 인에이블신호(Source Output Enable signal, 이하 “SOE” 라 함)에 응답하여 초기화 전압(X)과 픽셀 데이터 전압(Vdata)을 출력한다. SOE의 1 주기는 1 수평 기간(1H)이다. 데이터 구동부(110)는 SOE의 하이 로직 펄스(a)에 응답하여 초기화 전압(X)을 출력하는 반면, SOE의 로우 로직 구간(b) 동안 DAC로부터의 픽셀 데이터 전압(Vdata)을 출력한다.
- [0090] 도 15 및 도 16은 데이터 구동부에서 초기화 전압을 출력하는 회로를 보여 주는 도면이다.
- [0091] 도 15 및 도 16을 참조하면, 전원 회로는 초기화 전압(X)을 데이터 구동부(110)의 VNPC 핀(pin)을 통해 데이터 구동부(110)에 공급할 수 있다.
- [0092] 데이터 구동부(110)는 픽셀 데이터(디지털 데이터)를 감마 보상 전압으로 변환하여 픽셀 데이터 전압(Vdata)을 출력하는 DAC(170), SOE에 따라 픽셀 데이터 전압(Vdata)과 초기화 전압(X)을 선택하는 멀티플렉서(Multiplexer, MUX)(152)를 포함한다. 도 15 및 도 16에서 도면 부호 “160”은 데이터 구동부(110)의 채널마다 연결된 출력 버퍼를 나타낸다.
- [0093] 도 15에서, 출력 버퍼들(160)의 입력 노드들은 DAC(170)의 출력 채널들 각각에 1:1로 연결되고, 출력 버퍼(160)의 출력 노드는 멀티플렉서(152)의 제1 입력 노드에 연결된다. 단일 버퍼(150)로부터의 초기화 전압(X)은 멀티플렉서(152)의 제2 입력 노드에 공급된다. 멀티플렉서(152)는 SOE의 하이 로직 펄스(a)에 응답하여 단일 버퍼(150)로부터의 초기화 전압(X)을 선택하여 디멀티플렉서 어레이(112)에 공급한다. 멀티플렉서(152)는 SOE의 로우 로직 구간(b)에 출력 버퍼(160)로부터의 픽셀 데이터 전압(Vdata)을 선택하여 디멀티플렉서 어레이(112)에 공급한다.
- [0094] 도 16에서, DAC의 출력 채널은 멀티플렉서(152)의 제1 입력 노드에 연결된다. VNPC 핀은 멀티플렉서(152)의 제2 입력 노드에 직접 연결된다. 출력 버퍼들(160)은 멀티플렉서(152)의 출력 노드에 연결된다. 데이터 전압(Vdata, X)은 출력 버퍼들(160)을 통해 디멀티플렉서(112)에 공급된다. 데이터 구동부(110)의 채널들(CH~CH4) 각각에 멀티플렉서(152)와 출력 버퍼(160)가 직렬로 연결된다.
- [0095] 멀티플렉서(152)는 SOE의 하이 로직 펄스(a)에 응답하여 VNPC 핀으로부터의 초기화 전압(X)을 선택하여 출력 버퍼(160)에 공급한다. 멀티플렉서(152)는 SOE의 로우 로직 구간(b)에 DAC(170)로부터의 픽셀 데이터 전압(Vdata)을 선택하여 출력 버퍼(160)에 공급한다.
- [0096] VPCP 핀이 도 15에 도시된 바와 같이 단일 버퍼(150)를 통해 모든 채널들(CH~CH4)에 병렬로 연결될 수 있다. 이 경우, 단일 버퍼(150)가 채널들(CH1~CH4)에 연결된 데이터 라인들에 연결된 RC 부하(Load)에 연결되기 때문에 매우 짧은 SOE의 하이 로직 펄스(a) 내에 데이터 라인들이 초기화 전압 만큼 방전되기가 어렵다. 이 경우에, 버퍼(150)로부터의 위치에 따라 SOE의 하이 로직 펄스(a) 내에서 데이터 라인들의 방전 레벨이 달라질 수 있다.
- [0097] 이에 비하여, 도 16에 도시된 바와 같이 초기화 전압(X)이 데이터 구동부(110)의 채널들 각각에 형성된 출력 버퍼들(160)을 통해 채널별로 독립적으로 데이터 라인들에 공급되면 SOE의 하이 로직 펄스(a) 구간 내에서 모든 데이터 라인들의 방전 레벨이 초기화 전압(X)에 도달할 수 있다. 이는 데이터 구동부(110)의 채널별로 연결된 출력 버퍼들(160)에 연결된 부하가 작아 데이터 라인들이 빠르게 방전할 수 있기 때문이다. 초기화 전압(X)이 출력 버퍼들(160) 개별로 인가되는 경우에 출력 버퍼(160)의 구동 전류가 작더라도 데이터 라인들이 빠르게 방전될 수 있다.
- [0098] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

- [0099] 102, 1021~1026 : 데이터 라인 103 : 게이트 라인
- 100 : 표시패널 50~56 : 데이터 라인의 커패시터
- 61, 62 : 디멀티플렉서 101, 1011~1016 : 서브 픽셀(픽셀 회로)
- 110 : 데이터 구동부 112 : 디멀티플렉서 어레이



120 : 게이트 구동부 130 : 타이밍 콘트롤러

S1, S2 : 디멀티플렉서의 스위치 소자

M1~M6 : 픽셀 회로의 스위치 소자

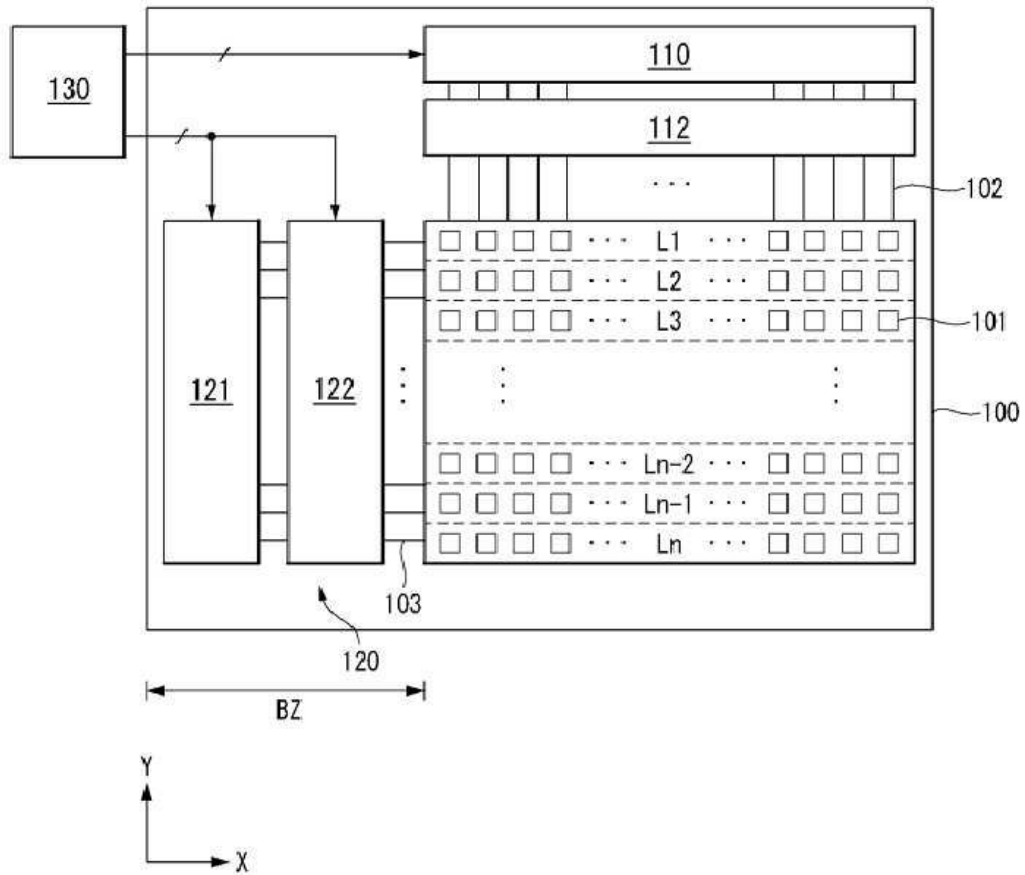
DT : 픽셀 회로의 스위치 소자

EL : 픽셀 회로의 발광 소자

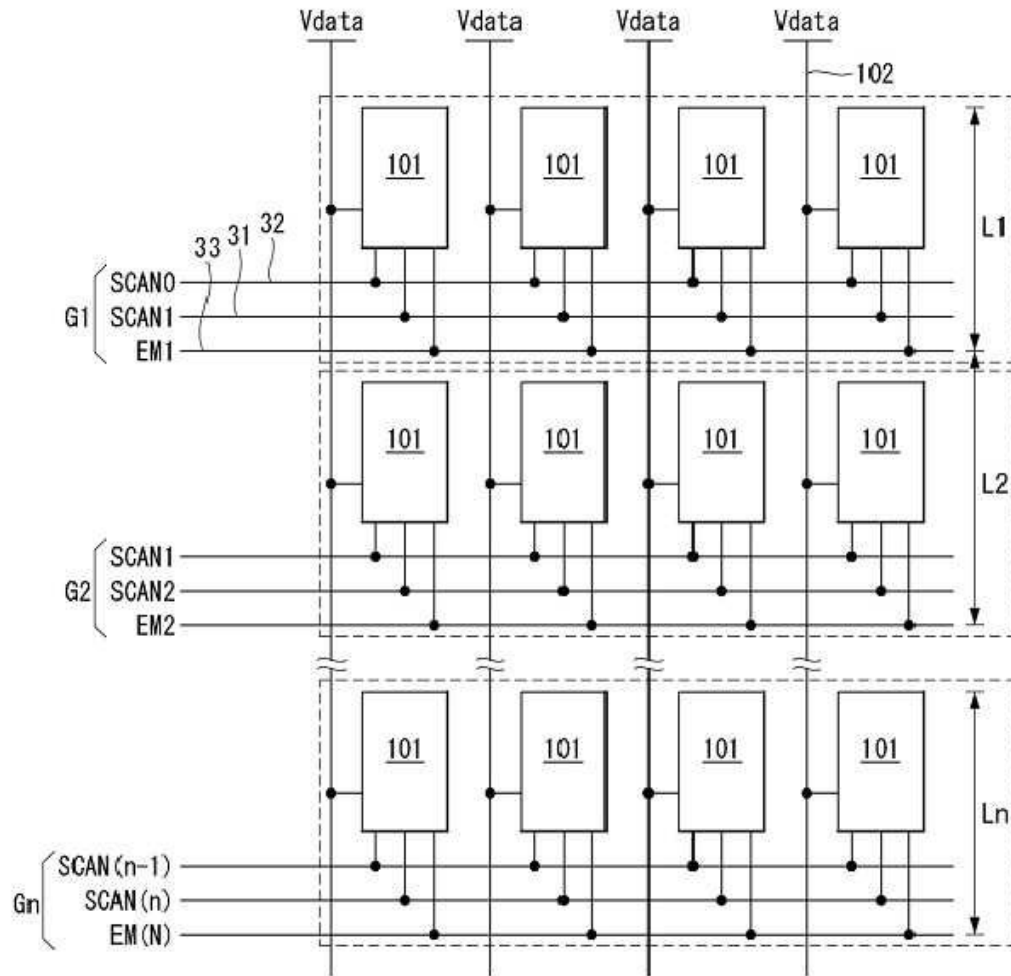
Cst : 픽셀 회로의 커패시터

도면

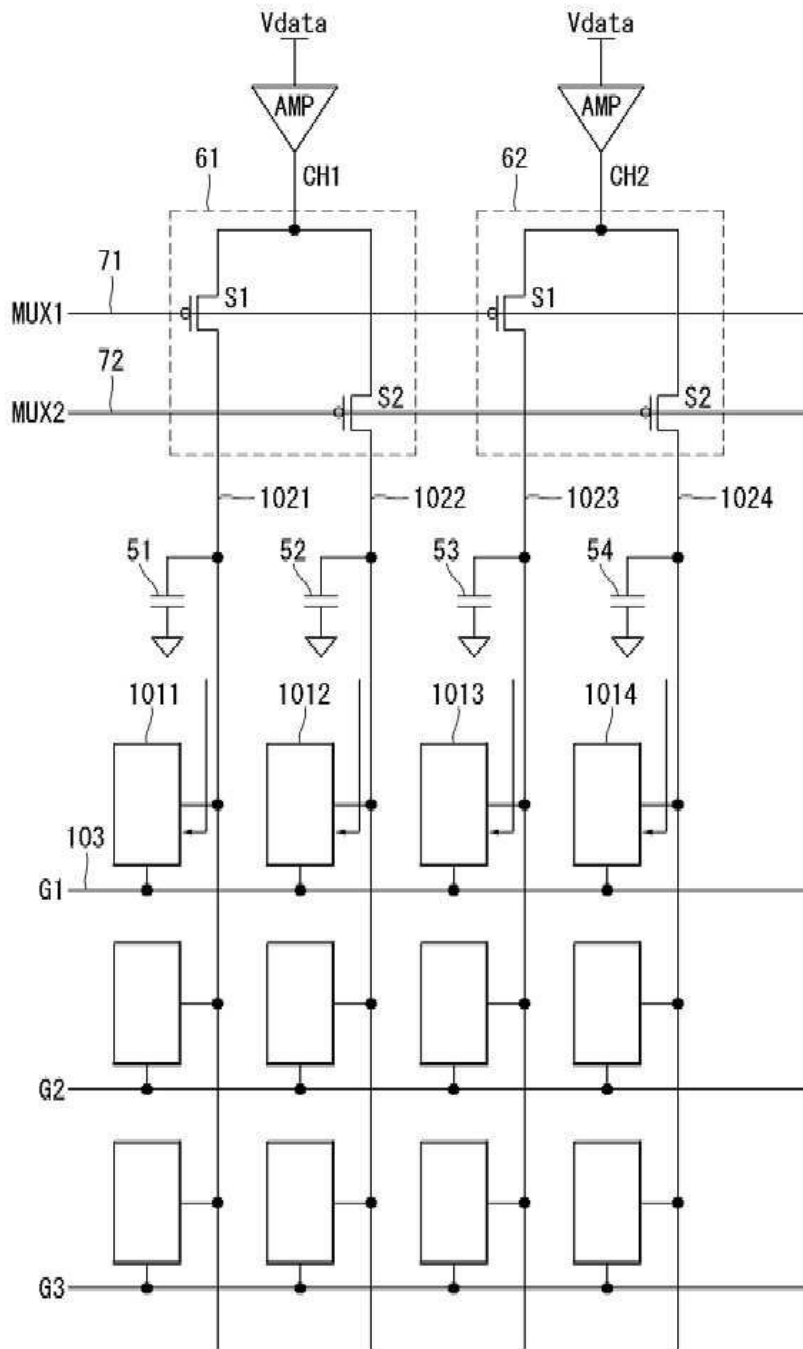
도면1



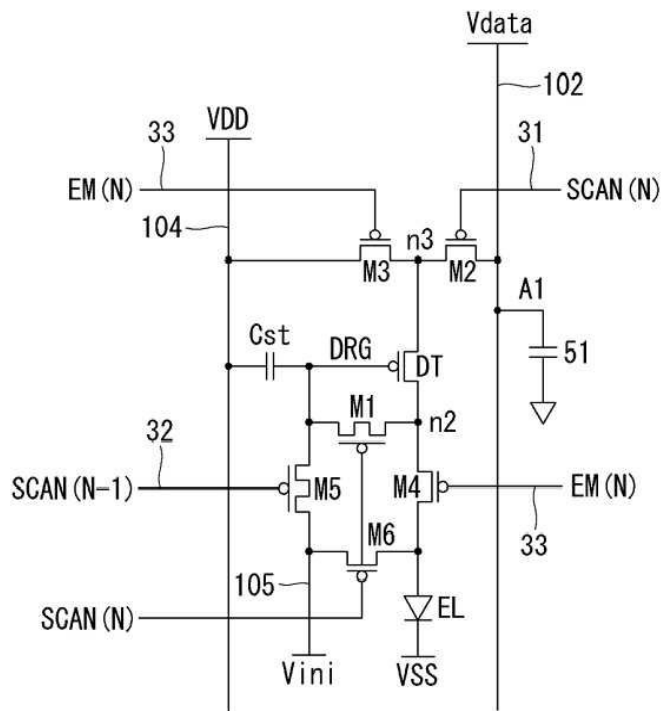
도면2



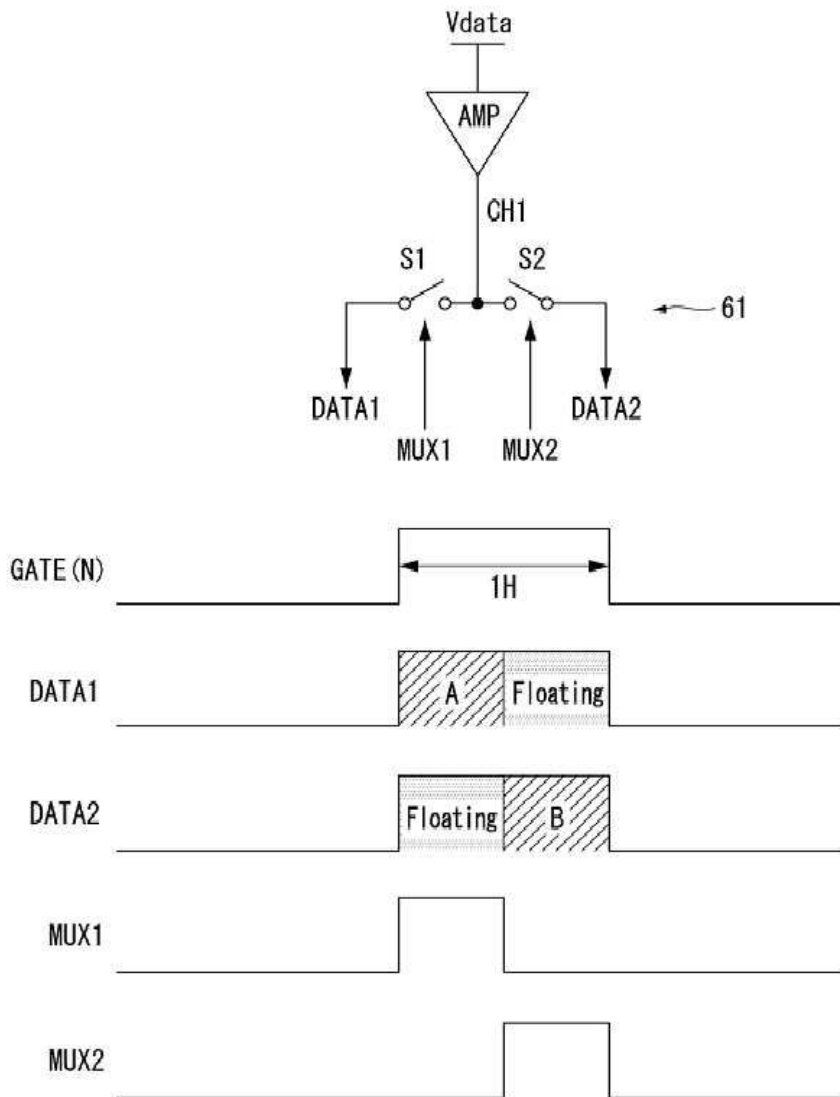
도면3



도면4



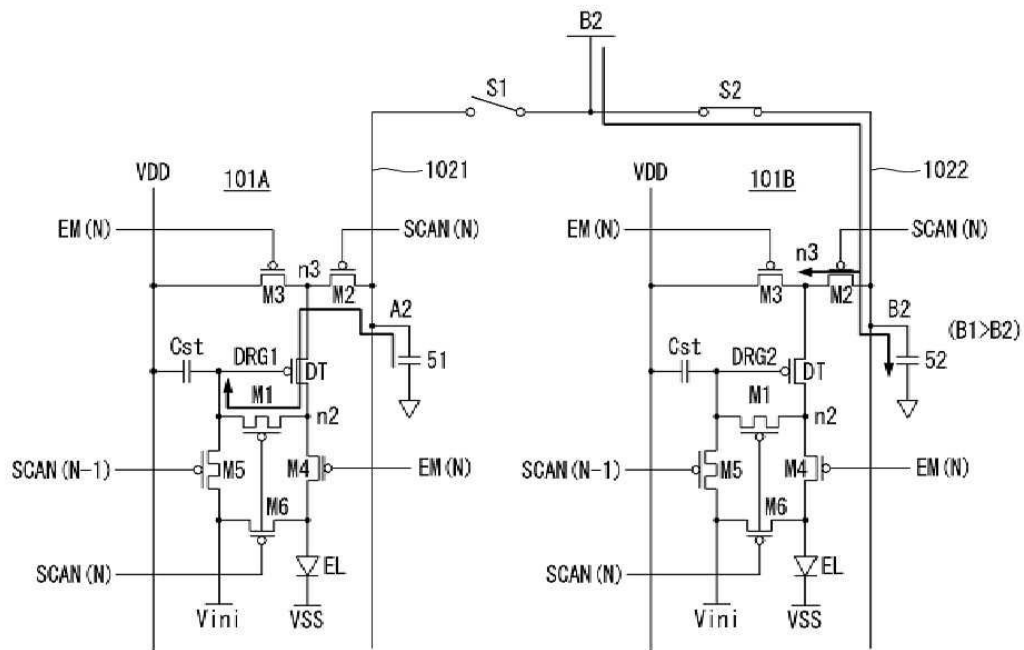
도면5



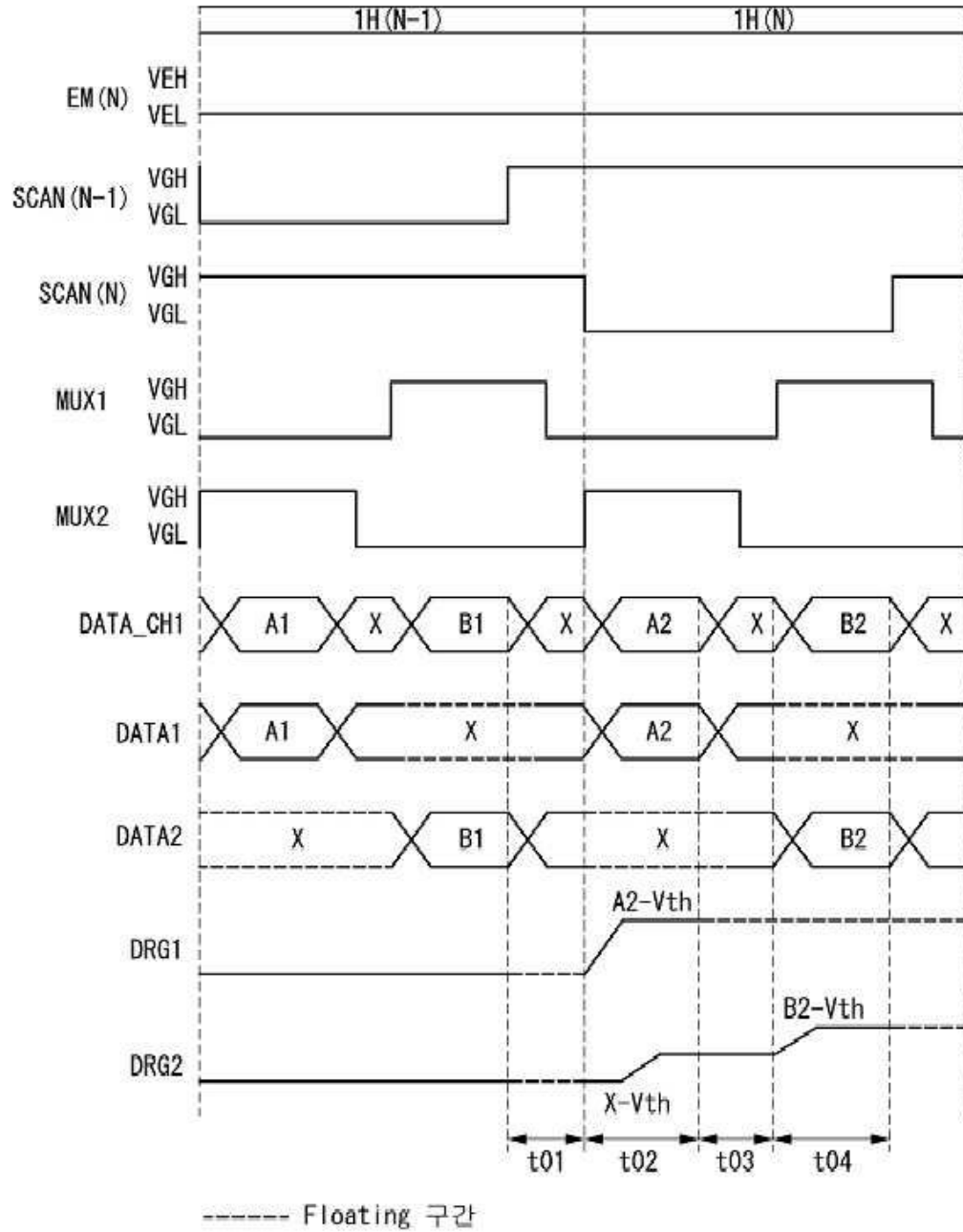




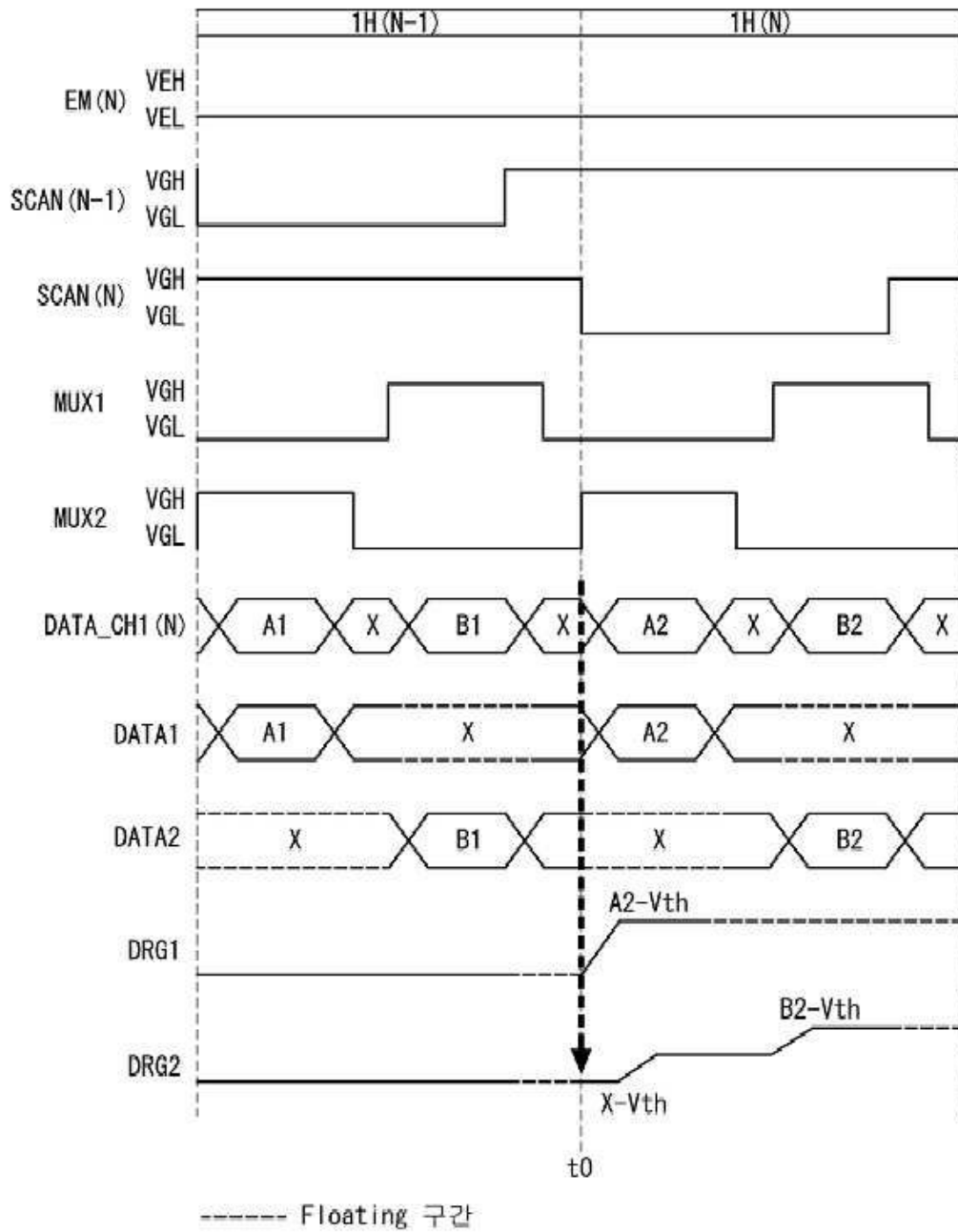
도면6c



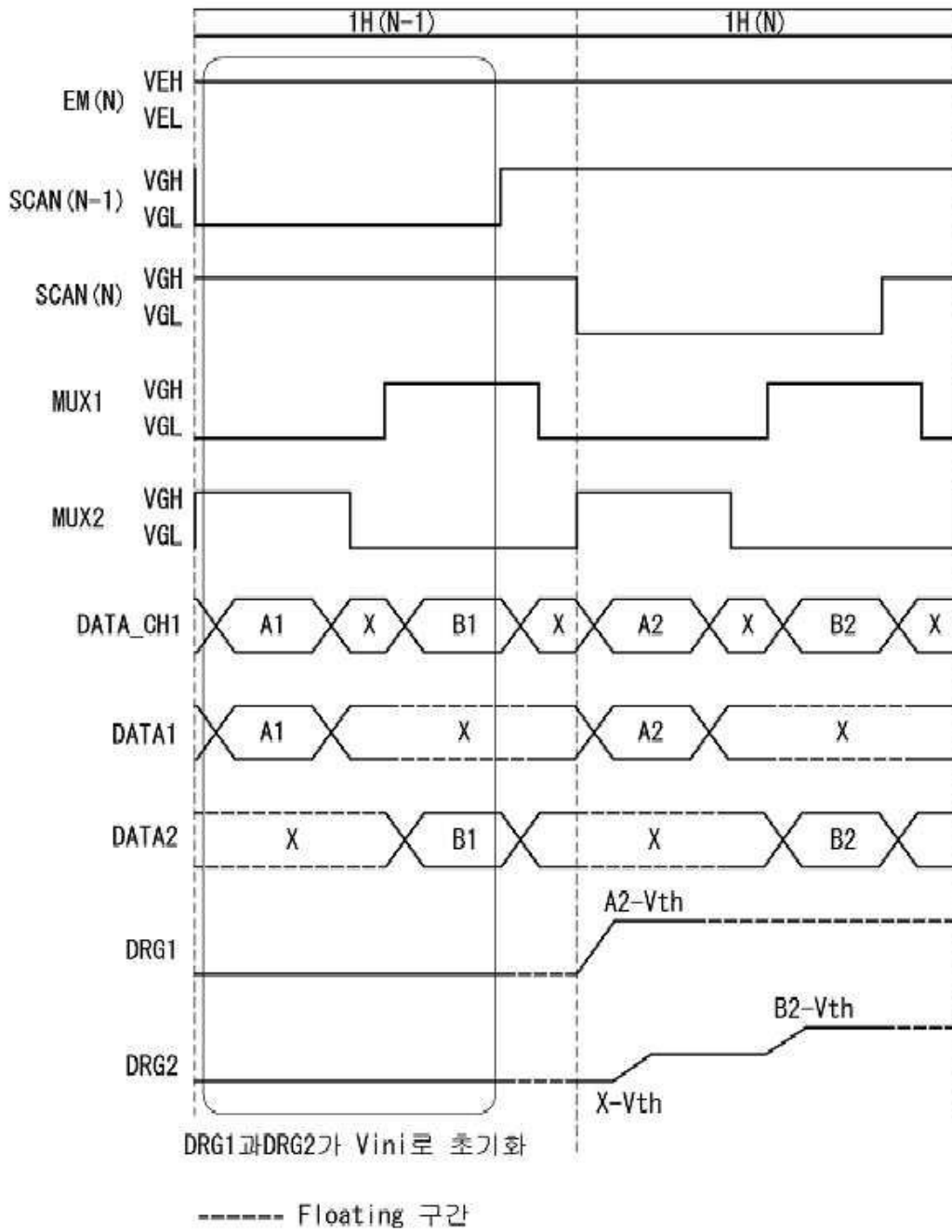
도면7



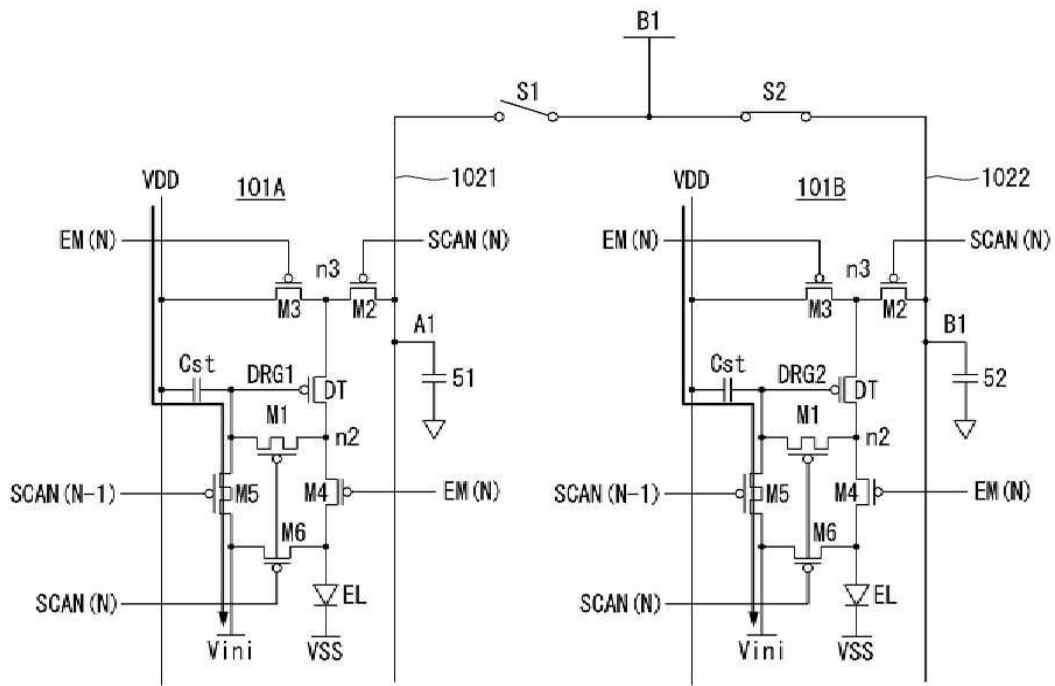
도면8



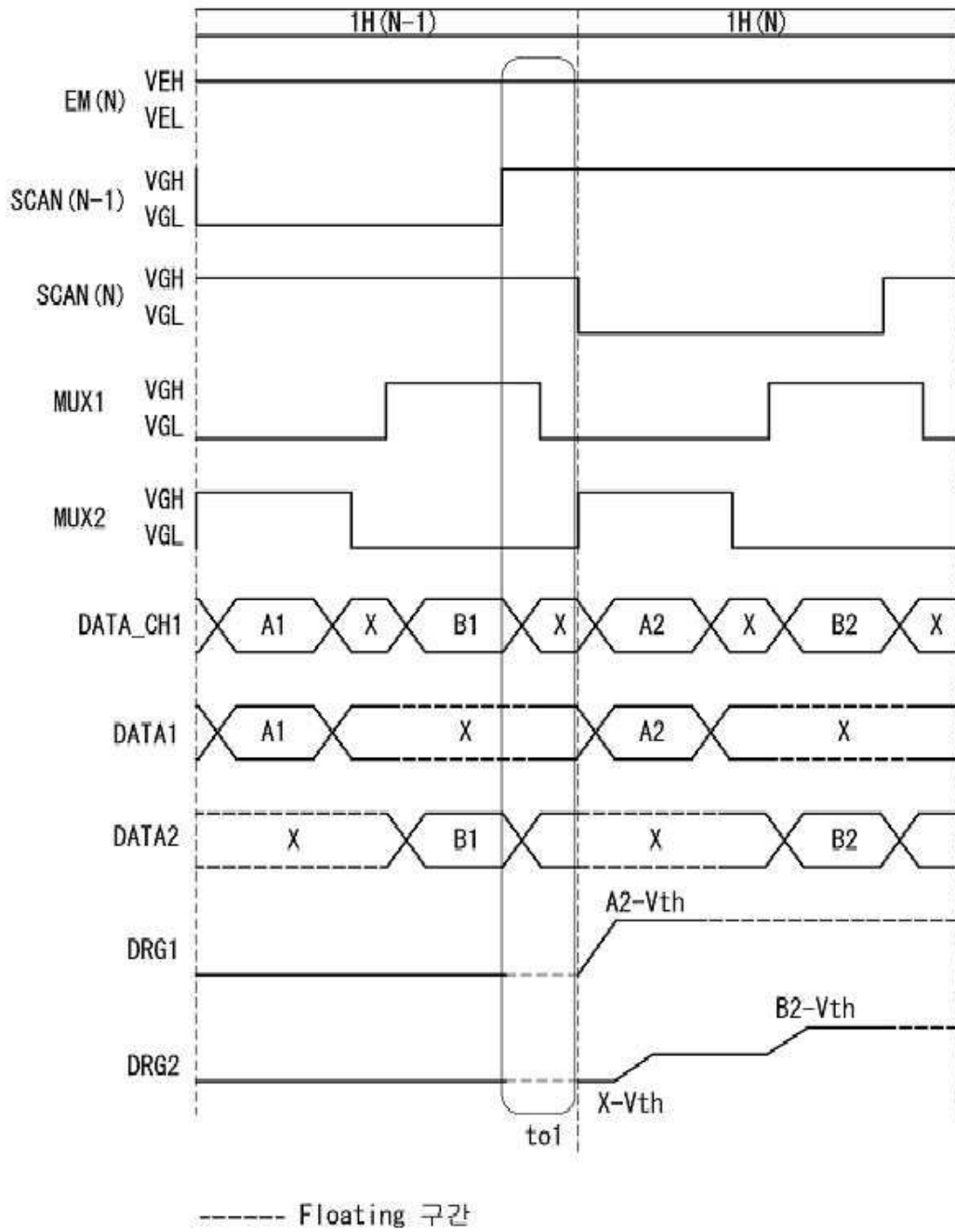
도면9a



도면9b

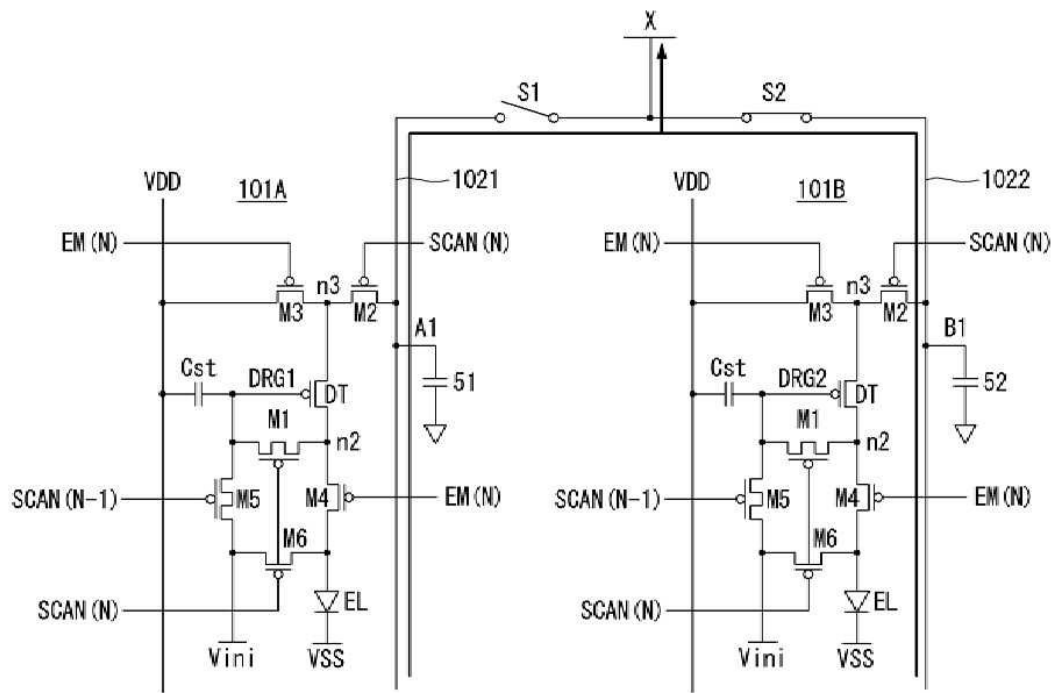


도면10a

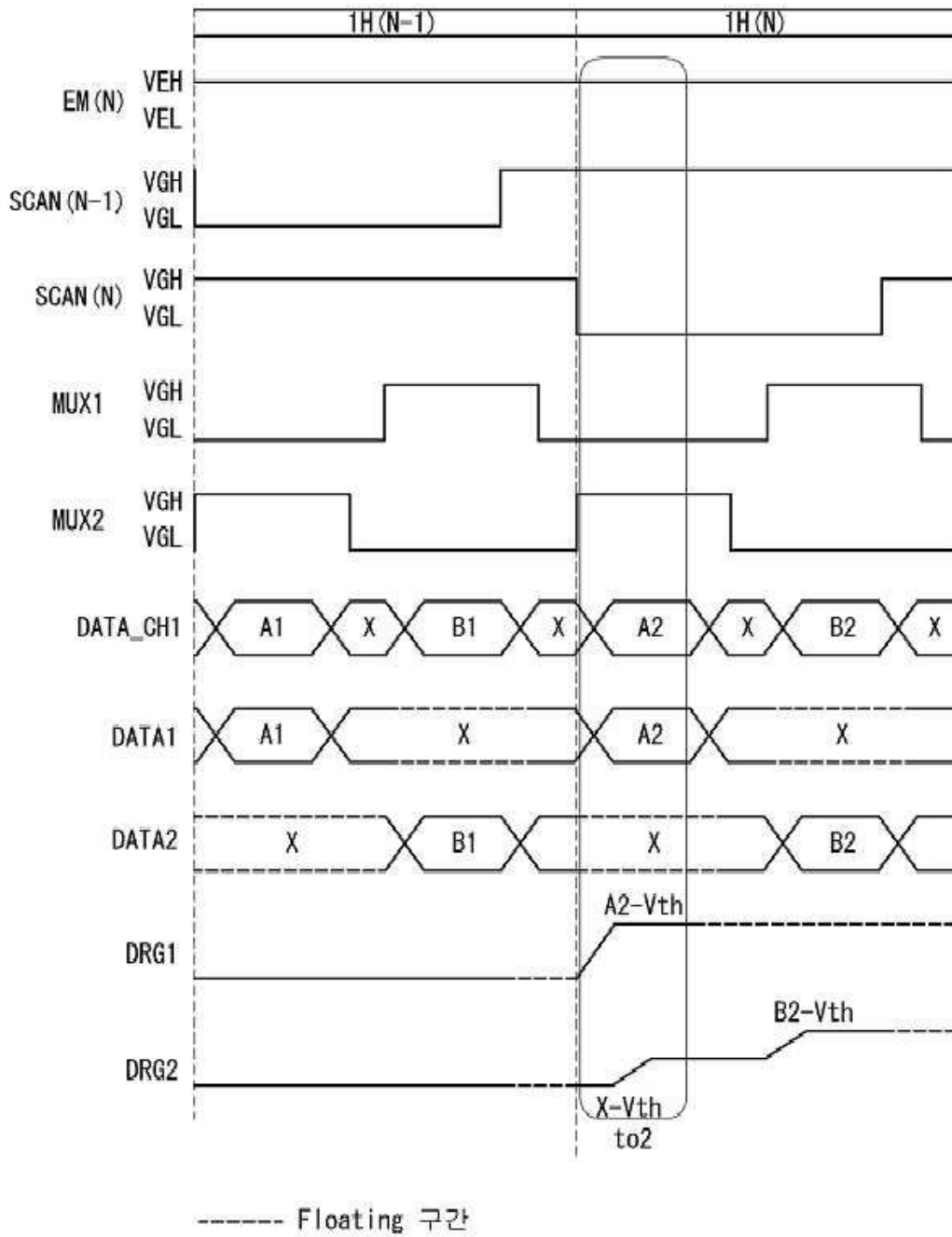




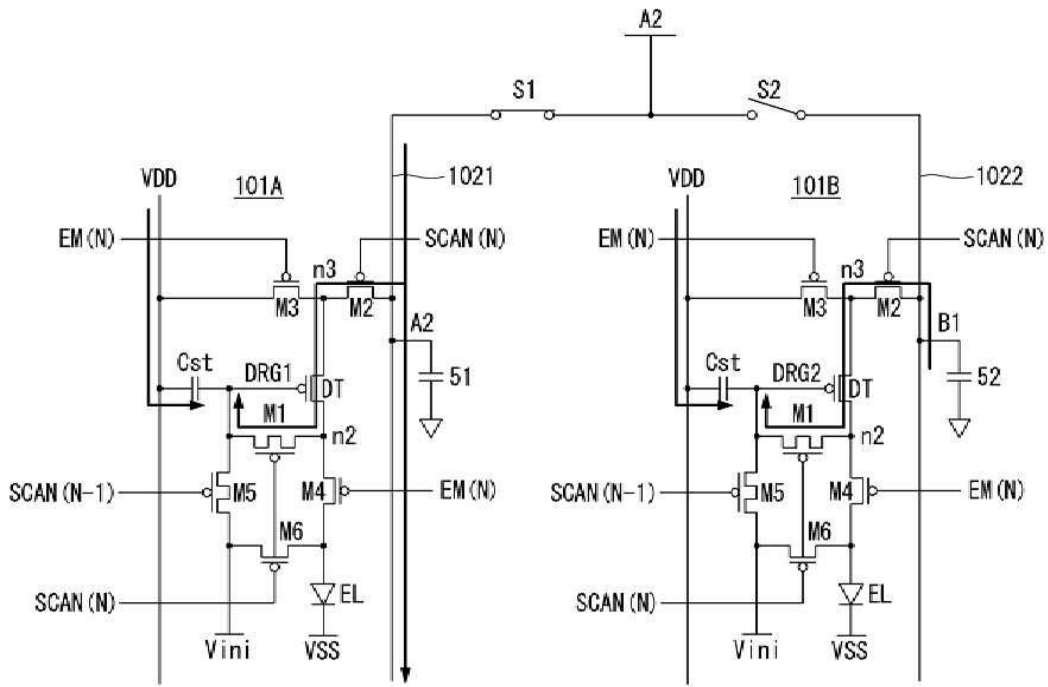
도면10b



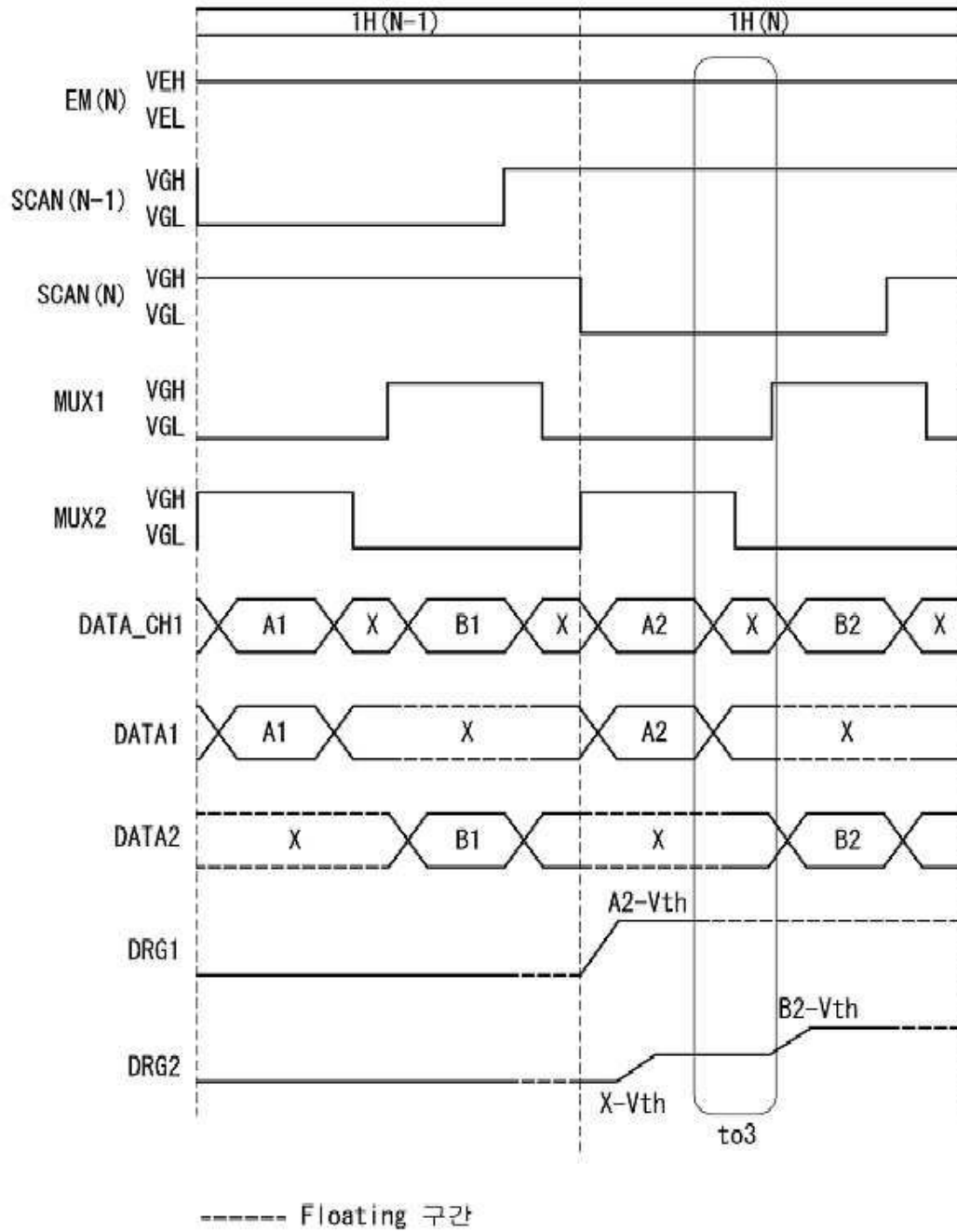
도면11a



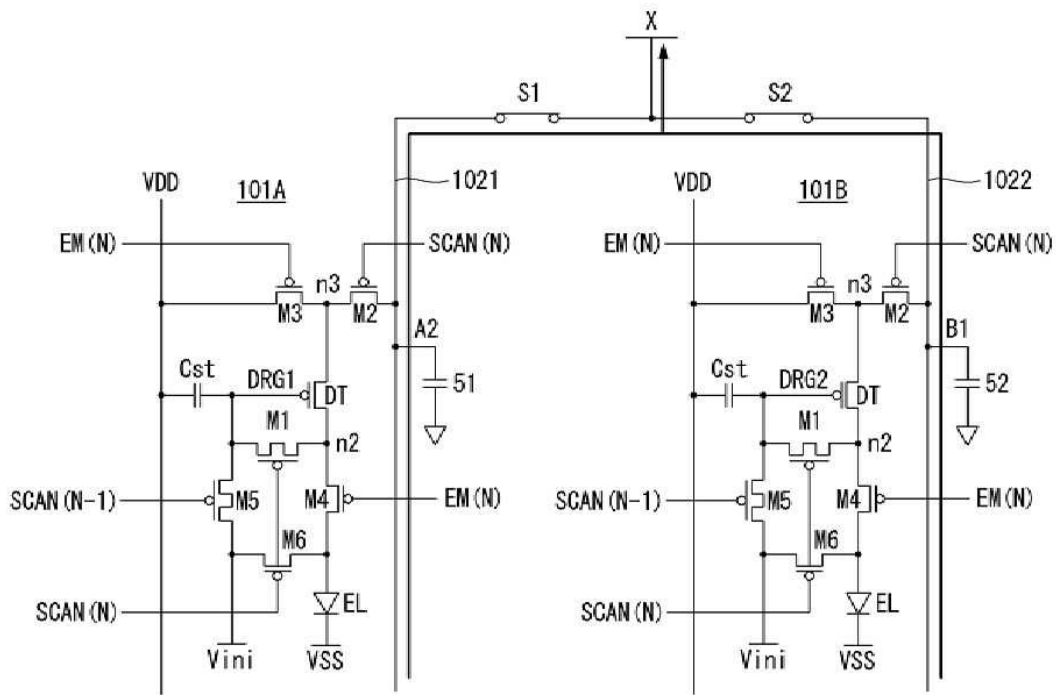
도면11b



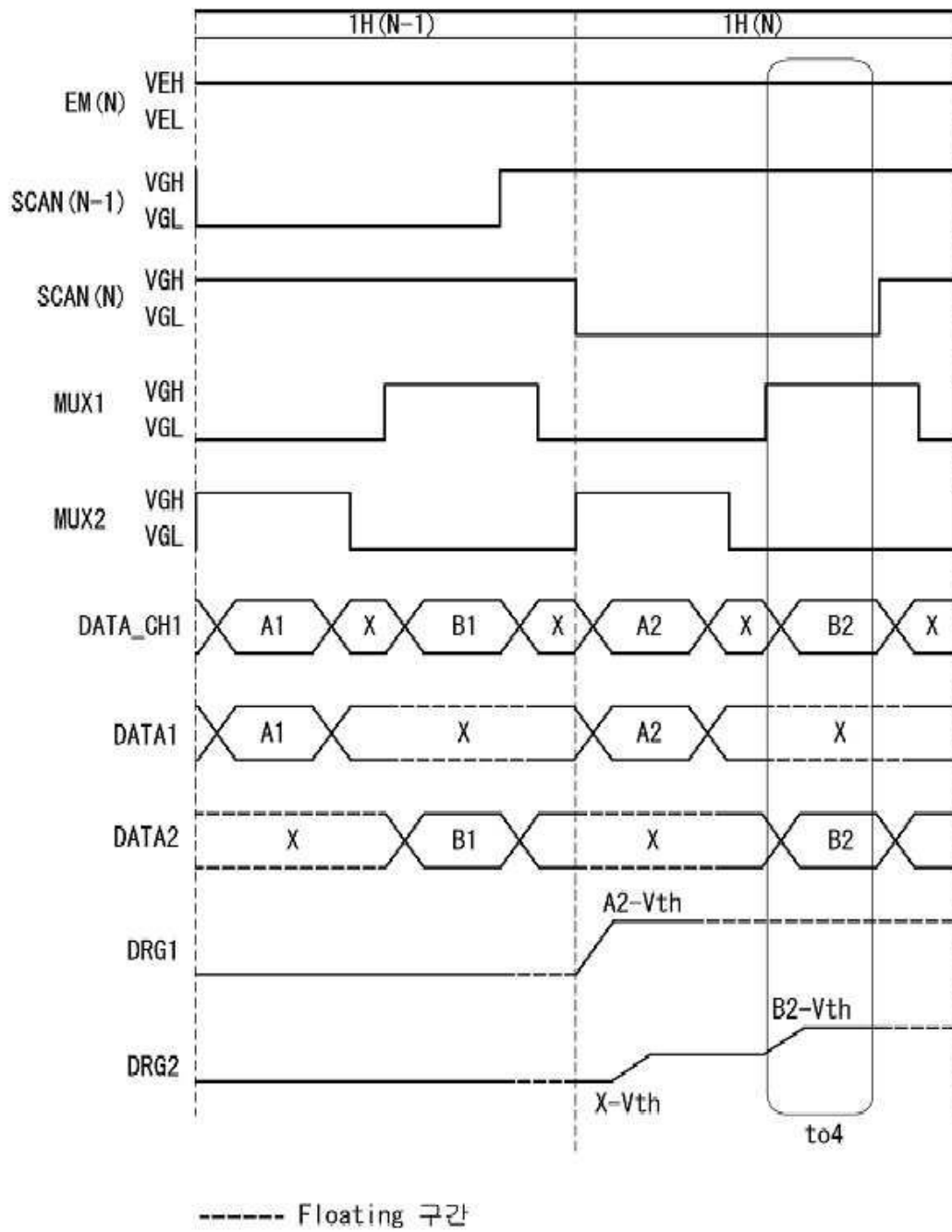
도면12a



도면12b



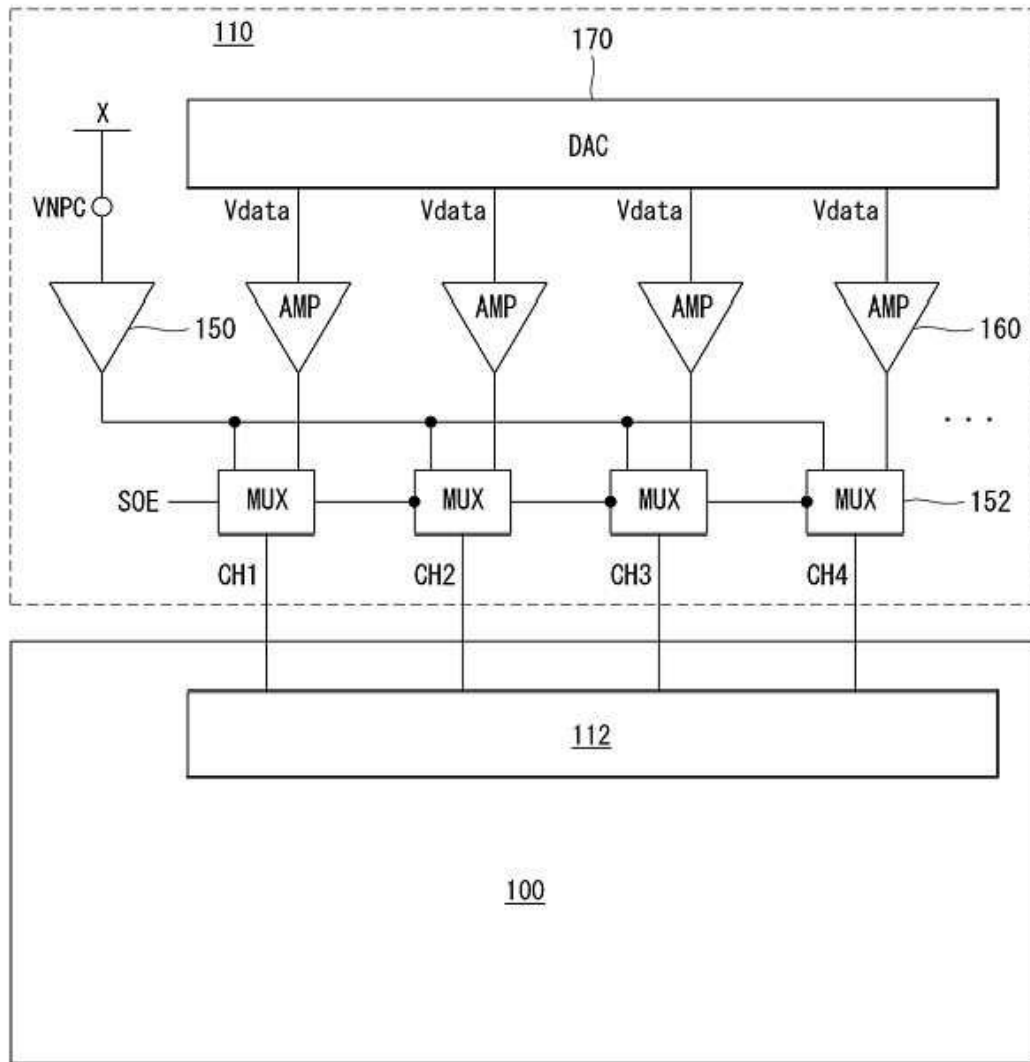
도면13a



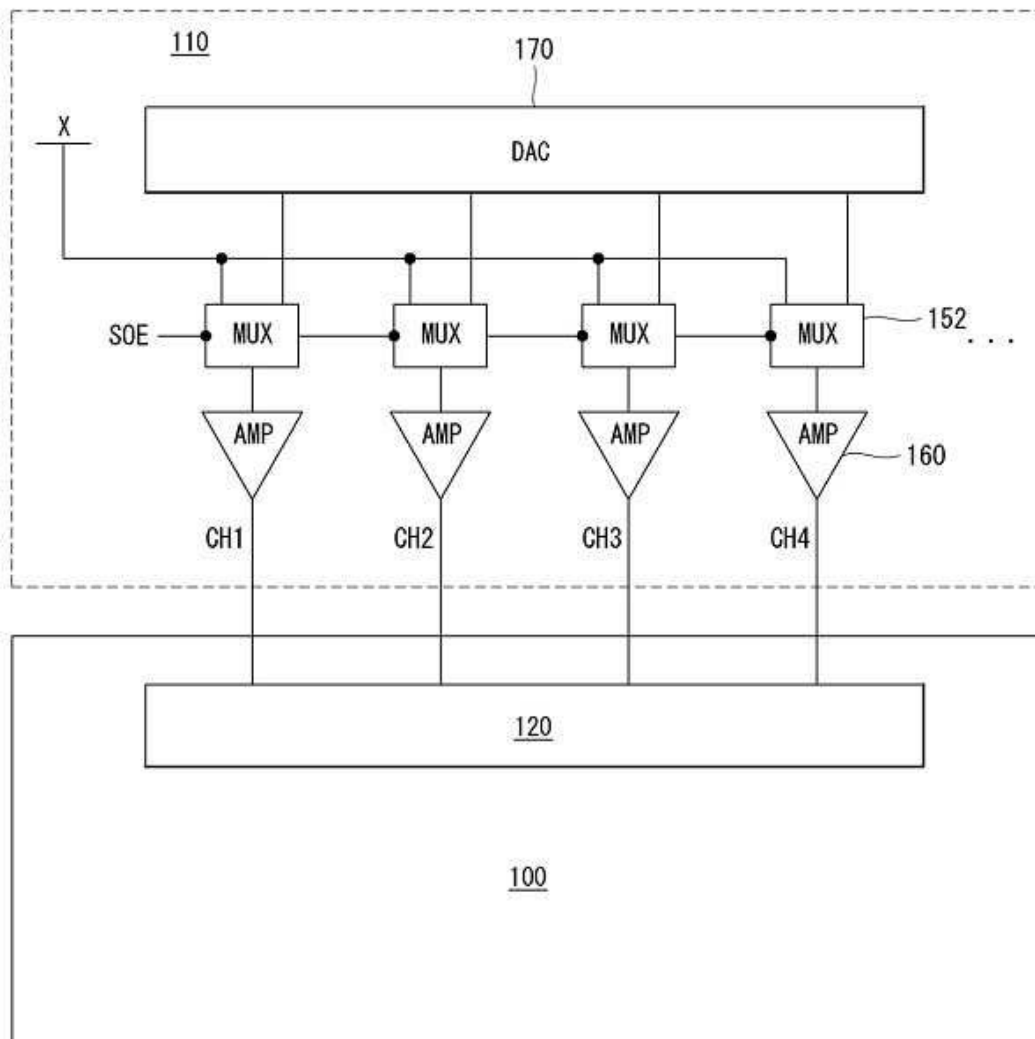




도면15



도면16



专利名称(译)	使用相同的电致发光显示器		
公开(公告)号	<a href="#">KR1020200034477A</a>	公开(公告)日	2020-03-31
申请号	KR1020180114317	申请日	2018-09-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김규진 유승진		
发明人	김규진 유승진		
IPC分类号	G09G3/3275		
CPC分类号	G09G3/3275 G09G2310/0251 G09G2310/0297		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

电致发光显示装置技术领域本发明涉及一种能够减少数据驱动单元的通道数的电致发光显示装置。第一和第二数据线通过解复用器彼此连接,并且第一和第二数据线的电压在第一时间作为初始化电压被放电。在第二时间将第一像素数据电压提供给第一数据线。第一和第二数据线通过解复用器彼此连接,并且第一和第二数据线的电压在第三时间作为初始化电压被放电。

