



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0012789
(43) 공개일자 2019년02월11일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5203 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0096307
(22) 출원일자 2017년07월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
배연경
경기도 파주시 월롱면 엘지로 245
강희광
경기도 파주시 월롱면 엘지로 245
김대규
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

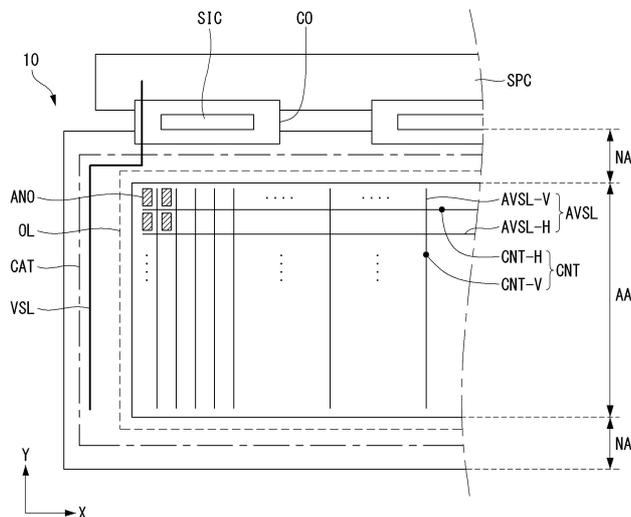
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요약

본 발명은 전계 발광 표시장치에 관한 것이다. 전계 발광 표시장치는 표시 영역 및 상기 표시 영역 외측의 비 표시 영역이 정의된 표시 패널을 포함한다. 상기 표시 패널의 상기 표시 영역은, 복수의 픽셀들, 및 보조 전원 배선들을 포함한다. 상기 픽셀은, 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 애노드, 상기 애노드 위에 배치된 발광층, 및 상기 발광층 위에 배치된 캐소드를 포함한다. 상기 캐소드는, 적어도 하나의 절연막을 사이에 두고 상기 보조 전원 배선 위에 배치되며, 상기 캐소드와 상기 보조 전원 배선 사이에 배치된 적어도 하나의 절연막을 관통하는 콘택홀을 통해 상기 보조 전원 배선과 연결된다.

대표도 - 도3



(52) CPC특허분류
H01L 27/3262 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역 외측의 비 표시 영역이 정의된 표시 패널을 포함하고,

상기 표시 패널의 상기 표시 영역은,

복수의 픽셀들; 및

보조 전원 배선들을 포함하고,

상기 픽셀은,

박막 트랜지스터, 상기 박막 트랜지스터에 연결된 애노드, 상기 애노드 위에 배치된 발광층, 및 상기 발광층 위에 배치된 캐소드를 포함하며,

상기 캐소드는,

적어도 하나의 절연막을 사이에 두고 상기 보조 전원 배선 위에 배치되며, 상기 캐소드와 상기 보조 전원 배선 사이에 배치된 적어도 하나의 절연막을 관통하는 콘택홀을 통해 상기 보조 전원 배선과 연결되는, 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 보조 전원 배선은,

제1 방향으로 연장된 제1 보조 전원 배선, 및 상기 제1 방향과 교차하는 제2 방향으로 연장된 제2 보조 전원 배선을 포함하는, 전계 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 보조 전원 배선 및 상기 제2 보조 전원 배선은,

서로 동일 층에 배치된, 전계 발광 표시장치.

청구항 4

제 2 항에 있어서

상기 제1 보조 전원 배선 및 상기 제2 보조 전원 배선은,

적어도 하나의 절연막을 사이에 두고, 서로 다른 층에 배치된, 전계 발광 표시장치.

청구항 5

제 4 항에 있어서

상기 제1 보조 전원 배선은,

상기 제1 보조 전원 배선 및 상기 제2 보조 전원 배선 사이에 배치된 적어도 하나의 절연막을 관통하는 콘택홀을 통해, 상기 제2 보조 전원 배선과 연결된, 전계 발광 표시장치.

청구항 6

제 1 항에 있어서,
상기 표시 패널은,
상기 비 표시 영역에 배치되며, 저전위 전원 전압이 인가되는 저전위 전원 배선을 포함하고,
상기 캐소드는,
상기 저전위 전원 배선과 전기적으로 연결되는, 전계 발광 표시장치.

청구항 7

제 6 항에 있어서,
상기 표시 패널은,
상기 캐소드를 구성하는 물질 대비 낮은 비저항을 갖는 도전 물질을 포함하는 연결 배선을 포함하고,
상기 캐소드는,
상기 연결 배선을 통해 상기 저전위 전원 배선과 연결되는, 전계 발광 표시장치.

청구항 8

제 1 항에 있어서,
상기 표시 패널은,
상기 캐소드 전극과 상기 보조 전원 배선 사이에 배치된 보조 전극을 더 포함하고,
상기 보조 전극은,
상기 보조 전극과 상기 캐소드 사이에 배치된 적어도 하나의 절연막을 관통하는 제1 콘택홀을 통해 상기 캐소드와 연결되고, 상기 보조 전극과 상기 보조 전원 배선 사이에 배치된 적어도 하나의 절연막을 관통하는 제2 콘택홀을 통해 상기 보조 전원 배선과 연결되는, 전계 발광 표시장치.

청구항 9

제 1 항에 있어서,
상기 캐소드는,
투명 도전 물질을 포함하는, 전계 발광 표시장치.

청구항 10

제 2 항에 있어서,
상기 박막 트랜지스터는,
반도체층, 게이트 전극, 및 소스/드레인 전극을 포함하고,

상기 제1 보조 전원 배선 및 상기 제2 보조 전원 배선 중 적어도 어느 하나는, 상기 게이트 전극, 및 소스/드레인 전극 중 어느 하나와 동일 층에 동일 물질로 형성되는, 전계 발광 표시장치.

청구항 11

제 2 항에 있어서,
 상기 픽셀은,
 적어도 하나의 절연막을 사이에 두고, 상기 박막 트랜지스터의 아래에 배치된 기능층을 포함하고,
 상기 제1 보조 전원 배선 및 상기 제2 보조 전원 배선 중 적어도 어느 하나는,
 상기 기능층과 동일 층에 동일 물질로 형성되는, 전계 발광 표시장치.

청구항 12

제 2 항에 있어서,
 상기 제1 보조 전원 배선과 상기 제2 보조 전원 배선은,
 국부적으로 상기 표시 영역 상의 일 영역에서 교차되는, 전계 발광 표시장치.

청구항 13

제 12 항에 있어서,
 상기 표시 패널은,
 상기 제1 보조 전원 배선과 상기 캐소드가 접촉되는 제1 연결점; 및
 상기 제2 보조 전원 배선과 상기 캐소드가 접촉되는 제2 연결점을 포함하고,
 상기 일 영역은,
 단위 면적 당 상기 제1 연결점 및 상기 제2 연결점 중 적어도 하나가 배치된 밀도가, 다른 영역 대비 높은, 전계 발광 표시장치.

청구항 14

제 2 항에 있어서,
 상기 픽셀들 중 어느 하나에 배치된 상기 박막 트랜지스터의 드레인 전극은,
 상기 제1 보조 전원 배선 및 상기 제2 보조 전원 배선 중 적어도 어느 하나와 연결된, 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계 발광 표시장치

(Electroluminescence Display) 등으로 구현될 수 있다.

[0003] 이들 표시장치 중에서 전계 발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기발광 표시장치로 대별된다. 유기발광 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode: OLED)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 발광층을 포함한다. 유기발광 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 엑시톤(exciton)을 형성하고, 형성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 전술한 장점에도 불구하고, 유기발광 표시장치가 대면적으로 구현되는 경우, 입력 영상이 표시되는 액티브 영역의 전면(全面)에서 균일한 휘도를 유지하지 못하고 위치에 따른 휘도 편차가 발생할 수 있다. 좀 더 자세하게는, 유기발광 다이오드를 구성하는 캐소드는 액티브 영역이 정의된 기관의 대부분을 덮도록 넓게 형성되는데, 캐소드에 인가되는 전원 전압이 전면에 걸쳐 균일한 전압 값을 갖지 못하는 문제가 발생한다. 예를 들어, 캐소드의 저항에 의해 전원 전압이 인가되는 인입부에서의 전압 값과, 인입부로부터 이격된 위치에서의 전압 값의 편차가 커짐에 따라, 위치에 따른 휘도 편차가 커진다.

[0006] 이러한 문제점은, 상부 발광형(Top emission) 표시장치에서 더욱 문제된다. 즉, 상부 발광형 표시장치에서는, 유기발광 다이오드에서 상층에 위치하는 캐소드의 투과도를 확보할 필요가 있기 때문에, 캐소드를 ITO(Indium Tin Oxide)와 같은 투명 도전물질로 형성하거나, 매우 얇은 두께의 불투명 도전물질로 형성하게 된다. 이 경우, 면 저항이 커지기 때문에, 이에 대응하여 위치에 따른 휘도 편차 또한 현저히 커진다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 위치에 따른 저전위 전압 편차를 최소화하여 휘도 불균일 문제를 해소한 전계 발광 표시장치를 제공 하는 데 있다.

과제의 해결 수단

[0008] 본 발명은 전계 발광 표시장치에 관한 것이다. 전계 발광 표시장치는 표시 영역 및 상기 표시 영역 외측의 비 표시 영역이 정의된 표시 패널을 포함한다. 상기 표시 패널의 상기 표시 영역은, 복수의 픽셀들, 및 보조 전원 배선들을 포함한다. 상기 픽셀은, 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 애노드, 상기 애노드 위에 배치된 발광층, 및 상기 발광층 위에 배치된 캐소드를 포함한다. 상기 캐소드는, 적어도 하나의 절연막을 사이에 두고 상기 보조 전원 배선 위에 배치되며, 상기 캐소드와 상기 보조 전원 배선 사이에 배치된 적어도 하나의 절연막을 관통하는 콘택홀을 통해 상기 보조 전원 배선과 연결된다.

발명의 효과

[0009] 본 발명은, 저저항 도전 물질을 포함하는 보조 전원 배선을 캐소드에 연결시킴으로써, 위치에 따른 저전위 전압 편차를 효과적으로 줄일 수 있다. 이에 따라, 본 발명은 휘도 불균일 불량을 최소화할 수 있는 바, 표시 품질이 향상된 전계 발광 표시장치를 제공할 수 있다.

[0010] 본 발명의 바람직한 실시예는 불량 픽셀을 암점화 하기 위해, 보조 전원 배선을 리페어 라인으로 활용할 수 있다. 이에 따라, 본 발명의 바람직한 실시예는, 불량 픽셀을 용이하게 리페어할 수 있기 때문에, 표시장치의 제조 수율을 높일 수 있고 제조 비용을 절감할 수 있는 이점을 갖는다.

도면의 간단한 설명

[0011] 도 1은 유기발광 표시장치를 개략적으로 나타낸 블록도이다.

도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.

도 3은 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도 이다.

도 4는 보조 전원 배선의 배열 예를 도시한 도면들이다.

도 5는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 단면도이다.

도 6 및 도 7은 보조 전원 배선의 배치 예를 나타낸 단면도이다.

도 8 및 도 9는 캐소드와 보조 전원 배선의 연결 구조 예를 나타낸 단면도들이다.

도 10은 제2 실시예에 따른 유기발광 표시장치의 픽셀을 개략적으로 나타낸 구성도이다.

도 11은 리페어된 불량 픽셀의 예를 개략적으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예를 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.
- [0013] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0014] 이하에서는, 설명의 편의를 위해, 전계 발광 표시장치가 유기 발광 물질을 포함하는 유기발광 표시장치로 구현되는 경우를 예로 들어 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다
- [0015] 도 1은 유기발광 표시장치를 개략적으로 나타낸 블록도이다. 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.
- [0016] 도 1을 참조하면, 본 발명에 의한 유기발광 표시장치는 디스플레이 구동 회로, 표시 패널(10)을 포함한다.
- [0017] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터전압을 표시 패널(10)의 픽셀들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터 배선들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트 신호를 게이트 배선들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시 패널(10)의 픽셀들을 선택한다.
- [0018] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0019] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시 패널(10)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0020] 표시 패널(10)은 픽셀 어레이를 포함한다. 픽셀 어레이는 데이터 배선들(D1~Dm, m은 양의 정수)과 게이트 배선들(G1~Gn, n은 양의 정수)에 의해 정의된 픽셀들을 포함한다. 픽셀들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode; OLED)를 포함한다.

- [0021] 도 2를 더 참조하면, 표시 패널(10)에는 다수의 데이터 배선들(DL)과, 다수의 게이트 배선들(GL)이 교차되고, 이 교차영역마다 픽셀들이 배치된다. 픽셀 각각은 유기발광 다이오드, 유기발광 다이오드에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(DT), 구동 TFT(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0022] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 TFT는 게이트 배선(GL)으로부터의 게이트 신호에 응답하여 턴 온 됨으로써, 데이터 배선(DL)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 OLED로 공급되는 전류량을 제어하여 유기발광 다이오드 의 발광량을 조절한다. 유기발광 다이오드의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례한다. 이러한 픽셀은 고전위 전압원(EVDD)과 저전위 전압원(EVSS)에 연결되어, 도시하지 않은 전원 발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 픽셀을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는 반도체층이 산화물을 포함하는 경우를 예로 들어 설명한다. 유기발광 다이오드는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 화합물층을 포함한다. 애노드(ANO)는 구동 TFT(DT)와 접속된다.
- [0023] 하나의 픽셀은 기본적으로 스위칭 TFT, 구동 TFT(DT), 스토리지 커패시터 및 유기발광 다이오드를 포함하는 2T(Transistor)1C(capacitor) 구조로 구성될 수 있고, 보상회로가 추가되는 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다.
- [0024] <제1 실시예>
- [0025] 도 3은 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도 이다. 도 4는 보조 전원 배선의 배열 예를 도시한 도면들이다. 도 5는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 단면도이다. 도 6 및 도 7은 보조 전원 배선의 배치 예를 나타낸 단면도이다. 도 8 및 도 9는 캐소드와 보조 전원 배선의 연결 구조 예를 나타낸 단면도들이다.
- [0026] 도 3을 참조하면, 본 발명의 제1 실시예에 의한 유기발광 표시장치는 표시패널 구동부, 표시패널(10)을 포함한다.
- [0027] 표시패널 구동부는 표시패널(10)에 입력 영상 데이터를 기입한다. 표시패널 구동부는 소스 드라이브 IC(SIC) 및 소스 PCB(Printed Circuit Board, SPC)를 포함한다. 소스 드라이브 IC(SIC)는 구부러질 수 있는 연성 회로 기판 예를 들어, COF(Chip on film, CO)에 실장될 수 있다. 대화면 표시장치의 경우에, 소스 PCB(SPC)는 복수 개로 분리될 수 있다. COF(CO)의 일단 및 타단은 ACF(anisotropic conductive film)를 통해 표시패널(10)과 소스 PCB(SPC)에 각각 접촉될 수 있다.
- [0028] 전원부(미도시)는 소스 PCB(SPC) 상에 실장될 수 있다. 전원부는 호스트 시스템(19, 도 1)으로부터 공급되는 입력 전압에 의해 구동되어 표시패널 구동부와 표시패널(10)의 구동에 필요한 전압을 발생한다.
- [0029] 표시패널(10)에는, 표시 영역(AA)과, 표시 영역(AA) 외측의 비 표시 영역(NA)이 정의된다. 표시 영역(AA)은 픽셀들 및 보조 전원 배선(AVSL)을 포함한다.
- [0030] 픽셀들은 매트릭스 형태로 배열될 수 있다. 픽셀들 각각은 풀 컬러를 구현하기 위해 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 필요에 따라서, 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다.
- [0031] 픽셀들 각각은 유기발광 다이오드 및 이를 구동하는 TFT를 포함한다. 제1 유기발광 다이오드는 애노드(ANO), 유기 화합물층(OL), 캐소드(CAT)를 포함한다.
- [0032] 애노드(ANO)는 대응하는 서브 픽셀에 할당되며, 대응하는 서브 픽셀에 구비된 구동 TFT의 드레인 전극에 연결된다. 구동 TFT의 소스 전극은 고전위 전원 배선(미도시)을 통해 전원부와 연결되어, 고전위 전원 전압을 공급받는다. 도시하지는 않았으나, 고전위 전원 배선은 표시 영역(AA)의 내측으로 연장되어 대응되는 픽셀들에 연결될 수 있다.
- [0033] 유기 화합물층(OL)은 백색 안료를 포함하여 기판 전면에 넓게 도포될 수 있다. 백색 안료는 픽셀들을 덮도록 넓게 도포될 수 있다. 이 경우, 적색, 녹색, 청색, 서브 픽셀은, 대응되는 적색, 녹색, 청색 컬러 필터를 더 포함할 수 있다. 또는, 유기 화합물층(OL)은 적색, 녹색, 청색 안료를 포함하여, 대응되는 적색, 녹색, 청색,

서브 픽셀에 각각 분리 도포될 수 있다.

- [0034] 캐소드(CAT)는 표시 영역(AA)에 배열된 픽셀들을 덮도록 넓게 형성된다. 캐소드(CAT)는 전원부 및 저전위 전원 배선(VSL)과 전기적으로 연결되어 저전위 전원 전압을 공급받는다. 저전위 전원 배선(VSL)은 표시 영역(AA)의 외측에서, 표시 영역(AA)의 둘레를 따라 연장될 수 있다. 후술하겠으나, 캐소드(CAT)는 저저항 도전 물질을 포함하는 연결 배선(LL, 도 5)을 통해, 저전위 전원 배선(VSL)과 연결될 수 있다. 즉, 캐소드(CAT)는, 저전위 전원 배선(VSL, 도 5)과 연결 배선(LL, 도 5)을 포함하는 전원 경로를 통해, 전원부로부터 저전위 전원 전압을 인가받을 수 있다.
- [0035] 보조 전원 배선(AVSL)은 표시 영역(AA) 내에 배치된다. 보조 전원 배선(AVSL)은 제1 보조 전원 배선(AVSL-V)들과 제2 보조 전원 배선(AVSL-H)들을 포함한다.
- [0036] 제1 보조 전원 배선(AVSL-V)들은 제1 방향(예를 들어, Y축 방향)으로 연장된다. 어느 하나의 제1 보조 전원 배선(AVSL-V)은, 적어도 다른 하나의 제1 보조 전원 배선(AVSL-V)과 다른 길이 및/또는 다른 폭을 가질 수 있다. 즉, 본 발명은, 제1 보조 전원 배선(AVSL-V)의 길이 및/또는 폭을 위치에 따라 달리 설정함으로써, 설계 자유도를 확보할 수 있다.
- [0037] 도면에서는, 제1 보조 전원 배선(AVSL-V)이 제1 방향과 교차하는 제2 방향(예를 들어, X축 방향)으로 이웃하는 픽셀들 사이에 배치되는 것으로 도시되어 있으나, 이에 한정되는 것은 아니다. 도면에서는, 제1 보조 전원 배선(AVSL-V)이 직선 형태를 갖는 것으로 도시되어 있으나, 이에 한정되는 것은 아니며, 곡선일 수 있고, 직선과 곡선이 조합된 형태를 가질 수도 있다.
- [0038] 제1 보조 전원 배선(AVSL-V)은 적어도 하나의 절연막을 사이에 두고, 캐소드(CAT) 아래에 배치된다. 제1 보조 전원 배선(AVSL-V)은 저저항 도전 물질을 포함한다. 제1 보조 전원 배선(AVSL-V)은 적어도 하나의 제1 연결점(CNT-V)에서 캐소드(CAT)와 연결된다. 제1 연결점(CNT-V)에서, 제1 보조 전원 배선(AVSL-V)은 상기 적어도 하나의 절연막을 관통하는 콘택홀을 통해 캐소드(CAT)와 연결될 수 있다. 표시 영역(AA) 상에서, 제1 연결점(CNT-V)의 밀도는 위치에 따라 상이할 수 있다. 캐소드(CAT)가 저전위 전원 배선(VSL)(또는, 연결 배선(LL))으로부터 저전위 전원 전압을 공급받는 특정 위치를 가정할 때, 상기 특정 위치로부터 멀어질수록 제1 연결점(CNT-V)의 배치 밀도는 증가할 수 있다.
- [0039] 본 발명의 제1 실시예는 표시 영역(AA) 내에서, 저저항의 도전 물질로 형성된 제1 보조 전원 배선(AVSL-V)을 캐소드(CAT)에 연결함으로써 위치에 따른 전압 편차를 줄일 수 있기 때문에, 휘도 불균일 불량을 줄일 수 있는 이점을 갖는다.
- [0040] 제2 보조 전원 배선(AVSL-H)은 제2 방향으로 연장된다. 어느 하나의 제2 보조 전원 배선(AVSL-H)은, 적어도 다른 하나의 제2 보조 전원 배선(AVSL-H)과 다른 길이 및/또는 다른 폭을 가질 수 있다. 즉, 본 발명은, 제2 보조 전원 배선(AVSL-H)의 길이 및/또는 폭을 위치에 따라 달리 설정함으로써, 설계 자유도를 확보할 수 있다.
- [0041] 도면에서는, 제2 보조 전원 배선(AVSL-H)이 제1 방향으로 이웃하는 픽셀들 사이에 배치되는 것으로 도시되어 있으나, 이에 한정되는 것은 아니다. 도면에서는, 제2 보조 전원 배선(AVSL-H)이 직선 형태를 갖는 것으로 도시되어 있으나, 이에 한정되는 것은 아니며, 곡선일 수 있고, 직선과 곡선이 조합된 형태를 가질 수도 있다.
- [0042] 제2 보조 전원 배선(AVSL-H)은 적어도 하나의 절연막을 사이에 두고, 캐소드(CAT) 아래에 배치된다. 제2 보조 전원 배선(AVSL-H)은 저저항 도전 물질을 포함한다. 제2 보조 전원 배선(AVSL-H)은 적어도 하나의 제2 연결점(CNT-H)에서 캐소드(CAT)와 연결된다. 제2 연결점(CNT-H)에서, 제2 보조 전원 배선(AVSL-H)은 상기 적어도 하나의 절연막을 관통하는 콘택홀을 통해 캐소드(CAT)와 연결될 수 있다. 표시 영역(AA) 상에서, 제2 연결점(CNT-H)의 밀도는 위치에 따라 상이할 수 있다. 캐소드(CAT)가 저전위 전원 배선(VSL)(또는, 연결 배선(LL))으로부터 저전위 전원 전압을 공급받는 특정 위치를 가정할 때, 상기 특정 위치로부터 멀어질수록 제2 연결점(CNT-H)의 배치 밀도는 증가할 수 있다.
- [0043] 본 발명의 제1 실시예는 표시 영역(AA) 내에서, 제1 보조 전원 배선(AVSL-V) 외에 저저항의 도전 물질로 형성된 제2 보조 전원 배선(AVSL-H)을 캐소드(CAT)에 연결함으로써 위치에 따른 전압 편차를 더욱 효과적으로 줄일 수 있기 때문에, 휘도 불균일 불량을 현저히 줄일 수 있는 이점을 갖는다.
- [0044] 또한, 본 발명의 제1 실시예는, 다른 배선들 및 전극들의 배치를 고려하여, 위치에 따라 연결 가능한 연결점(CNT-V, CNT-H)을 선택할 수 있기 때문에 설계 자유도가 향상된다. 즉, 높은 PPI(Pixel Per Inch)를 갖는 고해상도 표시장치를 구현하기 위해서는, 여러 소자들을 한정된 공간 내에 집적시킬 필요가 있기 때문에, 설계 자

유도가 상대적으로 현저히 줄어든다. 본 발명의 제1 실시예는, 단순히 일방향으로 연장되는 보조 전원 배선(AVSL)이 아닌 서로 다른 방향으로 연장되는 보조 전원 배선(AVSL)들을 다수 배치함으로써, 당해 위치의 상태(또는, 조건)에 대응하여 캐소드(CAT)에 연결 가능한 보조 전원 배선(AVSL)을 용이하게 선택할 수 있기 때문에, 고 해상도 표시장치에서도 본 발명의 목적 달성을 위한 충분한 설계 자유도를 확보할 수 있다.

[0045] 제2 보조 전원 배선(AVSL-H)은, 적어도 하나의 제1 보조 전원 배선(AVSL-V)과 교차할 수 있으나, 도면에 도시된 바와 같이 제1 보조 전원 배선(AVSL-V)과 반드시 수직으로 교차하는 것은 아니다. 즉, 평면상에서 바라볼 때, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)이 이루는 각도는, 사각(dutch angle 또는 tilt angle)일 수 있다.

[0046] 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은 동일층에 배치될 수 있다. 이 경우, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은 연결되어, 한 몸체로 형성될 수 있다. 다른 예로, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은 적어도 하나의 절연막을 사이에 두고 서로 다른 층에 배치될 수 있다. 이 경우, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은 상기 적어도 하나의 절연막을 관통하는 콘택홀을 통해 연결될 수 있다.

[0047] 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은, 표시 영역(AA) 중 적어도 일부 영역에서 서로 교차되어, 평면 상에서 바라볼 때 메쉬(mesh) 형태의 구조를 갖도록 배열될 수 있다. 일 예로, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은, 표시 영역(AA) 전 영역에서 교차 구조를 가질 수 있다.

[0048] 다른 예로, 도 4를 참조하면, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은, 표시 영역(AA)에서 국부적으로 교차 구조를 가질 수 있다. 상기 일부 영역(PA)은, 단위 면적 당 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)이 배치된 밀도가 다른 영역 대비 높은 영역일 수 있다. 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)의 밀도가 높은 영역(PA)은, 캐소드(CAT)와 저저항의 도전 물질을 포함하는 제1 보조 전원 배선(AVSL-V) 및/또는 제2 보조 전원 배선(AVSL-H)과의 직접 접촉이, 다른 영역 대비 많은 영역을 의미한다. 상기 일부 영역(PA)은, 캐소드(CAT)가 저전위 전원 배선(VSL)(또는, 연결 배선(LL))으로부터 저전위 전원 전압을 공급받는 특정 위치를 가정할 때, 상기 특정 위치로부터 가장 이격된 영역일 수 있다. 이에 따라, 본 발명의 바람직한 실시예는 상대적으로 적은 수의 보조 전원 배선(AVSL)을 이용하여, 표시 패널(10)의 픽셀들에 균일한 저전위 전원 전압을 공급할 수 있는 이점을 갖는다.

[0049] 좀 더 구체적으로, 캐소드(CAT)는 적어도 하나의 연결부(CNT-P)에서 저전위 전원 배선(VSL)(또는, 연결 배선(LL))과 연결된다. 연결부(CNT-P)는 비 표시 영역(NA) 내에 위치하며, 표시 영역(AA)의 상, 하, 좌, 우 중 적어도 어느 하나에 정의될 수 있다. 일 예로, 어느 하나의 연결부(CNT-P)와 다른 하나의 연결부(CNT-P)는, 서로 다른 저전위 전원 배선(VSL) 상에 위치할 수 있다. 이 경우, 캐소드(CAT)는 복수의 저전위 전원 배선(VSL)들로부터 저전위 전원 전압을 공급받을 수 있기 때문에, 어느 하나의 저전위 전원 배선(VSL)에 오픈 불량 발생하거나, 어느 하나의 저전위 전원 배선(VSL)과 캐소드(CAT) 사이의 접촉 불량이 발생하더라도, 다른 저전위 전원 배선(VSL)을 통해 저전위 전원 전압을 공급 받을 수 있어 구동 불량을 방지할 수 있다.

[0050] 표시 영역(AA)내에서 단위 면적 당 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)의 배치 밀도는, 캐소드(CAT)가 저전위 전원 배선(VSL)(또는, 연결 배선(LL))으로부터 저전위 전원 전압을 공급받는 연결부(CNT-P)의 위치와 관계 된다. 일 예로, 연결부(CNT-P)가 표시 영역(AA)의 좌, 우에 정의되는 경우, 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)은 표시 영역(AA)의 중심부에 집중될 수 있다. 다른 예로, 연결부(CNT-P)가 표시 영역(AA)의 좌측(또는, 우측)에 정의되는 경우, 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)은 표시 영역(AA)의 우측(또는, 좌측)에 집중될 수 있다. 이와 같이, 본원 발명은, 연결부(CNT-P)로부터의 거리에 대응하여, 단위 면적 당 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)의 배치 밀도를 달리 설정함으로써, 위치에 따른 전압 편차를 더욱 효과적으로 줄일 수 있는 이점을 갖는다. 이 경우, 상대적으로 적은 수의 제1 연결점(CNT-V) 및/또는 제2 연결점(CNT-H)을 형성하고도 위치에 따른 전압 편차를 최소화할 수 있기 때문에, 공정 불량 예를 들어 제1 연결점(CNT-V) 및 제2 연결점(CNT-H)을 형성할 때 발생할 수 있는 공정 불량을 줄일 수 있는 이점을 갖는다. 도 5를 참조하면, 본 발명의 제1 실시예에 따른 유기발광 표시장치는, 비 표시 영역(NA), 및 표시 영역(AA)이 정의된 기판(SUB)을 포함한다. 도시하지는 않았으나, 기판(SUB) 상에는, 박막 트랜지스터(T) 및 유기발광 다이오드(OLE)를 덮는 봉지(encapsulation)층이 더 구비될 수 있다. 봉지층은 외부로부터 유입될 수 있는 수분 및 산소로부터 내부 소자를 보호할 수 있다.

[0051] 기판(SUB)은 유리(glass) 또는 플라스틱(plastic) 재질로 이루어질 수 있다. 예를 들어, 기판(SUB)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate) 등의

플라스틱 재질로 형성되어, 유연한(flexible) 특성을 가질 수 있다.

- [0052] 기판(SUB)의 비 표시 영역(NA) 상에는, 저전위 전원 배선(VSL)이 형성된다. 저전위 전원 배선(VSL)은, 도시된 바와 같이 소스/드레인 전극(S, D)과 동일층에 동일한 물질로 형성될 수 있다. 다만, 이에 한정되는 것은 아니다. 전원부로부터 공급된 저전위 전원 전압은, 저전위 전원 배선(VSL)을 통해 캐소드(CAT)에 인가될 수 있다.
- [0053] 기판(SUB)의 표시 영역(AA) 상에는, 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된다. 기판(SUB)과 박막 트랜지스터(T) 사이에는, 기능층(BSM) 및 버퍼층(BUF)이 형성될 수 있다. 기능층(BSM)은 박막 트랜지스터(T)의 반도체층 특히, 채널(channel)에 중첩되도록 배치되어, 외부광으로부터 반도체 소자를 보호하는 기능을 할 수 있다. 또는, 기능층은(BSM) 스토리지 커패시터의 일 전극으로써 기능할 수도 있다. 버퍼층(BUF)은 기판(SUB)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 기능을 할 수 있다.
- [0054] 박막 트랜지스터(T)는, 반도체층(A), 게이트 전극(G), 소스/드레인 전극(S, D)을 포함한다. 반도체층(A) 위에는 게이트 절연막(GI) 및 게이트 전극(G)이 배치된다. 게이트 절연막(GI)은 게이트 전극(G)을 절연시키는 것으로, 실리콘 산화막(SiO_x)으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 게이트 절연막(GI)은 기판(SUB) 전체 표면을 덮도록 형성될 수 있다. 도시하지는 않았으나, 게이트 절연막(GI)과 게이트 전극(G)은 동일 마스크를 이용하여 패터닝될 수 있으며, 이 경우, 게이트 절연막(GI)과 게이트 전극(G)은 동일한 평면 형상을 가질 수 있다.
- [0055] 게이트 전극(G)은 게이트 절연막(GI)을 사이에 두고, 반도체층(A)과 중첩하도록 배치된다. 게이트 전극(G)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 탄탈륨(Ta) 및 텅스텐(W)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금의 단층이나 다층으로 이루어질 수 있다.
- [0056] 게이트 전극(G) 위에는 층간 절연막(IN)이 배치된다. 층간 절연막(IN)은 게이트 전극(G)과 소스/드레인 전극(S, D)을 상호 절연시키는 것으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다층으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0057] 층간 절연막(IN) 위에는 소스/드레인 전극(S, D)이 배치된다. 소스 전극(S) 및 드레인 전극(D)은 소정 간격 이격되어 배치된다. 소스 전극(S)은 층간 절연막(IN)을 관통하는 소스 콘택홀을 통해 반도체층(A)의 일측에 접촉한다. 드레인 전극(D)은 층간 절연막(IN)을 관통하는 드레인 콘택홀을 통해 반도체층(A)의 타측에 접촉한다.
- [0058] 소스 전극(S)과 드레인 전극(D)은 단일층 또는 다층으로 이루어질 수 있으며, 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소스 전극(S)과 드레인 전극(D)이 다층일 경우에는 몰리브덴/알루미늄-네오디뮴, 몰리브덴/알루미늄, 티타늄/알루미늄, 또는 구리/몰리타늄의 2중층이거나 몰리브덴/알루미늄-네오디뮴/몰리브덴, 몰리브덴/알루미늄/몰리브덴, 티타늄/알루미늄/티타늄, 또는 몰리타늄/구리/몰리타늄의 3중층으로 이루어질 수 있다.
- [0059] 박막 트랜지스터(T) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 박막 트랜지스터(T)를 보호하는 것으로 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다.
- [0060] 패시베이션막(PAS) 상에 평탄화막(OC)이 위치한다. 평탄화막(OC)은 하부의 단차를 평탄화하는 것으로, 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene resin), 아크릴레이트계 수지(acrylate) 등의 유기물로 이루어질 수 있다. 필요에 따라서, 패시베이션막(PAS)과 평탄화막(OC) 중 어느 하나는 생략될 수 있다.
- [0061] 평탄화막(OC) 상에 유기발광 다이오드(OLE)가 위치한다. 유기발광 다이오드(OLE)는 애노드(ANO), 유기 화합물층(OL) 및 캐소드(CAT)를 포함한다. 보다 자세하게, 평탄화막(OC) 상에 애노드(ANO)가 위치한다. 애노드(ANO)는 패시베이션막(PAS)과 평탄화막(OC)을 관통하는 콘택홀을 통해 박막 트랜지스터(T)의 드레인 전극(D)에 접속된다. 애노드(ANO)는 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 애노드(ANO)는 반사층을 포함한 다층으로 이루어질 수 있다.
- [0062] 애노드(ANO)가 형성된 기판(SUB) 상에 서브 픽셀을 구획하는 बैं크층(BN)이 위치한다. बैं크층(BN)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. बैं크층(BN)에 의해 노출된 애노드(ANO)의 중심부는 발광 영역으로 정의될 수 있다. बैं

크층(BN)은 애노드(ANO)의 중심부를 노출하되 애노드(ANO)의 측단을 덮도록 배치될 수 있다.

- [0063] बैंक층(BN)에 의해 노출된 애노드(ANO) 상에 유기 화합물층(OL)이 위치한다. 유기 화합물층(OL)은 대응되는 서브 픽셀마다 분할되어 배치될 수 있고, 일체로 기관(SUB) 전면에 넓게 형성될 수도 있다. 유기 화합물층(OL)은 전자와 정공이 결합하여 발광하는 층으로, 발광층(Emission layer, EML)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다.
- [0064] 유기 화합물층(OL) 상에 캐소드(CAT)가 위치한다. 캐소드(CAT)는 픽셀들을 덮도록 기관(SUB)의 전면에 넓게 형성될 수 있다. 캐소드(CAT)는, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성될 수 있고, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0065] 캐소드(CAT)는 저전위 전원 배선(VSL)과 직접 접촉되어 저전위 전원 전압을 공급 받을 수 있다. 이 경우, 캐소드(CAT)는 패시베이션막(PAS)을 관통하는 패시베이션 콘택홀(CH)을 통해 저전위 전원 배선(VSL)과 연결될 수 있다. 바람직하게, 캐소드(CAT)는, 저전위 전원 배선(VSL)에 연결된 연결 배선(LL)에 직접 접촉되어, 저전위 전원 배선(VSL)에 연결된 연결 배선(LL)을 통해 저전위 전원 전압을 공급 받을 수 있다. 이 경우, 연결 배선(LL)은 패시베이션막(PAS)을 관통하는 패시베이션 콘택홀(CH)을 통해 저전위 전원 배선(VSL)과 연결될 수 있고, 캐소드(CAT)는 बैं크를 관통하는 बैं크 콘택홀(BH)을 통해 연결 배선(LL)과 연결될 수 있다. 또는, 도시하지는 않았으나, 연결 배선(LL)은 패시베이션막(PAS)을 관통하는 패시베이션 콘택홀(CH)을 통해 저전위 전원 배선(VSL)과 연결될 수 있고, 캐소드(CAT)는 연결 배선(LL)과 직접 접촉될 수 있다. 연결 배선(LL)을 구성하는 물질은, 캐소드(CAT)를 구성하는 물질 대비 낮은 비저항을 갖는다.
- [0066] 캐소드(CAT)가 저전위 전원 배선(VSL)에 직접 접촉되어 저전위 전원 전압을 공급 받기 위해서는, 비저항이 큰 물질을 포함하는 캐소드(CAT)를 상대적으로 넓게 형성해야 한다. 위치에 따른 저전위 전원 전압의 편차를 줄이고자 하는 본 발명의 목적을 고려할 때, 전술한 연결 구조 대비 캐소드(CAT)를 본연의 기능이 저하되지 않으면서 설계 가능한 최소 면적을 갖도록 형성하고, 저전위 전원 배선(VSL)과 캐소드(CAT)를 저저항 물질을 포함하는 연결 배선(LL)을 통해 연결하는 것이 바람직할 수 있다. 예를 들어, 캐소드(CAT)는, 픽셀들을 덮도록 표시 영역(AA) 내에 구비되어, 연결 배선(LL)을 통해 비 표시 영역(NA)에 배치된 저전위 전원 배선(VSL)과 전기적으로 연결될 수 있다.
- [0067] 기관(SUB)의 표시 영역(AA) 상에는, 보조 전원 배선(AVSL)이 형성된다. 보조 전원 배선(AVSL)은 적어도 하나의 절연막을 사이에 두고, 캐소드(CAT) 아래에 배치될 수 있다. 보조 전원 배선(AVSL)은 단일층 또는 다층으로 이루어질 수 있으며, 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 보조 전원 배선(AVSL)이 다층일 경우에는 몰리브덴/알루미늄-네오디뮴, 몰리브덴/알루미늄, 티타늄/알루미늄, 또는 구리/몰리타늄의 2중층이거나 몰리브덴/알루미늄-네오디뮴/몰리브덴, 몰리브덴/알루미늄/몰리브덴, 티타늄/알루미늄/티타늄, 또는 몰리타늄/구리/몰리타늄의 3중층으로 이루어질 수 있다.
- [0068] 도 5에 도시된 바와 같이, 보조 전원 배선(AVSL)은, 패시베이션막(PAS) 위에 형성되어, 평탄화막(OC)과 बैं크층(BN)을 사이에 두고 캐소드(CAT) 아래에 배치될 수 있다. 다만, 이에 한정되는 것은 아니며, 도 6에 도시된 바와 같이, 보조 전원 배선(AVSL)은, 소스/드레인 전극(S, D)과 동일층에 동일한 물질로 형성될 수 있고(도 6의 (a)), 게이트 전극(G)과 동일층에 동일한 물질로 형성될 수 있으며(도 6의 (b)), 기능층(BSM)과 동일층에 동일한 물질로 형성될 수도 있다(도 6의 (c)). 이 경우, 보조 전원 배선(AVSL)을 형성하기 위한 추가 공정을 별도로 수행할 필요가 없다. 이에 따라, 공정 수를 줄일 수 있어 제조 시간 및 비용을 줄일 수 있고, 공정 불량률에 따라 제품 수율을 현저히 향상시킬 수 있는 이점을 갖는다.
- [0069] 도 7을 참조하면, 전술한 바와 같이, 보조 전원 배선(AVSL)은 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)을 포함할 수 있고, 제1 보조 전원 배선(AVSL-V)과 제2 보조 전원 배선(AVSL-H)은 적어도 하나의 절연막(PAS)을 사이에 두고 서로 다른 층에 배치될 수 있다.
- [0070] 예를 들어, 제1 보조 전원 배선(AVSL-V)은, 적어도 하나의 절연막(BN, OC)을 사이에 두고 캐소드(CAT) 아래에 배치되어, 상기 적어도 하나의 절연막(BN, OC)을 관통하는 보조 콘택홀(VH)을 통해 캐소드(CAT)와 접촉될 수 있다. 제2 보조 전원 배선(AVSL-H)은, 적어도 하나의 절연막(PAS)을 사이에 두고 제1 보조 전원 배선(AVSL-V) 아

래에 배치되어, 상기 적어도 하나의 절연막(PAS)을 관통하는 연결 콘택홀(PH)을 통해 제1 보조 전원 배선(AVSL-V)과 접촉될 수 있다. 제2 보조 전원 배선(AVSL-H)은 제1 보조 전원 배선(AVSL-V)을 통해 캐소드(CAT)와 전기적으로 연결될 수 있다.

- [0071] 본 발명에 의한 유기발광 표시장치는 상부 발광형으로 구현되는 경우, 개구율을 상대적으로 넓히기 위해, 애노드(ANO)의 면적을 충분히 확보할 필요가 있다. 따라서, 본 발명에 따른 유기발광 표시장치가 상부 발광형으로 구현되는 경우, 애노드(ANO)를 설계 가능한 최대 면적을 갖도록 형성하고, 애노드(ANO)와의 단락(short)을 방지하기 위해 보조 전원 배선(AVSL)을 애노드(ANO)와 동일층에 형성하지 않는 것이 바람직하다.
- [0072] 캐소드(CAT)와 보조 전원 배선(AVSL)이 두 개 이상의 절연막(BN, OC)을 사이에 두고 배치되는 경우, 도 5에 도시된 바와 같이 두 개 이상의 절연막(BN, OC)을 관통하는 하나의 보조 콘택홀(VH)을 통해 캐소드(CAT)와 보조 전원 배선(AVSL)이 직접 접촉될 수 있다.
- [0073] 다른 예로, 캐소드(CAT)와 보조 전원 배선(AVSL)이 두 개 이상의 절연막(BN, OC)을 사이에 두고 배치되는 경우, 도 8에 도시된 바와 같이 캐소드(CAT) 및 보조 전원 배선(AVSL) 사이에 배치된 적어도 하나의 보조 전극(LVSL)을 더 포함할 수 있고, 캐소드(CAT)와 보조 전원 배선(AVSL)은 적어도 하나의 보조 전극(LVSL)을 통해 연결될 수 있다. 보조 전극(LVSL)은, 적어도 하나의 절연막(BN)을 사이에 두고 캐소드(CAT) 아래에 배치되며, 상기 적어도 하나의 절연막(BN)을 관통하는 제1 보조 콘택홀(VH1)을 통해 캐소드(CAT)와 접촉된다. 보조 전극(LVSL)은, 적어도 하나의 절연막(OC)을 사이에 두고 보조 전원 배선(AVSL) 위에 배치되며, 상기 적어도 하나의 절연막(OC)을 관통하는 제2 보조 콘택홀(VH2)을 통해 보조 전원 배선(AVSL)과 접촉된다.
- [0074] 도 5에 도시된 바와 같이 보조 콘택홀(VH)을 형성하는 경우, 두 개 이상의 절연막을 관통하는 공정 중에 콘택홀의 상부가 식각액에 계속적으로 노출되어 홀 면적이 과도하게 커질 수 있다. 이와 달리, 도 8과 같이 보조 콘택홀(VH1, VH2)을 분할하여 형성하는 경우, 콘택홀의 홀 면적을 일정 수준 이하로 제어할 수 있는 이점이 있다.
- [0075] 제1 보조 콘택홀(VH1)과 제2 보조 콘택홀(VH2)은, 도 8과 같이 중첩되도록 형성될 수 있고, 도 9와 같이 일정 간격 시프트되어 형성될 수 있다. 보조 전극(LVSL)이 애노드(ANO)와 동일층에 형성됨을 전제로, 도 9와 같이 제1 보조 콘택홀(VH1)과 제2 보조 콘택홀(VH2)이 시프트되어 형성되는 경우, 상대적으로 애노드(ANO)가 차지하는 면적이 줄어든다. 유기발광 표시장치가 상부 발광형으로 구현되는 경우, 애노드(ANO)가 차지하는 면적 감소는, 개구율의 감소를 야기하는 바 도 8과 같은 구조가 바람직할 수 있다.
- [0076] 본 발명의 제1 실시예는 위치에 따른 저전위 전압 편차를 효과적으로 줄일 수 있어, 휘도 불균일 불량을 최소화할 수 있는 이점을 갖는다. 이에 따라, 본 발명의 제1 실시예는 표시 품질이 향상된 유기발광 표시장치를 제공할 수 있다.
- [0077] <제2 실시예>
- [0078] 픽셀 회로를 제조하는 과정에서 유기발광 다이오드 및 박막 트랜지스터의 특성 저하와, 전극들 및/또는 배선들 간의 쇼트 발생으로 인해 각 픽셀이 정상적으로 구동되지 않는 불량이 발생할 수 있다. 일 예로, 구동 박막 트랜지스터의 소스 전극과 드레인 전극이 쇼트되는 경우, 구동 박막 트랜지스터가 정상적으로 구동되지 않고 소스 전극으로 인가된 전압이 드레인 전극으로 직접 인가될 수 있다. 이 경우, 구동 박막 트랜지스터가 오프(off)되지 않고 온(on) 상태를 유지하게 됨에 따라, 유기발광 다이오드가 계속 점등되는 휘점 불량이 발생할 수 있다. 이와 같은 휘점 불량은 시인성이 높아 사용자가 불량을 곧바로 인지할 수 있다. 이와 달리, 암점 불량은, 시인성이 상대적으로 낮아 일부 픽셀에서 발생하더라도 제품화가 가능하다. 따라서, 본 발명의 제2 실시예는, 휘점 불량 대비 암점 불량의 시인성이 상대적으로 낮음을 고려하여, 휘점 불량이 발생한 픽셀을 암점화 시킬 수 있는 신규한 리페어(repair) 구조를 제안한다.
- [0079] 도 10은 제2 실시예에 따른 유기발광 표시장치의 픽셀을 개략적으로 나타낸 구성도이다. 도 11은 리페어된 불량 픽셀의 예를 개략적으로 나타낸 단면도이다.
- [0080] 도 10 및 도 11을 참조하면, 본 발명의 제2 실시예에 따른 표시 패널에는, 데이터 배선들(DL), 게이트 배선들(GL), 및 보조 전원 배선(AVSL)이 배치된다. 데이터 배선(DL)과 게이트 배선(GL)의 교차 구조에 의해 픽셀이 정의될 수 있다. 픽셀 각각은 유기발광 다이오드, 유기발광 다이오드에 흐르는 전류량을 제어하는 구동 트랜지스터(DT), 구동 트랜지스터(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다. 캐소드(CAT)에 연결된 보조 전원 배선(AVSL)에는, 저전위 전원 전압이 인가된다.
- [0081] 본 발명의 제2 실시예는 픽셀의 구동 불량 여부를 판단하고 이를 리페어하기 위한 검사 공정을 진행한다. 검사

공정은, 휘점 불량이 발생한 좌표를 추출하는 검사 단계, 추출된 좌표에 대응하는 픽셀을 암점화하는 리페어 단계를 포함한다.

[0082] 리페어 단계는, 불량이 발생한 픽셀에 배치된 구동 트랜지스터(DT)의 드레인 전극(D)을 보조 전원 배선(AVSL)에 연결하는 공정을 포함한다. 보조 전원 배선(AVSL)은 검사 공정 시 리페어 배선으로 활용될 수 있다. 즉, 불량이 발생한 픽셀에 배치된 구동 트랜지스터(DT)의 드레인 전극(D)에 저전위 전원 전압을 인가함으로써, 당해 픽셀을 암점화시킬 수 있다.

[0083] 구동 트랜지스터(DT)의 드레인 전극(D)과 보조 전원 배선(AVSL)은, 웰딩(welding) 공정을 통해 연결될 수 있다. 본 발명의 제2 실시예는, 저전위 전원 전압이 인가된 보조 전원 배선(AVSL)이 표시 영역 내에 배치되어 있기 때문에, 불량으로 판별된 픽셀 내 구동 트랜지스터(DT)의 드레인 전극(D)을 보조 전원 배선(AVSL)에 용이하게 연결할 수 있다. 또한, 본 발명의 제2 실시예에 따른 보조 전원 배선(AVSL)은, 메쉬 구조로 배열되어 모든 픽셀에 인접하게 배치될 수 있기 때문에, 드레인 전극(D)과의 연결점이 용이하게 선택될 수 있다. 이에 따라, 본 발명의 제2 실시예는 유기발광 표시장치의 제조 수율을 높일 수 있고, 제조 비용을 절감시킬 수 있는 이점을 갖는다.

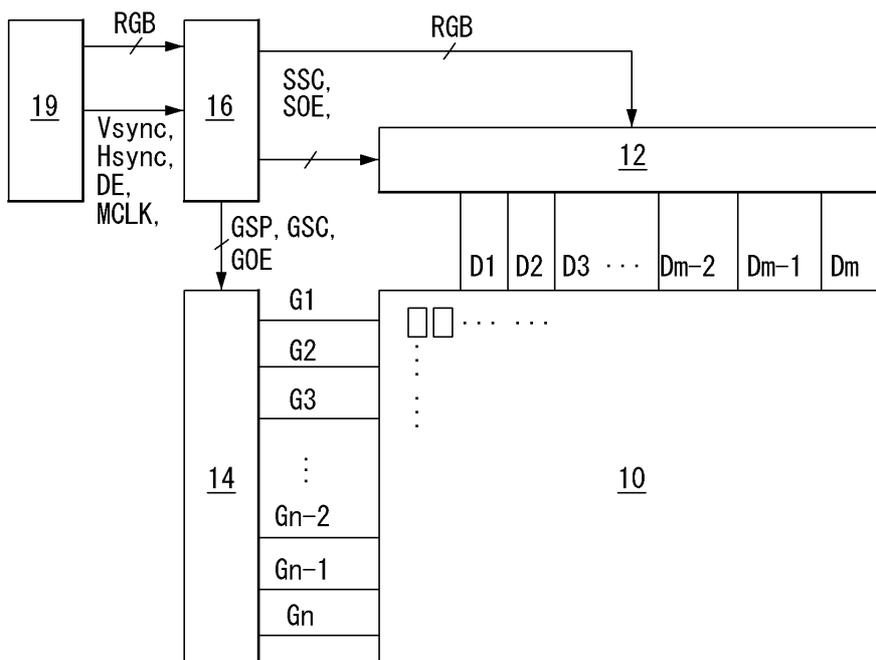
[0084] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

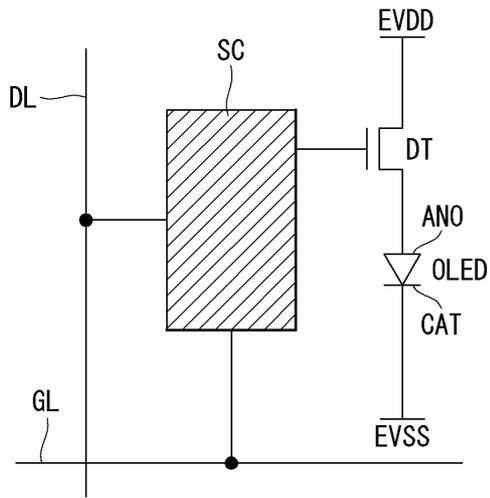
- [0085] 10 : 표시패널 AA : 표시 영역
- NA : 비 표시 영역 VSL : 저전위 전원 배선
- AVSL : 보조 전원 배선 CAT : 캐소드
- CNT : 연결점 LL : 연결 배선
- LVSL : 보조 전극

도면

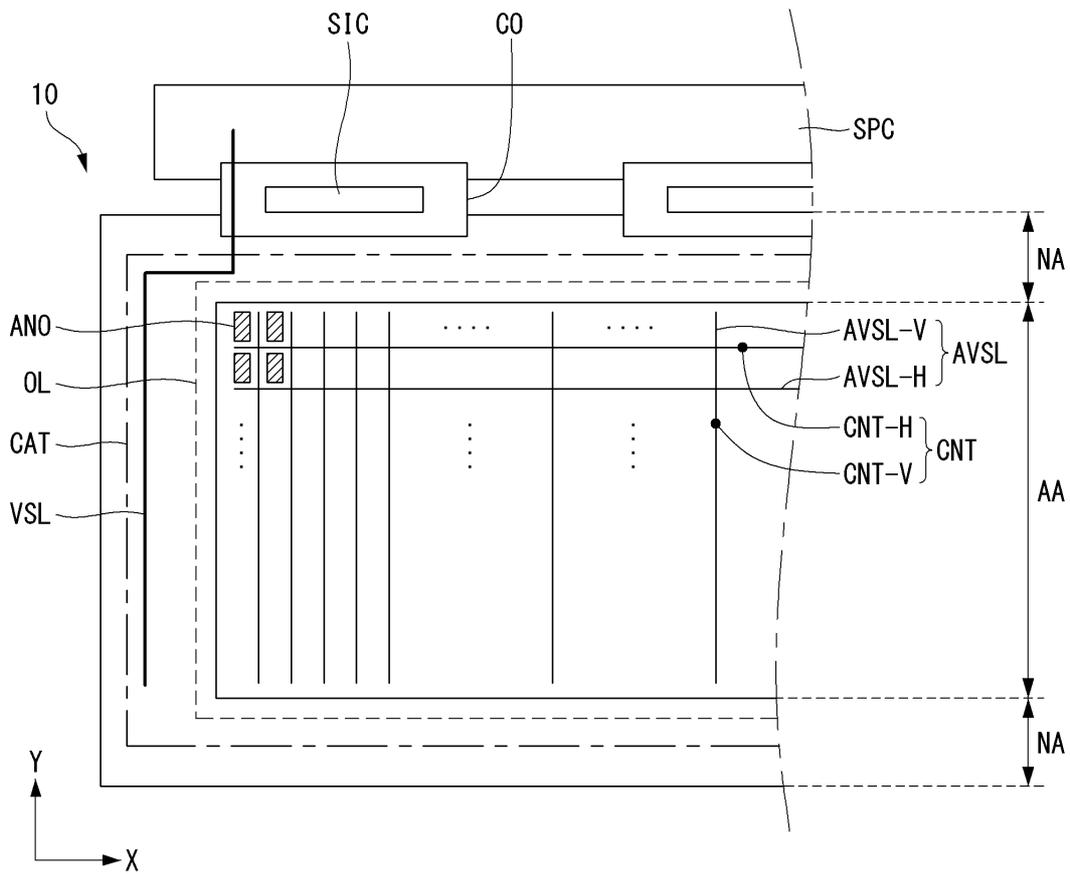
도면1



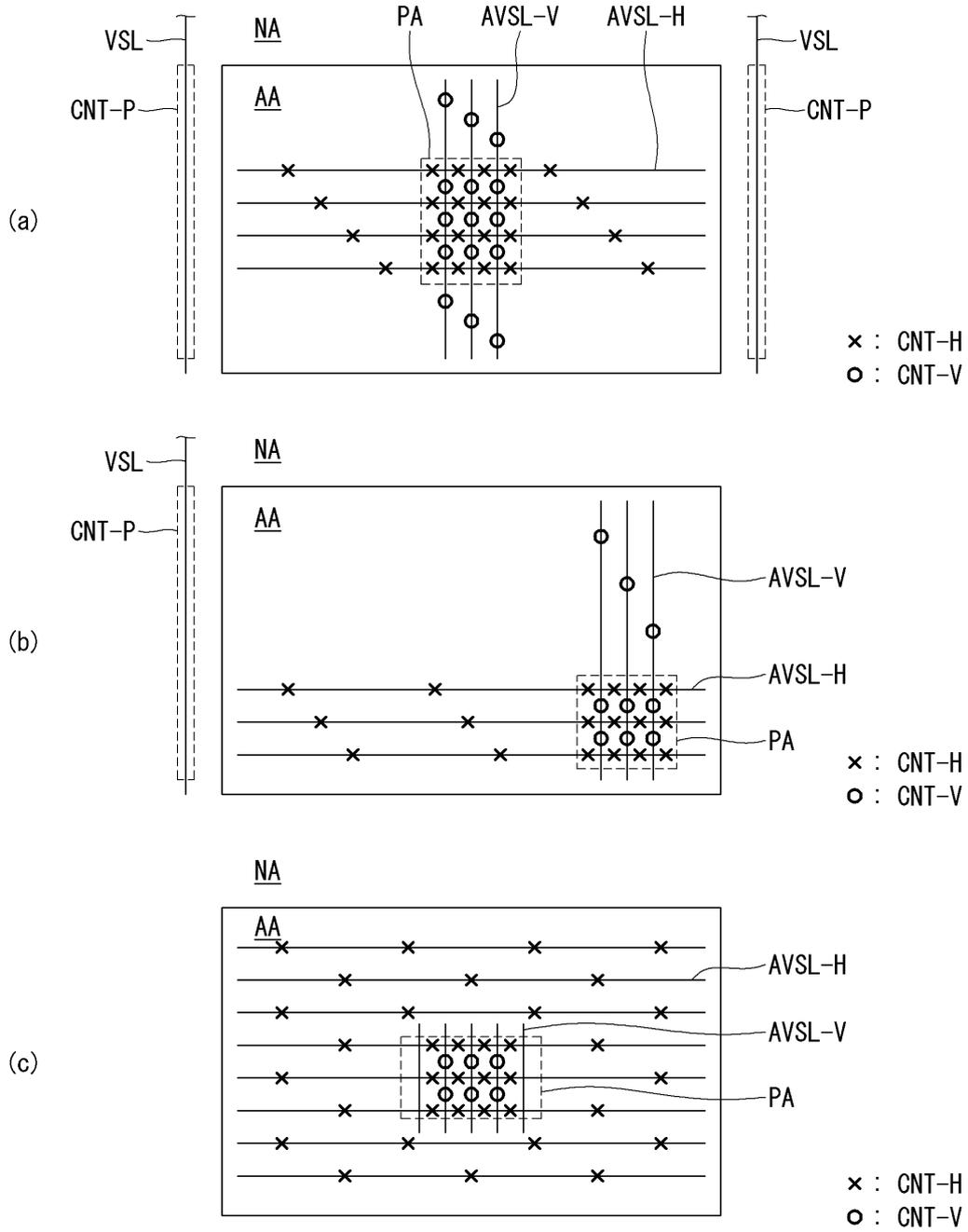
도면2



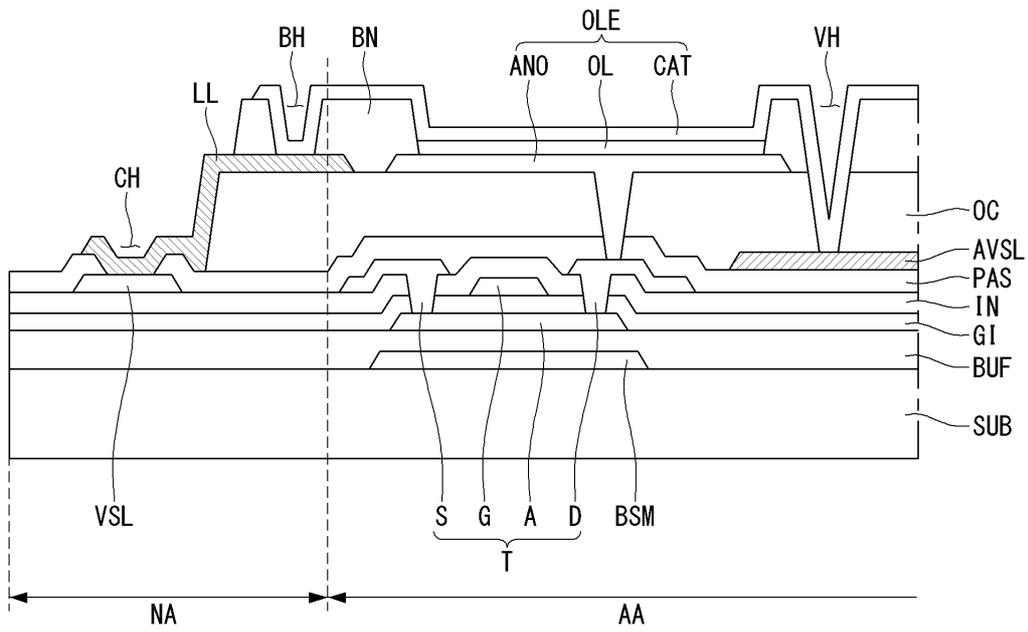
도면3



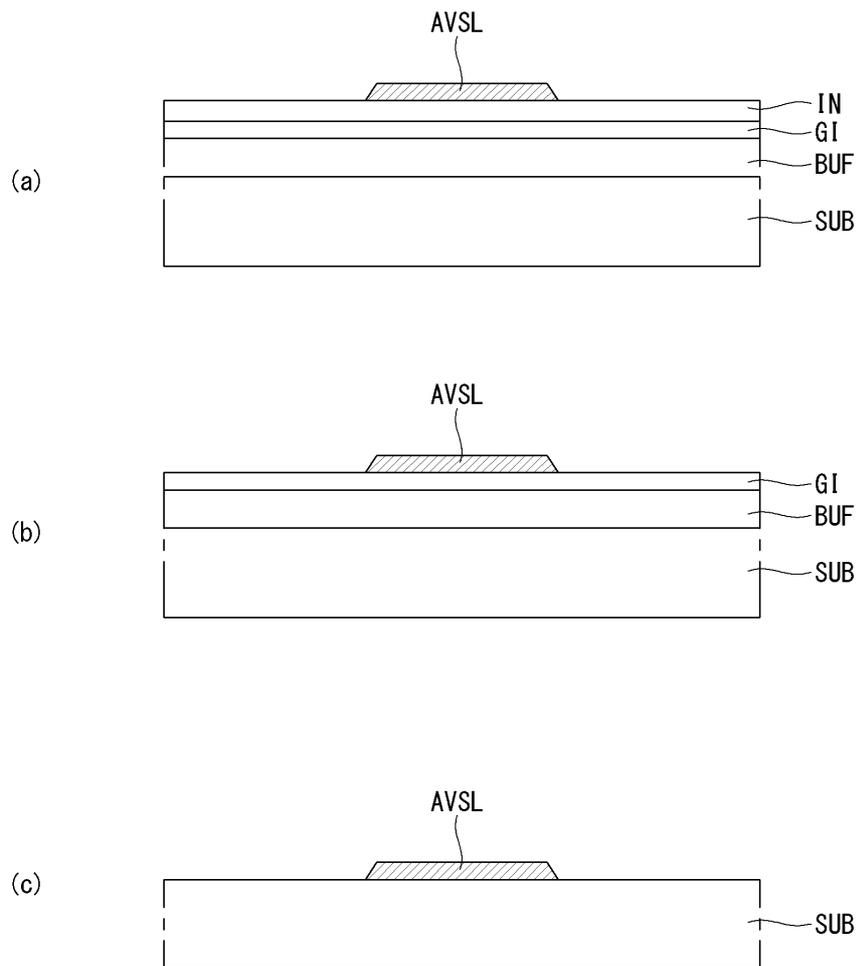
도면4



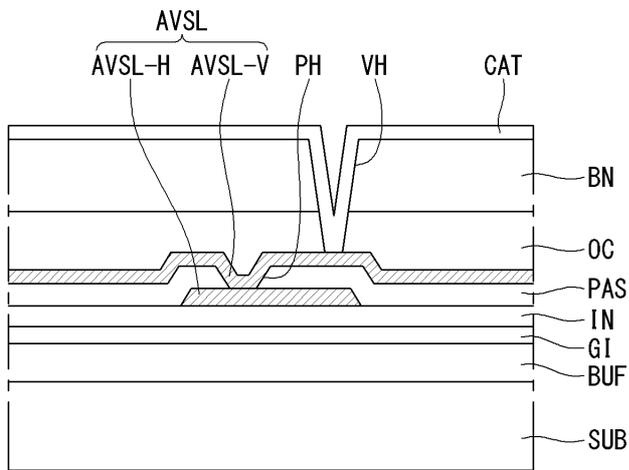
도면5



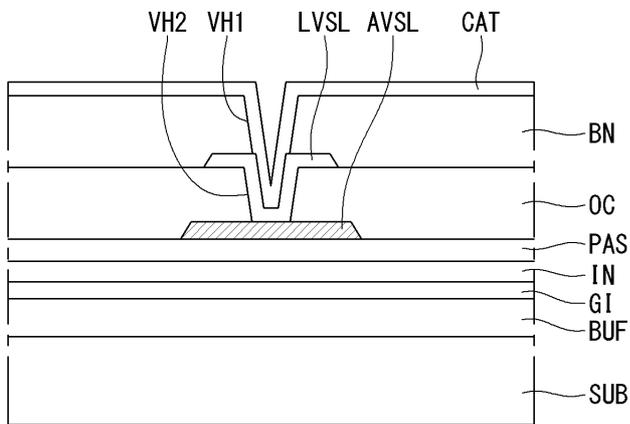
도면6



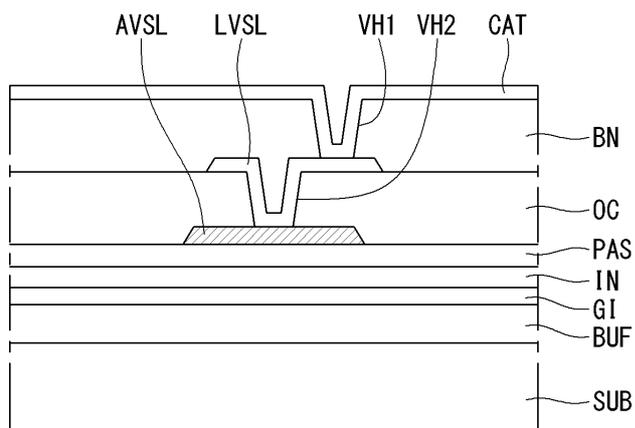
도면7



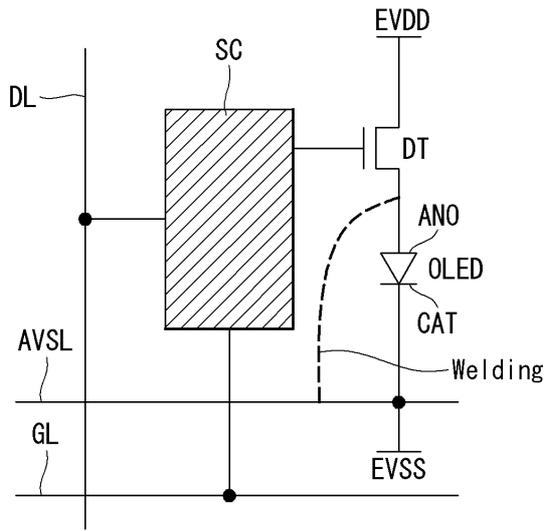
도면8



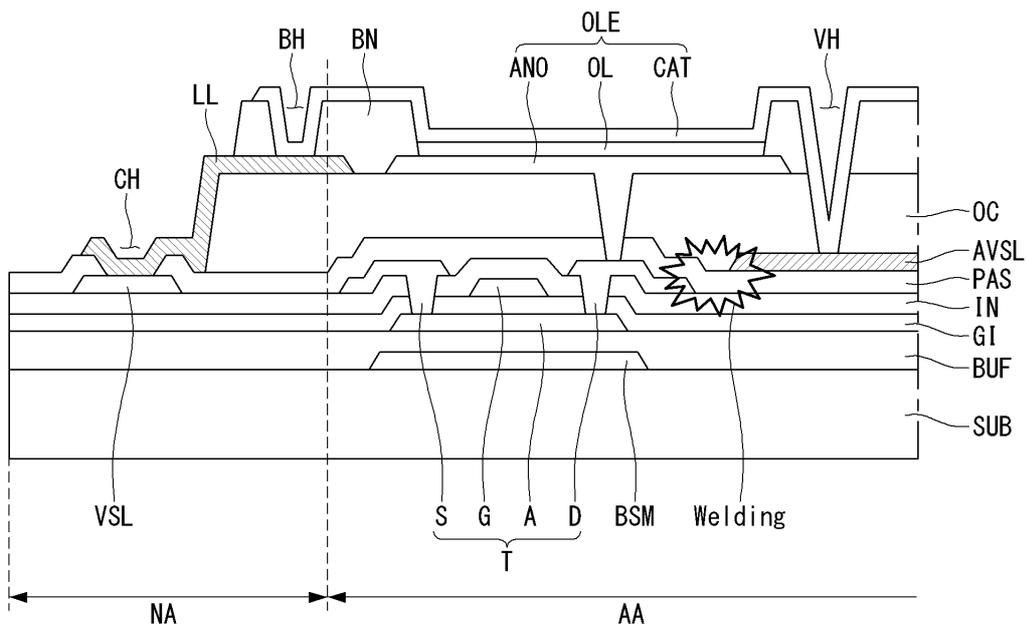
도면9



도면10



도면11



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190012789A	公开(公告)日	2019-02-11
申请号	KR1020170096307	申请日	2017-07-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	배연경 강희광 김대규		
发明人	배연경 강희광 김대규		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5203 H01L27/3211 H01L27/3262		
外部链接	Espacenet		

摘要(译)

电致发光显示器技术领域本发明涉及一种电致发光显示器。EL装置包括显示面板，在该显示面板中限定了显示区域和显示区域之外的非显示区域。显示面板的显示区域包括多个像素和辅助电源线。像素包括薄膜晶体管，连接至薄膜晶体管的阳极，设置在阳极上的发光层以及设置在发光层上的阴极。阴极设置在辅助电源线上，并且其间夹有至少一个绝缘层，并且阴极通过穿过设置在阴极和辅助电源线之间的至少一个绝缘层的接触孔连接至辅助电源线。

