



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0002940
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0083267

(22) 출원일자 2017년06월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김규진

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

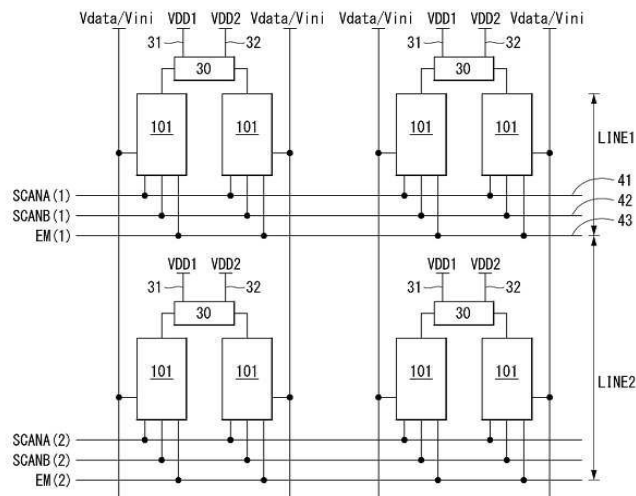
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 표시패널과 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고, 구동 단계에서 상기 구동 소자의 전류로 상기 발광 소자가 발광하는 제1 및 제2 서브 픽셀들을 구비한다. 이 표시패널은 액티브 구간과 블랭크 구간에서 상기 구동 단계에 제1 구동 전압을 상기 제1 및 제2 서브 픽셀들에 공급하고, 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에서 상기 제1 및 제2 서브 픽셀들에 제2 구동 전압을 공급하는 전원 스위칭 회로를 구비한다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/061 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

액티브 구간과 블랭크 구간으로 분할된 프레임 기간 동안 프레임 데이터를 표시하고, 상기 블랭크 구간에서 픽셀들의 전기적 특성을 센싱한 결과를 바탕으로 입력 영상의 데이터를 변조하는 전계 발광 표시장치의 표시패널에 있어서,

발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고, 구동 단계에서 상기 구동 소자의 전류로 상기 발광 소자가 발광하는 제1 및 제2 서브 픽셀들; 및

상기 액티브 구간과 상기 블랭크 구간에서 상기 구동 단계에 제1 구동 전압을 상기 제1 및 제2 서브 픽셀들에 공급하고, 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에서 상기 제1 및 제2 서브 픽셀들에 제2 구동 전압을 공급하는 전원 스위칭 회로를 구비하고,

상기 제1 구동 전압이 제1 전원 배선에 공급되고, 상기 제2 구동 전압이 상기 제1 전원 배선과 분리되는 제2 전원 배선에 공급되는 표시패널.

청구항 2

제 1 항에 있어서,

상기 액티브 구간과 상기 블랭크 구간의 구동 단계에 상기 커패시터의 제1 전극과 상기 구동 소자의 제1 전극에 상기 제1 구동 전압이 공급되고,

상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에 상기 커패시터의 제1 전극에 상기 제2 구동 전압이 공급되며,

상기 제1 및 제2 서브 픽셀들 각각에서,

상기 커패시터의 제2 전극이 제1 노드를 통해 상기 구동 소자의 게이트에 연결되고,

상기 구동 소자의 제1 전극이 상기 커패시터의 제1 전극에 연결되고 상기 구동 소자의 제2 전극이 제2 노드에 연결되는 표시패널.

청구항 3

제 2 항에 있어서,

상기 제1 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 제1 전원 배선; 및

상기 제2 구동 전압이 공급되고 픽셀 라인별로 분리된 다수의 제2 전원 배선을 더 구비하는 표시패널.

청구항 4

제 3 항에 있어서,

상기 전원 스위칭 회로는,

상기 구동 단계의 기간을 정의하는 EM 신호에 응답하여 상기 구동 단계에서 턴-온되어 상기 제1 VDD 배선을 상기 제1 및 제2 서브 픽셀들에 연결하는 제1 VDD 스위치 소자; 및

상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계의 기간을 정의하는 제1 스캔 신호에 응답하여 턴-온되어 상기 제1 VDD 배선을 상기 제1 및 제2 서브 픽셀들에 연결하는 제2 VDD 스위치 소자를 구비하는 표시패널.

청구항 5

제 4 항에 있어서,

상기 서브 픽셀들 각각은,

상기 센싱 단계의 기간을 정의하는 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드를 상기 제2 노드에 연결하는 제1 스위치 소자;

상기 제1 스캔 신호에 응답하여 턴-온되어 데이터 라인을 상기 제1 노드에 연결하는 제2 스위치 소자;

상기 EM 신호에 응답하여 턴-온되어 상기 제2 노드를 제3 노드에 연결하는 제3 스위치 소자; 및

상기 제1 스캔 신호에 응답하여 턴-온되어 소정의 초기화 전압이 인가되는 제3 전원 배선을 상기 제3 노드에 연결하는 제4 스위치 소자를 더 구비하고,

상기 제3 노드는 상기 제3 스위치 소자, 상기 제4 스위치 소자 및 상기 발광 소자의 애노드에 연결되고,

상기 데이터 기입 단계에서 상기 데이터 라인에 입력 영상의 데이터 전압이 공급되고, 상기 초기화 단계에서 상기 데이터 라인에 상기 초기화 전압이 공급되는 표시패널.

청구항 6

제 1 항에 있어서,

상기 블랭크 구간과, 상기 블랭크 구간 이전의 액티브 구간의 데이터 기입 단계들에 동일한 이전 프레임 데이터가 상기 블랭크 구간에 센싱될 서브 픽셀에 기입되고,

상기 블랭크 구간 다음의 액티브 구간의 데이터 기입 단계에서 센싱된 서브 픽셀에 현재 프레임 데이터가 기입되는 표시패널.

청구항 7

액티브 구간과 블랭크 구간으로 분할된 프레임 기간 동안 프레임 데이터를 표시하고, 상기 블랭크 구간에서 픽셀들의 전기적 특성을 센싱한 결과를 바탕으로 입력 영상의 데이터를 변조하는 전계 발광 표시장치에 있어서,

서로 다른 데이터 라인에 연결되고, 제1 내지 제3 게이트 라인들에 공통으로 연결되는 제1 및 제2 서브 픽셀들;

상기 액티브 구간과 상기 블랭크 구간에서 상기 구동 단계에 제1 구동 전압을 상기 제1 및 제2 서브 픽셀들에 공급하고, 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에서 상기 제1 및 제2 서브 픽셀들에 제2 구동 전압을 공급하는 전원 스위칭 회로;

입력 영상의 데이터 전압을 상기 액티브 구간의 데이터 기입 단계와 상기 블랭크 구간의 데이터 기입 단계에서 상기 데이터 라인에 데이터 전압을 공급하고, 상기 초기화 단계에서 소정의 초기화 전압을 공급하는 데이터 구동부; 및

상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계의 기간을 정의하는 제1 스캔 신호를 제1 게이트 라인에 공급하고, 상기 센싱 단계의 기간을 정의하는 제2 스캔 신호를 제2 게이트 라인에 공급하며, 상기 구동 단계의 기간을 정의하는 EM 신호를 제3 게이트 라인에 공급하는 게이트 구동부를 구비하고,

상기 제1 및 제2 서브 픽셀들 각각은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고,

상기 구동 단계에서 상기 구동 소자의 전류로 상기 발광 소자가 발광하고,

상기 제1 구동 전압이 제1 전원 배선에 공급되고, 상기 제2 구동 전압이 상기 제1 전원 배선과 분리되는 제2 전원 배선에 공급되는 전계 발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 액티브 구간과 상기 블랭크 구간의 구동 단계에 상기 커패시터의 제1 전극과 상기 구동 소자의 제1 전극에 상기 제1 구동 전압이 공급되고,

상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에 상기 커패시터의 제1 전극에 상기 제2 구동 전압이 공급되며,

상기 제1 및 제2 서브 픽셀들 각각에서,

상기 커패시터의 제2 전극이 제1 노드를 통해 상기 구동 소자의 게이트에 연결되고,

상기 구동 소자의 제1 전극이 상기 커패시터의 제1 전극에 연결되고 상기 구동 소자의 제2 전극이 제2 노드에 연결되는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 제1 전원 배선; 및

상기 제2 구동 전압이 공급되고 픽셀 라인별로 분리된 다수의 제2 전원 배선을 더 구비하는 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 전원 스위칭 회로는,

상기 구동 단계의 기간을 정의하는 EM 신호에 응답하여 상기 구동 단계에서 턴-온되어 상기 제1 VDD 배선을 상기 제1 및 제2 서브 픽셀들에 연결하는 제1 VDD 스위치 소자; 및

상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계의 기간을 정의하는 제1 스캔 신호에 응답하여 턴-온되어 상기 제1 VDD 배선을 상기 제1 및 제2 서브 픽셀들에 연결하는 제2 VDD 스위치 소자를 구비하는 전계 발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 서브 픽셀들 각각은,

상기 센싱 단계의 기간을 정의하는 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드를 상기 제2 노드에 연결하는 제1 스위치 소자;

상기 제1 스캔 신호에 응답하여 턴-온되어 데이터 라인을 상기 제1 노드에 연결하는 제2 스위치 소자;

상기 EM 신호에 응답하여 턴-온되어 상기 제2 노드를 제3 노드에 연결하는 제3 스위치 소자; 및

상기 제1 스캔 신호에 응답하여 턴-온되어 소정의 초기화 전압이 인가되는 제3 전원 배선을 상기 제3 노드에 연결하는 제4 스위치 소자를 더 구비하고,

상기 제3 노드는 상기 제3 스위치 소자, 상기 제4 스위치 소자 및 상기 발광 소자의 애노드에 연결되고,

상기 데이터 기입 단계에서 상기 데이터 라인에 입력 영상의 데이터 전압이 공급되고, 상기 초기화 단계에서 상기 데이터 라인에 상기 초기화 전압이 공급되는 전계 발광 표시장치.

청구항 12

제 7 항에 있어서,

상기 블랭크 구간과, 상기 블랭크 구간 이전의 액티브 구간의 데이터 기입 단계들에 동일한 이전 프레임 데이터가 상기 블랭크 구간에 센싱될 서브 픽셀에 기입되고,

상기 블랭크 구간 다음의 액티브 구간의 데이터 기입 단계에서 센싱된 서브 픽셀에 현재 프레임 데이터가 기입되는 전계 발광 표시장치.

청구항 13

제 7 항에 있어서,

상기 제1 구동 전압과 상기 제2 구동 전압을 출력하는 전원 회로를 더 구비하고,

상기 전원 회로는 제1 구동 전압을 출력하는 제1 출력 단자와, 제2 구동 전압을 출력하는 제2 출력 단자를 포함하고,

상기 전원 회로로부터 상기 제1 및 제2 구동 전압이 동일 전압 레벨로 출력되는 전계 발광 표시장치.

청구항 14

제 7 항에 있어서,

상기 제1 구동 전압과 상기 제2 구동 전압을 출력하는 전원 회로를 더 구비하고,

상기 전원 회로는 하나의 출력 채널을 통해 단일 구동 전압을 단일 배선으로,

상기 단일 배선이 제1 및 제2 분기 배선들로 분리되고,

상기 제1 구동 전압이 상기 제1 분기 배선을 통해 상기 서브 픽셀들에 공급되고,

상기 제2 구동 전압이 상기 제2 분기 배선을 통해 상기 서브 픽셀들에 공급되는 전계 발광 표시장치.

청구항 15

제 7 항에 있어서,

상기 제1 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 제1 전원 배선; 및

상기 제2 구동 전압이 공급되고 픽셀 라인별로 분리되어 서브 픽셀들에 연결된 다수의 제2 전원 배선을 더 구비하고,

상기 제2 전원 배선을 통해 한 개의 픽셀 라인에 배치된 서브 픽셀들에 상기 제2 구동 전압이 공급될 때, 상기 제1 전원 배선을 통해 상기 한 개의 픽셀 라인을 제외한 다른 픽셀 라인들의 서브 픽셀들에 상기 제1 구동 전압이 공급되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 실시간 보상할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는, 대표적인 전계 발광 다이오드인, 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시장치의 픽셀들은 OLED, 커패시터, 구동 소자, 스위치 소자 등을 포함한다. 구동 소자와 스위치 소자는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT(Thin Film Transistor)로 구현될 수 있다. 구동 소자는 영상 데이터의 계조에 따라 변하는 게이트-소스 간 전압으로 OLED의 전류를 조절하여 픽셀의 휘도를 영상의 데이터에 따라 조절한다.

[0004] 구동 소자로 이용되는 트랜지스터가 포화 영역에서 동작할 때, 구동 소자의 드레인-소스 사이에 흐르는 구동 전류(I_{ds})는 아래와 같이 표현된다.

$$[0005] \quad I_{ds} = 1/2 * (\mu * C * W / L) * (V_{gs} - V_{th})^2$$

[0006] 여기서, μ 는 전자 이동도를, C는 게이트 절연막의 정전 용량을, W는 구동 소자의 채널 폭을, 그리고 L은 구동 소자의 채널 길이를 각각 나타낸다. 그리고, V_{gs} 는 구동 소자의 게이트-소스 간 전압을 나타내고, V_{th} 는 구동 TFT의 문턱전압(또는 임계전압)을 나타낸다. 데이터 전압에 따라 구동 TFT의 게이트-소스 간 전압(V_{gs})이 프로

그래밍(또는 설정)된다. 프로그래밍된 게이트-소스 간 전압(Vgs)에 따라 OLED로 흐르는 구동 소자의 드레인-소스 전류(IDs)가 결정된다.

[0007] 구동 소자의 문턱 전압(Vth), 구동 TFT의 전자 이동도(μ), 및 OLED의 문턱 전압 등과 같은 픽셀의 전기적 특성은 OLED의 전류를 결정하는 팩터(factor)이기 때문에 이상적으로는 픽셀들 각각에서 동일하여야 한다. 하지만, 공정 편차, 경시 변화 등 다양한 원인에 의해 픽셀들 간에 전기적 특성이 달라질 수 있다. 이러한 픽셀의 전기적 특성 편차는 화질 저하와 수명 단축을 초래한다.

[0008] 구동 소자의 전기적 특성 편차를 보상하기 위해 내부 보상 방법과 외부 보상 방법이 적용될 수 있다. 내부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 전기적 특성 편차를 실시간 자동으로 보상할 수 있다. 외부 보상 방법은 픽셀들 각각의 구동 전압을 센싱하고, 센싱된 전압을 바탕으로 외부 회로에서 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 소자의 전기적 특성 편차를 보상한다.

[0009] 종래의 내부 또는 외부 보상 방법에서 IR 드롭(drop)의 영향을 받는 문제가 있다. IR 드롭은 저항체(R)에 전류(I)가 흘러 발생하는 픽셀의 구동 전압 강하를 초래한다. 이러한 전압 강하는 화면의 위치에 따라 달라진다. 이로 인하여, 표시패널 상의 화면 위치에 따라 픽셀들 간에 휘도 차이가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 보상할 수 있고 픽셀들에 인가되는 전원의 전압 강하 영향을 최소화할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0011] 본 발명의 표시패널은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고, 구동 단계에서 상기 구동 소자의 전류로 상기 발광 소자가 발광하는 제1 및 제2 서브 픽셀들을 구비한다. 본 발명의 표시패널은 액티브 구간과 블랭크 구간에서 상기 구동 단계에 제1 구동 전압을 상기 제1 및 제2 서브 픽셀들에 공급하고, 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에서 상기 제1 및 제2 서브 픽셀들에 제2 구동 전압을 공급하는 전원 스위칭 회로를 구비한다. 상기 제1 구동 전압이 제1 전원 배선에 공급되고, 상기 제2 구동 전압이 상기 제1 전원 배선과 분리되는 제2 전원 배선에 공급된다.

[0012] 상기 액티브 구간과 상기 블랭크 구간의 구동 단계에 상기 커패시터의 제1 전극과 상기 구동 소자의 제1 전극에 상기 제1 구동 전압이 공급된다. 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에 상기 커패시터의 제1 전극에 상기 제2 구동 전압이 공급된다.

[0013] 상기 제1 및 제2 서브 픽셀들 각각에서 상기 커패시터의 제2 전극이 제1 노드를 통해 상기 구동 소자의 게이트에 연결된다. 상기 구동 소자의 제1 전극이 상기 커패시터의 제1 전극에 연결되고 상기 구동 소자의 제2 전극이 제2 노드에 연결된다.

[0014] 상기 표시패널은 상기 제1 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 제1 전원 배선, 및 상기 제2 구동 전압이 공급되고 픽셀 라인별로 분리된 다수의 제2 전원 배선을 더 구비한다.

[0015] 상기 전원 스위칭 회로는 상기 구동 단계의 기간을 정의하는 EM 신호에 응답하여 상기 구동 단계에서 턴-온되어 상기 제1 VDD 배선을 상기 제1 및 제2 서브 픽셀들에 연결하는 제1 VDD 스위치 소자, 및 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계의 기간을 정의하는 제1 스캔 신호에 응답하여 턴-온되어 상기 제1 VDD 배선을 상기 제1 및 제2 서브 픽셀들에 연결하는 제2 VDD 스위치 소자를 구비한다.

[0016] 상기 서브 픽셀들 각각은 상기 센싱 단계의 기간을 정의하는 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드를 상기 제2 노드에 연결하는 제1 스위치 소자, 상기 제1 스캔 신호에 응답하여 턴-온되어 데이터 라인을 상기 제1 노드에 연결하는 제2 스위치 소자, 상기 EM 신호에 응답하여 턴-온되어 상기 제2 노드를 제3 노드에 연결하는 제3 스위치 소자, 및 상기 제1 스캔 신호에 응답하여 턴-온되어 소정의 초기화 전압이 인가되는 제3 전원 배선을 상기 제3 노드에 연결하는 제4 스위치 소자를 더 구비한다. 상기 제3 노드는 상기 제3 스위치 소자, 상기 제4 스위치 소자 및 상기 발광 소자의 애노드에 연결된다. 상기 데이터 기입 단계에서 상기 데이터 라인

에 입력 영상의 데이터 전압이 공급되고, 상기 초기화 단계에서 상기 데이터 라인에 상기 초기화 전압이 공급된다.

[0017] 상기 블랭크 구간과, 상기 블랭크 구간 이전의 액티브 구간의 데이터 기입 단계들에 동일한 이전 프레임 데이터가 상기 블랭크 구간에 센싱될 서브 픽셀에 기입된다. 상기 블랭크 구간에 이어지는 액티브 구간의 데이터 기입 단계에서 센싱된 서브 픽셀에 현재 프레임 데이터가 기입된다.

[0018] 본 발명의 전계 발광 표시장치는 서로 다른 데이터 라인에 연결되고, 제1 내지 제3 게이트 라인들에 공통으로 연결되는 제1 및 제2 서브 픽셀들을 구비한다. 본 발명의 전계 발광 표시장치는 상기 액티브 구간과 상기 블랭크 구간에서 상기 구동 단계에 제1 구동 전압을 상기 제1 및 제2 서브 픽셀들에 공급하고, 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계에서 상기 제1 및 제2 서브 픽셀들에 제2 구동 전압을 공급하는 전원 스위칭 회로를 구비한다. 본 발명의 전계 발광 표시장치는 입력 영상의 데이터 전압을 상기 액티브 구간의 데이터 기입 단계와 상기 블랭크 구간의 데이터 기입 단계에서 상기 데이터 라인에 데이터 전압을 공급하고, 상기 초기화 단계에서 소정의 초기화 전압을 공급하는 데이터 구동부와, 상기 액티브 구간의 데이터 기입 단계와, 상기 블랭크 구간의 초기화 단계, 센싱 단계 및 데이터 기입 단계의 기간을 정의하는 제1 스캔 신호를 제1 게이트 라인에 공급하고, 상기 센싱 단계의 기간을 정의하는 제2 스캔 신호를 제2 게이트 라인에 공급하며, 상기 구동 단계의 기간을 정의하는 EM 신호를 제3 게이트 라인에 공급하는 게이트 구동부를 구비한다. 상기 제1 및 제2 서브 픽셀들 각각은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함한다. 상기 구동 단계에서 상기 구동 소자의 전류로 상기 발광 소자가 발광한다. 상기 제1 구동 전압이 제1 전원 배선에 공급되고, 상기 제2 구동 전압이 상기 제1 전원 배선과 분리되는 제2 전원 배선에 공급된다.

발명의 효과

[0019] 본 발명은 구동 전압(VDD)을 구동 단계용 $VDD=VDD1$ 과, 센싱 단계 및 데이터 기입 단계용 $VDD=VDD2$ 로 분리하고, 외부 보상 방법으로 서브 픽셀의 전기적 특성 편차를 보상한다. 본 발명은 액티브 구간에 서브 픽셀에 데이터를 기입할 때 그리고 버티컬 블랭크 구간에서 서브 픽셀의 전기적 특성을 센싱할 때 $VDD(=VDD1)$ 를 서브 픽셀에 인가한다. 따라서, 본 발명의 전계 발광 표시장치는 센싱 단계 및 데이터 기입 단계에서 IR 드롭 영향 없이 서브 픽셀들 각각에서 구동 소자의 게이트-소스간 전압(V_{gs}) 변동을 방지하고, 센싱 단계에서 IR 드롭의 영향을 받지 않기 때문에 서브 픽셀들 각각에서 구동 소자의 전기적 특성을 정확하게 센싱할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
 도 2는 본 발명의 실시예에 따른 외부 보상 회로를 보여 주는 회로도이다.
 도 3은 픽셀 어레이의 일부를 보여 주는 도면이다.
 도 4는 IR 드롭으로 인한 전압 강하를 보여 주는 도면이다.
 도 5는 서브 픽셀의 커패시터 양단에 인가되는 전압을 보여 주는 도면이다.
 도 6 내지 도 8은 LOG 배선과 제2 VDD 배선의 일부를 확대한 도면들이다.
 도 9 및 도 10은 VDD 배선 상에서의 IR 드롭으로 인한 전압 강하를 보여 주는 도면들이다.
 도 11a 및 도 11b는 본 발명의 실시예 따른 전원 회로와 표시패널 사이의 VDD 경로를 보여 주는 도면들이다.
 도 12는 본 발명의 실시예에 따른 제1 및 제2 VDD 배선을 보여 주는 도면이다.
 도 13은 공통 VDD로 모든 픽셀 라인들의 픽셀들을 구동하는 예를 보여 주는 도면이다.
 도 14는 센싱 단계의 픽셀 라인에 인가되는 VDD와 구동 단계의 픽셀 라인에 인가되는 VDD가 분리된 예를 보여 주는 도면이다.
 도 15는 본 발명의 실시예에 따른 VDD 스위칭 회로와 픽셀 회로를 보여 주는 회로도이다.
 도 16은 버티컬 블랭크 구간에서 서브 픽셀의 센싱 단계를 보여 주는 파형도이다.
 도 17은 블랭크 구간에 이전 프레임 데이터를 서브 픽셀에 다시 기입하는 예를 보여 주는 도면이다.

도 18은 액티브 구간에서 서브 픽셀의 데이터 기입 단계를 보여 주는 파형도이다.

도 19는 액티브 구간의 데이터 기입 단계와 구동 단계에서 픽셀 회로의 동작을 보여 주는 회로도이다.

도 20은 데이터 기입 단계와 구동 단계에서 픽셀 회로에 인가되는 VDD와 스토리지 커패시터의 전압을 보여 주는 도면이다.

도 21은 버티컬 블랭크 구간의 초기화 단계와 센싱 단계에서 픽셀 회로의 동작을 보여 주는 회로도이다.

도 22는 액티브 구간과 버티컬 블랭크 구간을 상세히 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0022] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0023] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0024] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0026] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0027] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0028] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS) 중 하나 이상을 포함할 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0029] 픽셀 회로에 인가되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스위칭한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p

타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다. 무기발광 표시장치는 양자점(quantum dot) 표시장치를 예로 들 수 있으나, 이에 한정되는 것은 아니다.
- [0031] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다. 도 2는 본 발명의 실시예에 따른 외부 보상 회로를 보여 주는 회로도이다. 도 3은 픽셀 어레이의 일부를 보여 주는 도면이다.
- [0032] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.
- [0033] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 신호 배선들과 픽셀들을 포함한다. 신호 배선들은 데이터 라인들(102)과, 데이터 라인들(102)과 교차되는 게이트 라인들(104)을 포함한다. 픽셀 어레이에 VDD, Vini, VSS 등의 전원을 픽셀들에 공급하기 위한 전원 배선들과 전극들이 배치될 수 있다. 픽셀들은 매트릭스 형태로 배치되는 픽셀들을 포함한다. 도 3에서, LINE1 및 LINE2는 픽셀 라인들을 나타낸다. 픽셀 라인들(LINE1, LINE2) 각각은 픽셀 어레이에서 게이트 라인들을 공유하는 1 라인의 픽셀들을 포함한다.
- [0034] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 발광 소자, 구동 소자, 다수의 스위치 소자, 커패시터를 포함한다. 픽셀 회로는 스위치 소자들을 이용하여 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 실시간 보상할 수 있는 보상 회로를 포함한다. 구동 소자와 스위치 소자들은 PMOS 구조의 TFT로 구현될 수 있으나 이에 한정되지 않는다.
- [0035] 표시패널(100)은 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 VDD 배선, 픽셀 회로를 초기화하기 위한 초기화 전압(Vini)을 서브 픽셀들(101)에 공급하기 위한 Vini 배선, 저전위 전원 전압(VSS)을 서브 픽셀들에 공급하기 위한 VSS 배선 및 VSS 전극, VGH가 인가되는 VGH 배선, VGL이 인가되는 VGL 배선 등을 더 포함할 수 있다. VDD 배선은 VDD1이 인가되는 제1 VDD 배선(31)과, VDD2가 인가되는 제2 VDD 배선(32)으로 분리된다.
- [0036] VDD, Vini, VSS 등의 전원 전압은 전원 회로(150)로부터 발생된다. 전원 회로(150)는 직류-직류 변환기(DC-DC converter), 차지 펌프(Charge pump), 레귤레이터(Regulator) 등을 이용하여 픽셀들의 구동에 필요한 전원을 발생한다. 전원 회로(150)는 PMIC(Power Module Integrated Circuit)로 구현될 수 있으나 이에 한정되지 않는다. $VDD = VDD1 = VDD2 = 4.5V$, $VSS = -2.5V$, $Vini = -3.5V$, $VGH = 7.0V$, $VGL = -5.5V$ 등으로 전원 전압이 설정될 수 있으나 이에 한정되지 않는다. 전원 전압은 표시패널(100)의 구동 특성이나 모델에 따라 달라질 수 있다.
- [0037] 표시패널(100)의 화면 상에 도시하지 않은 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0038] 표시패널 구동회로는 데이터 구동부(110), 게이트 구동부(120), VDD 스위칭 회로(30) 등을 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)를 더 구비할 수 있다.
- [0039] 표시패널 구동회로는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130), 전원 회로(150) 등은 하나의 집적 회로에 집적될 수 있다.
- [0040] 동일 픽셀 라인에서 이웃하는 서브 픽셀들(100)은 VDD 스위칭 회로(30)에 공통으로 연결된다. 따라서, 이웃한 서브 픽셀들이 하나의 VDD 스위칭 회로(30)를 공유한다. VDD 스위칭 회로(30)는 액티브 구간(도 22, AT)의 구동 단계에 서브 픽셀들(101)에 VDD1을 공급하고, 액티브 구간의 데이터 기입 단계와 버티컬 블랭크(Vertical blank) 구간(도 22, VB)의 초기화 및 센싱 단계 동안 VDD2를 서브 픽셀들(100)에 공급한다.
- [0041] 액티브 구간은 1 프레임의 데이터가 화면 상의 모든 픽셀들에 기입되는 시간이다. 버티컬 블랭크 구간은 제N-1

액티브 구간과 제N 액티브 구간 사이에서 소정 시간으로 할당된다. 버티컬 블랭크 구간 동안 다음 프레임 데이터(제N 프레임 데이터)가 타이밍 컨트롤러(130)에 수신되지 않는 시간이다.

- [0042] 구동 단계는 VDD1이 구동 소자에 공급되고 구동 소자의 게이트-소스간 전압(Vgs)에 따라 발생하는 전류(Ids)가 발광소자로 흐르는 시간이다. 이 구동 단계에서 서브 픽셀의 발광 소자가 발광될 수 있다.
- [0043] 데이터 기입 단계는 서브 픽셀의 스토리지 커패시터(Cst)의 제1 전극에 VDD2가 공급되고 데이터 구동부(110)로부터 발생된 데이터 전압(Vdata)이 스토리지 커패시터(Cst)의 제2 전극과 구동 소자의 게이트에 인가되는 시간이다.
- [0044] 센싱 단계는 버티컬 블랭크 구간 내에 할당된다. 센싱 단계 앞에 서브 픽셀들을 초기화하기 위한 초기화 단계가 설정된다. 센싱 단계는 서브 픽셀의 전기적 특성 예를 들어, 구동 소자의 문턱 전압이 센싱된다.
- [0045] 표시패널 구동회로는 액티브 구간 각각에서 현재 프레임의 데이터를 모든 서브 픽셀들에 기입한다. 표시패널 구동회로는 버티컬 블랭크 구간에 미리 설정된 픽셀 라인에서 서브 픽셀들의 구동 소자의 전기적 특성을 센싱하고, 이전 프레임 데이터인 제N-1 프레임 데이터를 센싱된 서브 픽셀에 다시 기입한다. 버티컬 블랭크 구간에 하나 이상의 픽셀 라인이 센싱되고, 다음 버티컬 블랭크 구간에 다른 픽셀 라인이 센싱될 수 있다.
- [0046] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 시간 만큼 변화가 없을 때 표시장치의 소비 전력을 줄인다. 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate 또는 Frame rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.
- [0047] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 컨트롤러(130)로부터 수신되는 입력 영상의 데이터 신호(디지털 데이터)를 디지털-아날로그 변환기(Digital to Analog converter, DAC)(22)를 통해 아날로그 데이터 전압으로 변환한다. 타이밍 컨트롤러(130)는 보상부(131)에 의해 변조된 보상 데이터를 데이터 구동부(110)로 전송한다. 데이터 구동부(110)로부터 출력된 데이터 전압(Vdata)은 디멀티플렉서(112)를 통해 데이터 라인들(102)에 공급된다. 데이터 구동부(110)는 도 2에 도시된 센싱부(20)를 포함할 수 있다.
- [0048] 디멀티플렉서(112)는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압(Vdata)을 데이터 라인들(102)로 분배한다. 디멀티플렉서(112)로 인하여, 데이터 구동부(110)의 출력 채널 수를 데이터 라인들에 비하여 1/2 이하로 줄일 수 있다.
- [0049] 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(104)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트(shift)함으로써 그 신호들을 게이트 라인들(104)에 순차적으로 공급할 수 있다. 게이트 신호는 데이터가 기입될 라인의 픽셀들을 선택하기 위한 스캔 신호(SCANA(1)~SCANB(2))와, 데이터 전압이 충전된 픽셀들의 발광 시간을 정의하는 발광 스위칭 신호(이하, “EM 신호”라 함)(EM(1), EM(2))를 포함한다. 도 3에서, SCANA(1), SCANB(1) 및 EM(1)는 제1 픽셀 라인(LINE1)의 서브 픽셀들(101)에 공급되는 게이트 신호이다. SCANA(2), SCANB(2) 및 EM(2)는 제2 픽셀 라인(LINE2)의 서브 픽셀들(101)에 공급되는 게이트 신호이다. 게이트 라인들(104)은 제1 스캔 신호(SCANA(1), SCANA(2))가 인가되는 제1 게이트 라인(41)과, 제2 스캔 신호(SCANB(1), SCANB(2))가 인가되는 제2 게이트 라인(42)과, EM 신호(EM(1), EM(2))가 인가되는 제3 게이트 라인(43)을 포함한다.
- [0050] 서브 픽셀들의 픽셀 회로, 디멀티플렉서(112), 게이트 구동부(120) 및 전원 스위치 회로(140)는 동일한 제조 공정으로 표시패널(100)의 기판 상에 직접 형성될 수 있다. 픽셀 회로, 디멀티플렉서(112), 게이트 구동부(120), 및 전원 스위치 회로(140)의 트랜지스터들은 NMOS 또는 PMOS 트랜지스터로 구현될 수 있고, 동일한 타입의 트랜지스터로 구현될 수 있다.
- [0051] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 데이터와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기의 시스템 중 어느 하나일 수 있다.
- [0052] 타이밍 컨트롤러(130)는 버티컬 블랭크 구간에 수신된 서브 픽셀의 센싱 결과를 바탕으로 보상값을 선택하고 이 보상값으로 입력 영상의 디지털 데이터를 변조하여 데이터 구동부(110)로 전송한다. 따라서, 데이터 구동부

(110)는 서브 픽셀의 센싱 결과를 바탕으로 변조된 데이터를 DAC(22)를 통해 데이터 전압으로 변환하여 데이터 라인들(102)로 출력한다.

- [0053] 타이밍 콘트롤러(130)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120, 140)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 콘트롤러는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0054] 타이밍 콘트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)를 제어하기 위한 데이터 타이밍 제어신호, 멀티플렉서(112)를 제어하기 위한 스위치 제어신호, 게이트 구동부(120)를 제어하기 위한 게이트 타이밍 제어신호 등을 발생하여 표시패널 구동회로의 동작 타이밍을 제어한다. 타이밍 콘트롤러(130)로부터 출력된 게이트 타이밍 제어신호는 도시하지 않은 레벨 시프터(level shifter)를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0055] 게이트 구동부(120)는 액티브 영역(AA) 밖의 베젤 영역(Bezel area, BZ)에 형성될 수 있다. VDD 스위칭 회로(30)는 베젤 영역(BZ)에 형성되거나 액티브 영역(AA) 내에 분산 배치될 수 있다.
- [0056] 제품 출하 전 픽셀들 각각의 전기적 특성을 센싱하고 그 센싱 결과를 바탕으로 서브 픽셀들의 전기적 특성 편차를 보상하는 보상값을 도출하여 룩업 테이블(Look-up table)을 생성한다. 이러한 보상값은 구동 소자의 문턱 전압을 보상하기 위한 보상값(offset)과 구동 소자의 이동도 보상을 위한 보상값(gain)으로 나뉘어질 수 있다. 보상값들이 설정된 룩업 테이블은 메모리(132)에 저장된다. 메모리(132)는 플래시 메모리(flash memory)일 수 있으나 이에 한정되지 않는다.
- [0057] 전계 발광 표시장치에 전원이 인가되면 메모리(132)로부터 보상값이 타이밍 콘트롤러의 보상부(131)의 메모리로 전송된다. 보상부(131)의 메모리는 DDR SDRAM(Double Data Rate Synchronous Dynamic RAM) 또는 SRAM일 수 있으나 이에 한정되지 않는다.
- [0058] 데이터 구동부(110)는 도 2에 도시된 바와 같이, DAC(22), 센싱부(22), DAC(22)의 출력 단자와 데이터 라인(102) 사이에 배치된 제1 스위치 소자(SW1), Vini를 데이터 라인(102)에 공급하기 위한 제2 스위치 소자(SW2), 데이터 라인(102)과 센싱부(22)의 입력 단자 사이에 배치된 제3 스위치 소자(SW3)를 포함한다. 스위치 소자들(SW1, SW2, SW3)은 타이밍 콘트롤러(130)의 제어 하에 온/오프될 수 있다.
- [0059] 제1 스위치 소자(SW1)는 액티브 구간에서 턴-온되어 DAC(20)로부터 출력되는 데이터 전압(Vdata)을 데이터 라인(102)에 공급한다. 제1 스위치 소자(SW1)는 버티컬 블랭크 구간 동안 오프 상태를 유지한다.
- [0060] 제2 스위치 소자(SW2)는 버티컬 블랭크 구간의 초기화 단계에서 Vini를 데이터 라인(102)에 공급한다. 제3 스위치 소자(SW3)는 버티컬 블랭크 구간의 센싱 단계에서 턴-온되어 데이터 라인(102)을 센싱부(20)에 연결한다. 제2 및 제3 스위치 소자(SW2, SW3)는 액티브 구간 동안 오프 상태를 유지한다.
- [0061] 센싱부(20)는 버티컬 블랭크 구간에서 서브 픽셀의 전기적 특성 예를 들어, 구동 소자의 문턱 전압을 매 프레임 기간마다 실시간 센싱한다. 센싱부(22)는 아날로그-디지털 변환기(Analog to Digital Convertor, 이하 “ADC”라 함)를 통해 서브 픽셀의 센싱 결과를 디지털 데이터로 변환하여 보상부(131)로 전송한다. 센싱부(22)는 공지된 전압 센싱 회로 또는 전류 센싱 회로로 구현될 수 있다.
- [0062] 보상부(26)는 센싱부(20)로부터 수신된 서브 픽셀의 센싱 결과를 룩업 테이블에 입력하여 센싱 결과에 따른 보상값을 선택하고, 그 보상값으로 입력 영상의 데이터를 변조하여 보상 데이터를 출력한다. 구동 소자의 문턱 전압을 보상하기 위한 보상값은 입력 영상의 데이터에 더해지고, 구동 소자의 이동도를 보상하기 위한 보상값은 입력 영상의 데이터에 곱해질 수 있다. 보상부(26)로부터 출력된 보상 데이터는 데이터 구동부(110)로 전송된다. 따라서, 본 발명의 전계 발광 표시장치는 매 프레임 기간마다 버티컬 블랭크 구간에서 서브 픽셀의 전기적 특성을 실시간 센싱하고, 이 센싱 결과를 바탕으로 입력 영상의 데이터를 보상함으로써 서브 픽셀의 전기적 특성 편차를 실시간 보상할 수 있다.
- [0063] 도 4 내지 도 10을 결부하여 픽셀들에 영향을 주는 IR 드롭에 대하여 설명하기로 한다.

- [0064] IR 드롭은 도 4에 도시된 바와 같이 저항(R)을 통해 전류(I)가 흐를 때 발생하는 전압 강하(Voltage Drop)를 의미한다. 도 4에서, V_{ext} 는 외부 입력 전압이고, V_{in} 은 부하(Load)에 공급되는 실제 입력 전압이다. V_{out} 은 부하(Load)를 통과한 출력 전압(V_{out})이다. 실제 입력 전압(V_{in})은 $V_{in} = V_{ext} - IR$ 이다.
- [0065] 픽셀 회로는 구동 소자의 게이트-소스 간 전압이 저장되는 스토리지 커패시터(C_{st})를 포함한다. 도 5에 도시된 바와 같이 스토리지 커패시터(C_{st})의 제1 전극에 VDD가 인가되고 제2 전극에 $VDD - V_{gs} = VDD - DATA - V_{th}$ 가 인가된다. DATA는 데이터의 계조 전압이다. V_{gs} 는 구동 소자의 게이트-소스간 전압이고, V_{th} 는 구동 소자의 문턱 전압이다.
- [0066] 도 6 내지 도 8은 표시패널(100) 내의 VDD 배선을 보여 주는 도면들이다. 도 6 내지 도 8에서 “D-IC”는 모바일 기기의 드라이브 IC를 나타낸다. 드라이브 IC(D-IC)에 전원 회로(150), 타이밍 콘트롤러(130), 데이터 구동부(110) 등이 집적될 수 있다.
- [0067] 도 6 내지 도 8을 참조하면, 표시패널(100) 내의 VDD 배선은 PCB(또는 FPCB)를 통해 전원 회로(150)로부터 VDD를 공급 받는 LOG 배선(70), LOG 배선(70)에 연결된 메쉬(mesh) 형태의 VDD 배선(72)을 포함한다. LOG 배선(70)의 저항이 VDD 배선(72)보다 크다.
- [0068] VDD 배선(72)은 도 7에 도시된 수직 배선들(72a)과, 도 8에 도시된 수평 배선들(72b)을 포함한다. 수직 배선들(72a)과 수평 배선들(72b)은 절연층을 사이에 두고 직교하고 적어도 일부 교차점들에서 절연층을 관통하는 콘택 홀들(Contact hole)을 통해 서로 연결된다. 도 8 내지 도 10에서 B, C, D, E 위치에 콘택홀이 형성될 수 있다.
- [0069] LOG 배선 저항을 통해 입력 IR 드롭이 발생한다. LOG 배선 저항이 크기 때문에 VDD의 전압은 입력 IR 드롭에 의해 변동될 수 있다. LOG 배선 상의 A 지점의 전류 I_a 는 B, C, D, E 위치의 픽셀들의 구동에 필요한 전류를 각각 I_b , I_c , I_d , I_e 라 할 때, I_a 는 $I_b + I_c + I_d + I_e$ 이다. 따라서, A 지점 상의 전압 $V_a = VDD - (R_a * I_a) = VDD - \{R_a * (I_b + I_c + I_d + I_e)\}$ 이다. 여기서, IR 드롭은 $R_a * (I_b + I_c + I_d + I_e)$ 이다. R_a 는 A 지점에서 LOG 배선 저항이다. IR 드롭은 모든 픽셀들에서 요구되는 전류량에 따라 변동되는 전압이고 LOG 배선(70)의 저항이 크기 때문에 입력 IR 드롭이 VDD 배선(70) 상의 IR 드롭보다 크다.
- [0070] VDD 배선(72)의 IR 드롭은 수직 배선들(72a)에서 발생하는 수직 IR 드롭과, 수평 배선들(72b)에서 발생하는 수평 IR 드롭으로 나뉘어질 수 있다. 수직 IR 드롭은 도 7에 도시된 바와 같이, 수직 배선(72a) 상에서 나타나는 IR 드롭이다. VDD 배선(72)에서 수평 배선들(72b)을 제거하고 수직 IR 드롭을 해석할 때 B 지점에 흐르는 전류는 B 지점에서 요구되는 전류(I_b)에 C 지점에서 요구되는 전류(I_c)가 더해진 것이다. B 지점의 전압 V_b 는 $V_b = V_a - \{R_b * (I_b + I_c)\}$ 이다. R_b 는 b 지점에서의 저항이다.
- [0071] 수평 IR 드롭은 도 8에 도시된 바와 같이, 수평 배선(72b) 상에서 나타나는 IR 드롭이다. VDD 배선(72)에서 수직 배선들(72a)을 제거하고 수평 IR 드롭을 해석할 때 B 지점에 흐르는 전류는 B 지점에서 요구되는 전류(I_b)에 D 지점에서 요구되는 전류(I_d)가 더해진 것이다. B 지점의 전압 V_b 는 $V_b = V_a - \{R_b * (I_b + I_d)\}$ 이다.
- [0072] 전계 발광 표시장치에서 다른 픽셀들에서 발생하는 VDD의 IR 드롭 영향을 받아 픽셀의 휘도가 달라질 수 있다. 예를 들어, 도 9에 도시된 바와 같이, 모든 픽셀들이 화이트 계조로 점등된 경우에 P1 위치의 점등 픽셀에 인가되는 VDD의 전압 강하가 커진다. 이에 비하여, 일부 픽셀들이 점등되고 대부분의 픽셀들이 소등되어 있다면, P1 위치의 점등 픽셀에 인가되는 VDD의 전압 강하가 상대적으로 작다.
- [0073] 픽셀들의 구동 소자를 통해 발광 소자에 일정한 전류가 흘러야 모든 픽셀들이 같은 계조에서 동일한 휘도로 발광될 수 있다. 고 PPI(pixel per inch) 모델의 경우, VDD 배선의 저항이 커져 도 11에 도시된 바와 같이 표시패널(100)의 하단(P1, P2)으로 갈수록 IR 드롭이 커진다. IR 드롭으로 인한 구동 소자에 인가되는 VDD의 전압 강하는 표시패널의 위치 별로 발광 소자에 흐르는 전류가 변동되며, 이로 인해 휘도 불균일이 발생할 수 있다.
- [0074] 표시패널의 상단 위치(P0)에 VDD가 인가되면 IR 드롭으로 인하여 중간 위치(P1)에서 VDD는 $VDD - \alpha$ 로 낮아지고, 하단 위치(P2)에서 VDD는 $VDD - \beta$ 로 더 낮아진다.
- [0075] 본 발명의 전계 발광 표시장치는 VDD를 구동 단계용 $VDD = VDD1$ 과, 센싱 단계 및 데이터 기입 단계용 $VDD = VDD2$ 로 분리하고, 외부 보상 방법으로 서브 픽셀의 전기적 특성 편차를 보상한다. 본 발명은 액티브 구간에서 서브 픽셀에 데이터를 기입할 때 그리고 버티컬 블랭크 구간에서 서브 픽셀의 전기적 특성을 센싱할 때 $VDD (=VDD1)$ 를 서브 픽셀에 인가한다. 따라서, 본 발명의 전계 발광 표시장치는 센싱 단계 및 데이터 기입 단계에서 IR 드롭 영향 없이 서브 픽셀들 각각에서 구동 소자의 게이트-소스간 전압(V_{gs}) 변동을 방지하고, 센싱 단계에서 IR 드롭

의 영향을 받지 않기 때문에 서브 픽셀들 각각에서 구동 소자의 전기적 특성을 정확하게 센싱할 수 있다. 본 발명의 전계 발광 표시장치는 IR 드롭을 보상하기 위한 별도의 알고리즘이나 보상 회로의 추가 개발 없이, VDD 배선 상의 IR 드롭을 보상하고 서브 픽셀의 센싱 결과를 바탕으로 입력 영상 데이터를 보상함으로써 화면 전체에서 균일한 휘도로 영상을 표시할 수 있다.

[0076] 도 11a 및 도 11b는 본 발명의 실시예 따른 전원 회로(150)와 표시패널(100) 사이의 VDD 경로를 보여 주는 도면들이다.

[0077] 본 발명의 전원 회로(150)는 도 11a에 도시된 바와 같이 별개의 출력 채널들을 통해 VDD1과 VDD2를 출력하여 표시패널(100)에 공급할 수 있다. VDD1은 전원 회로(150)의 제1 출력 단자(CH1)를 통해 출력되어 PCB 상의 제1 VDD 배선(132)에 공급된다. PCB의 제1 VDD 배선(132)은 표시패널(100)의 제1 VDD 배선(31)에 연결된다. VDD2는 전원 회로(150)의 제2 출력 단자(CH2)를 통해 출력되어 PCB의 제2 VDD 배선(134)에 공급된다. PCB의 제2 VDD 배선(132)은 표시패널(100)의 제2 VDD 배선(32)에 연결된다. 도 11a의 경우에 전원 회로(150)로부터 VDD1과 VDD2는 동일 전압 레벨로 출력될 수 있으나 서로 다른 전압 레벨로 출력될 수도 있다. 표시패널의 구동 특성이나 응용 분야에 따라 VDD1과 VDD2의 전압이 결정될 수 있다.

[0078] 본 발명의 전원 회로(150)는 도 11b에 도시된 바와 같이 단일 채널을 통해 VDD1과 VDD2를 출력하여 표시패널(100)에 공급할 수 있다. 전원 회로(150)의 제1 출력 단자(CH1)를 통해 출력되는 VDD는 PCB 상의 입단부 단일 배선(50)에 공급된다. 입단부 단일 배선(50)은 두 개의 분기 배선들(136, 138)로 분리된다. 제1 분기 배선(136)에 인가된 VDD1은 표시패널(100)의 제1 VDD 배선(31)에 공급된다. 제2 분기 배선(138)에 인가된 VDD2는 표시패널(100)의 제2 VDD 배선(32)에 공급된다.

[0079] 도 11b에서 입단부 단일 배선(50)의 저항은 최소로 설계되어야 한다. 입단부 단일 배선(50)의 저항(R_t)에 흐르는 전류(I_t)는 $I_t = I_1 + I_2$ 로 X 노드의 전압 (V_x) = $R_t * I_t = R_t * (I_1 + I_2)$ 가 된다. 제1 분기 배선(136)을 통해 흐르는 전류(I_1)에 의해 데이터 기입 및 센싱 단계에 서브 픽셀들에 공급되는 VDD1이 변경될 수 있다. 이 때문에 입단부 단일 배선(50)의 저항(R_t)을 분기 배선들(46, 48)의 저항(R_1, R_2) 대비 1%미만으로 설정하여 분기 배선의 전류(I_1)로 인한 VDD2의 변동을 1% 미만으로 억제하여야 한다.

[0080] 도 12는 본 발명의 실시예에 따른 제1 및 제2 VDD 배선을 보여 주는 도면이다.

[0081] 도 12를 참조하면, 제1 VDD 배선(31)은 영상이 표시되는 액티브 영역(AA)의 픽셀 어레이에 메쉬 형태로 형성되어 모든 서브 픽셀들에 연결된다. VDD 스위칭 회로(30)는 구동 단계에서 VDD1이 인가되는 제1 VDD 배선(31)을 서브 픽셀들에 연결한다. VDD 스위칭 회로(30)는 구동 단계에서 제2 VDD 배선(32)을 서브 픽셀들로부터 분리한다.

[0082] 제2 VDD 배선(32)은 픽셀 라인들 각각에 형성된 다수의 VDD 배선들(321~324)을 포함한다. VDD 배선들(321~324)은 픽셀 라인들 간에 분리된다. VDD 스위칭 회로(30)는 데이터 기입 및 센싱 단계에서 제1 픽셀 라인의 서브 픽셀들(101)을 VDD2가 인가되는 제2-1 VDD 배선(321)에 연결한다. VDD 스위칭 회로(30)는 제2 픽셀 라인의 서브 픽셀들(101)을 VDD2가 인가되는 제2-2 VDD 배선(322)에 연결한다. VDD 스위칭 회로(30)는 데이터 기입 및 센싱 단계에서 제2 VDD 배선들(321~324)을 1 픽셀 라인씩 순차적으로 연결한다. VDD 스위칭 회로(30)는 데이터 기입 및 센싱 단계에서 동작하는 서브 픽셀들로부터 제1 VDD 배선(31)을 분리한다.

[0083] 도 13은 공통 VDD로 모든 픽셀 라인들의 픽셀들을 구동하는 예를 보여 주는 도면이다. 도 14는 센싱 단계의 픽셀 라인에 인가되는 VDD와, 구동 단계의 픽셀 라인에 인가되는 VDD가 분리된 예를 보여 주는 도면이다.

[0084] 도 13에 도시된 바와 같이, 전원 회로(150)로부터 출력된 공통 VDD는 입단 저항(R_{in})을 통해 구동 단계로 동작하는 서브 픽셀들(132)에 공급된다. 또한, 공통 VDD는 입단 저항(R_{in})을 통해 초기화 단계, 센싱 단계, 또는 데이터 기입 단계로 동작하는 서브 픽셀들(131)에 공급된다. 이 경우, 초기화 단계, 센싱 단계, 또는 데이터 기입 단계로 동작하는 서브 픽셀들(131)에 인가되는 VDD는 구동 단계로 동작하는 다른 서브 픽셀들(132)로 인하여 IR 드롭의 변동이 커진다. 도 13에서, " I_{dr} "은 구동 단계로 동작하는 서브 픽셀들(132)의 구동 소자를 통해 흐르는 전류이다. " I_{sc} "는 초기화 단계, 센싱 단계 또는 데이터 기입 단계로 동작하는 서브 픽셀(131)의 구동 소자를 통해 흐르는 전류이다. $I_{sc} = I_{dr}$ 이라 할 때 도 13에 도시된 서브 픽셀(131)에 공급되는 전압(V_{sc})은 $V_{sc} = V_{DD_{PMIC}} - (I_{sc} * N * M * \text{서브 픽셀 수} * R_{in})$ 이다. 여기서, $V_{DD_{PMIC}}$ 는 전원 회로(150)로부터 출력되는 VDD이다. $N * M$ 은 표시패널(100)의 해상도이다.

[0085] 도 14를 참조하면, 전원 회로(150)는 VDD 스위치 소자를 이용하여 초기화 단계, 센싱 단계 또는 데이터 기입 단

계에서 VDD2를 제2 VDD 배선(32)에 공급한다. 제2 VDD 배선(32)을 통해 한 개의 픽셀 라인에 배치된 서브 픽셀들에 VDD2가 공급될 때, 제2 VDD 배선(32)을 통해 VDD2가 인가되는 한 개의 픽셀 라인을 제외한 다른 픽셀 라인들의 서브 픽셀들에 구동 단계용 VDD1이 공급된다.

[0086] 도 14에 도시된 바와 같이, 전원 회로(150)로부터 출력된 VDD2는 제1 입단 저항(Rin1)을 통해 초기화 단계, 센싱 단계 또는 데이터 기입 단계로 동작하는 서브 픽셀(141)에 공급된다. 전원 회로(150)로부터 출력된 구동 단계용 VDD1은 제2 입단 저항(Rin2)을 통해 구동 단계로 동작하는 서브 픽셀(142)에 공급된다. $I_{sc} = I_{dr}$ 이라 할 때 도 14에 도시된 서브 픽셀(141)에 공급되는 전압(Vsc)은 $V_{sc} = V_{DD_{PMIC}} - (I_{sc} * R_{in1})$ 이다. 따라서, 서브 픽셀(141)에 공급되는 VDD2는 도 14에서 알 수 있는 바와 같이 다른 서브 픽셀들의 영향을 받지 않기 때문에 IR 드롭으로 인한 전압 강하가 없다.

[0087] 도 15는 본 발명의 실시예에 따른 VDD 스위칭 회로와 픽셀 회로를 보여 주는 회로도이다. 도 16은 버티컬 블랭크 구간에서 서브 픽셀의 센싱 단계를 보여 주는 파형도이다. 도 17은 블랭크 구간에 이전 프레임 데이터를 서브 픽셀에 다시 기입하는 예를 보여 주는 도면이다. 도 18은 액티브 구간에서 서브 픽셀의 데이터 기입 단계를 보여 주는 파형도이다.

[0088] 도 15 내지 도 18을 참조하면, VDD 스위칭 회로(30)는 이웃한 제1 및 제2 서브 픽셀들(101A, 101B)에 연결된 제1 및 제2 VDD 스위치 소자들(M1, M2)를 구비한다. 제1 및 제2 서브 픽셀들(101A, 101B)은 서로 다른 데이터 라인(102)에 연결되고 다수의 게이트 라인들(41~43)에 공통으로 연결된다.

[0089] 본 발명은 제1 및 제2 서브 픽셀들(101A, 101B)에 VDD 스위칭 회로(30)의 VDD 스위치 소자들(M1, M2)이 공유되기 때문에 VDD 스위칭 회로(30)에 필요한 스위치 소자들의 개수를 줄일 수 있고 VDD 스위칭 회로(30)에 필요한 면적을 줄일 수 있다.

[0090] 픽셀 회로는 발광 소자(EL), 구동 소자(DT), 스토리지 커패시터(Cst) 및 다수의 스위치 소자들(T1~T4)을 포함한다. VDD 스위치 소자들(M1, M2)과, 픽셀 회로들의 스위치 소자들(T1~T4) 및 구동 소자(DT)는 PMOS 구조의 TFT들로 구현될 수 있다.

[0091] 서브 픽셀들의 발광 소자(EL)는 구동 소자(DT)에서 전류(I_{ds})가 흐르는 구동 단계(DRV)에서 발광된다. 구동 단계(DRV)는 액티브 구간(AT)가 버티컬 블랭크 구간(VB) 각각에서 초기화 단계(INI), 센싱 단계(SEN), 및 데이터 기입 단계(WRV, WRA)를 제외한 1 프레임 기간의 대부분을 차지한다.

[0092] 버티컬 블랭크 구간(VB)은 도 16에 도시된 바와 같이 초기화 단계(INI), 센싱 단계(SEN), 데이터 기입 단계(WRV) 및 구동 단계(DRV)를 포함한다. 액티브 구간(AT)은 도 18에 도시된 바와 같이 데이터 기입 단계(WRA)와 구동 단계(DRV)를 포함한다. 버티컬 블랭크 구간(VB) 이후의 액티브 구간(AT)에서 센싱된 서브 픽셀의 데이터 기입 단계(WRA)에 현재 프레임 데이터가 서브 픽셀에 기입된다. 반면에, 버티컬 블랭크 구간(VB)의 데이터 기입 단계(WRV)에서 서브 픽셀에 이전 프레임 데이터가 다시 기입된다. 따라서, 버티컬 블랭크 구간(VB)과 그 이전의 액티브 구간(AT)에서 센싱되는 서브 픽셀에 기입되는 데이터는 동일한 데이터이다.

[0093] 제1 VDD 스위치 소자(M1)는 EM 신호(EM(N))에 응답하여 구동 단계(DRV)에서 턴-온(turn-on)된다. 제1 VDD 스위치 소자(M1)는 구동 단계(DRV)의 서브 픽셀들에 제1 VDD 배선(31)을 연결하여 그 서브 픽셀들의 구동 소자(DT)와 스토리지 커패시터(Cst)에 VDD1을 공급한다. 제1 VDD 스위치 소자(M1)는 EM 신호(EM(N))가 인가되는 제3 게이트 라인(43)에 연결된 게이트, 제1 VDD 배선(31)에 연결된 제1 전극, 및 픽셀 회로의 구동 소자(DT)와 스토리지 커패시터(Cst)에 연결된 제2 전극을 포함한다.

[0094] 제2 VDD 스위치 소자(M2)는 제1 스캔 신호(SCANA(N))에 응답하여 턴-온된다. 제2 VDD 스위치 소자(M2)는 데이터 기입 단계 또는 센싱 단계의 서브 픽셀들에 제2 VDD 배선(32)을 연결하여 그 서브 픽셀들의 구동 소자(DT)와 스토리지 커패시터(Cst)에 VDD2를 공급한다. 제2 VDD 스위치 소자(M2)는 제1 스캔 신호(SCANA(N))가 인가되는 제1 게이트 라인(41)에 연결된 게이트, 제2 VDD 배선(32)에 연결된 제1 전극, 및 픽셀 회로의 구동 소자(DT)와 스토리지 커패시터(Cst)에 연결된 제2 전극을 포함한다.

[0095] 픽셀 회로의 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED가 턴-온(turn-on)될 때, 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되어 발광

층(EML)에서 가시광이 발광된다. OLED는 구동 단계(DRV)에서 발생하는 구동 소자(DT)의 게이트-소스 간 전압(V_{gs})에 따라 조절되는 전류로 발광한다. OLED의 애노드는 제3 노드($n3$)를 통해 제3 및 제4 스위치 소자들($T3$, $T4$)에 연결된다. OLED의 캐소드는 VSS가 인가되는 VSS 전극에 연결된다. 구동 단계에서 OLED의 전류패스는 제1 VDD 스위치 소자($M1$)와 픽셀 회로의 제3 스위치 소자($T3$)에 의해 스위칭된다.

[0096] 스토리지 커패시터(Cst)의 제1 전극은 VDD 스위칭 회로(30)를 통해 데이터 기입 단계와 센싱 단계에서 제2 VDD 배선(32)에 연결되고, 구동 단계에서 VDD 스위칭 회로(30)를 통해 제1 VDD 배선(31)에 연결된다. 스토리지 커패시터(Cst)의 제2 전극은 제1 노드($n1$)를 경유하여 구동 소자(DT)의 게이트, 제1 스위치 소자($T1$)의 제1 전극 및 제2 스위치 소자($T2$)의 제2 전극에 연결된다.

[0097] 제1 스위치 소자($T1$)는 제2 스캔 신호($SCANB(N)$)에 응답하여 센싱 단계에서 턴-온된다. 제1 스위치 소자($T1$)는 센싱 단계에서 제1 노드($n1$)를 제2 노드($n2$)에 연결한다. 제2 노드($n2$)는 제1 스위치 소자($T2$)의 제2 전극, 구동 소자($D2$)의 제2 전극, 및 제3 스위치 소자($T3$)의 제1 전극에 연결된다. 제1 스위치 소자($T1$)는 제2 스캔 신호($SCANB(N)$)가 인가되는 제2 게이트 라인(42)에 연결된 게이트, 제1 노드($n1$)에 연결된 제1 전극, 및 제2 노드($n2$)에 연결된 제2 전극을 포함한다.

[0098] 제2 스위치 소자($T2$)는 액티브 구간(AT)의 데이터 기입 단계(WRA)와 버티컬 블랭크 구간(VB)의 초기화 단계(INI), 센싱 단계(SEN), 및 데이터 기입 단계(WRV)에서 제1 스캔 신호($SCANA(N)$)에 응답하여 턴-온되어 데이터 라인(102)을 제1 노드($n1$)에 연결한다. 제2 스위치 소자($T2$)는 제1 스캔 신호($SCANA(N)$)가 인가되는 제1 게이트 라인(41)에 연결된 게이트, 데이터 라인(102)에 연결된 제1 전극, 및 제1 노드($n1$)에 연결된 제2 전극을 포함한다.

[0099] 제3 스위치 소자($T3$)는 EM 신호($EM(N)$)에 응답하여 구동 단계(DRV)에서 턴-온되어 제2 노드($n2$)를 제3 노드($n3$)에 연결한다. 제3 스위치 소자($T3$)는 EM 신호($EM(N)$)가 인가되는 제3 게이트 라인(43)에 연결된 게이트, 제2 노드($n2$)에 연결된 제1 전극, 및 제3 노드($n3$)를 통해 발광 소자(EL)의 애노드에 연결된 제2 전극을 포함한다.

[0100] 제4 스위치 소자($T4$)는 액티브 구간(AT)의 데이터 기입 단계(WRA)와, 버티컬 블랭크 구간(VB)의 초기화 단계(INI), 센싱 단계(SEN), 및 데이터 기입 단계(WRV)에서 제1 스캔 신호($SCANA(N)$)에 응답하여 턴-온되어 Vini 배선을 제3 노드($n3$)에 연결한다. 제4 스위치 소자($T4$)는 초기화 단계(INI), 센싱 단계(SEN), 및 데이터 기입 단계(WRA, WRV)에서 Vini 배선을 발광 소자(EL)의 애노드에 연결하여 발광 소자(EL)의 기생 용량을 방전하여 서브 픽셀의 잔상을 방지한다. 제4 스위치 소자($T4$)는 제1 게이트 라인(41)에 연결된 게이트, Vini 배선에 연결된 제1 전극, 및 제3 노드($n3$)에 연결된 제2 전극을 포함한다.

[0101] 도 16 및 도 17을 참조하면, 버티컬 블랭크 구간(VB)에서 제1 스캔 신호($SCANA(N)$)는 초기화 단계(INI), 센싱 단계(SEN) 및 데이터 기입 단계(WRV)를 정의하는 게이트 온 전압의 펄스로 발생된다. 버티컬 블랭크 구간(VB)에서 제2 스캔 신호($SCANB(N)$)는 센싱 단계(SEN)를 정의하는 게이트 온 전압의 펄스로 발생된다. 제2 스캔 신호($SCANB(N)$)는 센싱 단계(SEN)에서만 게이트 온 전압으로 발생되고, 이 센싱 단계(SEN) 이외의 버티컬 블랭크 구간(VB)과 액티브 구간(AT)에서 게이트 오프 전압으로 유지된다. EM 신호($EM(N)$)는 버티컬 블랭크 구간(DRV)에서 초기화 단계(INI), 센싱 단계(SEN) 및 데이터 기입 단계(WRV)에서 게이트 오프 전압의 펄스로 발생되고, 그 이외의 나머지 구동 단계(DRV)에서 게이트 온 전압으로 발생된다.

[0102] 초기화 단계(INI)에서 도 21에 도시된 바와 같이 제2 VDD 스위치 소자($M2$)와, 픽셀 회로의 제2 스위치 소자($T2$) 및 제4 스위치 소자($T4$)가 제1 스캔 신호($SCANA(N)$)에 응답하여 턴-온된다. 초기화 단계(INI)에서 데이터 라인(102)에 Vini가 공급된다. 따라서, 초기화 단계(INI)에서 픽셀 회로의 스토리지 커패시터(Cst)의 제1 전극과, 구동 소자(DT)의 제1 전극이 IR 드롭이 없는 VDD2로 초기화하고, 제1 노드($n1$)와 제3 노드($n3$)를 Vini로 초기화한다.

[0103] 센싱 단계(SEN)에서 도 21에 도시된 바와 같이 제2 VDD 스위치 소자($M2$)와, 픽셀 회로의 제1, 제2 및, 제4 스위치 소자들($T1$, $T2$, $T4$)이 스캔 신호들($SCANA(N)$, $SCANB(N)$)에 응답하여 턴-온된다. 센싱 단계(INI)에서 픽셀 회로의 스토리지 커패시터(Cst)의 제1 전극과 구동 소자(DT)의 제1 전극에 IR 드롭이 없는 VDD2가 공급되어 구동 소자(DT)의 게이트-소스간 전압(V_{gs})이 문턱 전압(V_{th})에 도달할 때까지 턴-온되고 이 문턱 전압(V_{th})이 스토리지 커패시터(Cst)에 저장된다. 센싱 단계(SEN)에서 센싱된 구동 소자(DT)의 문턱 전압(V_{th})은 제1 및 제2 스위치 소자들($T1$, $T2$)와 데이터 라인(102)을 통해 센싱부(20)에서 디지털 데이터로 변환된 다음, 보상부(131)로 전송된다. 보상부(131)는 센싱 단계(SEN)에서 수신된 구동 소자의 문턱 전압에 대응하는 보상값을 선택하고, 그 보상값으로 입력 영상의 데이터를 변조하여 보상 데이터를 발생한다.

- [0104] 데이터 기입 단계(WRV)에서 제2 VDD 스위치 소자(M2)와, 픽셀 회로의 제1, 제2 및, 제4 스위치 소자들(T1, T2, T4)이 제1 스캔 신호(SCANA(N))에 응답하여 턴-온된다. 데이터 기입 단계(WRV)에서 데이터 라인(102)에 이전 프레임의 데이터 전압(Vdata)이 공급되어 입력 영상의 데이터가 서브 픽셀에 기입된다. 데이터 기입 단계(WRV)에서, 구동 소자(DT)의 문턱 전압(Vth)만큼 보상된 데이터 전압(Vdata+Vth)이 스토리지 커패시터(Cst)에 저장된다. 데이터 기입 단계(WRV)에서 구동 소자(DT)의 Vgs는 스토리지 커패시터(Cst)에 저장된 전압(Vdata+Vth)으로 변환다. 데이터 기입 단계(WRV)에서 서브 픽셀에 기입되는 데이터는 그 이전 액티브 구간과 같은 이전 프레임 데이터이다. 이 데이터는 도 17에 도시된 바와 같이 이전 프레임 데이터이다.
- [0105] 버티컬 블랭크 구간(VB)의 구동 단계(DRV)에서 제1 VDD 스위치 소자(M1)과 픽셀 회로의 제3 스위치 소자(T3)가 EM 신호(EM(N))에 응답하여 턴-온된다. 이 때, 구동 소자(DT)는 게이트 소스간 전압(Vgs)에 따라 전류(Ids)를 발생한다. 발광 소자(EL)는 구동 소자(DT)로부터의 전류(Ids)에 의해 턴-온되어 발광된다. 구동 단계(DRV)에서 픽셀 회로에 공급되는 VDD1은 IR 드롭으로 인한 전압 강하분(α)을 포함한다. 구동 단계(DRV)에서 스토리지 커패시터(Cst)의 제1 전극과 구동 소자(DT)의 제1 전극에 VDD1- α 가 인가될 때, 제1 노드(n1)의 전압도 α 만큼 낮아지기 때문에 구동 소자(DT)의 Vgs는 변화가 없다. 따라서, 구동 단계(DRV)에서 발광 소자(EL)는 IR 드롭 영향 없이 구동된다.
- [0106] 도 17을 참조하면, 제N-1 액티브 구간(VB(N-1)) 동안 서브 픽셀(PIX(N))에 이전 프레임 데이터가 기입된다. 서브 픽셀(PIX(N))은 버티컬 블랭크 구간(VB)에 센싱될 임의의 서브 픽셀이다. 제N-1 액티브 구간(AT(N-1)) 동안 모든 픽셀들에 데이터가 기입된 후, 제N-1 버티컬 블랭크 구간(VB(N-1))에서 서브 픽셀(PIX(N))이 초기화된 후에 센싱되면 그 서브 픽셀(PIX(N))에서 데이터가 소거(erase)되기 때문에 서브 픽셀(PIX(N))이 소등된다. 버티컬 블랭크 구간(VB(N-1))이 존재하는 1 프레임 기간 동안, 센싱되는 서브 픽셀(PIX(N))의 휘도가 일정하게 유지될 수 있도록 버티컬 블랭크 구간(VB(N-1))에서 센싱 단계(SEN) 이후에 이전 프레임 데이터와 같은 데이터가 서브 픽셀(PIX(N))에 다시 기입되어야 한다.
- [0107] 도 18을 참조하면, 액티브 구간(AT)은 제1 스캔 신호(SCANA(N))에 의해 정의되는 데이터 기입 단계(WRA)와, EM 신호(EM(N))에 의해 정의되는 구동 단계(WRA)를 포함한다.
- [0108] 액티브 구간(AT)에서 제1 스캔 신호(SCANA(N))는 대략 1 수평 기간의 데이터 기입 단계(WRA)를 정의하는 게이트 온 전압의 펄스로 발생된다. 데이터 기입 단계(WRA)에서 제2 스캔 신호(SCANB(N))와 EM 신호(EM(N))는 게이트 오프 전압이다. 제2 스캔 신호(SCANB(N))는 액티브 구간(AT) 동안 게이트 오프 전압을 유지한다. 도 19에 도시된 바와 같이 데이터 기입 단계(WRV)에서 제2 VDD 스위치 소자(M2)와 제2 스위치 소자(T2)가 턴-온된다. 데이터 기입 단계(WRV)에서 현재 프레임 데이터의 데이터 전압(Vdata)이 데이터 라인(102)에 공급되어 서브 픽셀에 데이터가 기입된다. 데이터 전압(Vdata)은 VDD-(Data-Vth)와 같다. DATA는 데이터의 게조 전압이다. 따라서, 스토리지 커패시터(Cst)와 구동 소자(DT)의 제1 전극에 VDD2가 인가되고, 스토리지 커패시터(Cst)의 제2 전극과 구동 소자의 게이트에 연결된 제1 노드에 데이터 전압(Vdata)이 공급된다. 데이터 기입 단계(WRA)에서 구동 소자(DT)의 Vgs는 Vdata+Vth으로 변환다.
- [0109] 액티브 구간(AT)의 구동 단계(DRV)에서 도 19에 도시된 바와 같이 제1 VDD 스위치 소자(M1)과 제3 스위치 소자(T3)가 EM 신호(EM(N))에 응답하여 턴-온된다. 이 때, 구동 소자(DT)는 게이트 소스간 전압(Vgs)에 따라 전류(Ids)를 발생한다. 발광 소자(EL)는 구동 소자(DT)로부터의 전류(Ids)에 의해 턴-온되어 발광된다. 구동 단계(DRV)에서 픽셀 회로에 공급되는 VDD1은 IR 드롭으로 인한 전압 강하분(α)을 포함한다. 구동 단계(DRV)에서 스토리지 커패시터(Cst)의 제1 전극과 구동 소자(DT)의 제1 전극에 VDD1- α 가 인가될 때, 제1 노드(n1)의 전압도 α 만큼 낮아지기 때문에 구동 소자(DT)의 Vgs는 변화가 없다. 따라서, 구동 단계(DRV)에서 발광 소자(EL)는 IR 드롭 영향 없이 구동된다.
- [0110] 도 20은 데이터 기입 단계(WRA, WRB)와 구동 단계(DRV)에서 픽셀 회로에 인가되는 VDD와 스토리지 커패시터의 전압을 보여 주는 도면이다.
- [0111] 도 20을 참조하면, 데이터 기입 단계(WRA, WRB)에서 스토리지 커패시터(Cst)의 제1 전극과 구동 소자(DT)의 제1 전극에 VDD2=VDD가 인가되고, 스토리지 커패시터(Cst)의 제2 전극에 Vdata = VDD-(Data-Vth)가 인가된다. 따라서, 스토리지 커패시터(C)의 전압 Vgs = Data+Vth이다.
- [0112] 구동 단계(DRV)에서 스토리지 커패시터(Cst)의 제1 전극과 구동 소자(DT)의 제1 전극에 IR 드롭에 의해 발생되는 전압 강하분(α) 만큼 변동된 VDD1=VDD- α 가 인가되고, 제1 및 제2 스위치 소자들(T1, T2)이 턴-오프되어 있기 때문에 스토리지 커패시터(Cst)의 제2 전극은 플로팅(floating)된다. 제1 노드(n1)가 플로팅되어 있기 때

문에 스토리지 커패시터(Cst)의 제1 전극 전압이 α 만큼 변할 때 스토리지 커패시터(Cst)의 제2 전극 전압도 α 만큼 변한다. 따라서, 구동 단계(DRV)에서 VDD가 변하더라도 스토리지 커패시터(Cst)의 양단간 전위차가 유지되기 때문에 Vgs는 센싱 단계에서 충전된 전압과 같은 전압으로 유지된다.

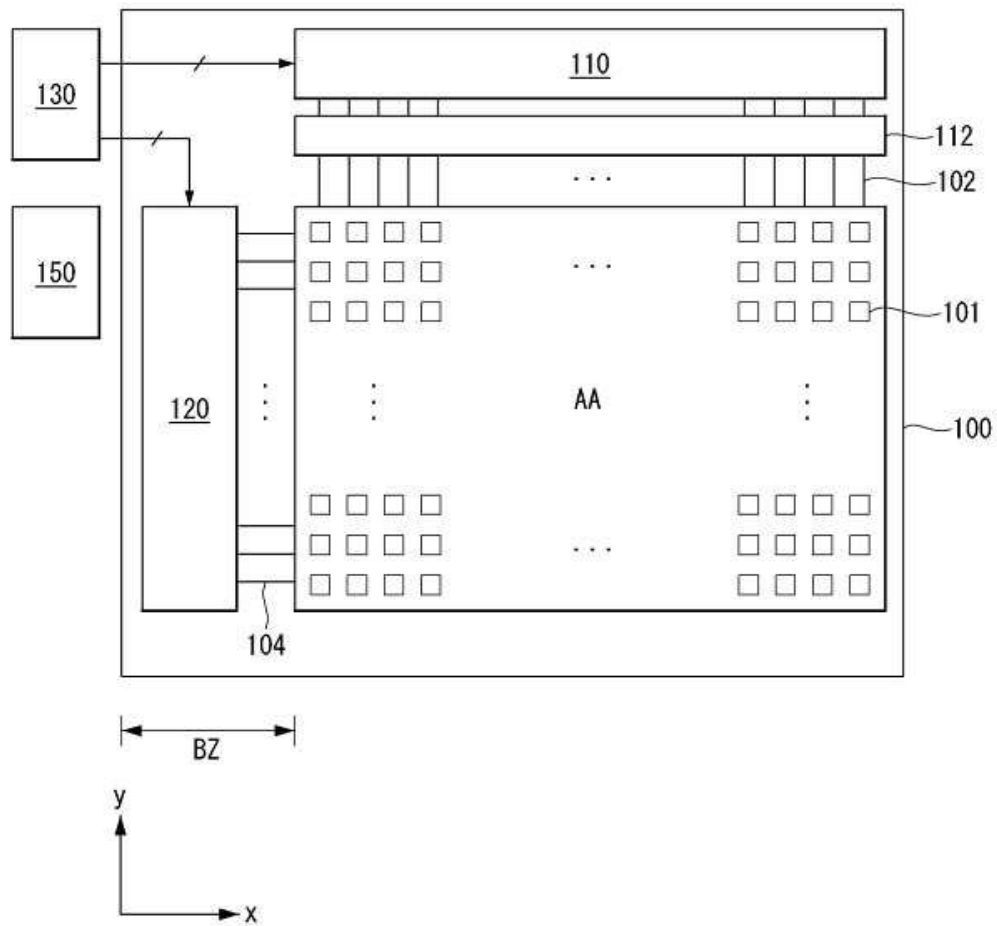
- [0113] 도 22는 VESA(Video Electronics Standards Association) 표준의 디스플레이 타이밍에서 액티브 구간과 버티컬 블랭크 구간을 보여 주는 도면이다.
- [0114] 도 22를 참조하면, 수직 동기신호(Vsync)는 1 프레임 기간을 정의한다. 수평 동기신호(Hsync)는 1 수평 기간(Horizontal time)을 정의한다. 데이터 인에이블 신호(DE)는 화면에 표시될 픽셀 데이터를 포함한 유효 데이터 구간을 정의한다.
- [0115] 데이터 인에이블 신호(DE)는 표시패널(100)의 픽셀 어레이에 표시될 유효 데이터와 동기된다. 데이터 인에이블 신호(DE)의 1 펄스 주기는 1 수평 기간이고, 데이터 인에이블 신호(DE)의 하이 로직(high logic) 구간은 1 픽셀 라인의 데이터 입력 타이밍을 나타낸다. 1 수평 기간은 표시패널(100)에서 1 픽셀 라인의 픽셀들에 데이터를 기입하는데 필요한 시간이다.
- [0116] 타이밍 컨트롤러(130)는 데이터 인에이블 신호(DE)와 입력 영상의 데이터를 버티컬 액티브 구간(AT) 동안 수신한다. 버티컬 블랭크 구간(VB)에 데이터 인에이블 신호(DE)와 입력 영상의 데이터가 없다. 액티브 구간(AT) 동안 모든 픽셀들에 기입될 1 프레임 분량의 데이터가 타이밍 컨트롤러(130)에 수신된다. 1 프레임 기간은 액티브 구간(AT)과 버티컬 블랭크 구간(VB)을 합한 시간이다.
- [0117] 데이터 인에이블 신호(DE)에서 알 수 있는 바와 같이, 버티컬 블랭크 구간(VB) 동안 표시장치에 입력 데이터가 수신되지 않는다. 버티컬 블랭크 구간(VB)은 수직 싱크 시간(Vertical sync time, VS), 버티컬 프론트 포치(Vertical Front Porch, FP), 및 버티컬 백 포치(Vertical Back Porch, BP)를 포함한다. 수직 싱크 시간(VS)은 Vsync의 폴링 에지(falling edge)부터 라이징 에지(rising edge)까지의 시간으로서, 한 화면의 시작(또는 끝) 타이밍을 나타낸다. 버티컬 프론트 포치(FP)는 1 프레임 데이터의 마지막 라인 데이터 타이밍을 나타내는 마지막 DE의 폴링 에지부터 버티컬 블랭크 기간(VB)의 시작까지의 시간이다. 버티컬 백 포치(BP)는 버티컬 블랭크 기간(VB)의 끝부터 1 프레임 데이터의 제1 라인 데이터 타이밍을 나타내는 제1 DE의 라이징 에지까지의 시간이다.
- [0118] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

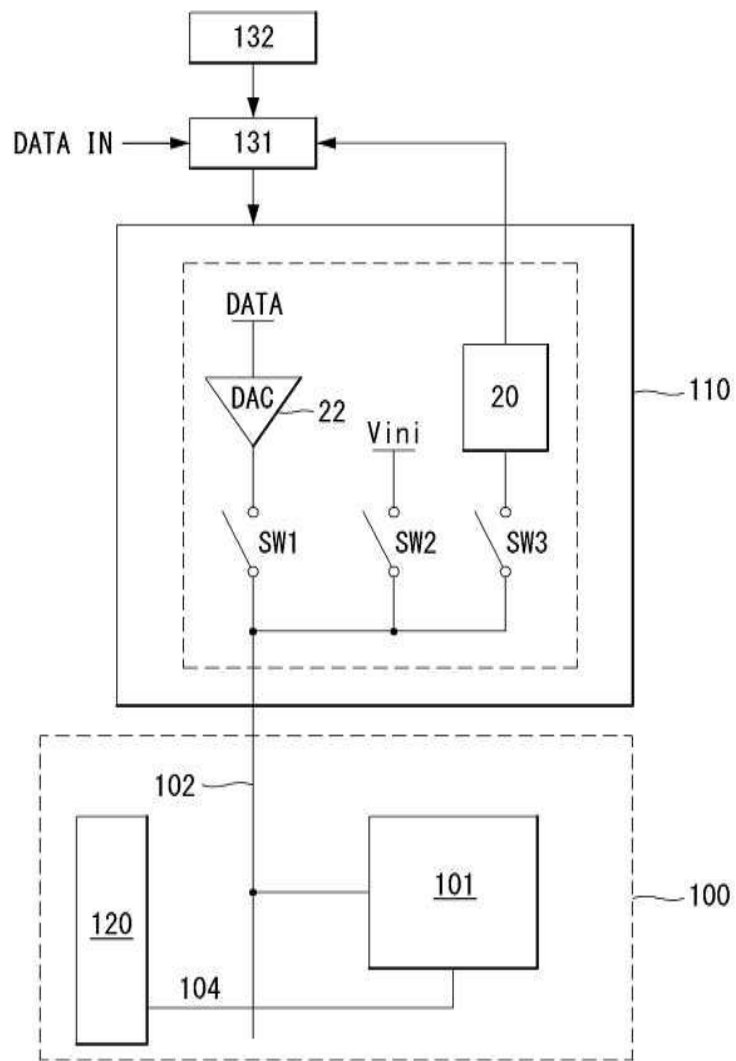
- [0119] 30 : VDD 스위칭 회로 M1, M2 : VDD 스위치 소자
T1~T4 : 픽셀 회로의 스위치 소자 DT : 픽셀 회로의 구동 소자
Cst : 스토리지 커패시터 100 : 표시패널
101, 101A, 101B : 서브 픽셀 110 : 데이터 구동부
120 : 게이트 구동부

도면

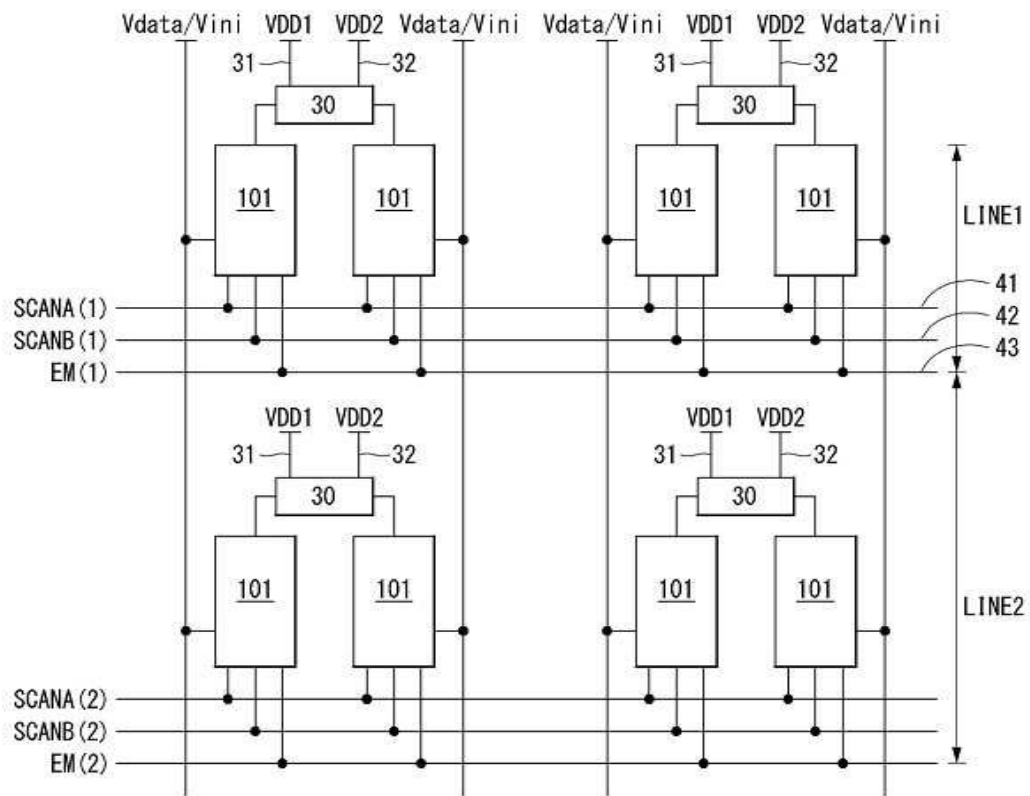
도면1



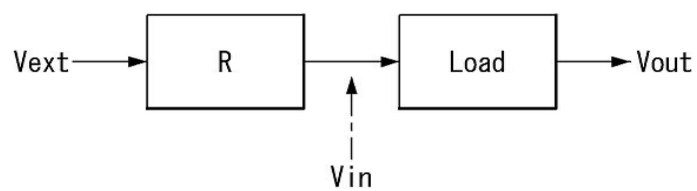
도면2



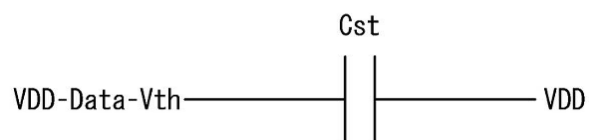
도면3



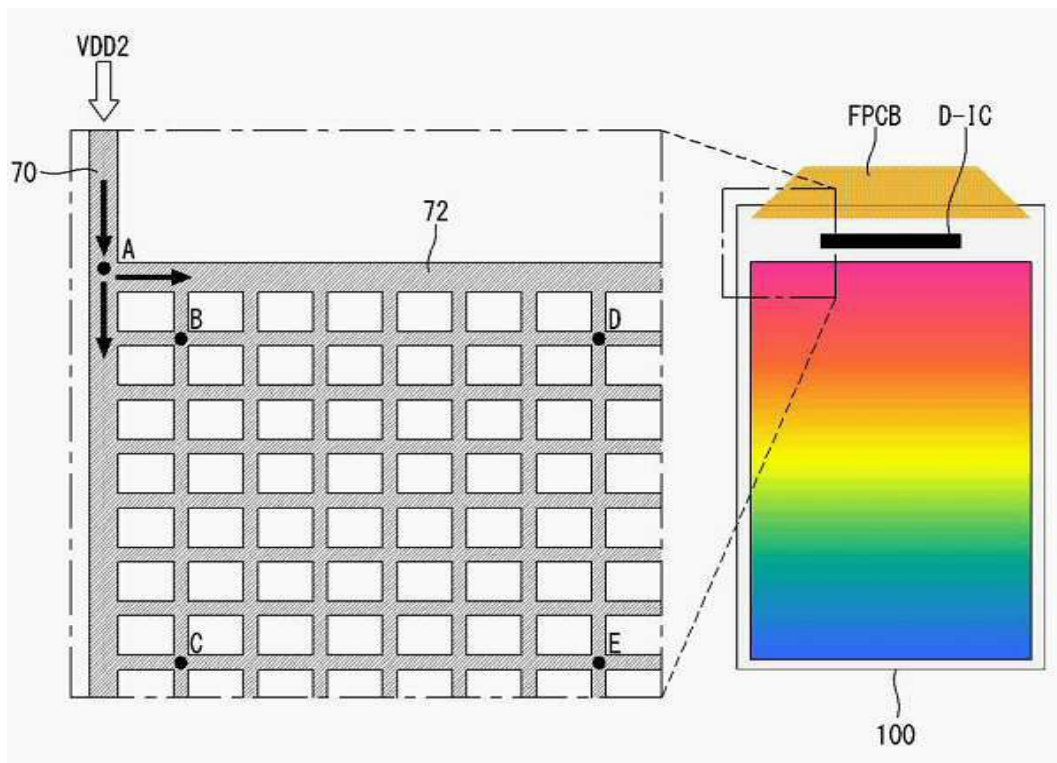
도면4



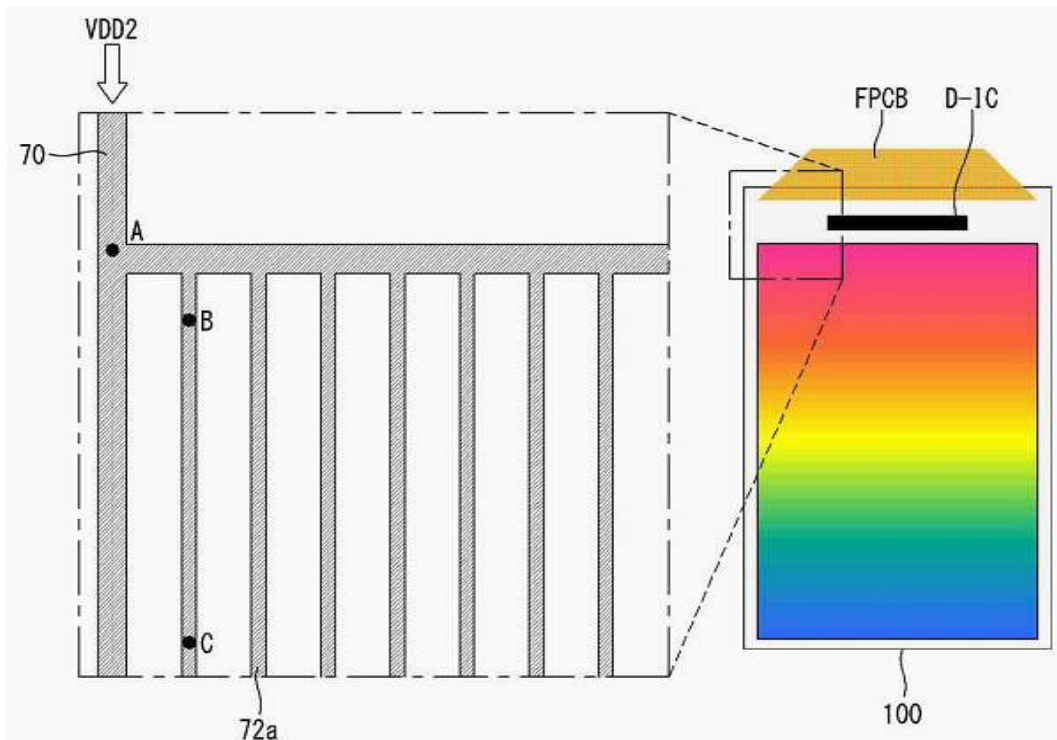
도면5



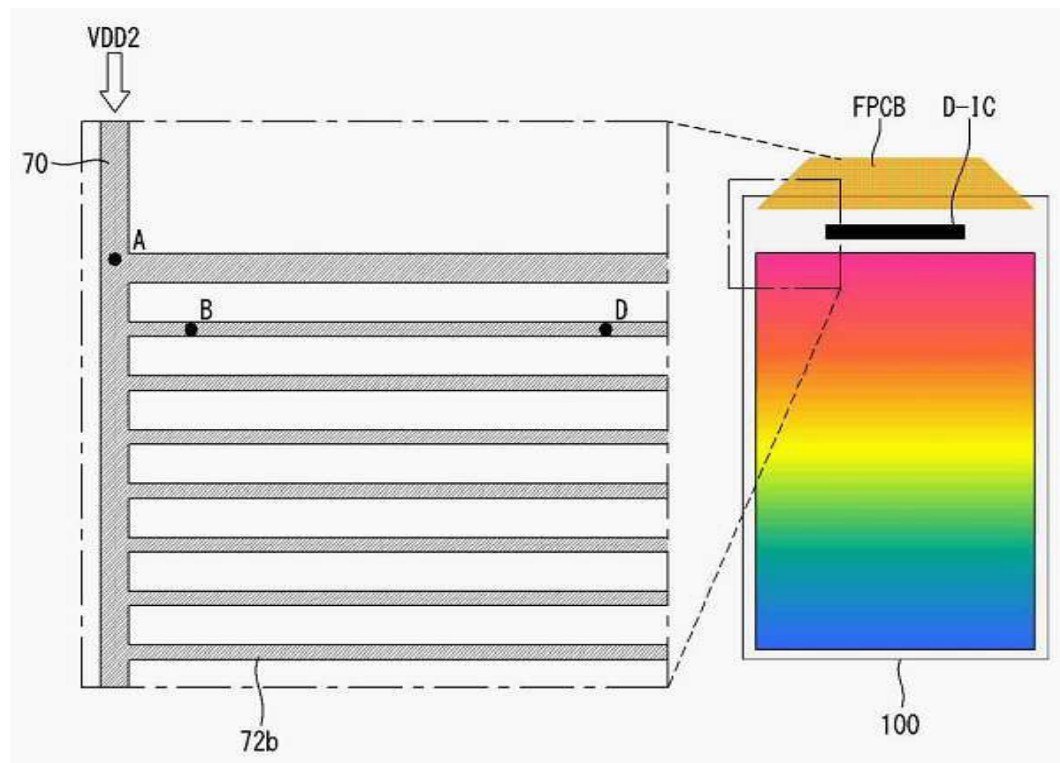
도면6



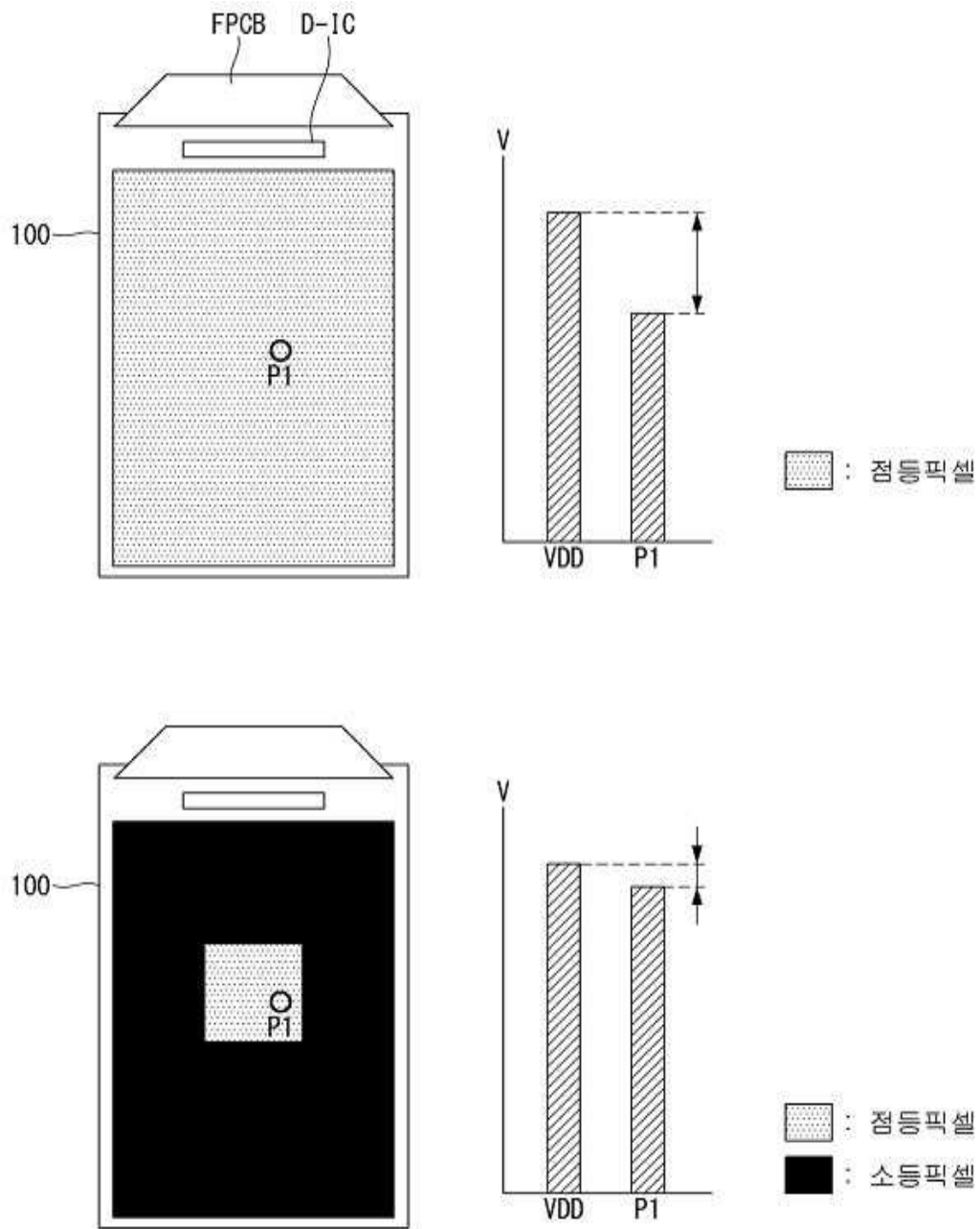
도면7



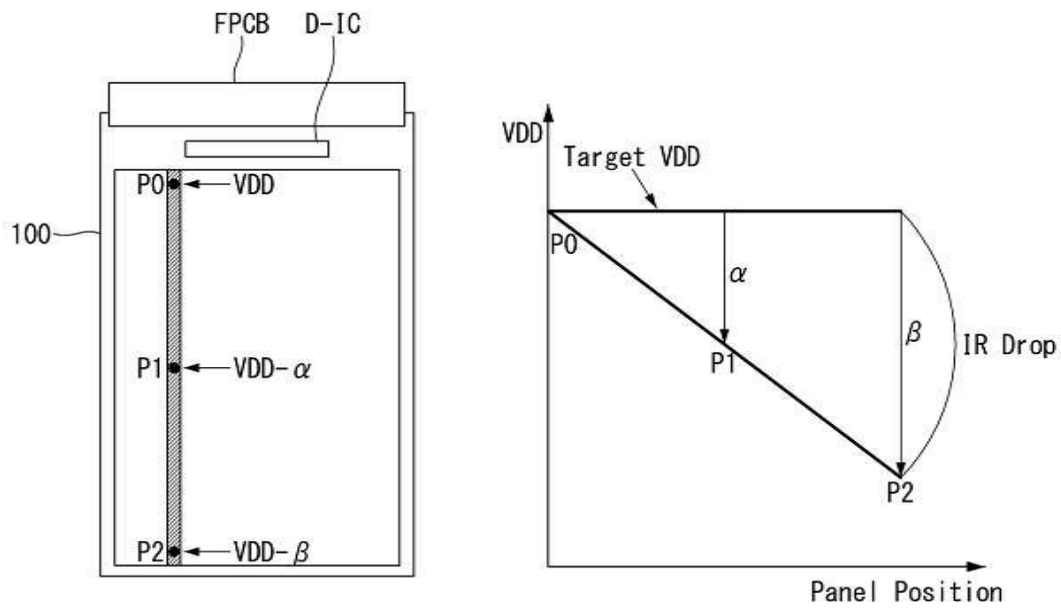
도면8



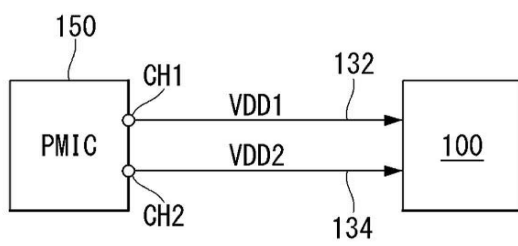
도면9



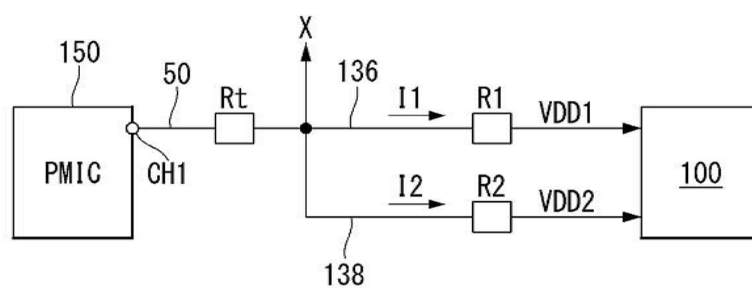
도면10



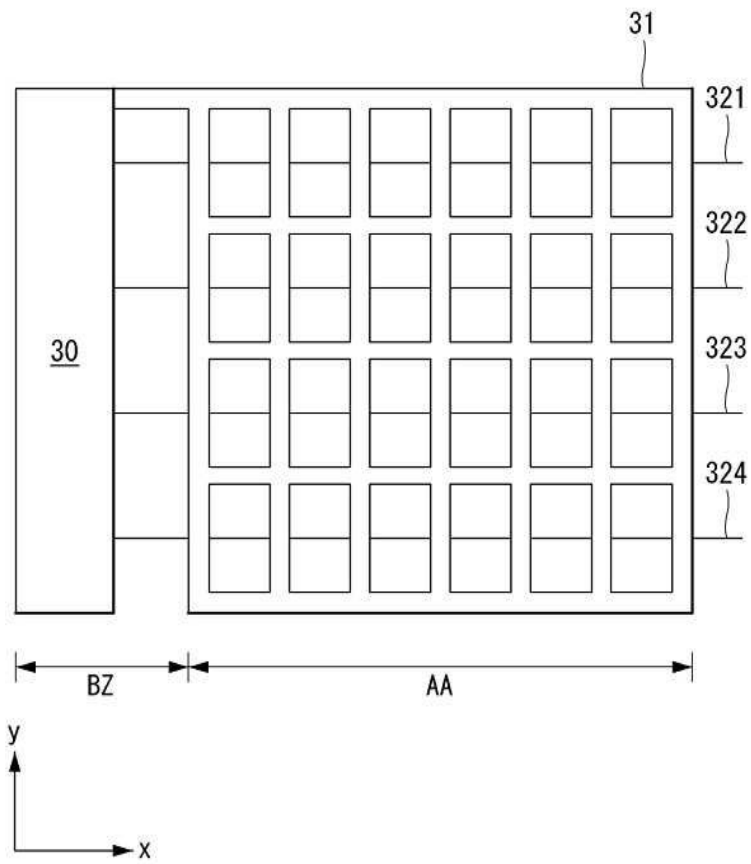
도면11a



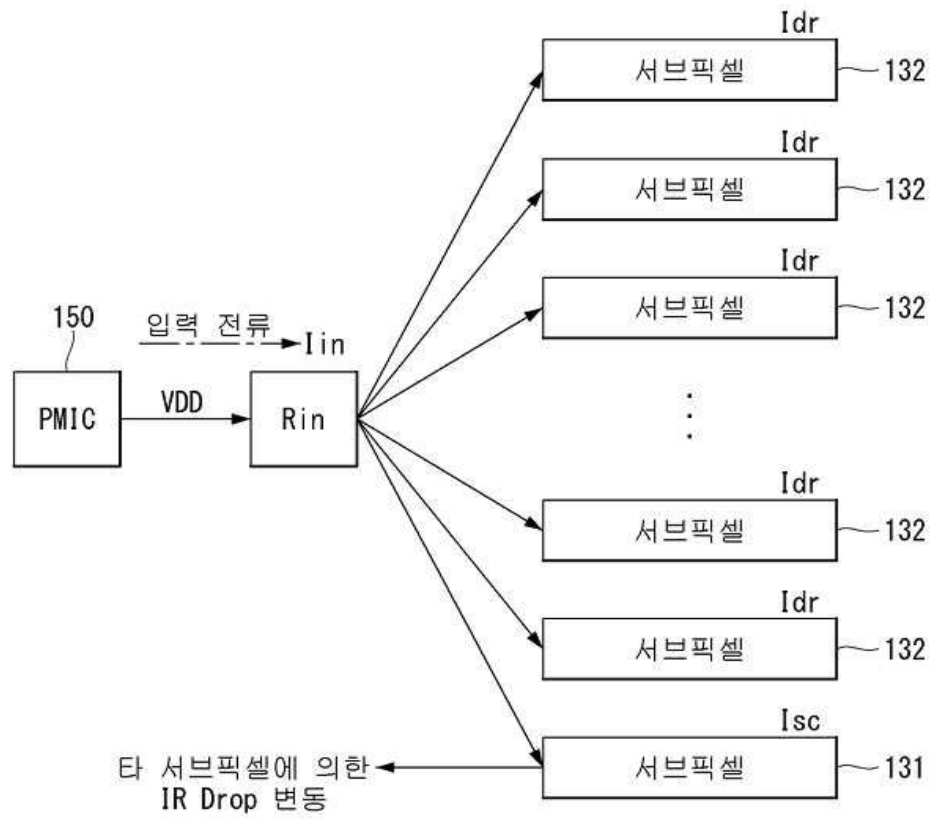
도면11b



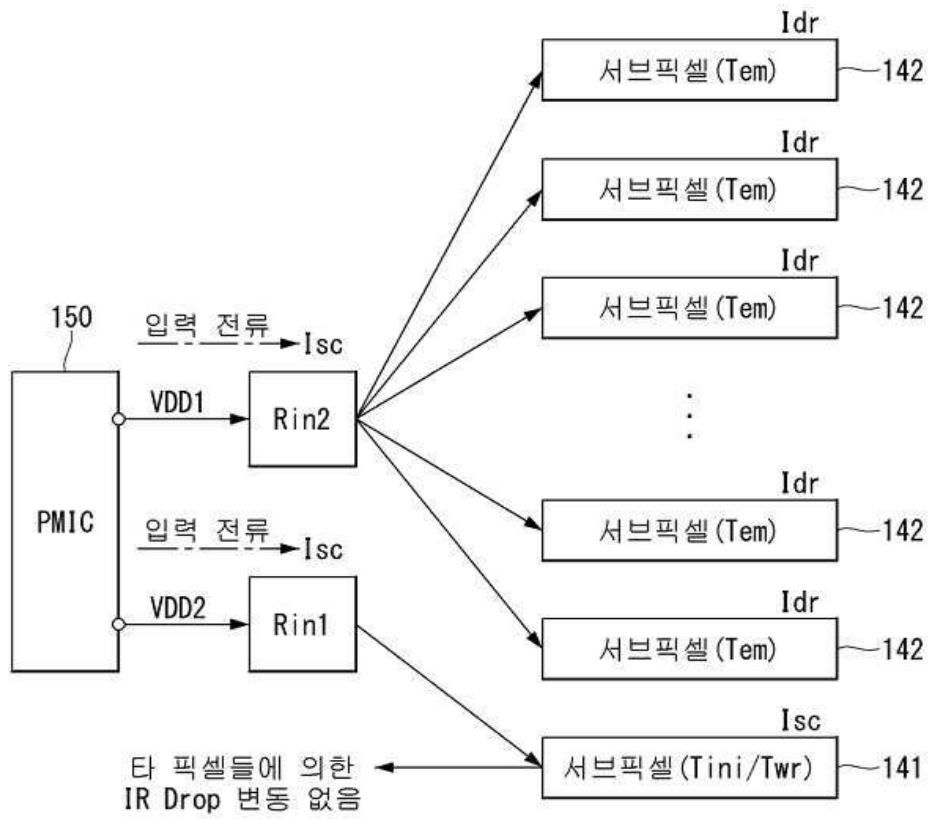
도면12



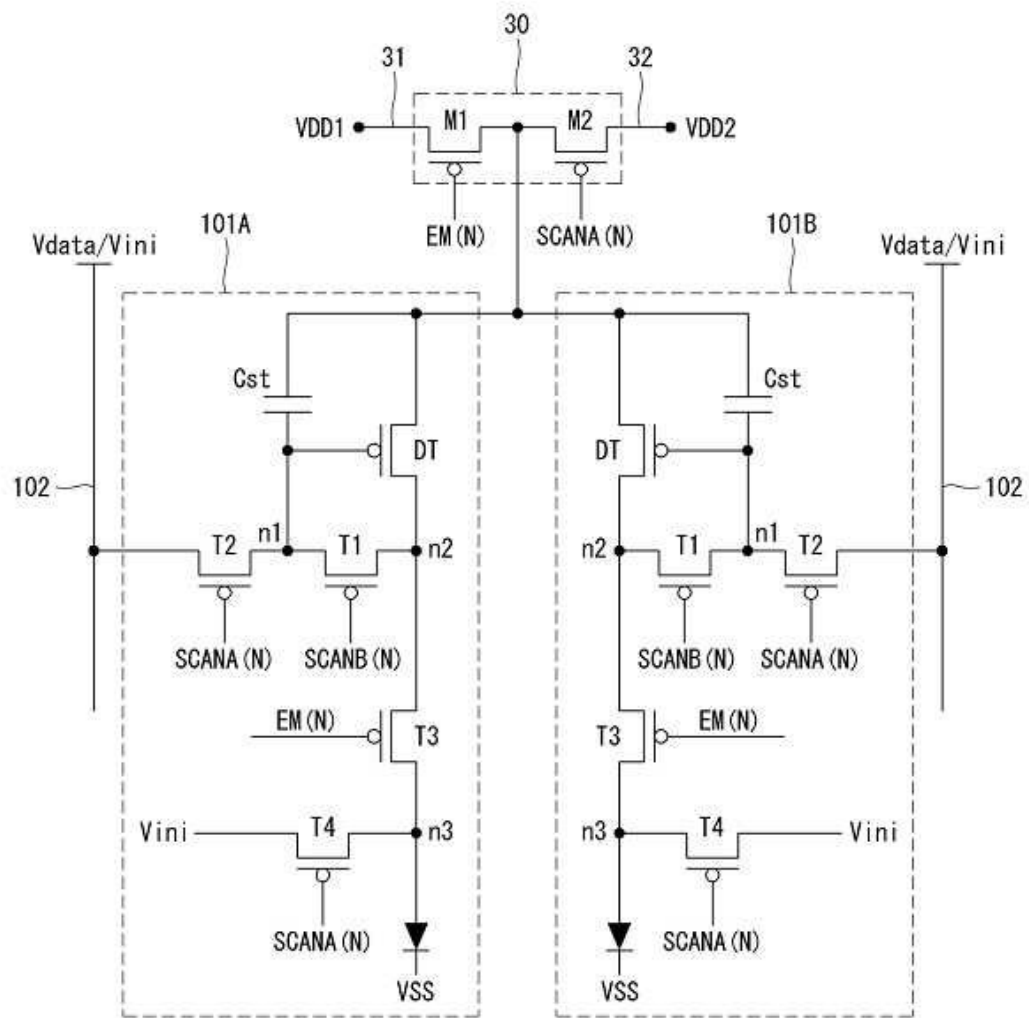
도면13



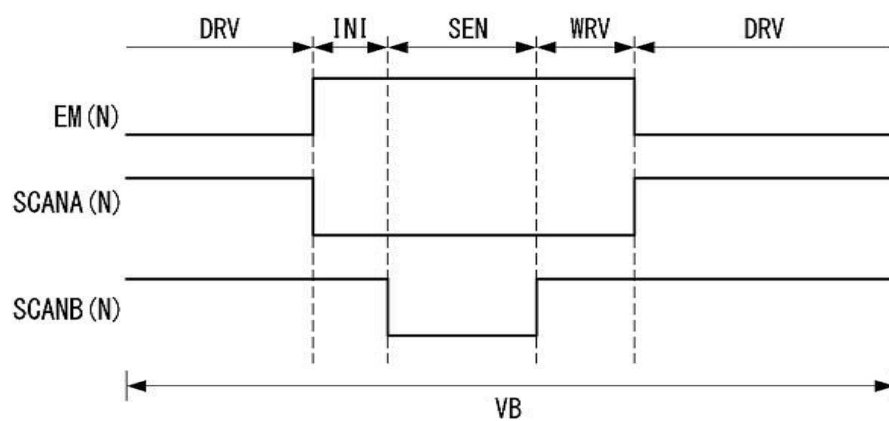
도면14



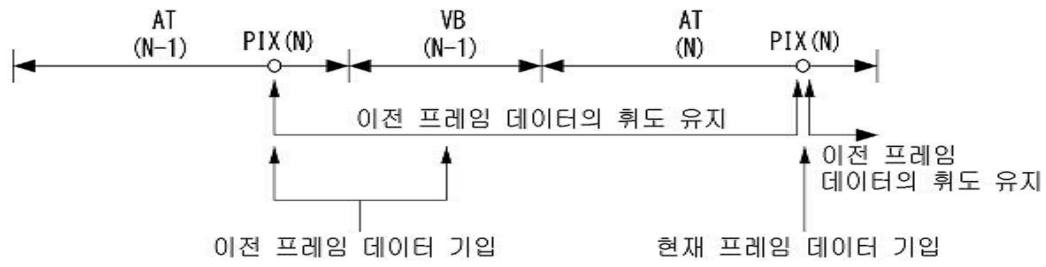
도면15



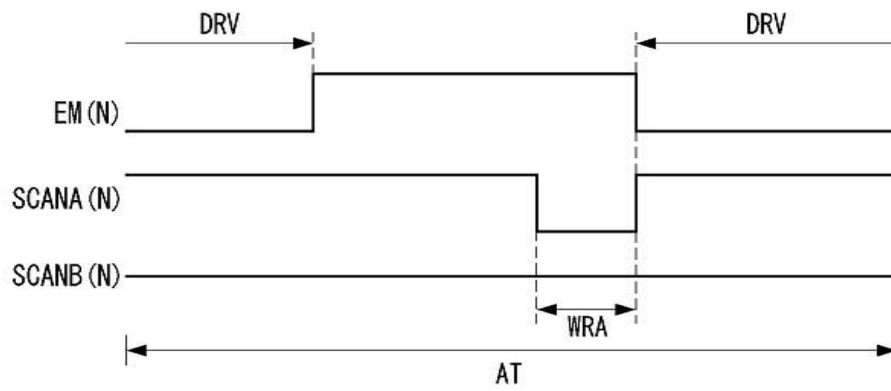
도면16



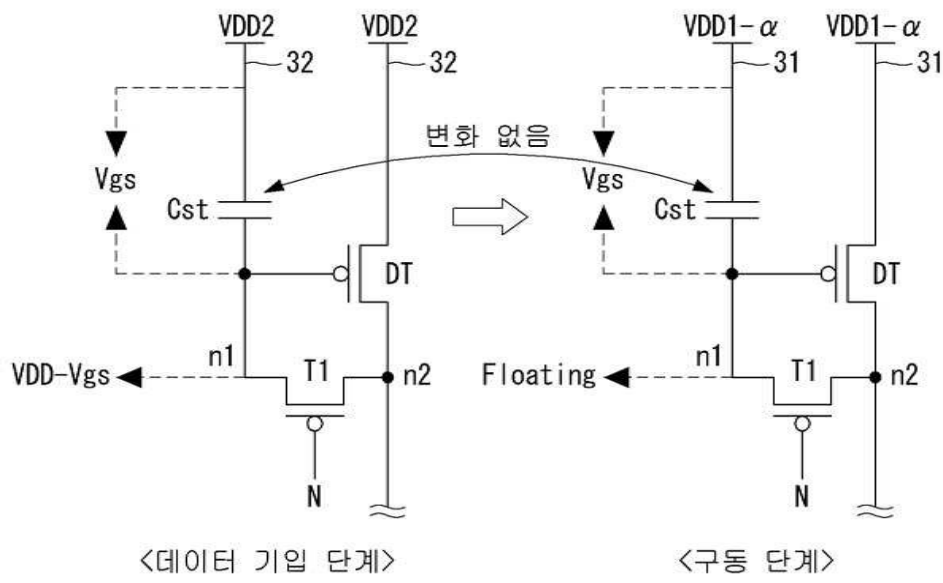
도면17



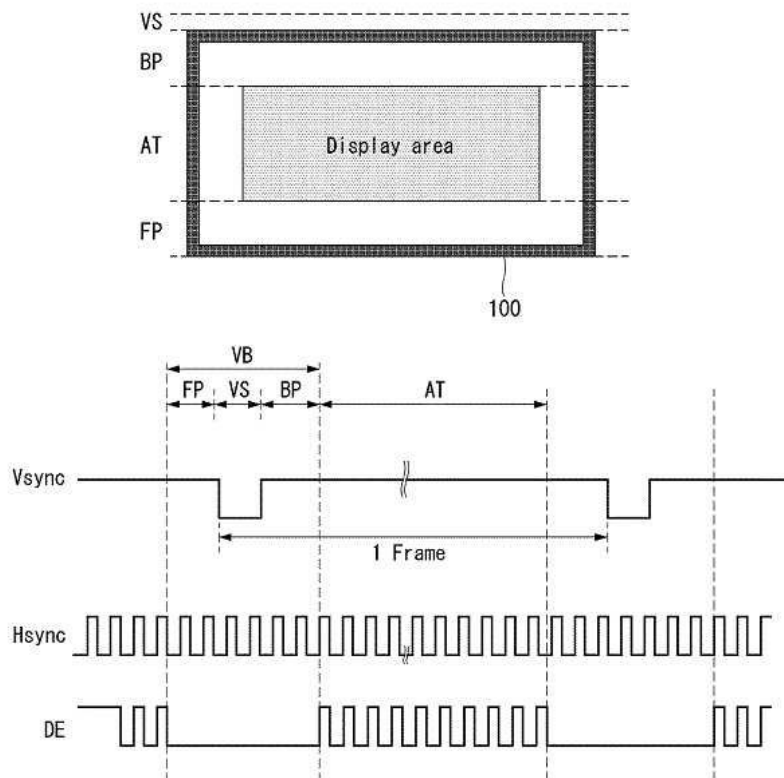
도면18



도면20



도면22



专利名称(译)	显示面板和使用其的电致发光显示器		
公开(公告)号	KR1020190002940A	公开(公告)日	2019-01-09
申请号	KR1020170083267	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김규진		
发明人	김규진		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0828 G09G2300/0842 G09G2310/061 G09G2320/0233 G09G3/3225 G09G3/3275 G09G2300/0814 G09G2300/0819 G09G2310/0289 G09G2310/0291 G09G2310/0294 G09G2320/0295 G09G2320/045 G09G2320/0223 G09G2320/04 G09G3/3258 G09G3/3266 G09G2320/0204		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域本发明涉及显示面板和使用该显示面板的电致发光显示器。显示面板包括：发光元件；用于驱动发光元件的驱动元件；与该驱动元件连接的电容器；以及多个开关元件，第一和第二发光元件在驱动步骤中以驱动元件的电流发光。第二个子像素。显示面板在激活时段和空白时段中的驱动步骤期间向第一子像素和第二子像素提供第一驱动电压，并且在激活时段中写入数据，初始化并感测空白时段。电源开关电路，用于在数据写入步骤中向第一和第二子像素提供第二驱动电压。

