



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0133017
(43) 공개일자 2018년12월13일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3248 (2013.01)

(21) 출원번호 10-2017-0069089

(22) 출원일자 2017년06월02일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최호원

경기도 파주시 후곡로 50 402동 1401호 (금촌동, 후곡마을아파트)

(74) 대리인

특허법인로알

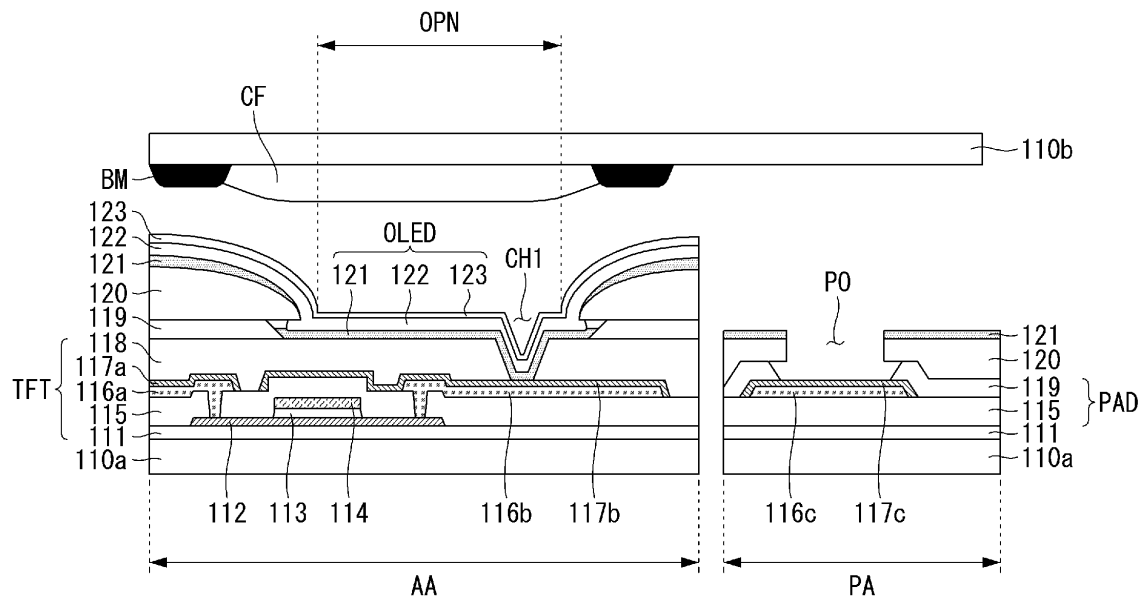
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 전계발광표시장치와 이의 제조방법

(57) 요약

본 발명은 하부기관, 트랜지스터, 평탄화층, 희생층, 분리층, 하부전극층, 유기발광층 및 상부전극층을 포함하는 상부발광형 전계발광표시장치를 제공한다. 트랜지스터는 하부기관 상에 위치한다. 평탄화층은 트랜지스터 상에 위치하고 표면을 평탄화한다. 희생층은 평탄화층 상에 위치하고 평탄화층의 일부를 노출한다. 분리층은 희생층 상에 위치하고 평탄화층의 일부를 노출하며 개구영역을 정의한다. 하부전극층은 분리층 상에 위치하는 부분과 평탄화층 상에 위치하는 부분으로 분리된다. 유기발광층은 하부전극층 상에 위치한다. 상부전극층은 유기발광층 상에 위치한다. 평탄화층은 개구영역의 내부에 위치하는 제1콘택홀을 포함하고, 하부전극층은 제1콘택홀을 통해 트랜지스터의 일측 전극에 전기적으로 연결된다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3258 (2013.01)

명세서

청구범위

청구항 1

하부기관;

상기 하부기관 상에 위치하는 트랜지스터;

상기 트랜지스터 상에 위치하는 평탄화층;

상기 평탄화층 상에 위치하고 상기 평탄화층의 일부를 노출하는 회생층;

상기 회생층 상에 위치하고 상기 평탄화층의 일부를 노출하며 개구영역을 정의하는 분리층;

상기 분리층 상에 위치하는 부분과 상기 평탄화층 상에 위치하는 부분으로 분리된 하부전극층;

상기 하부전극층 상에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 상부전극층을 포함하고,

상기 평탄화층은 상기 개구영역의 내부에 위치하는 제1콘택홀을 포함하고, 상기 하부전극층은 상기 제1콘택홀을 통해 상기 트랜지스터의 일측 전극에 전기적으로 연결된 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 회생층은

상기 평탄화층 상에서 상기 분리층의 내측으로 인입되어 언더컷 구조를 제공하는 전계발광표시장치.

청구항 3

제2항에 있어서,

상기 유기발광층은

상기 언더컷 부분에서 상기 분리층 상에 존재하는 하부전극층을 덮는 부분과 상기 개구영역의 내부에 존재하는 하부전극층을 덮는 부분이 연결되는 전계발광표시장치.

청구항 4

제2항에 있어서,

상기 유기발광층은

상기 언더컷 부분에서 상기 분리층 상에 존재하는 하부전극층을 덮는 부분과 상기 개구영역의 내부에 존재하는 하부전극층을 덮는 부분으로 분리되는 전계발광표시장치.

청구항 5

제1항에 있어서,

상기 분리층은

단면에서 보았을 때 반구 형상을 갖는 전계발광표시장치.

청구항 6

제5항에 있어서,

상기 하부전극층은

상기 분리층의 상단부와 상기 분리층의 끝단부 간에 두께 차를 갖는 전계발광표시장치.

청구항 7

제1항에 있어서,

상기 트랜지스터는

상기 하부기관 상에 위치하는 반도체층과,

상기 반도체층 상에 위치하는 게이트절연층과,

상기 게이트절연층 상에 위치하는 게이트금속층과,

상기 게이트금속층 상에 위치하고 상기 반도체층의 소오스영역과 드레인영역을 노출하는 층간절연층과,

상기 층간절연층 상에 위치하고 상기 반도체층의 상기 소오스영역과 상기 드레인영역에 연결되도록 분리된 제1 및 제2데이터금속층과,

상기 제1 및 제2데이터금속층 상에 구분되어 위치하는 제1 및 제2커버층을 포함하는 전계발광표시장치.

청구항 8

트랜지스터와 유기발광다이오드를 갖는 서브 픽셀을 포함하는 표시 패널;

상기 서브 픽셀들의 발광영역을 정의하는 개구영역; 및

상기 개구영역의 내부에 위치하고 상기 트랜지스터의 일측 전극과 상기 유기발광다이오드의 하부전극층을 전기적으로 연결하는 제1콘택홀을 포함하는 전계발광표시장치.

청구항 9

제8항에 있어서,

상기 트랜지스터 상에 위치하는 평탄화층과,

상기 평탄화층 상에 위치하고 상기 평탄화층의 일부를 노출하는 희생층과,

상기 희생층 상에 위치하고 상기 평탄화층의 일부를 노출하며 상기 개구영역을 정의하는 분리층과,

상기 분리층 상에 위치하는 부분과 상기 평탄화층 상에 위치하는 부분으로 분리된 하부전극층과,

상기 하부전극층 상에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 상부전극층을 포함하는 전계발광표시장치.

청구항 10

제9항에 있어서,

상기 분리층은

단면에서 보았을 때 반구 형상을 갖는 전계발광표시장치.

청구항 11

하부기관 상에 표시영역과 비표시영역을 정의하고, 상기 표시영역 내에 트랜지스터를 형성하는 단계;

상기 트랜지스터 상에 평탄화층을 형성하는 단계;

상기 평탄화층 상에 상기 평탄화층의 일부를 노출하는 희생층을 형성하는 단계;

상기 희생층 상에 상기 평탄화층의 일부를 노출하며 개구영역을 정의하는 분리층을 형성하는 단계;

상기 하부기관 상에 상기 표시영역의 전면을 모두 노출하는 마스크를 얼라인한 상태에서 상기 하부전극층을 형성하는 단계;

상기 하부전극층 상에 유기발광층을 형성하는 단계; 및

상기 유기발광층 상에 상부전극층을 형성하는 단계를 포함하는 전계발광표시장치의 제조방법.

청구항 12

제11항에 있어서,

상기 하부전극층은

상기 분리층 상에 위치하는 부분과 상기 평탄화층 상에 위치하는 부분으로 분리되어 형성되고,

상기 분리층 상에 위치하는 하부전극층은 상기 표시영역의 내부에서도 비개구영역에 대응하는 전계발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치와 이의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치(Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 전계발광표시장치는 하부기판 방향으로 빛을 출사하는 하부발광(Bottom Emission)과 상부기판 방향으로 빛을 출사하는 상부발광(Top Emission)형 등으로 구분된다.

[0005] 그런데 종래 제안된 전계발광표시장치는 제조 공정에서 수반되는 마스크 공정의 수가 많고 또한 제조 비용이 높다. 따라서, 전계발광표시장치는 제조 공정을 단순화하고 또한 제품 경쟁력을 확보하기 위한 개선의 여지가 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시 패널 제작시 बैं크층 생략 및 마스크 사용 개수의 절감과 제조 공정의 단순화로 제조 비용을 절감하는 것이다. 또한, 본 발명은 유기발광층으로부터 출사되는 빛의 집광, 반사 및 직진 기능 중 하나 이상을 선택적으로 부가하여 표시품질을 향상하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 하부기판, 트랜지스터, 평탄화층, 희생층, 분리층, 하부전극층, 유기발광층 및 상부전극층을 포함하는 전계발광표시장치를 제공한다. 트랜지스터는 하부기판 상에 위치한다. 평탄화층은 트랜지스터 상에 위치한다. 희생층은 평탄화층 상에 위치하고 평탄화층의 일부를 노출한다. 분리층은 희생층 상에 위치하고 평탄화층의 일부를 노출하며 개구영역을 정의한다. 하부전극층은 분리층 상에 위치하는 부분과 평탄화층 상에 위치하는 부분으로 분리된다. 유기발광층은 하부전극층 상에 위치한다. 상부전극층은 유기발광층 상에 위치한다. 평탄화층은 개구영역의 내부에 위치하는 제1콘택홀을 포함하고, 하부전극층은 제1콘택홀을 통해 트랜지스터의 일측 전극에 전기적으로 연결된다.

[0008] 희생층은 평탄화층 상에서 분리층의 내측으로 인입되어 언더컷 구조를 제공할 수 있다.

- [0009] 유기발광층은 언더컷 부분에서 분리층 상에 존재하는 하부전극층을 덮는 부분과 개구영역의 내부에 존재하는 하부전극층을 덮는 부분이 연결될 수 있다.
- [0010] 유기발광층은 언더컷 부분에서 분리층 상에 존재하는 하부전극층을 덮는 부분과 개구영역의 내부에 존재하는 하부전극층을 덮는 부분으로 분리될 수 있다.
- [0011] 분리층은 단면에서 보았을 때 반구 형상을 가질 수 있다.
- [0012] 하부전극층은 분리층의 상단부와 분리층의 끝단부 간에 두께 차를 가질 수 있다.
- [0013] 트랜지스터는 하부기관 상에 위치하는 반도체층과, 반도체층 상에 위치하는 게이트절연층과, 게이트절연층 상에 위치하는 게이트금속층과, 게이트금속층 상에 위치하고 반도체층의 소오스영역과 드레인영역을 노출하는 층간절연층과, 층간절연층 상에 위치하고 반도체층의 소오스영역과 드레인영역에 연결되도록 분리된 제1 및 제2데이터금속층과, 제1 및 제2데이터금속층 상에 구분되어 위치하는 제1 및 제2커버층을 포함할 수 있다.
- [0014] 다른 측면에서 본 발명은 표시 패널, 개구영역, 및 제1콘택홀을 포함하는 전계발광표시장치를 제공한다. 표시 패널은 트랜지스터와 유기발광다이오드를 갖는 서브 픽셀을 포함한다. 개구영역은 서브 픽셀들의 발광영역을 정의한다. 제1콘택홀은 개구영역의 내부에 위치하고 트랜지스터의 일측 전극과 유기발광다이오드의 하부전극층을 전기적으로 연결한다.
- [0015] 트랜지스터 상에 위치하는 평탄화층과, 평탄화층 상에 위치하고 평탄화층의 일부를 노출하는 희생층과, 희생층 상에 위치하고 평탄화층의 일부를 노출하며 개구영역을 정의하는 분리층과, 분리층 상에 위치하는 부분과 평탄화층 상에 위치하는 부분으로 분리된 하부전극층과, 하부전극층 상에 위치하는 유기발광층; 및 유기발광층 상에 위치하는 상부전극층을 포함할 수 있다.
- [0016] 분리층은 단면에서 보았을 때 반구 형상을 가질 수 있다.
- [0017] 또 다른 측면에서 본 발명은 전계발광표시장치의 제조방법을 제공한다. 전계발광표시장치의 제조방법은 하부기관 상에 표시영역과 비표시영역을 정의하고, 표시영역 내에 트랜지스터를 형성하는 단계, 트랜지스터 상에 평탄화층을 형성하는 단계, 평탄화층 상에 평탄화층의 일부를 노출하는 희생층을 형성하는 단계, 희생층 상에 평탄화층의 일부를 노출하며 개구영역을 정의하는 분리층을 형성하는 단계, 하부기관 상에 표시영역의 전면을 모두 노출하는 마스크를 얼라인한 상태에서 하부전극층을 형성하는 단계, 하부전극층 상에 유기발광층을 형성하는 단계, 및 유기발광층 상에 상부전극층을 형성하는 단계를 포함한다.
- [0018] 하부전극층은 분리층 상에 위치하는 부분과 평탄화층 상에 위치하는 부분으로 하부전극층이 분리되어 형성되고, 분리층 상에 위치하는 하부전극층은 표시영역의 내부에서도 비개구영역에 대응할 수 있다.

발명의 효과

- [0019] 본 발명은 상부발광형 표시 패널 제작시 뱅크층 생략 및 마스크 사용 개수의 절감과 이로 인한 제조 공정의 단순화로 제조 비용의 절감 또한 가능한 효과가 있다. 또한, 본 발명은 개구율 증가와 더불어 수명을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 유기발광층으로부터 출사되는 빛의 집광, 반사 및 직진 기능 중 하나 이상을 선택적으로 부가하여 표시품질을 더욱 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 표시 패널의 단면 예시도.
- 도 4는 본 발명의 제1실시예에 따른 상부발광형 표시 패널의 단면 구조도.
- 도 5는 종래 상부발광형 표시 패널과 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀을 비교 설명하기 위한 도면.
- 도 6은 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀의 구조적 특징을 설명하기 위한 도면.
- 도 7은 유기발광층의 두께에 따른 특징을 설명하기 위한 도면.

도 8은 분리층 및 하부전극층의 증착 형태에 따른 특징을 설명하기 위한 도면.

도 9는 분리층의 구조에 따른 특징을 설명하기 위한 도면.

도 10 내지 도 18은 본 발명의 제1실시예에 따른 상부발광형 표시 패널의 제조방법을 설명하기 위한 단면 공정도.

도 19는 본 발명의 제2실시예에 따른 상부발광형 표시 패널의 단면 구조도.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0022] 이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광소자)를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 무기발광다이오드를 기반으로 구현될 수도 있다.
- [0023] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 표시 패널의 단면 예시도이다.
- [0024] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(180), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(110) 및 전원 공급부(160)를 포함한다.
- [0025] 타이밍 제어부(180)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(180)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0026] 데이터 구동부(130)는 타이밍 제어부(180)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(180)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(또는 데이터전압)로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0027] 스캔 구동부(140)는 타이밍 제어부(180)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.
- [0028] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다.
- [0029] 표시 패널(110)은 데이터 구동부(130)로부터 공급된 데이터신호(DATA), 스캔 구동부(140)로부터 공급된 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.
- [0030] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0031] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0032] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)(고전위전압)과 제2전원라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

- [0033] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양하고 또한 본 발명의 요지에 해당하지 않는바 이와 관련된 설명은 생략한다.
- [0034] 도 3에 도시된 바와 같이, 표시 패널(110)은 하부기관(110a), 상부기관(110b), 표시영역(AA), 패드부(PAD), 밀봉부재(170) 등을 포함한다. 하부기관(110a)과 상부기관(110b)은 빛을 투과시킬 수 있는 투명 수지나 유리 등으로 선택된다. 표시영역(AA)은 빛을 발광하는 서브 픽셀들로 이루어진다. 패드부(PAD)는 외부 기관과의 전기적인 연결을 도모하기 위한 패드들로 이루어진다.
- [0035] 표시영역(AA)은 하부기관(110a)의 거의 모든 면을 차지하도록 배치되고, 패드부(PAD)는 하부기관(110a)의 일측 외곽에 배치된다. 표시영역(AA)은 하부기관(110a)과 상부기관(110b) 사이에 존재하는 밀봉부재(170)에 의해 밀봉되어 수분이나 산소 등으로부터 보호된다. 반면 패드부(PAD)는 외부로 노출된다. 그러나 표시 패널(110)의 밀봉 구조는 다양하게 구현될 수 있으므로 이에 한정되지 않는다.
- [0036] 한편, 유기전계발광표시장치는 하부기관(110a) 방향으로 빛을 출사하는 하부발광(Bottom Emission)과 상부기관(110b) 방향으로 빛을 출사하는 상부발광(Top Emission)형 등으로 구분된다.
- [0037] 그런데 종래 제안된 유기전계발광표시장치는 제조 공정에서 수반되는 마스크 공정의 수가 많고 또한 제조 비용이 높다. 따라서, 제조 공정을 단순화하고 제품 경쟁력을 확보하기 위한 개선의 여지가 있어 본 발명은 하기와 같은 구조를 제안한다.
- [0038] 한편, 이하에서 설명되는 전계발광표시장치는 하부발광형(Bottom Emission) 보다 상부발광형(Top Emission)으로 제작 시 다양한 효과를 발현할 수 있어 이를 기준으로 설명하고, 또한 그에 따른 효과는 이하에서 다룬다.
- [0039] 도 4는 본 발명의 제1실시예에 따른 상부발광형 표시 패널의 단면 구조도이고, 도 5는 종래 상부발광형 표시 패널과 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀을 비교 설명하기 위한 도면이다.
- [0040] 도 4에 도시된 바와 같이, 본 발명의 제1실시예에 따른 상부발광형 표시 패널은 하부기관(110a), 트랜지스터(TFT), 유기발광다이오드(OLED), 컬러필터(CF), 패드부(PAD) 및 상부기관(110b) 등을 포함한다. 트랜지스터(TFT), 유기발광다이오드(OLED), 컬러필터(CF)는 표시영역(AA)에 포함되고, 패드부(PAD)는 패드영역(PA)(또는 비표시영역)에 포함된다.
- [0041] 이하 두 개의 기관(110a, 110b) 사이에 형성된 구조물들을 설명하면 다음과 같다. 다만, 표시영역(AA)에 보이는 단면 구조는 하나의 서브 픽셀 중 일부에 해당함을 참조한다. 또한, 이하의 설명에서 표시영역(AA) 또는 패드영역(PA)에 구분되어 위치하지 않고 기관의 전면에 형성되는 경우 영역을 한정하지 않는다.
- [0042] 하부기관(110a) 상에는 버퍼층(111)이 위치한다. 버퍼층(111)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 한편, 하부기관(110a)과 버퍼층(111) 사이에는 외부 광을 차단하기 위해 금속재료로 이루어진 광차단층이 위치할 수도 있다. 광차단층은 트랜지스터의 반도체층(또는 채널영역)에 대응되는 영역 등에 배치된다.
- [0043] 버퍼층(111) 상에는 반도체층(112)이 위치한다. 반도체층(112)은 표시영역(AA)에 위치하며 소오스영역, 채널영역 및 드레인영역을 갖는다. 반도체층(112)은 유기 반도체 재료, 산화물 반도체 재료 또는 실리콘 반도체 재료 등으로 이루어질 수 있다.
- [0044] 반도체층(112) 상에는 게이트절연층(113)이 위치한다. 게이트절연층(113)은 표시영역(AA)에 존재하는 반도체층(112)의 채널영역을 덮도록 형성된다. 게이트절연층(113)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0045] 게이트절연층(113) 상에는 게이트금속층(114)이 위치한다. 게이트금속층(114)은 게이트절연층(113)의 크기에 대응하여 형성된다. 게이트금속층(114)은 트랜지스터(TFT)의 게이트전극이 된다. 이 밖에도, 게이트금속층(114)은 스캔라인 등을 형성하는 금속층으로 사용된다. 게이트절연층(113)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0046] 게이트금속층(114) 상에는 층간절연층(115)이 위치한다. 층간절연층(115)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 층간절연층(115)은 반도체층(112)의 소오스영역과 드레인영역을 노출한다.

- [0047] 층간절연층(115) 상에는 데이터금속층(116a, 116b, 116c)이 위치한다. 데이터금속층(116a, 116b, 116c)은 표시영역(AA)에서 반도체층(112)의 소오스영역과 드레인영역에 연결되도록 분리된 제1 및 제2데이터금속층(116a, 116b)과 패드영역(PA) 상에 위치하도록 분리된 제3데이터금속층(116c)을 포함한다. 제1 및 제2데이터금속층(116a, 116b)은 트랜지스터(TFT)의 제1 및 제2전극이 되고, 제3데이터금속층(116c)은 패드부(PAD)를 구성하는 전극이 된다. 데이터금속층(116a, 116b, 116c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0048] 데이터금속층(116a, 116b, 116c) 상에는 커버층(117a, 117b, 117c)이 위치한다. 커버층(117a, 117b, 117c)은 표시영역(AA)과 패드영역(PA)으로 패턴 되어 분리되어 있는 데이터금속층(116a, 116b, 116c)을 덮고 보호하도록 데이터금속층(116a, 116b, 116c)의 위치에 대응하여 패턴된다. 제1 및 제3커버층(117a, 117c)과 달리 제2커버층(117b)은 채널영역까지 덮도록 패턴된다. 커버층(117a, 117b, 117c)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등의 산화물로 이루어질 수 있다. 커버층(117a, 117b, 117c)은 공정의 특성상 생략되거나 보호층으로 대체될 수도 있다. 보호층은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0049] 커버층(117a, 117b, 117c) 상에는 평탄화층(118)이 위치한다. 평탄화층(118)은 트랜지스터(TFT)를 포함하는 하부 구조물층의 표면을 평탄하게 하므로 표시영역(AA)에 위치한다. 평탄화층(118)은 네거티브 오버코트층, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다. 평탄화층(118)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN)의 내부에서 제2커버층(117b)의 일부(또는 제2데이터금속층의 일부)를 노출하는 제1콘택홀(CH1)을 갖는다.
- [0050] 평탄화층(118) 상에는 희생층(119)이 위치한다. 희생층(119)은 표시영역(AA) 및 패드영역(PA)에 위치한다. 표시영역(AA)의 희생층(119)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN) 보다 넓은 개구를 갖는다. 표시영역(AA)의 희생층(119)은 개구영역(OPN) 보다 넓은 개구를 통해 평탄화층(118)의 일부를 노출한다. 패드영역(PA)의 희생층(119)은 제3커버층(117c)의 일부(또는 제3데이터금속층의 일부)를 노출하는 패드오픈영역(PO)을 갖는다.
- [0051] 희생층(119) 상에는 분리층(120)이 위치한다. 분리층(120)은 표시영역(AA) 및 패드영역(PA)에 위치한다. 표시영역(AA)의 분리층(120)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN)을 갖는다. 표시영역(AA)의 분리층(120)은 개구영역(OPN)을 통해 평탄화층(118)의 일부를 노출한다. 패드영역(PA)의 분리층(120)은 패드영역(PA)의 희생층(119)과 함께 패드오픈영역(PO)을 정의한다. 분리층(120)은 실리콘계 재료 예컨대 실록산(Siloxane)으로 이루어질 수 있다.
- [0052] 분리층(120) 상에는 하부전극층(121)이 위치한다. 하부전극층(121)은 유기발광다이오드(OLED)의 애노드전극으로 선택된다. 표시영역(AA)의 하부전극층(121)은 평탄화층(118) 및 분리층(120)을 모두 덮도록 형성된다. 표시영역(AA)의 하부전극층(121)은 평탄화층(118)의 제1콘택홀(CH1)에 의해 제2커버층(117b)의 일부(또는 제2데이터금속층의 일부)와 전기적으로 연결된다. 표시영역(AA)의 하부전극층(121)은 희생층(119)과 분리층(120)에 의해 마련된 언더컷(under-cut) 구조[또는 머쉬룸(mushroom) 구조]에 의해 평탄화층(118) 상에 위치하는 부분과 분리층(120) 상에 위치하는 부분이 전기적으로 분리된 구조를 갖는다. 즉, 표시영역의 전면에 형성된 하부전극층(121)은 언더컷(under-cut) 구조에 의해 표시영역(AA)의 분리층(120) 상에 존재하는 부분과 개구영역(OPN)을 통해 노출된 평탄화층(118) 상에 존재하는 부분으로 나누어진다.
- [0053] 앞서 설명한 구조 및 공정에 의해, 하부전극층(121)에서 표시영역(AA)의 분리층(120) 상에 존재하는 부분과 개구영역(OPN)을 통해 노출된 평탄화층(118) 상에 존재하는 부분은 전기적 및 물리적으로 끊어진 상태가 된다. 표시영역(AA)이 아닌 패드영역(PA)에 하부전극층(121)이 위치하는 경우, 하부전극층(121)은 분리층(120) 상에 위치하지만 평탄화층(118) 상에 존재하는 부분 없이 패드오픈영역(PO)을 노출하게 된다.
- [0054] 덧붙여, 하부전극층(121)은 언더컷(under-cut) 구조에 의해, 표시영역의 개구영역들을 각기 개별적으로 노출하는 마스크가 아닌 표시영역의 전면(패드영역 선택적 포함 가능)을 모두 한꺼번에 노출하는 마스크(표시영역 외의 부분은 마스크)를 이용하더라도 서브 픽셀들의 개구영역(OPN)의 내부에 각각 구분되어 형성된다. 즉, 하부전극층(121)은 일괄 증착으로 위와 같이 구분되어 형성되는 것인바 표시영역의 개구영역들을 각기 개별적으로 노출하는 마스크 공정에 의해 형성되는 형태와 다르다. 일괄 증착은 1회 증착 또는 수회 증착하는 경우를 모두 포함한다.

- [0055] 또한, 개구영역들만 노출하는 마스크와 비개구영역들만 노출하는 마스크를 각각 제작하고 이를 기반으로 2회 구분 증착하여 하부전극층(121)을 형성한다 하더라도 본 발명의 언더컷 구조에 의해 형성되는 형태와 다르다. 그 이유는 마스크를 이용한 증착 방법은 얼라인 정도에 따라 표시 패널과 표시 패널 간에 증착 편차가 존재하지만 언더컷 구조는 얼라인 정도에 따른 편차 등을 유발하지 않기 때문이다. 그 결과, 하부전극층(121)은 분리층(120)과 노출된 평탄화층 상에서 오프셋(offset) 없이 패터닝된다. 그러므로 본 발명은 하부전극층(121)의 일관된 증착 및 셀프 분리가 가능하므로 증착 균일도 향상과 더불어 생산 수율을 향상할 수 있다.
- [0056] 한편, 희생층(119)이 분리층(120)의 내측으로 인입됨에 따라 형성된 언더컷 구조는 평탄화층(118)의 상부표면과 분리층(120)의 하부표면 간에 공극을 형성한다. 즉, 언더컷 구조는 상하층 사이에 마련된 공극을 갖는다.
- [0057] 하부전극층(121) 상에는 유기발광층(122)이 위치한다. 유기발광층(122)은 백색을 발광하는 재료로 이루어지지만, 경우(컬러필터가 존재하지 않을 경우)에 따라 적색, 녹색 또는 청색을 발광하는 재료로 이루어질 수도 있다.
- [0058] 유기발광층(122) 상에는 상부전극층(123)이 위치한다. 상부전극층(123)은 유기발광다이오드(OLED)의 캐소드전극으로 선택된다. 상부전극층(123)은 표시영역(AA)의 유기발광층(122)을 모두 덮도록(모든 서브 픽셀들을 공통으로 덮는 형태) 형성된다. 상부전극층(123)은 표시영역(AA) 또는 비표시영역에 위치하는 제2전원라인에 전기적으로 연결된다. 하부전극층(121), 유기발광층(122) 및 상부전극층(123)은 유기발광다이오드(OLED)가 된다. 평탄화층(118) 상에 위치하는 희생층(119), 분리층(120), 하부전극층(121), 유기발광층(122) 및 상부전극층(123)은 상부 구조물층으로 정의될 수 있다.
- [0059] 상부기관(110b) 상에는(하부기관과 마주보는 면) 컬러필터층(CF)이 위치한다. 컬러필터층(CF)은 유기발광층(122)으로부터 생성된 빛을 적색, 녹색 및 청색 중 하나로 변환할 수 있는 안료를 포함한다. 컬러필터층(CF)은 하부기관(110a) 상에 정의된 개구영역(OPN)보다 더 넓은 영역을 차지하도록 형성된다.
- [0060] 상부기관(110b) 상에는(하부기관과 마주보는 면) 블랙매트릭스층(BM)이 위치한다. 블랙매트릭스층(BM)은 서브 픽셀들 간의 경계(비개구영역)에서의 빛샘을 차단하고 컬러필터층(CF) 간의 혼색을 방지하기 위해 컬러필터층(CF) 사이에 위치한다. 블랙매트릭스층(BM)은 검정색 계열의 안료를 포함한다.
- [0061] 도 5 (a)에 도시된 바와 같이, 종래 상부발광형 표시 패널에 포함된 서브 픽셀(SP)은 제1콘택홀(CH1)을 마련하기 위한 영역과 개구영역(OPN)을 마련하기 위한 영역이 분리된 구조를 갖는다. 이와 달리, 도 5 (b)에 도시된 바와 같이, 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀(SP)은 개구영역(OPN)의 내부에 제1콘택홀(CH1)을 마련하기 위한 영역이 포함된 구조를 갖는다.
- [0062] 또한, 도 4를 통해 알 수 있듯이 제1콘택홀(CH1) 상에는 하부전극층(121), 유기발광층(122) 및 상부전극층(123)이 모두 존재하므로 전기적 연결을 도모하기 위한 역할을 넘어 빛을 발광할 수 있는 역할 또한 겸비한다. 그 결과, 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀(SP)은 제1콘택홀(CH1)을 개구영역(OPN)의 내부에 배치할 수 있어 종래 상부발광형 표시 패널(도 5의 a) 대비 개구율을 더욱 향상시킬 수 있다. 또한, 개구율(발광면적)은 소자의 수명과 직결되어 있는바, 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀(SP)은 종래 상부발광형 표시 패널(도 5의 a) 대비 수명 또한 향상시킬 수 있다.
- [0063] 이하, 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀과 관련된 특징을 추가 설명한다.
- [0064] 도 6은 본 발명의 제1실시예에 따른 상부발광형 표시 패널에 포함된 서브 픽셀의 구조적 특징을 설명하기 위한 도면이고, 도 7은 유기발광층의 두께에 따른 특징을 설명하기 위한 도면이며, 도 8은 분리층 및 하부전극층의 증착 형태에 따른 특징을 설명하기 위한 도면이고, 도 9는 분리층의 구조에 따른 특징을 설명하기 위한 도면이다.
- [0065] 도 4 및 도 6에 도시된 바와 같이, 본 발명의 제1실시예는 상부발광형 표시 패널 제작 시 희생층(119) 및 분리층(120)을 이용한다. 특히, 본 발명의 제1실시예는 분리층(120)의 내측으로 인입된 희생층(119)에 의해 마련된 구조 즉, 언더컷(under-cut) 구조를 제공한다.
- [0066] 희생층(119) 및 분리층(120)에 의해 마련된 언더컷 구조는 개구영역을 정의함과 동시에 서브 픽셀들의 개구영역(OPN)의 내부마다 하부전극층(121)이 각각 구분되어 형성되도록 서브 픽셀들을 셀프 픽셀레이션(Self-Pixelation)하는 구조를 제공한다.
- [0067] 그 결과, 본 발명의 제1실시예는 상부발광형 표시 패널 제작시 बैं크층 생략 및 마스크 사용 개수의 절감과 이로

인한 제조 공정의 단순화로 제조 비용의 절감 또한 가능하다.

- [0068] 유기발광층(122)은 언더컷 부분에서 분리층(120) 상에 존재하는 하부전극층(121)을 덮는 부분과 개구영역(OPN)의 내부에 존재하는 하부전극층(121)을 덮는 부분이 연결되도록 적정 두께를 갖도록 하는 것이 바람직하다. 그 이유를 설명하면 다음과 같다.
- [0069] 하부전극층(121)의 경우 열 증착 공정에 형성되는데, 공정 특성상 분리층(120)의 내측 영역(이하 언더컷 부분)까지 침투하는 형태로 형성되기도 한다. 하부전극층(121) 중에서 언더컷 부분까지 침투되는 양은 많지 않다. 때문에 언더컷 부분의 내측으로 갈수록 하부전극층(121)의 두께는 얇아진다.
- [0070] 그러나 하부전극층(121)이 언더컷 부분의 내측까지 존재할 경우 하부전극층(121)과 상부전극층(123) 간의 쇼트 발생 가능성은 커질 수 있다. 그러므로 하부전극층(121, PXL)과 상부전극층(123, cathode) 간의 쇼트 발생 가능성을 차단하기 위해서는 유기발광층(122)이 언더컷 부분의 공극을 막을 수 있는 두께를 갖는 것이 바람직하다.
- [0071] 도 7에 도시된 바와 같이, 유기발광층(122)은 언더컷 부분에서 분리층(120) 상에 존재하는 하부전극층(121)을 타고 내려와 개구영역(OPN)의 내부에 존재하는 하부전극층(121)까지 연결되지 않고 분리될 수도 있다. 즉, 유기발광층(122)은 분리층(120) 상에 존재하는 하부전극층(121)을 덮는 부분과 개구영역(OPN)의 내부에 존재하는 하부전극층(121)을 덮는 부분으로 분리될 수도 있다.
- [0072] 이상 표시영역(AA)의 유기발광층(122)은 개구영역(OPN)의 내부에 존재하는 부분과 개구영역(OPN)의 외부에 존재하는 부분이 전기적 및 물리적으로 모두 연결된 상태 또는 끊어진 상태를 취하도록 공정 조건을 설정할 수 있다. 그러나 표시영역(AA)의 유기발광층(122)은 개구영역(OPN)의 내부에 존재하는 부분과 개구영역(OPN)의 외부에 존재하는 부분이 모두 연결된 상태를 갖는 것이 쇼트 발생 가능성을 차단하는 측면에서 더 유리하다.
- [0073] 도 8에 도시된 바와 같이, 분리층(120) 상에 위치하는 하부전극층(121)은 유기발광층(122)으로부터 출사된 빛(L)을 상부기판 방향으로 반사시키는 등의 기능을 수행할 수 있다. 그 이유는 하부전극층(121)이 분리층(120) 상에 있고 분리층(120)이 개구영역의 내측으로 기울어진 경사를 갖고 있기 때문이다. 분리층(120)은 단면에서 보았을 때 반구에 가까운 형상(특히 개구영역을 정의하는 부분)을 가질 수 있다.
- [0074] 그러므로 본 발명의 제1실시예는 상부발광형 표시 패널 제작시 이용되는 분리층(120)의 상부 표면 구조와 분리층(120) 상에 위치하는 하부전극층(121)의 재료에 따라 유기발광층(122)으로부터 출사된 빛(L)을 집광, 반사 및 직진시킬 수 있다. 이에 따르면, 본 발명의 제1실시예는 출사되는 빛의 집광, 반사 및 직진 기능 중 하나 이상을 선택적으로 부가하여 표시품질을 더욱 향상시킬 수 있다.
- [0075] 이 밖에, 분리층(120)은 표시영역의 내부에서도 개구영역이 아닌 비개구영역에 대응된다. 그러므로 종래에는 하부전극층(121)이 개구영역의 내부에만 각각 위치한다. 하지만, 본 발명을 따르면 하부전극층(121)은 표시영역의 내부의 전반에 걸쳐 형성되지만 특히 비개구영역과 개구영역으로 분리되어 위치하게 된다. 이에 따라, 평면 상에서보면 하부전극층(121)은 마치 표시영역의 전반에 걸쳐 형성된 것처럼 보이게 된다.
- [0076] 도 9의 (a) 내지 (c)에 도시된 바와 같이, 분리층(120)의 두께($t_1 \sim t_3$)와 개구영역의 내측으로 기울어진 경사각($r_1 \sim r_3$)은 구현하고자 하는 기능에 따라 달라질 수 있다. 도 9에 도시된 분리층(120)의 두께($t_1 \sim t_3$)와 경사각($r_1 \sim r_3$)은 (a)에서 (c)로 갈수록 커지는데, 이에 따른 기능 및 효과를 예시적으로 설명하면 다음과 같다.
- [0077] 제1예로, 유기발광층(122)으로부터 출사된 빛의 반사 및 직진 기능을 고려하여, 도 9의 (a)와 같이 분리층(120)을 제1두께(t_1)로 형성함과 더불어 제1경사각(r_1)을 갖게 할 수 있다. 제2예로, 유기발광층(122)으로부터 출사된 빛의 집광, 반사 및 직진 기능을 고려하여, 도 9의 (b)와 같이 분리층(120)을 제2두께(t_2)로 형성함과 더불어 제2경사각(r_2)을 갖게 할 수 있다. 제3예로, 유기발광층(122)으로부터 출사된 빛의 집광 및 반사 기능을 고려하여, 도 9의 (c)와 같이 분리층(120)을 제3두께(t_3)로 형성함과 더불어 제3경사각(r_3)을 갖게 할 수 있다.
- [0078] 분리층(120)의 두께($t_1 \sim t_3$)와 경사각($r_1 \sim r_3$)은 위와 같이 다를 수 있다. 그리고 하부전극층(121)은 이 변화에 대응하여 분리층(120)의 상단부와 분리층(120)의 끝단부(개구영역의 내측으로 경사진 부분의 말단) 간의 두께 차가 발생할 수 있다. 그리고 하부전극층(121)의 영역별 두께 차이(분리층의 상단부와 끝단부에서 하부전극층의 두께 차이)는 전극의 분단력(분리)을 높일 수 있는 역할을 할 수 있다. 예컨대, 하부전극층(121)은 분리층(120)의 상단부의 두께보다 분리층(120)의 끝단부의 두께가 더 얇을 수 있다. 다른 예로, 하부전극층(121)은 분리층(120)의 상단부에서 분리층(120)의 끝단부로 갈수록 두께가 얇아질 수 있다.
- [0079] 이하, 본 발명의 제1실시예에 따른 상부발광형 표시 패널의 제조방법을 설명하면 다음과 같다.

- [0080] 도 10 내지 도 18은 본 발명의 제1실시예에 따른 상부발광형 표시 패널의 제조방법을 설명하기 위한 단면 공정도이다. 다만, 이하의 설명에서는 상부기관 상에 형성되는 구조물과 관련된 설명은 생략하고 하부기관(110a) 상에 형성되는 구조물을 중심으로 설명한다.
- [0081] 도 10에 도시된 바와 같이, 하부기관(110a) 상에 버퍼층(111)을 형성한다. 버퍼층(111)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0082] 버퍼층(111) 상에 반도체층(112)을 형성한다. 반도체층(112)은 표시영역(AA)에 위치하며 소오스영역, 채널영역 및 드레인영역을 갖는다. 반도체층(112)은 유기 반도체 재료, 산화물 반도체 재료 또는 실리콘 반도체 재료 등으로 이루어질 수 있다.
- [0083] 반도체층(112) 상에 게이트절연층(113)을 형성한다. 게이트절연층(113)은 표시영역(AA)에 존재하는 반도체층(112)의 채널영역을 덮도록 형성된다. 게이트절연층(113)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0084] 게이트절연층(113) 상에 게이트금속층(114)을 형성한다. 게이트금속층(114)은 게이트절연층(113)의 크기에 대응하여 형성된다. 게이트금속층(114)은 트랜지스터(TFT)의 게이트전극이 된다. 이 밖에도, 게이트금속층(114)은 스캔라인 등을 형성하는 금속층으로 사용된다. 게이트절연층(113)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0085] 게이트금속층(114) 상에 층간절연층(115)을 형성한다. 층간절연층(115)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 층간절연층(115)은 반도체층(112)의 소오스영역과 드레인영역을 노출한다.
- [0086] 층간절연층(115) 상에 데이터금속층(116a, 116b, 116c)을 형성한다. 데이터금속층(116a, 116b, 116c)은 표시영역(AA)에서 반도체층(112)의 소오스영역과 드레인영역에 연결되도록 분리된 제1 및 제2데이터금속층(116a, 116b)과 패드영역(PA) 상에 위치하도록 분리된 제3데이터금속층(116c)을 포함한다. 제1 및 제2데이터금속층(116a, 116b)은 트랜지스터(TFT)의 제1 및 제2전극이 되고, 제3데이터금속층(116c)은 패드부(PAD)를 구성하는 전극이 된다. 데이터금속층(116a, 116b, 116c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0087] 데이터금속층(116a, 116b, 116c) 상에 커버층(117a, 117b, 117c)을 형성한다. 커버층(117a, 117b, 117c)은 표시영역(AA)과 패드영역(PA)으로 패턴 되어 분리되어 있는 데이터금속층(116a, 116b, 116c)을 덮고 보호하도록 데이터금속층(116a, 116b, 116c)의 위치에 대응하여 패턴된다. 제1 및 제3커버층(117a, 117c)과 달리 제2커버층(117b)은 채널영역까지 덮도록 패턴된다. 커버층(117a, 117b, 117c)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등의 산화물로 이루어질 수 있다. 커버층(117a, 117b, 117c)은 공정의 특성상 생략될 수도 있다.
- [0088] 도 11에 도시된 바와 같이, 커버층(117a, 117b, 117c) 상에 평탄화층(118)을 형성한다. 평탄화층(118)은 트랜지스터(TFT)를 포함하는 하부 구조물층의 표면을 평탄하게 하므로 표시영역(AA)에 위치하도록 패턴된다. 평탄화층(118)은 네거티브 오버코트층, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다. 평탄화층(118)은 서브 픽셀의 발광영역을 정의하는 개구영역 내에서 제2커버층(117b)의 일부(또는 제2데이터금속층의 일부)를 노출하는 제1콘택홀(CH1)을 갖는다.
- [0089] 도 12 내지 도 14에 도시된 바와 같이, 평탄화층(118) 상에 회생층(119)과 분리층(120)을 순차적으로 형성한다. 이어서, 회생층(119)과 분리층(120)이 표시영역(AA) 및 패드영역(PA)에 위치하도록 패턴한다.
- [0090] 위의 공정에 의해, 표시영역(AA)의 회생층(119)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN) 보다 넓은 개구를 갖는다. 표시영역(AA)의 회생층(119)은 개구영역(OPN) 보다 넓은 개구를 통해 평탄화층(118)의 일부를 노출한다. 패드영역(PA)의 회생층(119)은 제3커버층(117c)의 일부(또는 제3데이터금속층의 일부)를 노출하는 패드오픈영역(PO)을 갖는다.
- [0091] 위의 공정에 의해, 표시영역(AA)의 분리층(120)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN)을 갖는다. 표시영역(AA)의 분리층(120)은 개구영역(OPN)을 통해 평탄화층(118)의 일부를 노출한다. 패드영역(PA)의 분리층(120)은 패드영역(PA)의 회생층(119)과 함께 패드오픈영역(PO)을 정의한다. 분리층(120)은 실리콘계 재료 예컨

대 실록산(Siloxane)으로 이루어질 수 있다.

- [0092] 도 15에 도시된 바와 같이, 분리층(120) 상에 하부전극층(121)을 형성한다. 하부전극층(121)은 유기발광다이오드(OLED)의 애노드전극으로 선택된다. 표시영역(AA)의 하부전극층(121)은 평탄화층(118) 및 분리층(120)을 모두 덮도록 형성된다.
- [0093] 도 16 및 도 17에 도시된 바와 같이, 하부전극층(121) 상에 포토레지스트(PR)를 형성한다. 포토레지스트(PR)를 패터닝하여 패드오픈영역(P0)을 노출한 이후 포토레지스트(PR)를 제거한다.
- [0094] 위의 공정에 의해, 표시영역(AA)의 하부전극층(121)은 평탄화층(118)의 제1콘택홀(CH1)에 의해 제2커버층(117b)의 일부(또는 제2데이터금속층의 일부)와 전기적으로 연결된다. 표시영역(AA)의 하부전극층(121)은 희생층(119)과 분리층(120)에 의해 마련된 언더컷(under-cut) 구조에 의해 평탄화층(118) 상에 위치하는 부분과 분리층(120) 상에 위치하는 부분이 전기적으로 분리된 구조를 갖는다. 즉, 하부전극층(121)은 표시영역(AA)의 분리층(120) 상에 존재하는 부분과 개구영역(OPN)을 통해 노출된 평탄화층(118) 상에 존재하는 부분으로 나누어진다. 그리고 이들은 전기적 및 물리적으로 끊어진 상태이다. 패드영역(PA)의 하부전극층(121)은 분리층(120) 상에 위치하지만 패드오픈영역(P0)을 노출하게 된다.
- [0095] 도 18에 도시된 바와 같이, 하부전극층(121) 상에 유기발광층(122)을 형성한다. 유기발광층(122)은 백색을 발광하는 재료로 이루어지지만, 경우(컬러필터가 존재하지 않을 경우)에 따라 적색, 녹색 또는 청색을 발광하는 재료로 이루어질 수도 있다.
- [0096] 이후 유기발광층(122) 상에 상부전극층(123)을 형성한다. 상부전극층(123)은 유기발광다이오드(OLED)의 캐소드전극으로 선택된다. 상부전극층(123)은 표시영역(AA)의 유기발광층(122)을 모두 덮도록 형성된다. 상부전극층(123)은 표시영역(AA) 또는 비표시영역에 위치하는 제2전원라인에 전기적으로 연결된다. 하부전극층(121), 유기발광층(122) 및 상부전극층(123)은 유기발광다이오드(OLED)가 된다.
- [0097] 한편, 앞서 제1실시예에서는 제1콘택홀(CH1)이 개구영역(OPN)의 내부에 형성된 것을 일례로 설명하였다. 그러나 본 발명의 제1실시예는 종래와 같은 구조로 개구율을 유지한 상태에서 유기발광층으로부터 출사된 빛을 집광, 반사 및 직진시킬 수 있는 구조를 가질 수 있는데, 이를 설명하면 다음과 같다.
- [0098] 도 19는 본 발명의 제2실시예에 따른 상부발광형 표시 패널의 단면 구조도이다.
- [0099] 도 19에 도시된 바와 같이, 본 발명의 제2실시예에 따른 상부발광형 표시 패널은 하부기판(110a), 트랜지스터(TFT), 유기발광다이오드(OLED), 컬러필터(CF), 패드부(PAD) 및 상부기판(110b) 등을 포함한다. 트랜지스터(TFT), 유기발광다이오드(OLED), 컬러필터(CF)는 표시영역(AA)에 포함되고, 패드부(PAD)는 패드영역(PA)(또는 비표시영역)에 포함된다.
- [0100] 이하 두 개의 기판(110a, 110b) 사이에 형성된 구조물들을 설명하면 다음과 같다. 다만, 표시영역(AA)에 보이는 단면 구조는 하나의 서브 픽셀 중 일부에 해당함을 참조한다. 또한, 이하의 설명에서 표시영역(AA) 또는 패드영역(PA)에 구분되어 위치하지 않고 기판의 전면에 형성되는 경우 영역을 한정하지 않는다.
- [0101] 하부기판(110a) 상에는 버퍼층(111)이 위치한다. 버퍼층(111)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0102] 버퍼층(111) 상에는 반도체층(112)이 위치한다. 반도체층(112)은 표시영역(AA)에 위치하며 소오스영역, 채널영역 및 드레인영역을 갖는다. 반도체층(112)은 유기 반도체 재료, 산화물 반도체 재료 또는 실리콘 반도체 재료 등으로 이루어질 수 있다.
- [0103] 반도체층(112) 상에는 게이트절연층(113)이 위치한다. 게이트절연층(113)은 표시영역(AA)에 존재하는 반도체층(112)의 채널영역을 덮도록 형성된다. 게이트절연층(113)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0104] 게이트절연층(113) 상에는 게이트금속층(114)이 위치한다. 게이트금속층(114)은 게이트절연층(113)의 크기에 대응하여 형성된다. 게이트금속층(114)은 트랜지스터(TFT)의 게이트전극이 된다. 이 밖에도, 게이트금속층(114)은 스캔라인 등을 형성하는 금속층으로 사용된다. 게이트절연층(113)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0105] 게이트금속층(114) 상에는 층간절연층(115)이 위치한다. 층간절연층(115)은 질화 실리콘(SiNx) 또는 산화 실리

콘(SiO_x)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiO_x)의 다중층으로 이루어질 수 있다. 층간절연층(115)은 반도체층(112)의 소오스영역과 드레인영역을 노출한다.

[0106] 층간절연층(115) 상에는 데이터금속층(116a, 116b, 116c)이 위치한다. 데이터금속층(116a, 116b, 116c)은 표시영역(AA)에서 반도체층(112)의 소오스영역과 드레인영역에 연결되도록 분리된 제1 및 제2데이터금속층(116a, 116b)과 패드영역(PA) 상에 위치하도록 분리된 제3데이터금속층(116c)을 포함한다. 제1 및 제2데이터금속층(116a, 116b)은 트랜지스터(TFT)의 제1 및 제2전극이 되고, 제3데이터금속층(116c)은 패드부(PAD)를 구성하는 전극이 된다. 데이터금속층(116a, 116b, 116c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.

[0107] 데이터금속층(116a, 116b, 116c) 상에는 커버층(117a, 117b, 117c)이 위치한다. 커버층(117a, 117b, 117c)은 표시영역(AA)과 패드영역(PA)으로 패턴 되어 분리되어 있는 데이터금속층(116a, 116b, 116c)을 덮고 보호하도록 데이터금속층(116a, 116b, 116c)의 위치에 대응하여 패턴된다. 제1 및 제3커버층(117a, 117c)과 달리 제2커버층(117b)은 채널영역까지 덮도록 패턴된다. 커버층(117a, 117b, 117c)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등의 산화물로 이루어질 수 있다. 커버층(117a, 117b, 117c)은 공정의 특성상 생략되거나 절연 재료로 이루어진 보호층으로 대체될 수도 있다.

[0108] 커버층(117a, 117b, 117c) 상에는 평탄화층(118)이 위치한다. 평탄화층(118)은 트랜지스터(TFT)를 포함하는 하부 구조물층의 표면을 평탄하게 하므로 표시영역(AA)에 위치한다. 평탄화층(118)은 네거티브 오버코트층, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다. 평탄화층(118)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN)의 외부(개구영역과 인접하는 비개구영역 부분)에서 제2커버층(117b)의 일부(또는 제2데이터금속층의 일부)를 노출하는 제1콘택홀(CH1)을 갖는다.

[0109] 평탄화층(118) 상에는 희생층(119)이 위치한다. 희생층(119)은 표시영역(AA) 및 패드영역(PA)에 위치한다. 표시영역(AA)의 희생층(119)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN) 보다 넓은 개구를 갖는다. 표시영역(AA)의 희생층(119)은 개구영역(OPN) 보다 넓은 개구를 통해 평탄화층(118)의 일부를 노출한다. 패드영역(PA)의 희생층(119)은 제3커버층(117c)의 일부(또는 제3데이터금속층의 일부)를 노출하는 패드오픈영역(PO)을 갖는다.

[0110] 희생층(119) 상에는 분리층(120)이 위치한다. 분리층(120)은 표시영역(AA) 및 패드영역(PA)에 위치한다. 표시영역(AA)의 분리층(120)은 서브 픽셀의 발광영역을 정의하는 개구영역(OPN)을 갖는다. 표시영역(AA)의 분리층(120)은 개구영역(OPN)을 통해 평탄화층(118)의 일부를 노출한다. 패드영역(PA)의 분리층(120)은 패드영역(PA)의 희생층(119)과 함께 패드오픈영역(PO)을 정의한다. 분리층(120)은 실리콘계 재료 예컨대 실록산(Siloxane)으로 이루어질 수 있다.

[0111] 분리층(120) 상에는 하부전극층(121)이 위치한다. 하부전극층(121)은 유기발광다이오드(OLED)의 애노드전극으로 선택된다. 표시영역(AA)의 하부전극층(121)은 평탄화층(118) 및 분리층(120)을 모두 덮도록 형성된다. 표시영역(AA)의 하부전극층(121)은 평탄화층(118)의 제1콘택홀(CH1)에 의해 제2커버층(117b)의 일부(또는 제2데이터금속층의 일부)와 전기적으로 연결된다. 표시영역(AA)의 하부전극층(121)은 희생층(119)과 분리층(120)에 의해 마련된 언더컷(under-cut) 구조에 의해 평탄화층(118) 상에 위치하는 부분과 분리층(120) 상에 위치하는 부분이 전기적으로 분리된 구조를 갖는다. 즉, 하부전극층(121)은 표시영역(AA)의 분리층(120) 상에 존재하는 부분과 개구영역(OPN)을 통해 노출된 평탄화층(118) 상에 존재하는 부분으로 나뉘어진다. 그리고 이들은 전기적 및 물리적으로 끊어진 상태이다. 패드영역(PA)의 하부전극층(121)은 분리층(120) 상에 위치하지만 패드오픈영역(PO)을 노출하게 된다.

[0112] 하부전극층(121) 상에는 유기발광층(122)이 위치한다. 유기발광층(122)은 백색을 발광하는 재료로 이루어지지만, 경우(컬러필터가 존재하지 않을 경우)에 따라 적색, 녹색 또는 청색을 발광하는 재료로 이루어질 수도 있다.

[0113] 유기발광층(122) 상에는 상부전극층(123)이 위치한다. 상부전극층(123)은 유기발광다이오드(OLED)의 캐소드전극으로 선택된다. 상부전극층(123)은 표시영역(AA)의 유기발광층(122)을 모두 덮도록 형성된다. 상부전극층(123)은 표시영역(AA) 또는 비표시영역에 위치하는 제2전원라인에 전기적으로 연결된다. 하부전극층(121), 유기발광층(122) 및 상부전극층(123)은 유기발광다이오드(OLED)가 된다.

[0114] 상부기판(110b) 상에는(하부기판과 마주보는 면) 컬러필터층(CF)이 위치한다. 컬러필터층(CF)은 유기발광층

(122)으로부터 생성된 빛을 적색, 녹색 및 청색 중 하나로 변환할 수 있는 안료를 포함한다. 컬러필터층(CF)은 하부기관(110a) 상에 정의된 개구영역(OPN)보다 더 넓은 영역을 차지하도록 형성된다.

[0115] 상부기관(110b) 상에는(하부기관과 마주보는 면) 블랙매트릭스층(BM)이 위치한다. 블랙매트릭스층(BM)은 서브픽셀들 간의 경계(비개구영역)에서의 빛샘을 차단하고 컬러필터층(CF) 간의 혼색을 방지하기 위해 컬러필터층(CF) 사이에 위치한다. 블랙매트릭스층(BM)은 검정색 계열의 안료를 포함한다.

[0116] 이상 본 발명은 상부발광형 표시 패널 제작시 뱅크층 생략 및 마스크 사용 개수의 절감과 이로 인한 제조 공정의 단순화로 제조 비용의 절감 또한 가능한 효과가 있다. 또한, 본 발명은 개구율 증가와 더불어 수명을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 유기발광층으로부터 출사되는 빛의 집광, 반사 및 직진 기능 중 하나 이상을 선택적으로 부가하여 표시품질을 더욱 향상시킬 수 있는 효과가 있다.

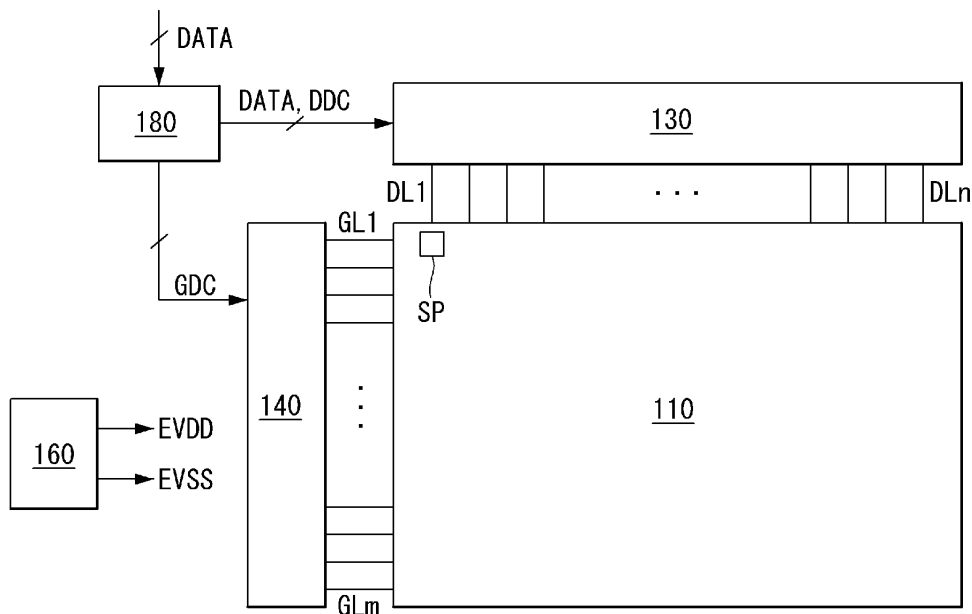
[0117] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

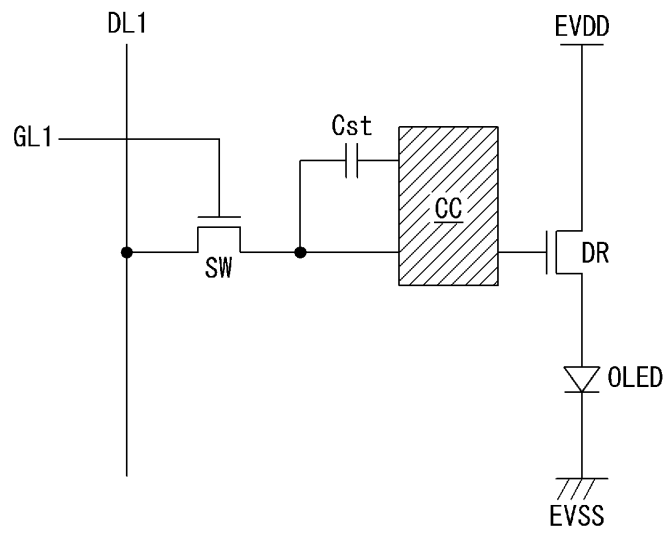
[0118] 180: 타이밍 제어부 130: 데이터 구동부
140: 스캔 구동부 110: 표시 패널
160: 전원 공급부 118: 평탄화층
119: 희생층 120: 분리층
121: 하부전극층 122: 유기발광층
123: 상부전극층 CH1: 제1콘택홀

도면

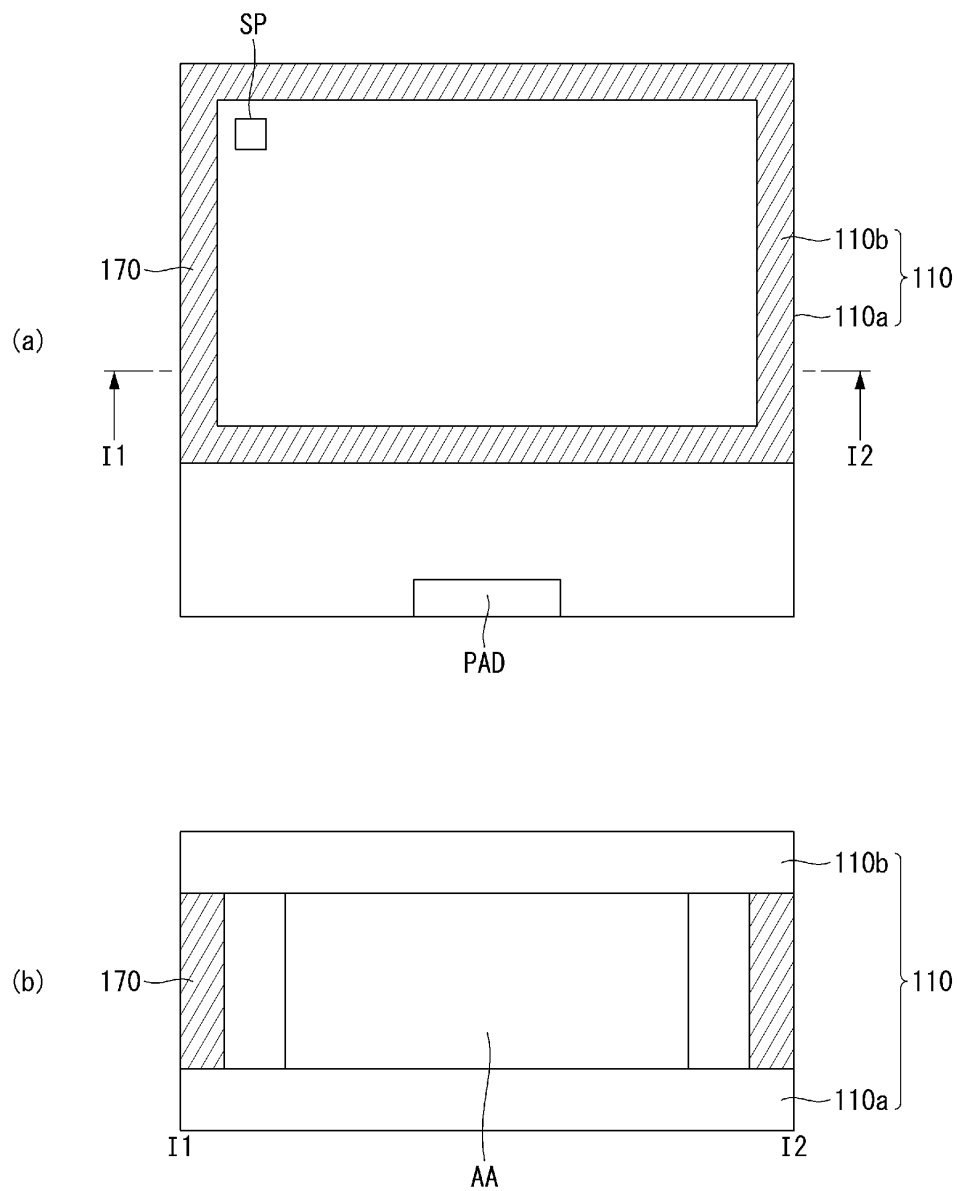
도면1



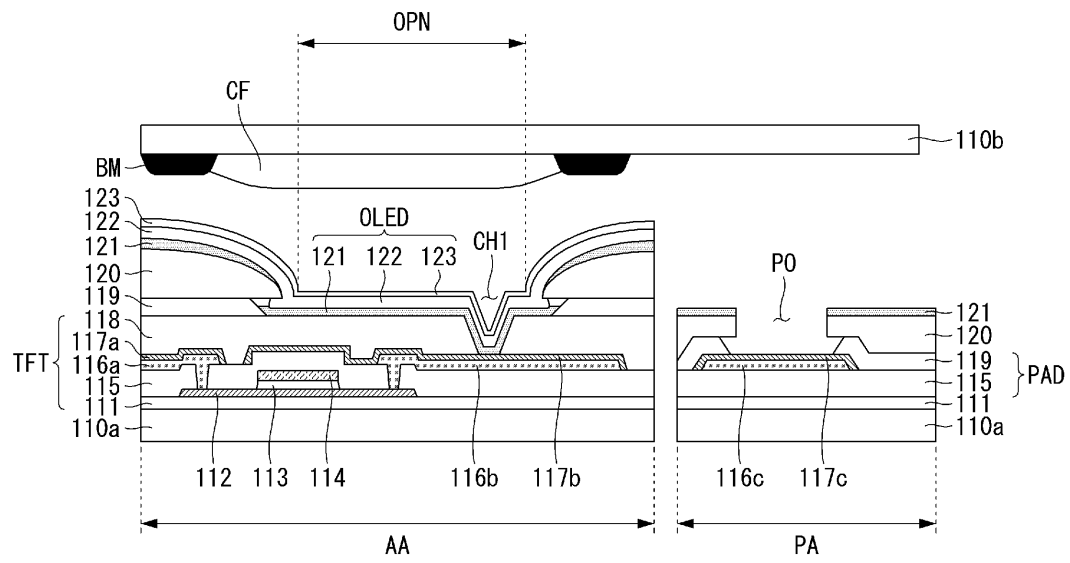
도면2



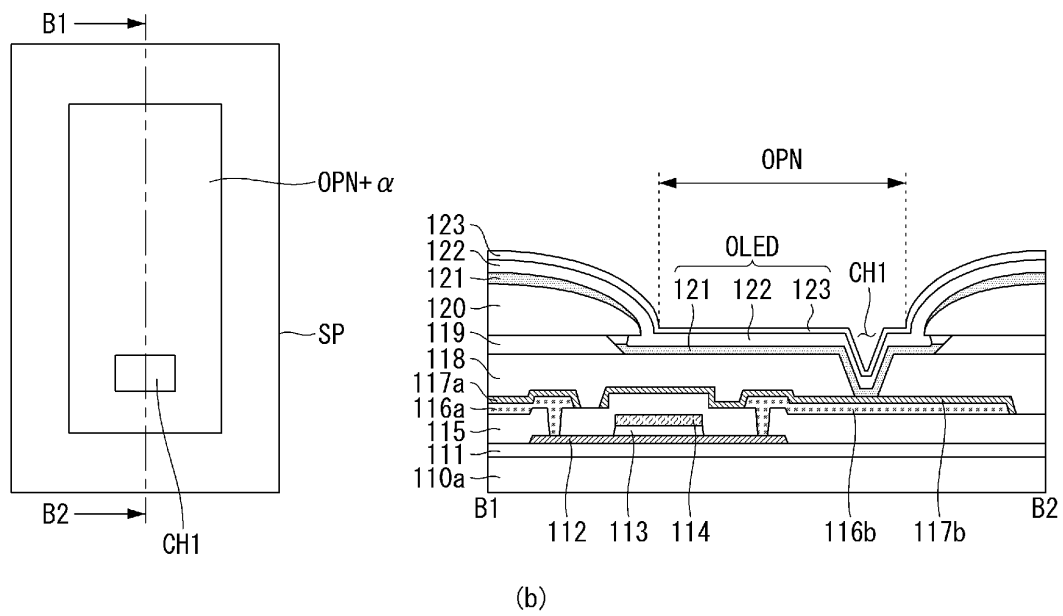
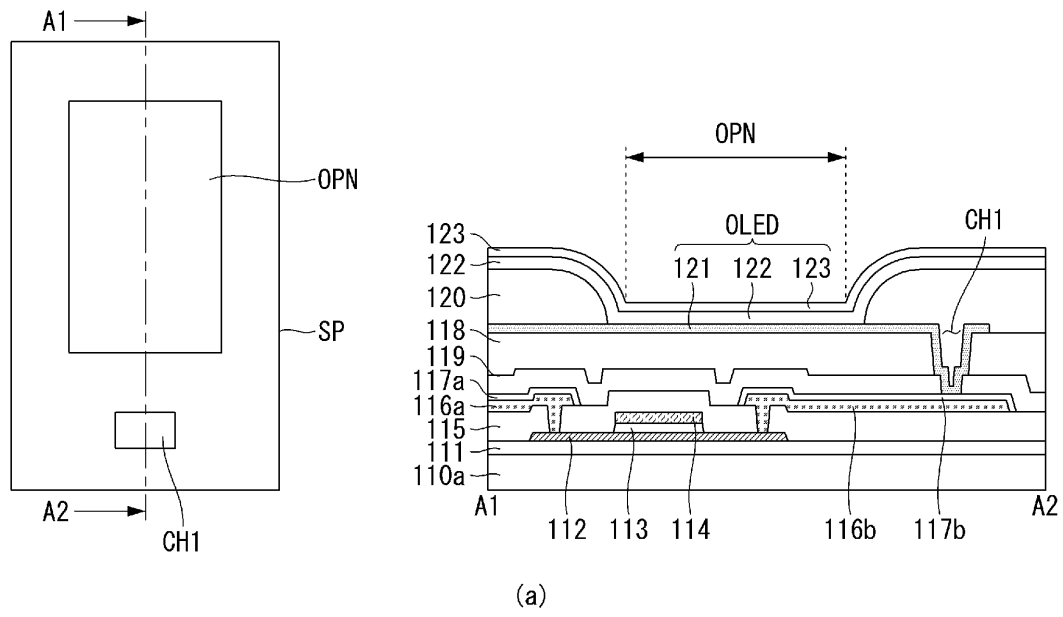
도면3



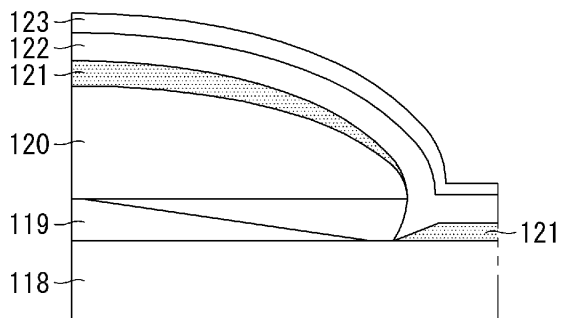
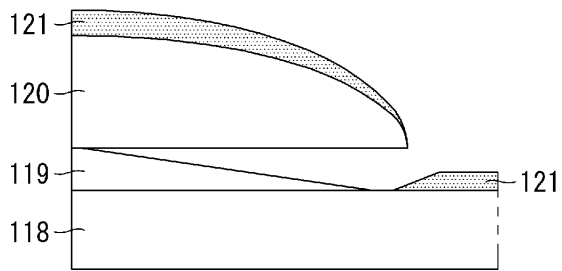
도면4



도면5

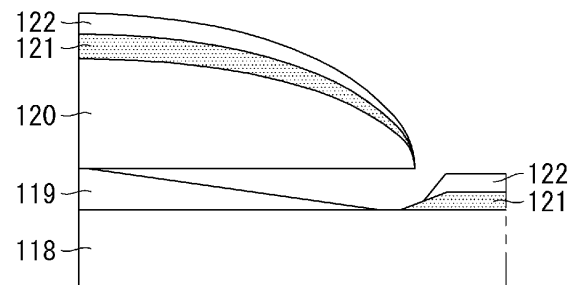


도면6

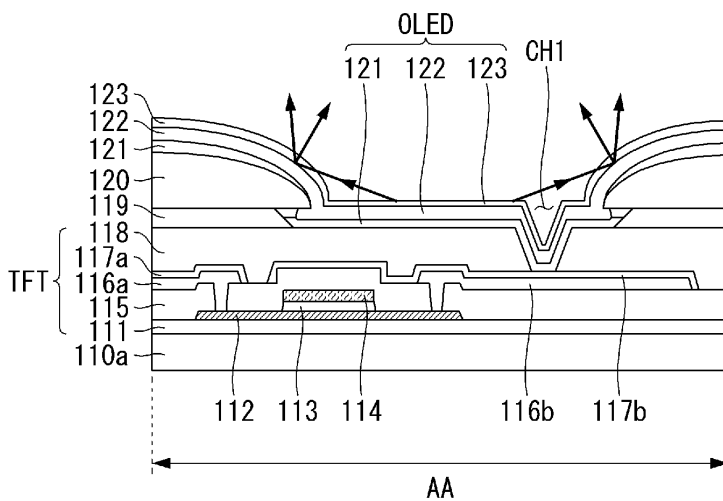


OLED가 공극을 막아 cathode/PLX short 방지

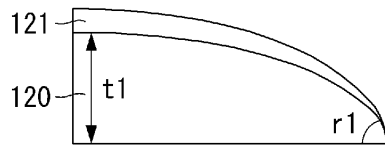
도면7



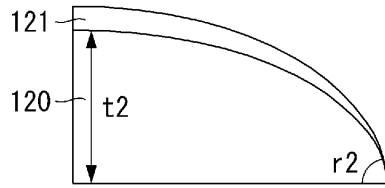
도면8



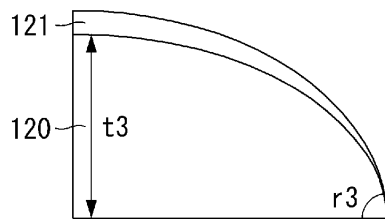
도면9



(a)



(b)

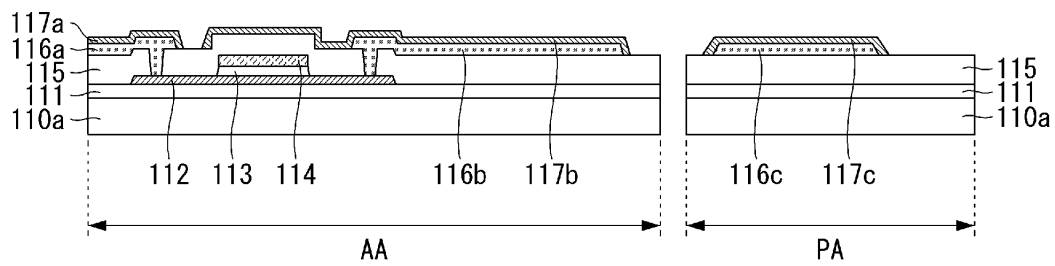


(c)

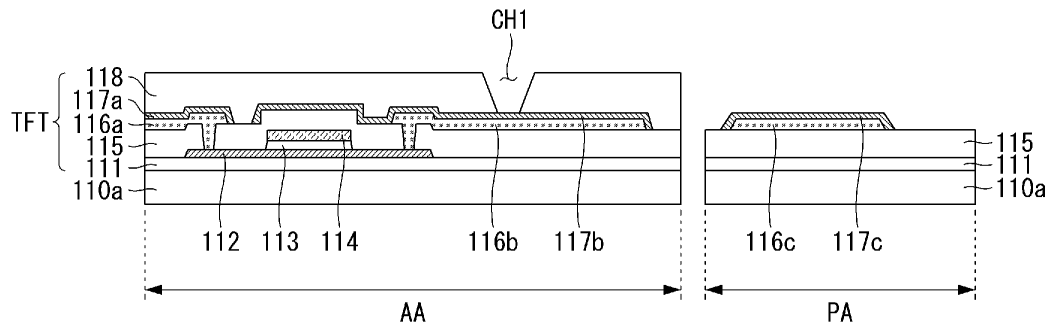
$$t1 < t2 < t3$$

$$r1 < r2 < r3$$

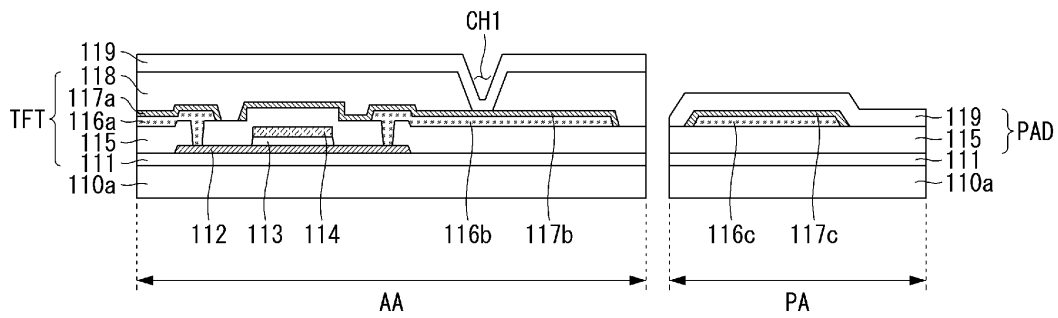
도면10



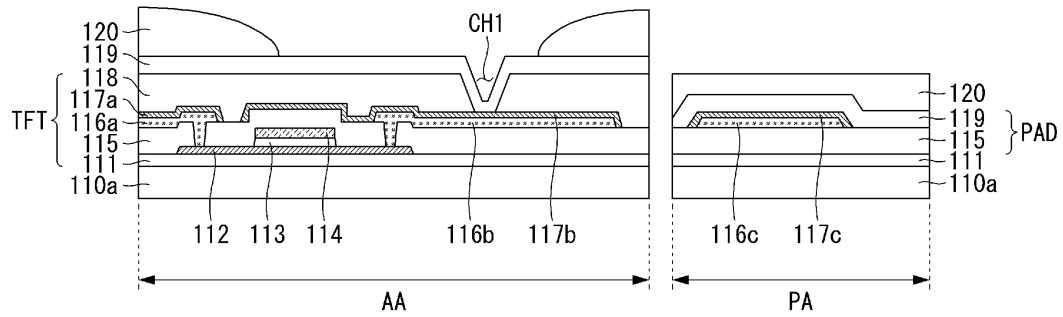
도면11



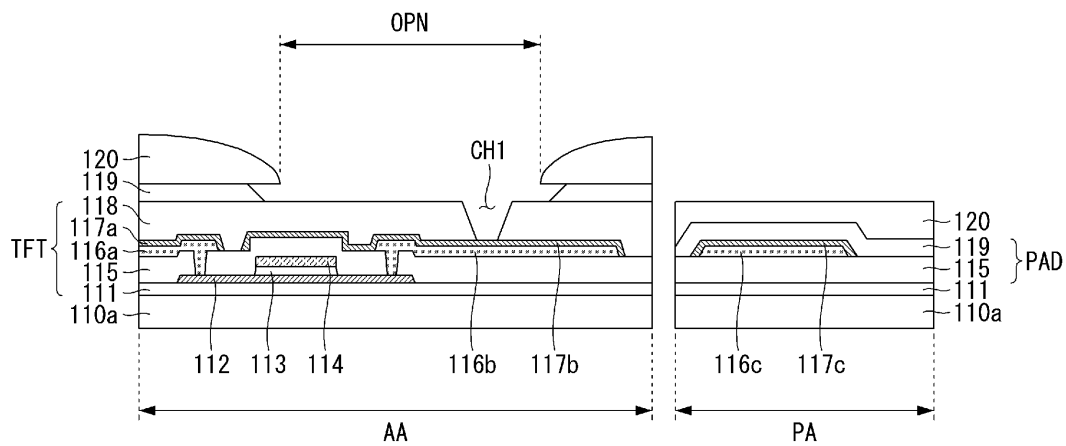
도면12



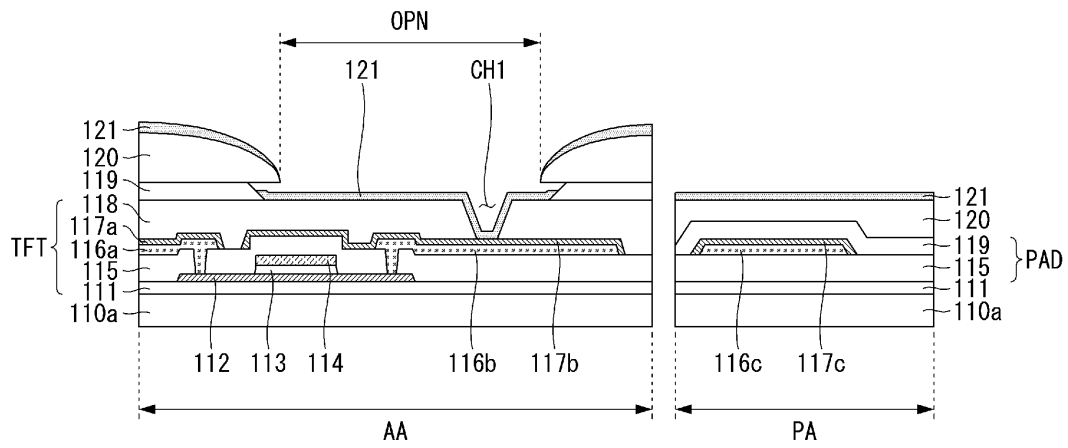
도면13



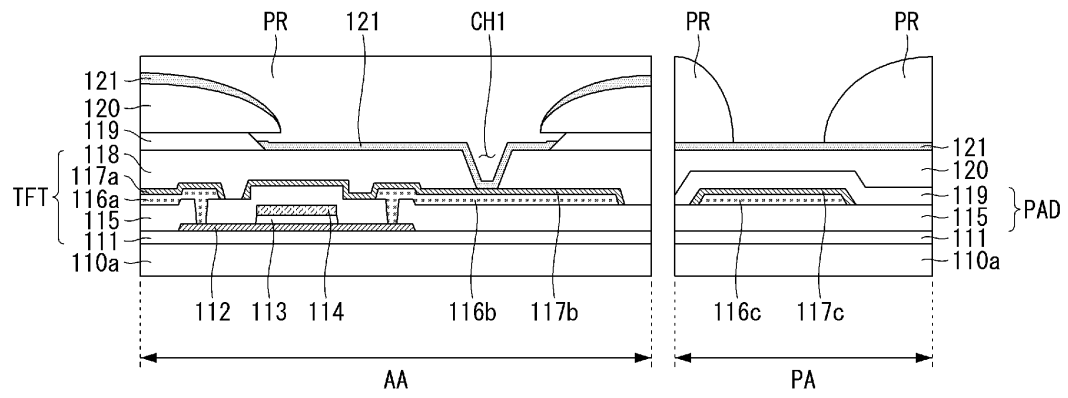
도면14



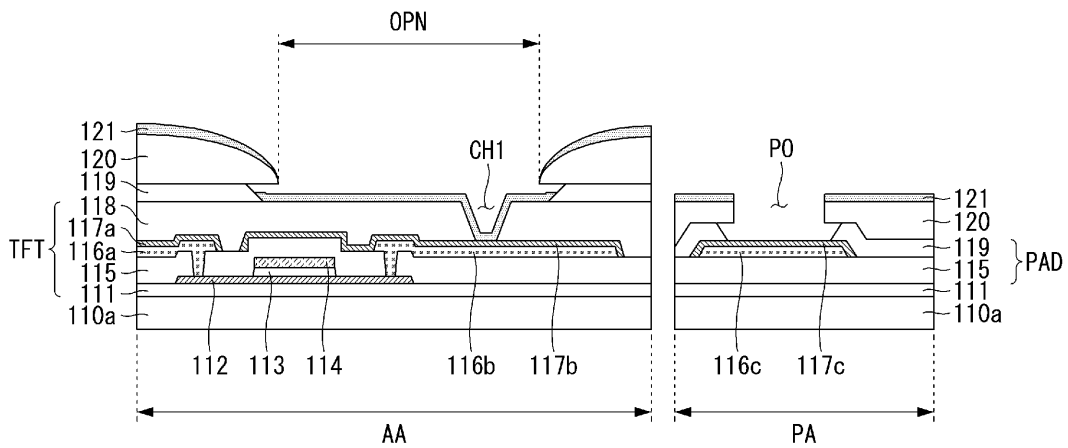
도면15



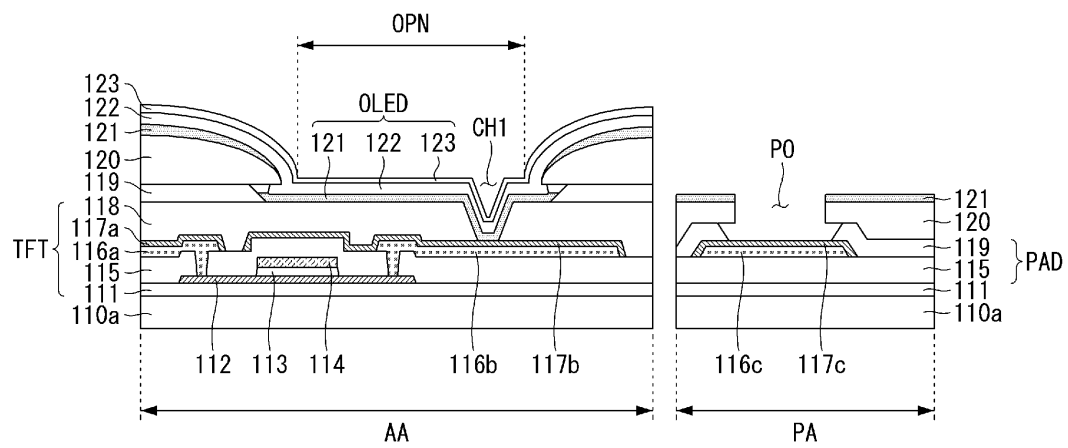
도면16



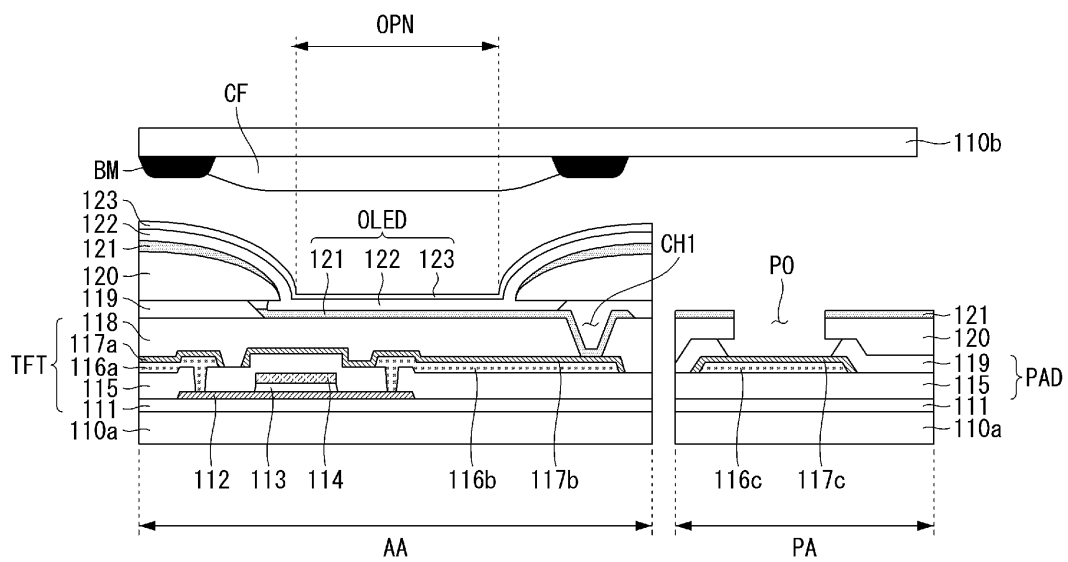
도면17



도면18



도면19



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR1020180133017A	公开(公告)日	2018-12-13
申请号	KR1020170069089	申请日	2017-06-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HO WON 최호원		
发明人	최호원		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3246 H01L27/3258 H01L27/3248 H01L27/3244 H01L51/56 H01L2251/5315 H01L27/1248 H01L27/322 H01L51/5209 H01L51/5271 H01L2251/5392 G09G3/3291 H01L27/124 H01L27/3262 H01L51/5036 H01L51/5203 H01L51/5218 H01L51/5221 H01L51/5225 H01L51/5253 H01L51/5284		
外部链接	Espacenet		

摘要(译)

本发明提供一种顶部发光型电致发光显示装置，包括下基板，晶体管，平坦化层，牺牲层，分离层，下电极层，有机发光层和上电极层。晶体管位于下基板上。平坦化层位于晶体管上并使表面平坦化。牺牲层位于平坦化层上并暴露平坦化层的一部分。隔离层位于牺牲层上并暴露平坦化层的一部分并限定孔区域。下电极层分成位于隔离层上的部分和位于平坦化层上的部分。有机发光层位于下电极层上。上电极层位于有机发光层上。平坦化层包括位于开口区域内部的第一接触孔，下电极层通过第一接触孔电连接到晶体管的一个电极。

