



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0025718
(43) 공개일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3272 (2013.01)
H01L 27/1288 (2013.01)

(21) 출원번호 10-2016-0112769

(22) 출원일자 2016년09월01일

심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
강임국
경기도 파주시 교하로 70 (목동동, 산내마을3단지
아파트) 307동 1302호

(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 10 항

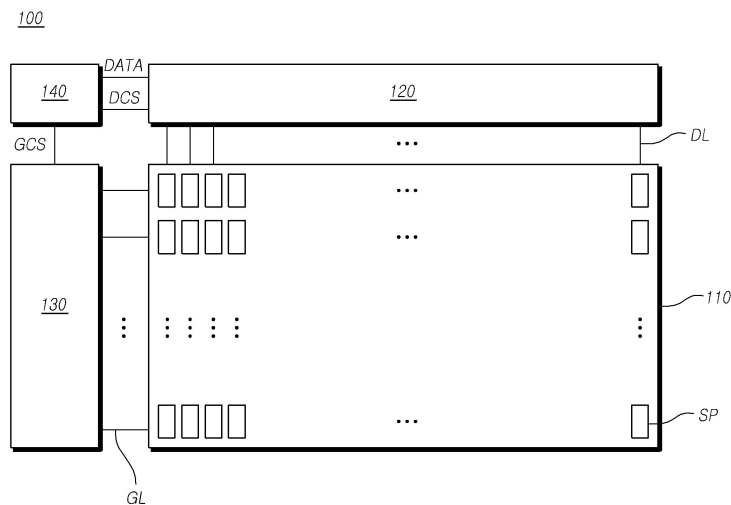
(54) 발명의 명칭 표시패널, 유기발광 표시장치 및 그 제조방법

(57) 요약

본 실시예는, 복수의 서브픽셀 영역이 구획된 기관, 서브픽셀의 발광영역에 배치된 유기발광 다이오드, 서브픽셀의 비발광영역에 배치된 광차단층 및 트랜지스터들을 포함하고, 트랜지스터의 소스전극 또는 드레인전극과 연결되는 노드 영역은 트랜지스터의 액티브층을 관통하여 형성된 제1홀과 상기 제1홀과 중첩되도록 액티브층 상에 배치되는 층간절연층에 형성된 제2홀이 중첩된 콘택홀을 구비할 수 있다.

본 실시예는, 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 중첩시킴으로써 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시켜 유기발광 다이오드의 수명 저하 및 잔상 불량을 방지한 효과가 있다.

대표도



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

복수의 게이트 라인과 데이터 라인이 교차하여 복수의 서브픽셀 영역이 구획된 기판;

상기 서브픽셀의 발광영역에 배치된 유기발광 다이오드; 및

상기 서브픽셀의 비발광영역에 배치된 광차단층 및 트랜지스터들을 포함하고,

상기 각 트랜지스터의 소스전극 또는 드레인전극과 연결되는 노드 영역은 트랜지스터의 액티브층을 관통하여 형성된 제1홀과 상기 제1홀과 중첩되도록 액티브층 상에 배치되는 층간절연층에 형성된 제2홀로 구성된 콘택홀을 구비하는 표시패널.

청구항 2

제1항에 있어서,

상기 콘택홀 영역에서는 액티브층과 광차단층을 전기적으로 연결하는 연결부를 더 포함하는 표시패널.

청구항 3

제2항에 있어서,

상기 연결부는 상기 각 트랜지스터의 소스전극 또는 드레인전극과 일체로 형성된 표시패널.

청구항 4

제2항에 있어서,

상기 연결부 상에는 상기 유기발광 다이오드의 제1전극으로부터 연장된 확장된 제1전극이 전기적으로 연결되는 표시패널.

청구항 5

복수의 데이터 라인과 복수의 게이트 라인이 교차하여 복수의 서브픽셀 영역이 구획된 표시패널;

상기 복수의 데이터 라인을 구동하는 소스 드라이버;

상기 복수의 게이트 라인을 구동하는 스캔 드라이버; 및

상기 소스 드라이버 및 상기 스캔 드라이버를 제어하는 컨트롤러를 포함하고,

상기 서브픽셀은 발광영역과 비발광영역으로 구분되고, 상기 서브픽셀의 발광영역에 배치된 유기발광 다이오드, 상기 비발광영역에 배치된 광차단층 및 트랜지스터들을 포함하고,

상기 각 트랜지스터의 소스전극 또는 드레인전극과 연결되는 노드 영역은 트랜지스터의 액티브층을 관통하여 형성된 제1홀과 상기 제1홀과 중첩되도록 액티브층 상에 배치되는 층간절연층에 형성된 제2홀로 구성된 콘택홀을 구비하는 유기발광 표시장치.

청구항 6

제5항에 있어서,

상기 콘택홀 영역에서는 액티브층과 광차단층을 전기적으로 연결하는 연결부를 더 포함하는 유기발광 표시장치.

청구항 7

제6항에 있어서,

상기 연결부는 상기 각 트랜지스터의 소스전극 또는 드레인전극과 일체로 형성된 유기발광 표시장치.

청구항 8

제6항에 있어서,

상기 연결부 상에는 상기 유기발광 다이오드의 제1전극으로부터 연장된 확장된 제1전극이 전기적으로 연결되는 유기발광 표시장치.

청구항 9

복수의 서브픽셀들이 구획되고, 각 서브픽셀은 발광영역과 비발광영역으로 구분되는 기판을 제공하는 단계;

상기 기판 상에 금속막을 형성하고, 마스크 공정을 진행하여 상기 비발광영역에 광차단층을 형성하는 단계;

상기 광차단층이 형성된 기판 상에 버퍼층을 형성하는 단계;

상기 버퍼층이 형성된 기판 상에 멀티톤 마스크 공정을 적용하여 액티브층, 액티브층을 관통하는 제1홀을 형성하는 단계;

상기 액티브층이 형성된 기판 상에 층간절연층을 형성하고, 싱글톤 마스크 공정을 적용하여 상기 제1홀과 중첩 영역에 제2홀을 형성하여, 제1홀과 제2홀로 구성된 콘택홀을 형성하는 단계;

상기 층간절연층 상에 소스/드레인 전극, 데이터 라인을 형성하는 단계; 및

상기 소스/드레인 전극이 형성된 기판 상의 발광영역에 유기발광 다이오드를 형성하는 단계를 포함하는 유기발광 표시장치 제조방법.

청구항 10

제9항에 있어서,

상기 멀티톤 마스크 공정은 습식각 공정, 애싱 공정 및 건식각 공정을 포함하는 유기발광 표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 실시예들은 표시패널, 유기발광 표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정 표시장치(Liquid Crystal Display Device), 플라즈마 표시장치(Plasma Display Device), 유기발광 표시장치(Organic Light Emitting Display Device) 등과 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 이러한 표시장치는 도전물질로 이루어지는 도전층과 절연물질로 이루어지는 절연층들이 적층된 구조를 갖는 하부 기판과 하부 기판과 대향하여 배치되는 상부 기판을 구비한다.

[0004] 특히, 유기발광 표시장치는 하부 기판에는 복수의 서브픽셀들이 배치되고, 각 서브픽셀은 유기발광 다이오드(OLED)로 구성된 발광영역(EA: Emission Area)과 복수의 트랜지스터들과 커패시터로 구성된 비발광영역(NEA: Non Emission Area)으로 구분된다.

[0005] 또한, 유기발광 표시장치는 비발광영역에 배치된 트랜지스터들과 커패시터, 발광영역에 배치된 유기발광 다이오드 형성을 위해 복수의 마스크 공정을 진행한다.

[0006] 특히, 유기발광 표시장치는 공정 중 절연층의 두께가 얇아져 절연층의 상부와 하부에 형성된 전극들(또는 신호선) 간의 단락(Short Circuit) 불량 발생 가능성이 있다.

[0007] 또한, 유기발광 표시장치의 각 서브픽셀은 해상도에 따라 일정한 길이와 폭이 정해져 있는데, 각 서브픽셀의 비발광영역(NEA)이 커지면 이와 대응되는 발광영역(EA)이 줄어들게 된다.

[0008] 따라서, 비발광영역(NEA)을 줄이고 발광영역(EA)을 증가시킴으로써, 유기발광 표시장치의 잔상 불량 및 수명 단축 문제를 개선할 필요가 있다.

발명의 내용

해결하려는 과제

- [0009] 본 실시예들은, 트랜지스터들의 액티브층 형성시 멀티톤 마스크 공정을 적용하고, 층간절연층에 콘택홀 형성시 싱글톤 마스크 공정을 적용함으로써, 층간절연층의 두께 감소 및 단락 불량을 방지한 표시패널, 유기발광 표시장치 및 그 제조방법을 제공함에 그 목적이 있다.
- [0010] 또한, 본 실시예들은, 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 중첩시킴으로써 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시켜 유기발광 다이오드의 수명 저하 및 잔상 불량을 방지한 표시패널, 유기발광 표시장치 및 그 제조방법을 제공함에 또 다른 목적이 있다.

과제의 해결 수단

- [0011] 본 실시예들에 따른 표시패널은, 복수의 게이트 라인과 데이터 라인이 교차하여 복수의 서브픽셀 영역이 구획된 기판, 서브픽셀의 발광영역에 배치된 유기발광 다이오드, 서브픽셀의 비발광영역에 배치된 광차단층 및 트랜지스터들을 포함할 수 있다.
- [0012] 또한, 본 실시예들에 따른 표시패널은, 각 트랜지스터의 소스전극 또는 드레인전극과 연결되는 노드 영역은 트랜지스터의 액티브층을 관통하여 형성된 제1홀과 상기 제1홀과 중첩되도록 액티브층 상에 배치되는 층간절연층에 형성된 제2홀로 구성된 콘택홀을 구비할 수 있다.
- [0013] 또한, 본 실시예들에 따른 표시패널은, 콘택홀 영역에서는 액티브층과 광차단층을 전기적으로 연결하는 연결부를 더 포함할 수 있다.
- [0014] 또한, 본 실시예들에 따른 표시패널은, 연결부는 각 트랜지스터의 소스전극 또는 드레인전극과 일체로 형성될 수 있다.
- [0015] 또한, 본 실시예들에 따른 표시패널은, 연결부 상에는 유기발광 다이오드의 제1전극으로부터 연장된 확장된 제1전극이 전기적으로 연결될 수 있다.
- [0016] 또한, 본 실시예들에 따른 유기발광 표시장치는, 복수의 데이터 라인과 복수의 게이트 라인이 교차하여 복수의 서브픽셀 영역이 구획된 표시패널, 복수의 데이터 라인을 구동하는 소스 드라이버, 복수의 게이트 라인을 구동하는 스캔 드라이버, 소스 드라이버 및 스캔 드라이버를 제어하는 컨트롤러를 포함할 수 있다.
- [0017] 또한, 본 실시예들에 따른 유기발광 표시장치는, 서브픽셀은 발광영역과 비발광영역으로 구분되고, 서브픽셀의 발광영역에 배치된 유기발광 다이오드, 비발광영역에 배치된 광차단층 및 트랜지스터들을 포함할 수 있다.
- [0018] 또한, 본 실시예들에 따른 유기발광 표시장치는, 각 트랜지스터의 소스전극 또는 드레인전극과 연결되는 노드 영역은 트랜지스터의 액티브층을 관통하여 형성된 제1홀과 상기 제1홀과 중첩되도록 액티브층 상에 배치되는 층간절연층에 형성된 제2홀로 구성된 콘택홀을 구비할 수 있다.
- [0019] 또한, 본 실시예들에 따른 유기발광 표시장치는, 콘택홀 영역에서는 액티브층과 광차단층을 전기적으로 연결하는 연결부를 더 포함할 수 있다.
- [0020] 또한, 본 실시예들에 따른 유기발광 표시장치는, 연결부는 각 트랜지스터의 소스전극 또는 드레인전극과 일체로 형성될 수 있다.
- [0021] 또한, 본 실시예들에 따른 유기발광 표시장치는, 연결부 상에는 유기발광 다이오드의 제1전극으로부터 연장된 확장된 제1전극이 전기적으로 연결될 수 있다.
- [0022] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 복수의 서브픽셀들이 구획되고, 각 서브픽셀은 발광영역과 비발광영역으로 구분되는 기판을 제공하는 단계를 포함할 수 있다.
- [0023] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 기판 상에 금속막을 형성하고, 마스크 공정을 진행하여 비발광영역에 광차단층을 형성하는 단계를 포함할 수 있다.
- [0024] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 광차단층이 형성된 기판 상에 버퍼층을 형성하는 단계를 포함할 수 있다.
- [0025] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 버퍼층이 형성된 기판 상에 멀티톤 마스크 공정을 적

용하여 액티브층, 액티브층을 관통하는 제1홀을 형성하는 단계를 포함할 수 있다.

- [0026] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 액티브층이 형성된 기판 상에 층간절연층을 형성하고, 싱글톤 마스크 공정을 적용하여 제1홀과 증착 영역에 제2홀을 형성하여, 제1홀과 제2홀로 구성된 콘택홀을 형성할 수 있다.
- [0027] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 층간절연층 상에 소스/드레인 전극, 데이터 라인을 형성하는 단계를 포함할 수 있다.
- [0028] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 소스/드레인 전극이 형성된 기판 상의 발광영역에 유기발광 다이오드를 형성하는 단계를 포함할 수 있다.
- [0029] 또한, 본 실시예들에 따른 유기발광 표시장치 제조방법은, 멀티톤 마스크 공정은 습식각 공정, 애싱 공정 및 건식각 공정을 포함할 수 있다.
- [0030] 또한, 본 실시예들에 따른 표시패널, 유기발광 표시장치 및 그 제조방법은, 층간절연층에 콘택홀 형성시 싱글톤 마스크 공정을 적용함으로써, 층간절연층의 두께 감소 및 단락 불량을 방지한 효과가 있다.
- [0031] 또한, 본 실시예들에 따른 표시패널, 유기발광 표시장치 및 그 제조방법은, 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 증착시킴으로써 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시켜 유기발광 다이오드의 수명 저하 및 잔상 불량을 방지한 효과가 있다.

발명의 효과

- [0032] 본 실시예들에 따른 표시패널, 유기발광 표시장치 및 그 제조방법은, 트랜지스터들의 액티브층 형성시 멀티톤 마스크 공정을 적용하고, 층간절연층에 콘택홀 형성시 싱글톤 마스크 공정을 적용함으로써, 층간절연층의 두께 감소 및 단락 불량을 방지한 효과가 있다.
- [0033] 또한, 본 실시예들에 따른 표시패널, 유기발광 표시장치 및 그 제조방법은, 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 증착시킴으로써 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시켜 유기발광 다이오드의 수명 저하 및 잔상 불량을 방지한 효과가 있다.

도면의 간단한 설명

- [0034] 도 1은 본 실시예들에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- 도 2a 및 도 2b는 본 실시예들에 따른 유기발광 표시장치 서브픽셀의 회로도들이다.
- 도 3은 본 실시예들에 따른 유기발광 표시장치의 각 서브픽셀들의 연결 구조를 도시한 도면이다.
- 도 4는 본 실시예들에 따른 유기발광 표시장치의 서브픽셀들의 구조를 도시한 도면이다.
- 도 5는 본 실시예들에 따른 유기발광 표시장치의 제조 공정을 도시한 플로차트이다.
- 도 6a 및 도 6b는 도 4의 A영역과 B영역의 콘택홀들의 구조를 도시한 도면이다.
- 도 7은 본 실시예들에 따른 제1서브픽셀의 구조를 도시한 도면이다.
- 도 8a 내지 도 8d는 도 7의 E영역에서의 공정 단면도이다.
- 도 9a 내지 도 9c는 도 7의 F영역에서의 공정 단면도이다.
- 도 10은 본 실시예들에 따른 유기발광 표시장치의 제조 공정을 도시한 플로차트이다.
- 도 11a 및 도 11b는 도 4의 C영역과 도 7의 G영역을 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0036] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0037] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0038] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0039] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0040] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0041] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0042] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0043] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0044] 도 1은 본 실시예들에 따른 유기발광 표시장치의 개략적인 시스템 구성도이고, 도 2a 및 도 2b는 본 실시예들에 따른 유기발광 표시장치 서브픽셀의 회로도들이다.
- [0045] 도 1을 참조하면, 본 실시예에 따른 유기발광 표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub Pixel)이 배치된 표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 소스 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 스캔 드라이버(130)와, 소스 드라이버(120) 및 스캔 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.
- [0046] 컨트롤러(140)는, 소스 드라이버(120) 및 스캔 드라이버(130)로 각종 제어신호를 공급하여, 소스 드라이버(120) 및 스캔 드라이버(130)를 제어한다.
- [0047] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 소스 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 구동 데이터(DATA)를 출력하고, 스캔 신호에 맞춰 적당한 시간에 디스플레이 구동 데이터를 통제한다.
- [0048] 소스 드라이버(120)는, 다수의 데이터 라인(DL)으로 구동 데이터 전압(Vdata)을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 소스 드라이버(120)는 '데이터 드라이버'라고도 한다.
- [0049] 스캔 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 스캔 드라이버(130)는 '게이트 드라이버'라고도 한다.
- [0050] 스캔 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0051] 소스 드라이버(120)는, 스캔 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0052] 소스 드라이버(120)는, 도 1에서는 표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.

- [0053] 스캔 드라이버(130)는, 도 1에서는 표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0054] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0055] 컨트롤러(140)는, 소스 드라이버(120) 및 스캔 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 소스 드라이버(120) 및 스캔 드라이버(130)로 출력한다.
- [0056] 예를 들어, 컨트롤러(140)는, 스캔 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0057] 또한, 컨트롤러(140)는, 소스 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0058] 소스 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0059] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer), 감마전압 생성부 등을 포함할 수 있다.
- [0060] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0061] 표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0062] 일 예로, 표시패널(110)에서, 각 서브픽셀(SP)은 유기발광 다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(DT: Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0063] 도 2a 및 도 2b를 참조하면, 본 실시예들에 따른 유기발광 표시장치(100)에서, 각 서브픽셀은, 유기발광 다이오드(OLED: Organic Light Emitting Diode)와, 유기발광 다이오드(OLED)를 구동하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결되는 제1트랜지스터(T1)와, 구동 트랜지스터(DT)의 제2노드(N2)와 데이터 전압(Vdata)을 공급하는 데이터 라인(DL) 사이에 전기적으로 연결되는 제2트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결되는 스토리지 커패시터(Cst: Storage Capacitor) 등을 포함하여 구성된다.
- [0064] 유기발광 다이오드(OLED)는, 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기발광층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.
- [0065] 구동 트랜지스터(DT)의 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다. 여기서, 게이트 노드, 드레인 노드 및 소스 노드는 게이트전극, 드레인전극 및 소스전극을 의미한다.
- [0066] 도 2a에 도시된 바와 같이, 제1트랜지스터(T1)는 제1 스캔 신호(SCAN1)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 제1노드(N1)에 기준전압(Vref)을 인가해줄 수 있다.
- [0067] 제2트랜지스터(T2)는 제2 스캔 신호(SCAN2)에 의해 턴-온 시, 데이터 라인(DL)을 통해 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 제2노드(N2)에 전달해준다.
- [0068] 반면, 도 2b에 도시된 바와 같이, 제1트랜지스터(T1)와 제2트랜지스터(T2)는 하나의 스캔 신호(SCAN)에 의해 함께 제어될 수 있다.
- [0069] 즉, 제1트랜지스터(T1)와 제2트랜지스터(T2)는, 동일한 게이트 라인(GL)에 게이트 노드가 연결되어, 동일한 스캔 신호(SCAN)를 공급받아 함께 온-오프가 제어될 수 있다.

- [0070] 한편, 제1트랜지스터(T1)의 드레인 노드 또는 소스 노드에 전기적으로 연결된 기준전압 라인(RVL)은, 1개의 서브픽셀 열(Sub Pixel Column)마다 1개씩 배치될 수도 있고, 2개 이상의 서브픽셀 열마다 1개씩 배치될 수도 있다. 기준전압 라인(RVL)은 구동 트랜지스터(DT) 또는 유기발광 다이오드(OLED)의 열화 정도를 센싱한 후, 보상하기 위한 센싱 라인(SL)으로 명명될 수 있다.
- [0071] 예를 들어, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 백색 서브픽셀, 청색 서브픽셀, 녹색 서브픽셀)로 구성된 경우, 기준전압 라인(RVL)은 4개의 서브픽셀 열(적색 서브픽셀 열, 백색 서브픽셀 열, 청색 서브픽셀 열, 녹색 서브픽셀 열)마다 1개씩 배치될 수도 있다.
- [0072] 한편, 본 실시예에 따른 유기발광 표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광 다이오드(OLED), 구동 트랜지스터(DT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.
- [0073] 이에 따라, 유기발광 다이오드(OLED), 구동 트랜지스터(DT) 등의 회로 소자가 갖는 고유한 특성치(예: 문턱전압, 이동도 등)가 변할 수 있다.
- [0074] 이러한 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기한다.
- [0075] 여기서, 회로 소자의 특성치(이하, “서브픽셀 특성치”라고도 함)는, 일 예로, 구동 트랜지스터(DT)의 문턱전압 및 이동도 등을 포함할 수 있고, 경우에 따라서는, 유기발광 다이오드(OLED)의 문턱전압을 포함할 수도 있다.
- [0076] 본 실시예에 따른 유기발광 표시장치(100)는, 서브픽셀의 특성치 변화 또는 각 서브픽셀 간의 특성치 편차를 센싱(측정)하는 센싱 기능과, 센싱 결과를 이용하여 서브픽셀 특성치를 보상해주는 보상 기능을 제공할 수 있다.
- [0077] 따라서, 본 실시예의 유기발광 표시장치(100)는, 서브픽셀 특성치에 대한 센싱 및 보상 기능을 제공하기 위하여, 그에 맞는 서브픽셀 구조(도 2a 또는 도 2b)와, 센싱 및 보상 구성을 포함하는 보상 회로를 포함한다.
- [0078] 도 3은 본 실시예들에 따른 유기발광 표시장치의 각 서브픽셀들의 연결 구조를 도시한 도면이다.
- [0079] 도 3을 참조하면, 본 실시예의 유기발광 표시장치의 기본 단위는 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))에 연결된 4개의 제1 내지 제4 서브픽셀(SP1~SP4)이다. 각 서브픽셀(SP) 영역에는 도 2a 및 도 2b에 도시한 바와 같이, 3T1C 구조를 갖는다. 도면에서는 1 스캔 구조를 도시하였지만, 제1트랜지스터(T1)와 제2트랜지스터(T2) 각각에 대해 게이트 라인(GL1, GL2)을 배치할 경우 2 스캔 구조가 될 수 있다.
- [0080] 또한, 1개의 게이트 라인(GL(m), $1 \leq m \leq M$)은 4개의 서브픽셀(SP1~SP4)에 연결된다.
- [0081] 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 서브픽셀(SP1~SP4) 각각은, 도 2a 또는 도 2b에 도시된 바와 같이, 구동전압(EVDD)을 인가 받아 유기발광 다이오드를 구동하는 구동 트랜지스터(DT)와, 기준전압(Vref)을 인가 받아 구동 트랜지스터(DT)의 제1노드(N1)에 전달하는 제1 트랜지스터(DL)와, 데이터 전압(Vdata)을 인가 받아 구동 트랜지스터(DT)의 제2노드(N2)에 전달하는 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된 스토리지 커패시터(Cst) 등을 동일하게 포함한다.
- [0082] 표시패널(110)에서 데이터 라인 개수가 4N개이고 기준전압 라인 개수가 N개일 때, 하나의 $n(1 \leq n \leq N)$ 에 대하여, 즉, 4개의 서브픽셀 열(Sub Pixel Column)에 대하여, 4n-3 번째 데이터 라인(DL(4n-3))과 연결된 제1 서브픽셀(SP1), 4n-2 번째 데이터 라인(DL(4n-2))과 연결된 제2 서브픽셀(SP2), 4n-1 번째 데이터 라인(DL(4n-1))과 연결된 제3 서브픽셀(SP3) 및 4n 번째 데이터 라인(DL(4n))과 연결된 제4 서브픽셀(SP4)에 제1 전압(Vref)을 공급하기 위한 제1 전압 라인에 해당하는 1개의 기준전압 라인(RVL)이 데이터 라인들과 평행한 방향으로 형성된다.
- [0083] 이러한 기준전압 라인(RVL)의 형성 위치에 따라, 4n-2 번째 데이터 라인(DL(4n-2))에 연결된 제2 서브픽셀(SP2)의 제1 트랜지스터(T1)와 4n-1 번째 데이터 라인(DL(4n-1))에 연결된 제3 서브픽셀(SP3)의 제1 트랜지스터(T1)는 기준전압 라인(RVL)에 직접 연결되고, 4n-3 번째 데이터 라인(DL(4n-3))에 연결된 제1 서브픽셀(SP1)의 제1 트랜지스터(T1)와 4n 번째 데이터 라인(DL(4n))에 연결된 제4 서브픽셀(SP4)의 제1 트랜지스터(T1)는 기준전압 라인(RVL)과 연결된 연결패턴(CP, 점선)들에 연결된다.
- [0084] 도 4는 본 실시예들에 따른 유기발광 표시장치의 서브픽셀들의 구조를 도시한 도면이다.
- [0085] 도 2a와 함께 도 4를 참조하면, 본 실시예에 따른 유기발광 표시장치(100)는, 제1 게이트 라인(GL1), 제2 게이트 라인(GL2)과 데이터 라인(DL)이 교차하여 서브픽셀(SP)이 정의된다.
- [0086] 각 서브픽셀(SP)은 유기발광 다이오드(OLED)가 배치되는 발광영역(EA)과 트랜지스터들이 배치되는 비발광영역(NEA)으로 구분될 수 있다.

- [0087] 보다 구체적으로는, 4개의 데이터 라인(DL(4n-3), DL(4n-2), DL(4n-1), DL(4n))과 연결되는 4개의 제1 내지 제4 서브픽셀(SP1~SP4)이 기준전압 라인(RVL)에 공통으로 연결되어 있다. 기준전압 라인(RVL)은 제2 및 제3 서브픽셀(SP3, SP4)과는 직접 연결되어 있고, 제1 및 제4 서브픽셀(SP1, SP4)과는 제2 연결패턴(CP2)에 의해 연결된다.
- [0088] 또한, 4개의 서브픽셀(SP1~SP4)의 양측 가장자리 영역에는 데이터 라인(DL)과 평행한 구동전압 라인(330)이 배치되어 있고, 구동전압 라인(DVL)들은 인접한 제1 또는 제4 서브픽셀(SP1, SP4)과는 직접 연결되고, 중앙에 배치된 제2 또는 제3 서브픽셀(SP2, SP3)과는 제1 연결패턴(CP1)에 의해 연결되어 있다.
- [0089] 발광영역(EA)에는 유기발광 다이오드(OLED)의 제1전극(211)이 배치되어 있고, 비발광영역(NEA)에는 구동 트랜지스터(DT), 스토리지 커패시터(Cst), 제1트랜지스터(T1) 및 제2트랜지스터(T2)가 배치되어 있다.
- [0090] 특히, 구동 트랜지스터(DT)는 게이트전극(430), 드레인전극(270), 소스전극(280) 및 제1 액티브층(404)으로 구성된다. 또한, 제1트랜지스터(T1)는 제1 게이트 라인(GL1) 일부의 게이트 전극(제2 액티브층(504)과 중첩 영역), 제2 액티브층(504), 드레인전극, 소스전극으로 구성된다.
- [0091] 여기서, 370은 리던던시 패턴이고, 제1트랜지스터(T1)의 드레인전극과 전기적으로 연결될 수 있다. 570은 제1 연결부이고, 제1 연결부(570)는 구동 트랜지스터(DT)의 드레인전극(270: 제1노드(N1))과 제1트랜지스터(T1)의 드레인전극을 전기적으로 연결시킨다. 여기서, 제1 연결부(570), 드레인전극(270) 및 제1트랜지스터(T1)의 드레인전극은 일체로 형성될 수 있다.
- [0092] 제1트랜지스터(T1)의 소스전극은 제2 연결부(670)와 일체로 형성되고, 제2 연결패턴(CP2)과 전기적으로 연결된다.
- [0093] 또한, 200은 제1전극(211)을 외부로 노출하기 위한 뱅크오픈 영역이고, 비발광영역(NEA)에는 스토리지 커패시터(Cst)가 형성된다.
- [0094] 제1 내지 제4 서브픽셀(SP1~SP4)은 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브픽셀들일 수 있고, 이들 4개의 서브픽셀들(SP1~SP4)은 하나의 픽셀을 이룰 수 있다.
- [0095] 또한, 비발광영역(NEA)에는 구동 트랜지스터(DT)와 스토리지 커패시터(Cst)와 중첩되도록 광차단층(290)이 배치된다. 또한, 도면에는 도시하지 않았지만, 광차단층은 제1 및 제2트랜지스터들(T1, T2)과 각각 대응되는 영역에도 배치될 수 있다.
- [0096] 도 4에 도시된 바와 같이, 각 서브픽셀(SP)은 발광영역(EA)과 비발광영역(NEA)으로 구분되고, 비발광영역(NEA)이 넓어지면 발광영역(EA)이 좁아져 유기발광 표시장치의 개구율(개구율)이 줄어든다. 따라서, 유기발광 표시장치의 개구율을 증가시키기 위해서는 비발광영역(NEA)의 면적을 줄이는 것이 바람직하다.
- [0097] 특히, 본 실시예에서는 비발광영역(NEA)에 형성되는 복수의 콘택홀들(contact holes)을 서로 중첩시킴으로써, 콘택홀들의 점유 면적을 줄여 비발광영역(NEA)의 면적을 줄였다.
- [0098] 이와 같이, 비발광영역(NEA)의 면적이 줄이면 상대적으로 발광영역(EA)의 개구율을 증가시킬 수 있어, 유기발광 다이오드의 수명을 연장시킬 수 있다.
- [0099] 또한, 본 실시예에서는 트랜지스터의 액티브층 형성시 멀티톤 마스크 공정을 적용하고, 층간절연층에 콘택홀들을 형성할 때에는 싱글톤 마스크 공정을 적용함으로써, 멀티톤 마스크(Multi-Tone Mask) 공정에 의해 층간절연층의 두께가 줄어드는 것을 방지하였다.
- [0100] 또한, 본 실시예에서는 층간절연층에 콘택홀들을 형성할 때, 층간절연층의 두께가 균일해지도록 함으로써, 층간절연층 상에 형성되는 금속층 패턴(소스전극, 연결부, 데이터 라인 등)과 층간절연층 아래에 형성되는 금속층 패턴(게이트 전극, 게이트 라인 등)과의 단락 불량(Short-Circuit)을 방지한 효과가 있다.
- [0101] 도 5는 본 실시예들에 따른 유기발광 표시장치의 제조 공정을 도시한 플로차트이다.
- [0102] 도 5를 참조하면, 유기발광 표시장치의 제조 공정은 다음과 같다.
- [0103] 먼저, 기판 상에 금속층을 형성하고, 마스크 공정을 진행하여 도 4의 광차단층(290)을 형성하는 단계(S601)와, 광차단층(290)이 형성된 기판 상에 버퍼층을 형성하는 단계(S602)와, 버퍼층이 형성된 기판 상에 액티브층을 형성하는 단계(S603)와, 액티브층이 형성된 기판 상에 게이트 절연층 및 게이트 전극을 형성하는 단계(S604)와, 게이트 전극이 형성된 기판 상에 층간절연층을 형성하고, 멀티톤 마스크(Multi-Tone Mask) 공정에 의해 콘택홀

을 형성하는 단계(S605)와, 소스/드레인 전극, 데이터 라인을 형성하는 단계(S606)와, 유기발광 다이오드를 형성하는 단계(S607)를 포함한다.

- [0104] 특히, 유기발광 표시장치 제조 공정 중 액티브층을 형성하는 단계는 싱글톤 마스크 공정을 적용하고, 액티브층 상에 형성된 층간절연층에 콘택홀들을 형성하는 단계는 멀티톤 마스크 공정을 진행한다. 여기서, 싱글톤 마스크 공정은 완전 투과영역과 비투과영역으로 구성된 마스크를 사용하여 노광, 현상 및 식각 공정을 진행하는 것을 의미하고, 멀티톤 마스크 공정은 완전 투과영역, 비투과영역 및 반투과영역과 같이 투과율이 다른 복수의 투과영역으로 구성된 마스크를 사용하여 노광, 현상 및 식각 공정을 진행하는 것을 의미한다.
- [0105] 또한, 멀티톤 마스크는 회절 마스크 또는 하프톤 마스크로 명명될 수 있다.
- [0106] 도 6a 및 도 6b는 도 4의 A영역과 B영역의 콘택홀들의 구조를 도시한 도면이다.
- [0107] 도 6a를 참조하면, 구동 트랜지스터(DT)의 드레인전극(270)이 연결된 제1노드(N1) 영역은 제1 연결부(570)가 제1 및 제2 콘택홀(C1, C2)을 통해 제1트랜지스터(T1)의 제1 액티브층(404)과 광차단층(290)을 전기적으로 연결한다(A영역). 제1 연결부(570)와 드레인전극(270)은 일체로 형성될 수 있다.
- [0108] 보다 구체적으로, 기판(400) 상에는 광차단층(290)이 배치되고, 광차단층(290) 상에는 버퍼층(402)이 배치된다. 버퍼층(402) 상에는 구동 트랜지스터(DT)의 제1 액티브층(404)이 배치되고, 제1 액티브층(404) 상에는 층간절연층(407)이 배치된다.
- [0109] 층간절연층(407)은 제1 액티브층(404)의 일부를 노출시키기 위한 제1 콘택홀(C1)과 광차단층(290)의 일부를 노출하기 위한 제2 콘택홀(C2)을 포함한다.
- [0110] 제1 콘택홀(C1)에 의해 노출된 제1 액티브층(404)과 제2 콘택홀(C2)에 의해 노출된 광차단층(290)은 제1 연결부(570)에 의해 전기적으로 연결되는데, 제1 콘택홀(C1)에 위치하는 제1 연결부(570)는 구동 트랜지스터(DT)의 드레인전극(270) 역할을 한다.
- [0111] 본 실시예에 따라 층간절연층(407)에 제1 콘택홀(C1)과 제2 콘택홀(C2)을 형성하기 위해 도 5에서 설명한 바와 같이, 멀티톤 마스크 공정을 사용한다.
- [0112] 따라서, 버퍼층(402)과 층간절연층(407)이 모두 제거되어 형성되는 제2 콘택홀(C2)이 형성되고, 이 후 애싱 공정(Ashing)으로 제1 액티브층(404)과 대응되는 영역의 감광막 일부를 제거한 후, 제1 콘택홀(C1)을 형성한다.
- [0113] 애싱 공정으로 제2 콘택홀(C2) 영역의 감광막의 일부도 줄어들기 때문에 제2 콘택홀(C2)이 제1 콘택홀(C1)보다 크게 형성된다.
- [0114] 또한, 제1 콘택홀(C1)과 제2 콘택홀(C2)은 평면 상에서 서로 이격되어 형성되기 때문에 제1 콘택홀(C1)과 제2 콘택홀(C2)의 간격(L1)은 대략 29.5 μ m가 된다.
- [0115] 또한, 도 6b를 참조하면, 제1트랜지스터(T1)의 B영역에는 제3 콘택홀(C3)과 제4 콘택홀(C4)이 형성되어 있다. B영역은 기판(400) 상에 제2 연결패턴(CP2)이 형성되고, 제2 연결패턴(CP2) 상에는 버퍼층(402)이 배치된다. 제2 연결패턴(CP2)은 광차단층(290) 형성시 동시에 형성되면, 이후 기준전압 라인(RVL)과 전기적으로 연결된다.
- [0116] 또한, 버퍼층(402) 상에는 제2 액티브층(504)이 배치되고, 제2 액티브층(504) 상에는 층간절연층(407)이 배치된다. 층간절연층(407) 상에는 제3 콘택홀(C3)과 제4 콘택홀(C4)이 도 5에서 설명한 멀티톤 마스크 공정에 따라 형성된다.
- [0117] 제3 콘택홀(C3)에 의해 노출된 제2 액티브층(504)과 제4 콘택홀(C4)에 의해 노출된 제2 연결패턴(CP2)은 제2 연결부(670)에 의해 전기적으로 연결된다.
- [0118] 또한, 제3 콘택홀(C3)과 제4 콘택홀(C4)은 평면 상에서 서로 이격되어 형성되기 때문에 제3 콘택홀(C3)과 제4 콘택홀(C4)의 간격(L4)은 대략 39.8 μ m가 된다.
- [0119] 먼저, 층간절연층(407)에 멀티톤 마스크 공정을 적용하여 콘택홀들을 형성하며, 도 11a에서와 같이, 습식각(Wet Etch) 공정, 애싱(Ashing) 공정 및 건식각(Dry Etch) 공정을 진행하는 과정에서 액티브층과 대응되는 층간절연층(407)의 두께가 감소하는 현상이 발생된다.
- [0120] 따라서, 층간절연층(407) 상에 형성되는 금속패턴(소스/드레인전극, 연결부, 데이터 라인 등)과 액티브층(또는 게이트 전극) 사이에서 단락 불량 발생된다.

- [0121] 본 실시예들에서는 전술한 단락 불량을 방지하기 위해 액티브층 형성시에 멀티톤 마스크 공정을 사용하고, 층간 절연층에 콘택홀을 형성할 때에는 싱글톤 마스크 공정을 사용함으로써, 단락 불량을 방지하였다. 이와 관련해서는 도 11a와 도 11b에서 보다 상세히 설명한다.
- [0122] 유기발광 표시장치의 비발광영역(NEA)에는 복수의 콘택홀들이 형성되고, 이들 콘택홀들은 도 6a 및 도 6b와 같은 형태로 형성되기 때문에 비발광영역(NEA)의 면적을 줄여 발광영역(EA)의 개구율을 증가시키는데 한계가 있다.
- [0123] 또한, 유기발광 표시장치의 서브픽셀에 배치되는 트랜지스터들의 개수가 증가하면 비발광영역(NEA)의 면적이 더욱 증가하게 되어 발광영역(EA)이 줄어들게 되는데, 발광영역(EA)이 줄어들면 잔상 불량 및 유기발광 다이오드의 수명이 단축되는 문제가 있다.
- [0124] 본 실시예들에서는 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 중첩시킴으로써, 비발광영역(NEA)의 면적을 줄여 발광영역(EA)의 개구율을 향상시키고 유기발광 다이오드의 수명을 연장시킨 효과가 있다.
- [0125] 도 7은 본 실시예들에 따른 제1서브픽셀의 구조를 도시한 도면이다.
- [0126] 도 7의 제1 서브픽셀(SP1)의 구조는 도 4에서 설명한 서브픽셀의 구조와 유사하므로 여기서는 본 실시예와 관련된 부분을 중심으로 설명한다. 도 4의 도면번호와 동일한 도면 번호는 별도 언급이 없는 한 동일한 구성부를 지칭한다.
- [0127] 도 7을 참조하면, 본 실시예들에 따른 유기발광 표시장치(100)의 제1 서브픽셀(SP1)의 구조를 구체적으로 보면, 발광영역(EA)에는 유기발광 다이오드의 제1전극(211)이 배치되어 있고, 제1전극(211)은 일부가 확장되어 스토리지 커패시터(Cst)의 전극 역할을 하면서, 구동 트랜지스터(DT)의 드레인전극(270)과 연결된다.
- [0128] 특히, 제1 서브픽셀(SP1) 구조는 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)이 각각 제1트랜지스터(T1)와 제2트랜지스터(T2)에 스캔신호를 공급하는 2 스캔 구조를 갖는다.
- [0129] 제1노드(N1) 영역(E영역)의 콘택홀 구조를 보면, 제1 연결부(570: 드레인전극 270과 일체로 형성됨)는 제5 콘택홀(C5)을 통하여 제1 액티브층(404)과 광차단층(290)이 서로 전기적으로 연결시킨다.
- [0130] 따라서, 도 4의 서브픽셀 구조에서는 제1 및 제2 콘택홀(C1, C2)로 분리된 구조에서 하나의 중첩된 제5 콘택홀(C5)을 형성함으로써, 비발광영역(NEA)에서 콘택홀들의 점유 면적을 줄였다.
- [0131] 예를 들어, 도 4에서는 제1 및 제2 콘택홀(C1, C2)의 간격이 L1이나, 도 7에서는 제5 콘택홀(C5)의 폭인 L3로 감소되어 발광영역(EA)의 면적을 증가시킬 수 있다.
- [0132] 보다 구체적으로, 제1 및 제2 콘택홀들(C1, C2)의 배치 방향이 구동전압 라인(DVL)과 평행한 방향이므로 제1노드(N1) 영역의 콘택홀들 간의 거리가 줄어들면 발광영역(EA)이 비발광영역(NEA)으로 확장될 수 있어, 유기발광 표시장치의 개구율이 증가한다.
- [0133] 동일한 방식으로 제1트랜지스터(T1)의 소스전극 영역인 F영역을 보면, 도 4에서와 같이, 제1트랜지스터(T1)의 제2 액티브층(504)에 형성되던 제3 콘택홀(C3)과 제2연결패턴(CP2)에 형성되던 제4 콘택홀(C4)을 하나의 중첩된 제6 콘택홀(C6)로 형성함으로써, 비발광영역(NEA)에서 콘택홀들의 점유 면적을 줄였다.
- [0134] 예를 들어, 도 4에서는 제3 및 제4 콘택홀(C3, C4)의 간격이 L2이나, 도 7에서는 제6 콘택홀(C6)의 폭인 L4로 감소되어 발광영역(EA)의 면적을 증가시킬 수 있다.
- [0135] 보다 구체적으로, 제1트랜지스터(T1)의 소스전극 영역인 F영역에서 제3 및 제4 콘택홀들(C3, C4)의 배치 방향이 제1 및 제2 게이트 라인(GL1, GL2)과 평행한 방향이므로 게이트 라인 방향으로 콘택홀 영역의 면적이 줄어들기 때문에 비발광영역(NEA)의 면적을 줄일 수 있다.
- [0136] 이와 같이, 본 실시예들에서는 비발광영역(NEA)에 형성되는 콘택홀들의 점유 면적을 줄임으로써, 발광영역의 개구율, 즉, 유기발광 다이오드의 제1전극(211) 면적을 증가시킬 수 있어, 서브픽셀의 개구율과 유기발광 다이오드의 수명을 증가시킬 수 있는 효과가 있다.
- [0137] 도 8a 내지 도 8d는 도 7의 E영역에서의 공정 단면도이다.
- [0138] 도 7과 함께 도 8a를 참조하면, 기관(400) 상에 광차단층(290)과 버퍼층(402)이 적층되고, 상기 버퍼층(402) 상에는 제1 액티브층(404)이 형성된다. E영역과 대응되는 제1 액티브층(404) 영역에는 제1 액티브층(404)과 버퍼

층(402)이 관통하여 형성된 제1홀(Ca)이 형성된다.

- [0139] 또한, 제1 액티브층(404) 상에는 층간절연층(407)이 형성되고, 제1홀(Ca)과 대응되는 층간절연층(407)에는 제2 홀(Cb)이 형성된다. 제1홀(Ca)과 제2홀(Cb)은 서로 중첩되어 제5 콘택홀(C5)을 이룬다.
- [0140] 즉, 본 실시예에서는 유기발광 표시장치의 비발광영역(NEA)에 형성되는 인접한 콘택홀들을 서로 중첩하여 하나의 콘택홀을 형성함으로써, 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시킨 효과가 있다.
- [0141] 도 10에서 보다 구체적으로 설명하겠지만, 제1 액티브층(404)과 버퍼층(402)을 관통하여 형성한 제1홀(Ca)은 멀티톤 마스크 공정을 적용한다.
- [0142] 또한, 층간절연층(407)에 제1홀(Ca)과 중첩되도록 제2홀(Cb)을 형성할 때에는 싱글톤 마스크 공정을 적용함으로써, 멀티톤 마스크 공정에 의해 층간절연층(407)의 두께가 얇아지는 문제를 방지하였다.
- [0143] 제5 콘택홀(C5)이 형성되면, 도 8b에 도시한 바와 같이, 소스 금속층으로 형성되는 드레인전극(270)과 제1 연결부(570)를 형성한다. 제1 연결부(570)는 제5 콘택홀(C5)을 통하여 제1 액티브층(404) 및 광차단층(290)과 전기적으로 연결된다.
- [0144] 그런 다음, 도 8c 및 도 8d에 도시한 바와 같이, 제1 연결부(570)가 형성된 기판(400) 상에 보호층(408)과 오버코트층(420)을 순차적으로 형성한 다음, 마스크 공정을 진행하여 제5 콘택홀(C5) 영역의 제1 연결부(570)를 외부로 노출시킨다.
- [0145] 제1 연결부(570)는 유기발광 다이오드(OLED)의 제1전극(211)으로부터 확장된 형성된 제1전극 확장부(511)와 전기적으로 연결된다. 제1전극 확장부(511)는 제1전극(211)과 일체로 형성되고, 발광영역(EA)에서 비발광영역(NEA)으로 확장 형성된다. 또한, 제1전극 확장부(511)의 일부는 스토리지 커패시터(Cst) 영역에서 커패시터 전극 역할을 한다.
- [0146] 이와 같이, 본 실시예에서는 구동 트랜지스터(DT)의 제1 액티브층(404), 드레인전극(270) 및 제1전극 확장부(511)가 하나의 콘택홀(C5)에서 모두 연결되기 때문에 콘택홀 영역의 점유 면적을 줄일 수 있다.
- [0147] 도 4의 제1노드(N1) 영역에서는 제1 콘택홀(C1)과 제2 콘택홀(C2)이 인접하게 형성되고, 제1 연결부(570)는 각각의 제1 콘택홀(C1)과 제2 콘택홀(C2)을 통하여 제1 액티브층(404) 및 광차단층(290)과 연결되기 때문에 제1 및 제2 콘택홀(C1, C2)과 같이 두 개의 콘택홀들이 필요했다.
- [0148] 하지만, 도 7에서는, 제1노드(N1) 영역에 홀들(제1 액티브층에 형성된 콘택홀과 층간절연층에 형성된 콘택홀)이 서로 중첩되어 하나의 콘택홀(C5)로 형성되기 때문에 콘택홀의 점유 면적을(C5의 폭: L3)을 줄일 수 있다.
- [0149] 이와 같이, 본 실시예에서는 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들의 점유 면적을 줄일 수 있어, 발광영역(EA)의 개구율을 증가시킬 수 있는 효과가 있다.
- [0150] 또한, 유기발광 표시장치의 개구율이 증가되면 유기발광 다이오드의 수명을 증가시킬 수 있고, 잔상 불량을 방지할 수 있다.
- [0151] 도 9a 내지 도 9c는 도 7의 F영역에서의 공정 단면도이다.
- [0152] 도 9a 내지 도 9c에서는 도 7에 도시된 리턴던시(370)은 생략하였다.
- [0153] 도 7과 함께 도 9a를 참조하면, 기판(400) 상에 제2 연결패턴(CP2)과 버퍼층(402)을 적층하고, 버퍼층(402) 상에 제2 액티브층(504)을 형성한다. 제2 연결패턴(CP2)은 각 서브픽셀의 제1트랜지스터(T1)와 기준전압 라인(RVL)을 전기적으로 연결하는 기능을 하며, 광차단층(290)과 동시에 형성된다.
- [0154] 또한, 제2 액티브층(504)을 패터닝할 때, 멀티톤 마스크 공정을 적용하여, F영역(II-II')의 제2 액티브층(504)을 관통하는 제3홀(Cc)을 형성한다. 제3홀(Cc)에 의해 제2 연결패턴(CP2)의 일부가 노출된다.
- [0155] 그런 다음, 본 실시예에서는 제2 액티브층(504) 상에 층간절연층(407)을 형성하고, 제3홀(Cc)과 대응되는 층간절연층(407)에 제4홀(Cd)을 형성한다. 제4홀(Cd)은 싱글톤 마스크 공정을 적용하여 형성한다.
- [0156] 이때, 본 실시예에서는 싱글톤 마스크 공정에 따라 층간절연층(407) 상에 콘택홀(제4홀)을 형성하기 때문에 멀티톤 마스크 공정 적용으로 인하여 발생하는 층간절연층(407) 두께 감소를 방지할 수 있다.
- [0157] 또한, 본 실시예에서는 층간절연층(407)의 두께를 균일하게 유지할 수 있어, 층간절연층(407)의 두께 감소로 인하여 발생하는 단락 불량을 방지할 수 있다.

- [0158] 도 9a에서와 같이, 제2 액티브층(504)과 층간절연층(407)에 각각 형성된 제3홀(Cs)과 제4홀(Cd)이 서로 중첩된 제6 콘택홀(C6)이 형성되면, 도 9b에 도시한 바와 같이, 제6 콘택홀(C6) 영역에 제2 연결부(571)를 형성한다. 제2 연결부(571)는 제6 콘택홀(C6)을 통하여 제2 액티브층(504) 및 제2 연결패턴(CP2)을 전기적으로 연결한다.
- [0159] 제2 연결패턴(CP2)이 기판(400) 상에 형성되면, 도 9c에 도시한 바와 같이, 기판(400) 상에 보호층(408)과 오버코트층(420)을 순차적으로 형성한다.
- [0160] 이와 같이, 본 실시예에서는 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들의 점유 면적을 줄일 수 있어, 발광영역(EA)의 개구율을 증가시킬 수 있는 효과가 있다.
- [0161] 또한, 유기발광 표시장치의 개구율이 증가되면 유기발광 다이오드의 수명을 증가시킬 수 있고, 잔상 불량을 방지할 수 있다.
- [0162] 도 10은 본 실시예들에 따른 유기발광 표시장치의 제조 공정을 도시한 플로차트이다.
- [0163] 도 10을 참조하면, 본 실시예에 따른 유기발광 표시장치의 제조 공정은, 기판 상에 금속막을 증착하고, 마스크 공정을 진행하여 도 7의 광차단층(290)을 형성하는 단계(S1001)와, 광차단층(290)이 형성된 기판 상에 버퍼층을 형성하는 단계(S1002)와, 버퍼층이 형성된 기판 상에 멀티톤 마스크 공정을 적용하여 액티브층, 액티브층에 제1홀을 형성하는 단계(S1003)와, 게이트 절연층 및 게이트 전극을 형성하는 단계(S1004)와, 층간절연층에 싱글톤 마스크 공정을 적용하여 제1홀과 중첩되는 제2홀을 형성함으로써, 층간절연층에 제1홀과 제2홀이 중첩된 콘택홀을 형성하는 단계(S1005)와, 구동 트랜지스터 등을 형성하기 위해 소스/드레인 전극, 데이터 라인을 형성하는 단계(S1006)와, 구동 트랜지스터가 형성된 기판 상에 보호층 및 오버코트층을 형성하고 콘택홀을 형성하는 단계(S1007)와, 오버코트층 상에 유기발광 다이오드를 형성하는 단계(S1008)를 포함할 수 있다.
- [0164] 이와 같이, 본 실시예에 따른 유기발광 표시장치 제조방법은, 구동 트랜지스터, 제1 및 제2 트랜지스터들의 액티브층을 형성할 때, 멀티톤 마스크 공정을 적용하여 콘택홀을 형성하고, 액티브층 상에 형성되는 층간절연층에 콘택홀을 형성할 때 싱글톤 마스크 공정을 적용함으로써, 단락 불량을 방지한 효과가 있다.
- [0165] 또한, 본 실시예에 따른 유기발광 표시장치는, 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 중첩시킴으로써 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시켜 유기발광 다이오드의 수명 저하 및 잔상 불량을 방지한 효과가 있다.
- [0166] 도 11a 및 도 11b는 도 4의 C영역과 도 7의 G영역을 비교한 도면이다.
- [0167] 도 11a는 멀티톤 마스크 공정을 적용하여 층간절연층에 콘택홀을 형성하는 것이고, 도 11b는 싱글톤 마스크 공정을 적용하여 층간절연층에 콘택홀을 형성하는 도면이다.
- [0168] 먼저, 도 11a는 도 4의 C영역의 단면도로써, 기판(400) 상에 버퍼층(402)이 배치되고, 버퍼층(402) 상에 게이트 절연층(GI)과 게이트 금속층(GL)으로 구성된 제2 게이트 라인(GL2)이 배치된다.
- [0169] 제2 게이트 라인(GL2) 상에는 층간절연층(407)이 배치되고, 층간절연층(407) 상에는 제2 게이트 라인(GL2)과 교차하는 제1 연결부(570)가 배치된다.
- [0170] 도 5에서 설명한 바와 같이, 층간절연층(407)이 형성되면 이후 층간절연층(407) 상에 소스 금속층을 형성한 다음, 층간절연층(407) 하부에 존재하는 액티브층, 게이트 전극 등과 전기적으로 연결하기 한 콘택홀을 형성한다.
- [0171] 이때, 도 4와 도 5에서는 멀티톤 마스크 공정에 따라 층간절연층(407) 상에 콘택홀을 형성하는데, 멀티톤 마스크 공정은 습식각 공정, 애싱(Ashing) 공정 및 건식각 공정으로 이루어져 공정 중 층간절연층(407)의 두께가 감소하는 문제가 발생한다.
- [0172] 특히, 멀티톤 마스크 공정에서는 패터닝된 감광막을 애싱하는 공정이 추가되는데, 이때 도 11a에 도시한 바와 같이, 제2 게이트 라인(GL2) 상의 층간절연층(407)의 두께(T1)가 버퍼층(402) 상의 층간절연층(407)의 두께(T2)보다 얇아진다.
- [0173] 이로 인하여, 층간절연층(407) 상에 배치된 제1 연결부(570)와 층간절연층(407) 하부에 배치된 제2 게이트 라인(GL2) 사이에 단락 불량이 발생된다. 이러한 단락 불량은 층간절연층(407)을 사이에 두고 상하부에 서로 중첩되도록 배치되는 금속패턴들에 공통적으로 발생하는 문제이다.
- [0174] 도 11b는 도 7의 G영역의 단면도로써, 도 10에서 설명한 바와 같이, 버퍼층 상에 액티브층을 형성할 때, 멀티톤 마스크 공정을 진행하고, 액티브층 상에 형성된 층간절연층(407)에 콘택홀을 형성할 때에는 싱글톤 마스크를 사

용함으로써, 공정 중 층간절연층(407)의 두께가 감소하는 것을 방지하였다.

[0175] 도 11b에 도시된 바와 같이, 싱글톤 마스크 공정에는 애싱 공정이 없기 때문에 제2 게이트 라인(GL2)과 대응되는 층간절연층(407)의 두께(T3)와 버퍼층(402)과 상에 형성된 층간절연층(407)의 두께(T3)가 동일하다.

[0176] 이와 같이, 본 실시예들에 따른 유기발광 표시장치 및 그 제조방법은, 트랜지스터들의 액티브층 형성시 멀티톤 마스크 공정을 적용하고, 층간절연층에 콘택홀 형성시 싱글톤 마스크 공정을 적용함으로써, 층간절연층의 두께 감소 및 단락 불량을 방지한 효과가 있다.

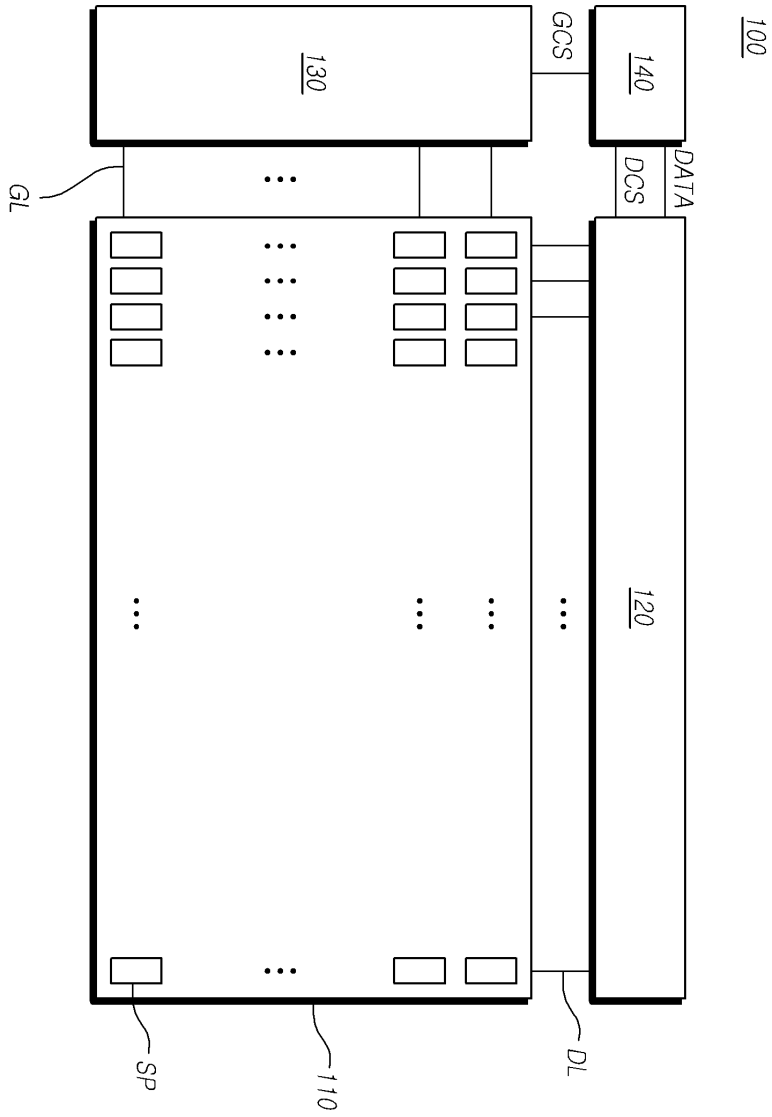
[0177] 또한, 본 실시예들에 따른 유기발광 표시장치 및 그 제조방법은, 각 서브픽셀의 비발광영역(NEA)에 형성되는 콘택홀들을 중첩시킴으로써 비발광영역(NEA)의 면적을 줄이고 발광영역(EA)의 면적을 증가시켜 유기발광 다이오드의 수명 저하 및 잔상 불량을 방지한 효과가 있다.

[0178] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

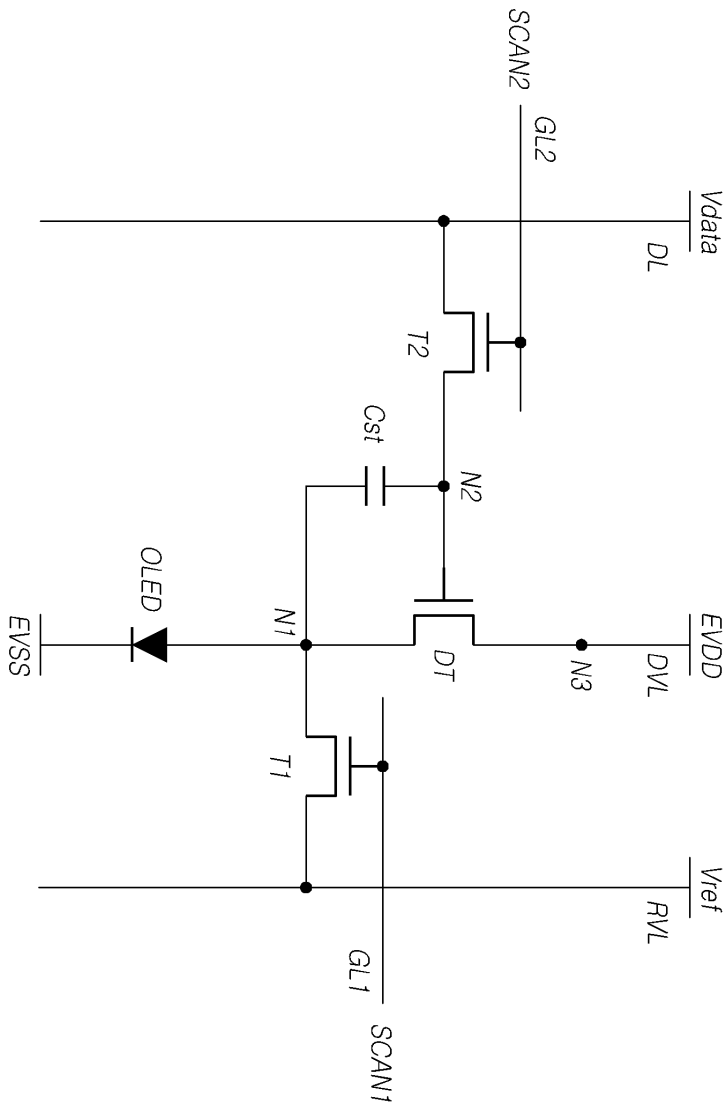
부호의 설명

- [0179] 100: 유기발광 표시장치
- 110: 표시패널
- 120: 소스 드라이버
- 130: 스캔 드라이버
- 140: 컨트롤러
- 404: 제1 액티브층
- 504: 제2 액티브층
- 570: 제1 연결부
- 670: 제2 연결부

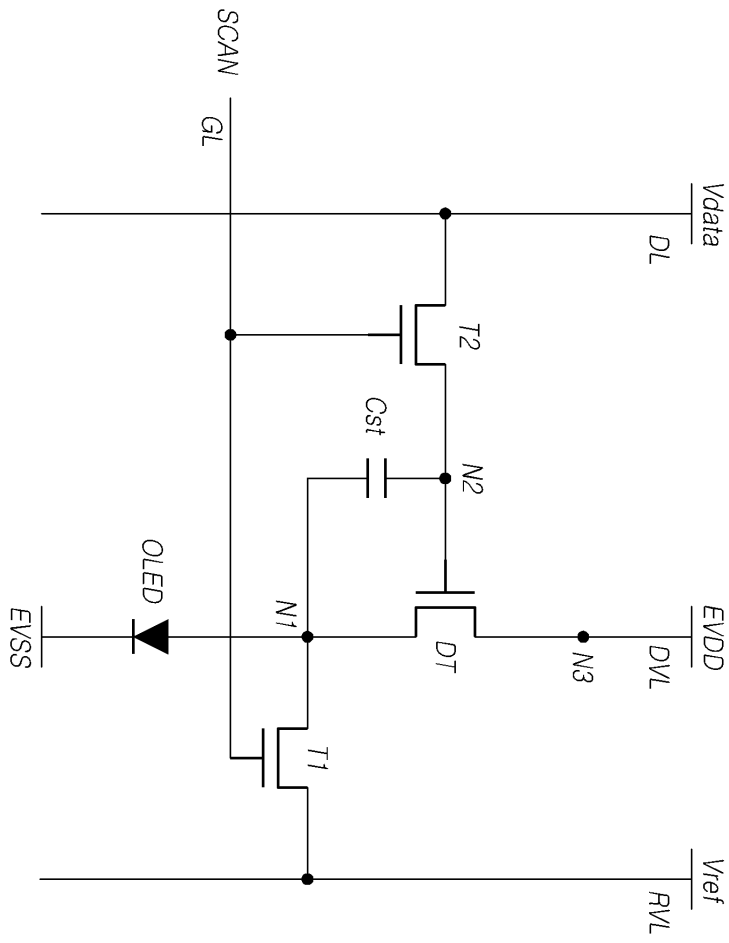
도면
도면1



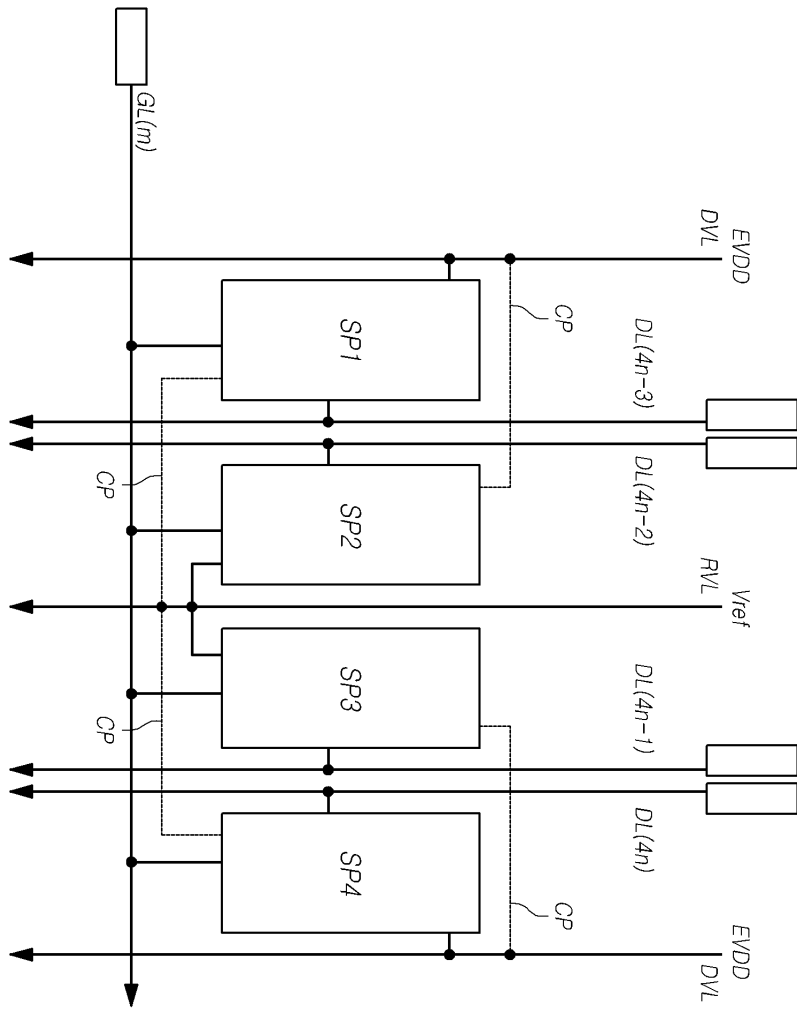
도면2a



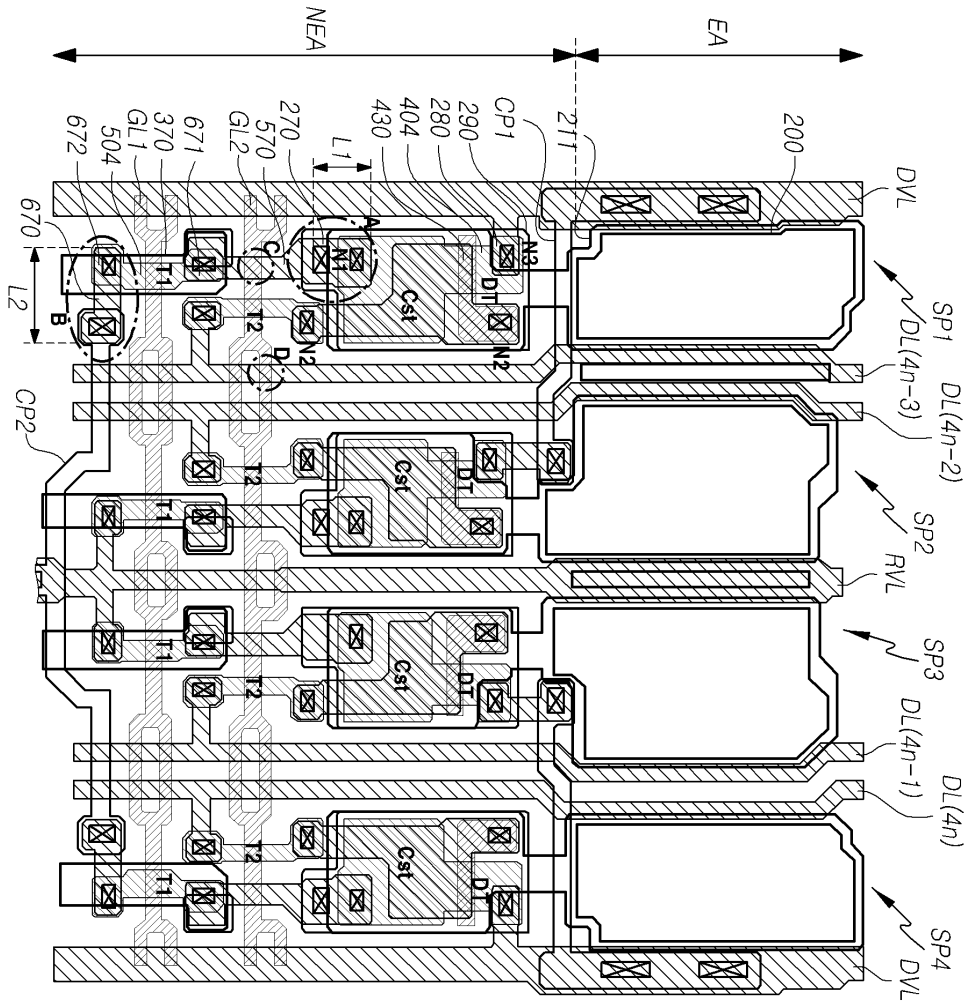
도면2b



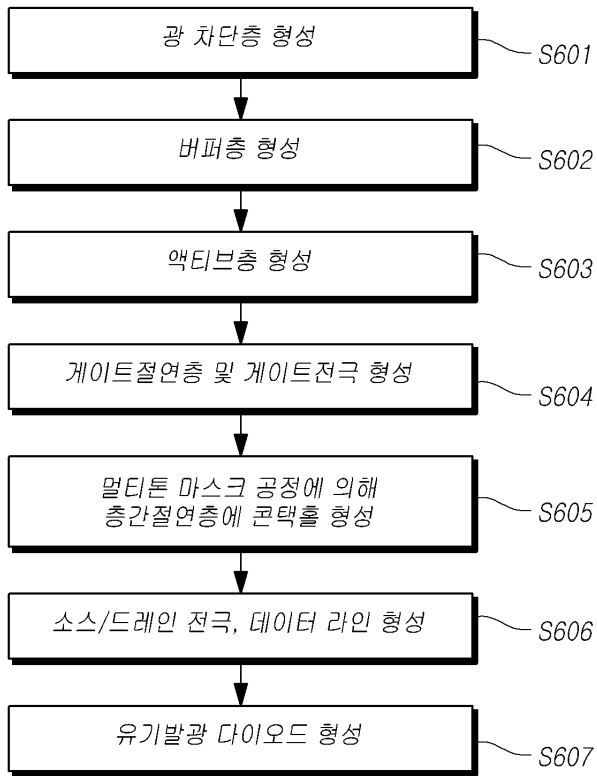
도면3



도면4

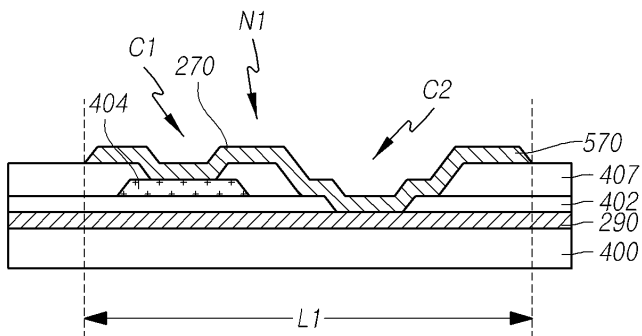


도면5



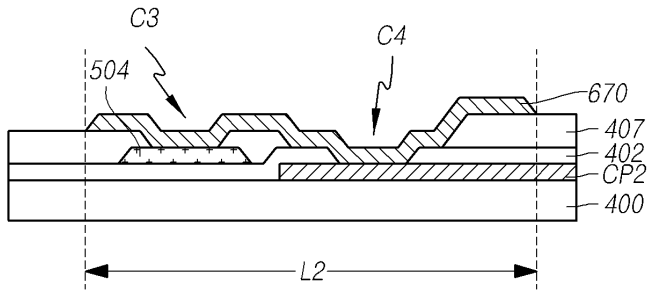
도면6a

A

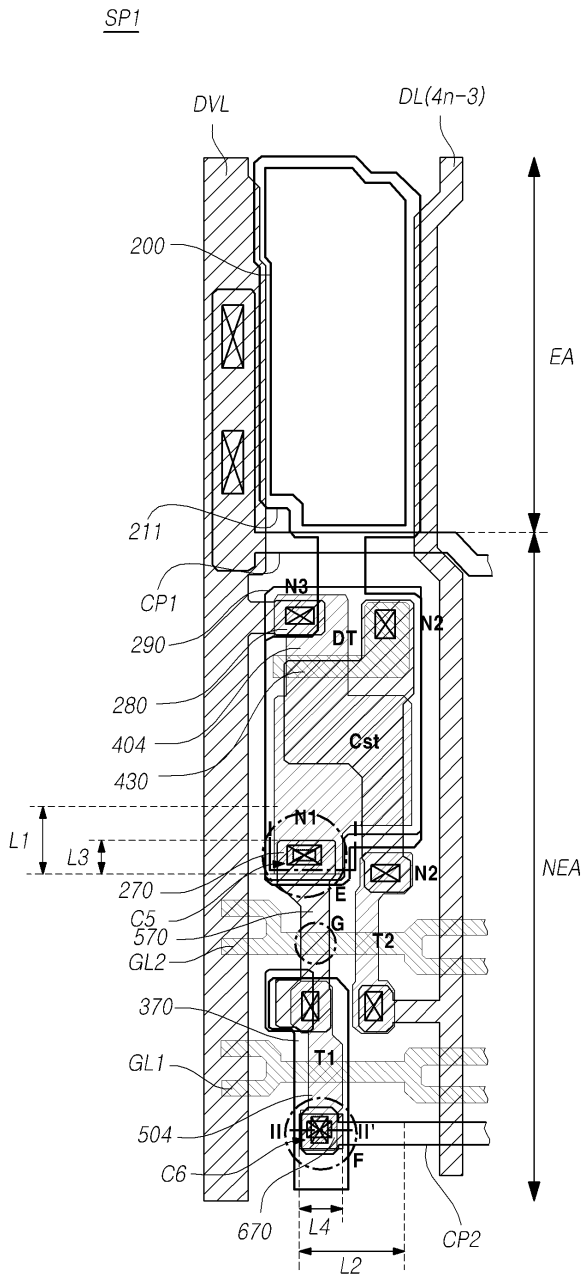


도면6b

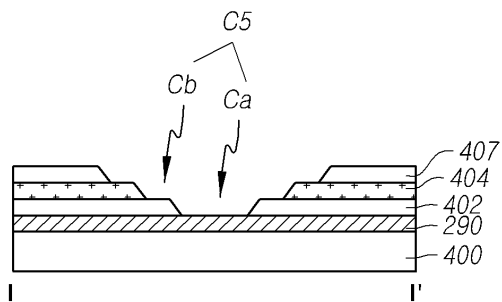
B



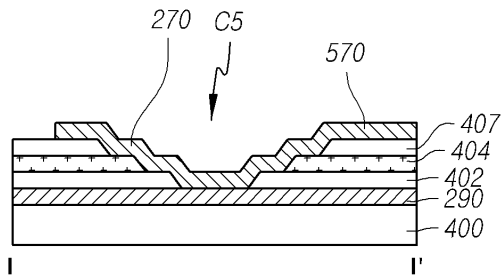
도면7



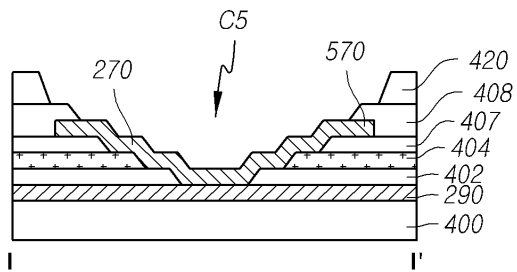
도면8a



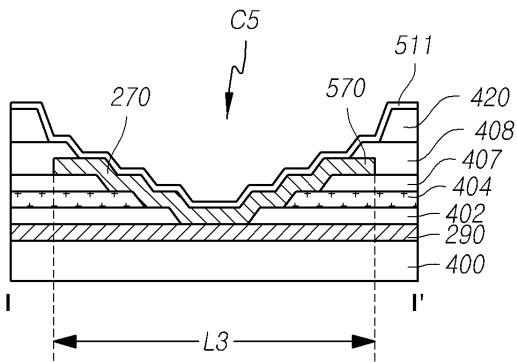
도면8b



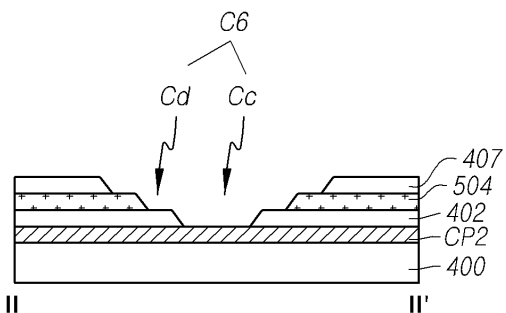
도면8c



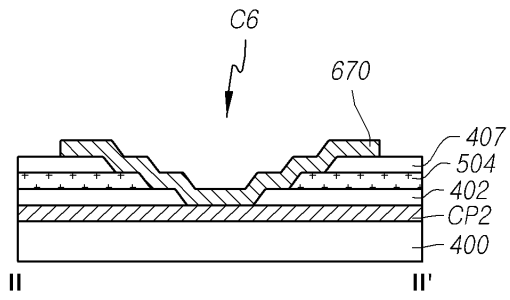
도면8d



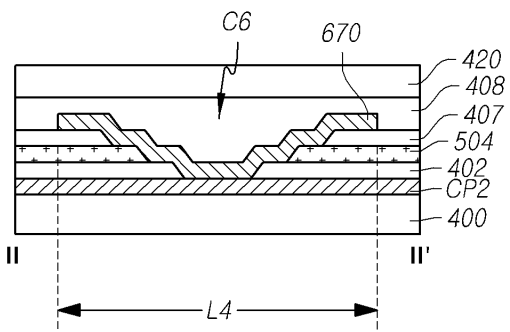
도면9a



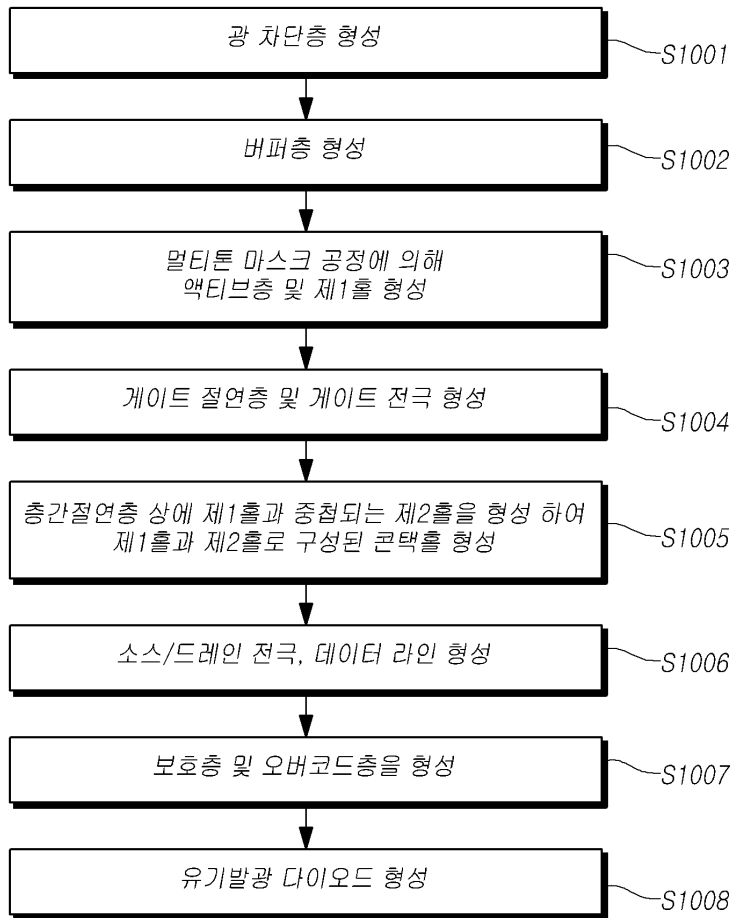
도면9b



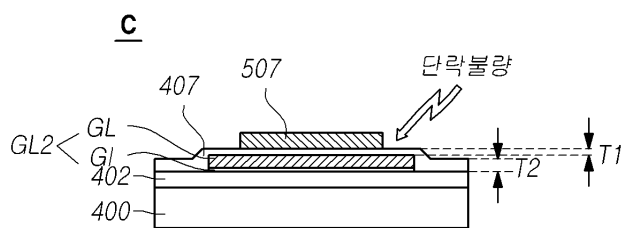
도면9c



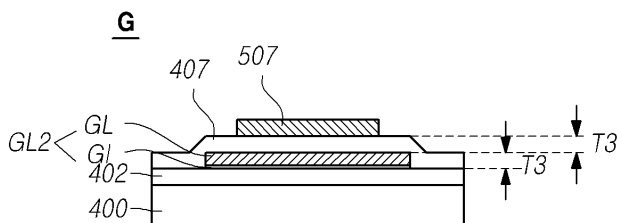
도면10



도면11a



도면11b



专利名称(译)	显示面板，有机发光二极管显示器和制造方法		
公开(公告)号	KR1020180025718A	公开(公告)日	2018-03-09
申请号	KR1020160112769	申请日	2016-09-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG IM KUK 강임국		
发明人	강임국		
IPC分类号	H01L27/32 H01L27/12 H01L51/56		
CPC分类号	H01L27/3272 H01L27/3262 H01L27/3276 H01L27/3258 H01L27/3248 H01L51/56 H01L27/1288		
外部链接	Espacenet		

摘要(译)

该实施例包括其中分隔有多个子像素区域的基板，设置在子像素的发光区域中的有机发光二极管，设置在子像素的非发光区域中的光阻挡层和晶体管，连接到电极的节点区域可以包括穿过晶体管的有源层形成的第一孔和形成在有源层上的层间绝缘层中的第二孔，以便与第一孔重叠，。本实施例通过重叠形成在每个子像素的非发光区域NEA中的接触孔来减小非发光区域NEA的面积，增加发光区域EA的面积，具有防止残留图像缺陷的效果。

