



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003302  
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 27/12 (2006.01)  
H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/1251 (2013.01)  
(21) 출원번호 10-2016-0082946  
(22) 출원일자 2016년06월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
오금미  
서울특별시 서대문구 세무서2가길 47 (홍제동)  
양선영  
경기도 부천시 원미구 상동로 57, 2411동 1201호  
(상동, 행복한마을 서해그랑블)  
윤민성  
경기도 남양주시 경춘로1256번길 24, 1413동 100  
2호(평내동, 평내마을금호어울림아파트)  
(74) 대리인  
박영복

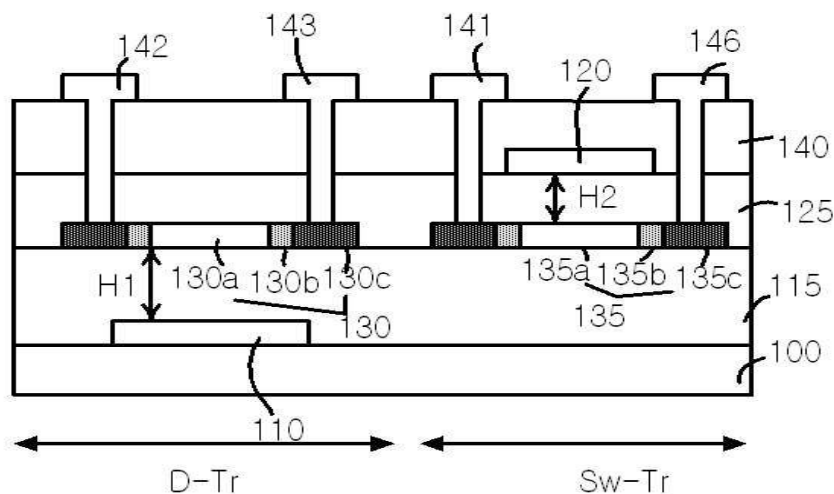
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 백플레인 기판과 이의 제조 방법 및 이를 적용한 유기 발광 표시 장치

### (57) 요약

본 발명은 초고해상도를 갖는 구조에서 작아진 픽셀에서도 풍부한 계조 표현이 가능한 회로 특성을 얻고자 하는 백플레인 기판, 이의 제조 방법 및 이를 적용한 유기 발광 표시 장치에 관한 것으로, 구동 박막 트랜지스터와 그 외 박막 트랜지스터의 스택 구조를 달리하여, 상대적으로 구동 박막 트랜지스터의 S-Factor만을 향상시킨다.

대표도 - 도5



(52) CPC특허분류

*H01L 29/78603* (2013.01)

*H01L 29/78606* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수개의 서브 픽셀을 갖는 기판;

상기 각 서브 픽셀에 위치하며, 제 1 게이트 전극, 폴리 실리콘의 제 1 액티브층과, 상기 제 1 액티브층의 제 1 채널 양측에 접속된 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 1 액티브층과 상기 제 1 게이트 전극의 층간에 제 1 게이트 절연막을 포함한 구동 박막 트랜지스터; 및

상기 각 서브 픽셀에 상기 구동 박막 트랜지스터와 연결되어 위치하며, 제 2 게이트 전극, 폴리 실리콘의 제 2 액티브층과, 상기 제 2 액티브층의 제 2 채널 양단에 접속된 제 2 소오스 전극 및 제 2 드레인 전극과, 상기 제 2 액티브층과 상기 제 2 게이트 전극의 층간에 제 2 게이트 절연막을 포함한 스위칭 박막 트랜지스터를 포함하며,

상기 제 1 액티브층과 제 2 액티브층은 동일층에 위치하며,

상기 제 1 게이트 전극과 제 2 게이트 전극은 서로 다른 층에 있으며,

상기 제 1 게이트 전극과 상기 제 1 액티브층간의 제 1 거리가 상기 제 2 게이트 전극과 상기 제 2 액티브층간의 제 2 거리보다 긴 백플레인 기판.

#### 청구항 2

제 1항에 있어서,

상기 제 1 게이트 절연막이 상기 제 2 게이트 절연막보다 두꺼운 백플레인 기판.

#### 청구항 3

제 1항에 있어서,

상기 제 1 게이트 전극 및 제 1 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 하측에 위치하며,

상기 제 2 게이트 전극 및 제 2 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 상측에 위치한 백플레인 기판.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 게이트 전극은 상기 제 2 게이트 전극보다 얇은 백플레인 기판.

#### 청구항 5

제 4 항에 있어서,

상기 제 1 게이트 전극은 500Å 내지 2000Å인 백플레인 기판.

#### 청구항 6

제 1항에 있어서,

상기 스위칭 박막 트랜지스터의 제 2 게이트 전극, 제 2 소오스 전극 및 제 2 드레인 전극과 각각 동일층에 위치하는, 제 3 게이트 전극, 제 3 소오스 전극 및 제 3 드레인 전극을 갖는 버퍼 박막 트랜지스터를 더 포함한 백플레인 기판.

#### 청구항 7

제 1항에 있어서,

상기 제 1 게이트 전극은 상기 제 2 소오스 전극과 접속된 백플레인 기판.

#### 청구항 8

제 6항에 있어서,

상기 제 1 소오스 전극은 상기 제 3 소오스 전극과 접속된 백플레인 기판.

#### 청구항 9

제 1항에 있어서,

상기 제 2 게이트 전극 및 제 2 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 하측에 위치하며,

상기 제 1 게이트 전극 및 제 1 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 상측에 위치한 백플레인 기판.

#### 청구항 10

제 9 항에 있어서,

상기 제 2 게이트 전극이 제 1 게이트 전극보다 얇으며, 상기 제 2 게이트 전극은 500Å 내지 2000 Å의 두께인 백플레인 기판.

#### 청구항 11

제 1항에 있어서,

상기 기판은 복수개의 서브 픽셀을 갖는 액티브 영역과 외곽 영역으로 구분되며, 상기 외곽 영역에 상기 스위칭 박막 트랜지스터와 동일 구조의 회로용 박막 트랜지스터를 더 포함한 백플레인 기판.

#### 청구항 12

제 1항에 있어서,

상기 구동 박막 트랜지스터의 S-factor는 0.2 V/dec이상이며, 상기 스위칭 박막 트랜지스터의 S-factor는 0.2 V/dec 미만인 백플레인 기판.

#### 청구항 13

복수개의 서브 픽셀을 갖는 기판;

상기 각 서브 픽셀에 위치하며, 제 1 게이트 전극, 상기 제 1 게이트 전극 상측의 폴리 실리콘의 제 1 액티브층과, 상기 제 1 액티브층의 제 1 채널 양측에 접속된 제 1 소오스 전극 및 제 1 드레인 전극과 상기 제 1 액티브층과 상기 제 1 게이트 전극 사이의 층간에 제 1 게이트 절연막을 포함한 구동 박막 트랜지스터; 및

상기 각 서브 픽셀에 상기 구동 박막 트랜지스터와 연결되어 위치하며, 제 2 게이트 전극, 상기 제 2 게이트 전극 하측의 폴리 실리콘의 제 2 액티브층과, 상기 제 2 액티브층의 제 2 채널 양측에 접속된 제 2 소오스 전극 및 제 2 드레인 전극과, 상기 제 2 액티브층과 상기 제 2 게이트 전극 사이의 층간에 제 2 게이트 절연막을 포함한 스위칭 박막 트랜지스터를 포함하며,

상기 제 1 액티브층과 제 2 액티브층은 동일층에 위치하며,

상기 제 1 게이트 전극과 상기 제 1 액티브층간의 제 1 거리가 상기 제 2 게이트 전극과 상기 제 2 액티브층간의 제 2 거리보다 긴 백플레인 기판.

#### 청구항 14

복수개의 서브 픽셀을 포함하며, 각 서브 픽셀에 서로 구분되는 제 1 영역 및 제 2 영역을 갖는 기판을 준비하는 단계;

상기 각 서브 픽셀의 제 1 영역에 제 1 게이트 전극을 구비하는 단계;

상기 제 1 게이트 전극을 덮으며, 제 1 두께로 제 1 게이트 절연막을 구비하는 단계;

상기 제 1 게이트 절연막 상에, 상기 제 1 영역과 제 2 영역에 각각 폴리 실리콘으로 이루어진 제 1 액티브층 및 제 2 액티브층을 구비하는 단계;

상기 제 1, 제 2 액티브층을 덮으며, 상기 제 1 두께보다 얇은 제 2 두께로 제 2 게이트 절연막을 구비하는 단계;

상기 제 2 게이트 절연막 상에 상기 제 2 액티브층 상부에 대응하여 제 2 게이트 전극을 구비하는 단계;

상기 제 1 액티브층의 양측과 접속되는 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 2 액티브층의 양측과 접속되는 제 2 소오스 전극 및 제 2 드레인 전극을 구비하는 단계를 포함하는 백플레인 기판의 제조 방법.

## 청구항 15

제 14항에 있어서,

상기 제 1 액티브층 및 제 2 액티브층을 구비하는 단계는,

상기 제 1 게이트 절연막 상에 전면 비정질 실리콘층을 증착하는 제 1 단계;

상기 비정질 실리콘층을 결정화하여 폴리 실리콘층화 하는 제 2 단계; 및

상기 폴리 실리콘층을 선택적으로 제거하여 제 1 영역과 제 2 영역에 제 1 액티브층 및 제 2 액티브층을 남기는 제 3 단계를 포함하는 백플레인 기판의 제조 방법.

## 청구항 16

제 1항 내지 제 13항 중 어느 한 항의 백플레인 기판;

상기 제 1 게이트 전극과 상기 제 1 소오스 전극 사이의 스토리지 캐패시터; 및

상기 제 1 소오스 전극과 접속된 애노드, 상기 애노드와 대향된 캐소드 및 상기 애노드와 캐소드 사이에 위치하는 유기 발광층을 포함하는 유기층을 갖는 유기 발광 다이오드를 포함하여 이루어진 유기 발광 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 백플레인 기판에 관한 것으로, 특히 초고해상도를 갖는 구조에서 작아진 픽셀에서도 고계조 표현이 가능한 백플레인 기판, 이의 제조 방법 및 이를 적용한 유기 발광 표시 장치에 관한 것이다.

### 배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 표시 장치(Plasma Display Panel device), 전계 방출 표시 장치(Field Emission Display Device), 유기 또는 무기 발광 표시 장치(Organic or Inorganic Light Emitting Diode Display Device) 등이 연구되고 있다. 이러한 평판 표시 장치 중에서 특히 유기 발광 표시 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 대화면 구현 및 연성화의 장점으로 적용 분야가 확대되고 있다.

[0004] 또한, 이러한 평판 표시 장치는 복수개의 픽셀을 매트릭스상으로 구비하며, 각 픽셀을 개별적으로 제어할 수 있는 TFT(Thin Film Transistor: 박막 트랜지스터)를 픽셀 내에 하나 이상 구비한다. 그리고, 각 픽셀은 색 표현을 위한 R-서브 픽셀, G-서브 픽셀, 및 B-서브 픽셀을 포함할 수 있다.

[0005] 그런데, 점차 증강 현실이나 가상 현실과 같이 고해상도를 요구되는 표시 장치에 있어서, 한정된 표시 장치의 크기 내에 고해상도를 갖기 때문에 개별 픽셀의 크기가 점차 작아지게 된다. 또한, 유기 발광 표시 장치와 같이, 발광 소자를 개별 서브 픽셀에 직접 갖는 표시 장치에 있어서는, 개별 서브 픽셀의 선택적인 계조 표현을

위해서 작아진 개별 서브 픽셀 내에 최소 2T1C (2 transistors and 1 capacitor)의 회로 소자를 포함시켜야 하며 이 경우 각 박막 트랜지스터는 동일 구조를 갖는다. 그런데, 개별 서브 픽셀의 면적이 작아, 각 박막 트랜지스터의 이동도 등의 소자 특성은 향상되나 구동 박막 트랜지스터로서는 게이트 전압 인가시 단시간에 포화 특성을 갖게 되어, 다양하고 충분한 계조 표현이 어려운 실정이다.

[0006] 즉, 고해상도로 가며 서브 픽셀의 크기가 줄어들며, 한정된 서브 픽셀 면적 내에 각 서브 픽셀 구동을 위한 회로 구성을 모두 포함시킨다. 이 경우, 동일 스택 구조로 구동 박막 트랜지스터와 그 외 박막 트랜지스터를 구비시, 박막 트랜지스터의 반응 속도는 빠르나, 충분한 계조 표현이 어렵다는 문제가 있다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 초고해상도를 갖는 구조에서 작아진 픽셀에서도 고계조 표현이 가능한 백플레인 기관 및 이를 적용한 유기 발광 표시 장치를 제공하는 데, 그 목적이 있다.

### 과제의 해결 수단

[0008] 본 발명의 백플레인 기관은 구동 박막 트랜지스터와 스위칭 박막 트랜지스터간의 구조를 달리하여, 구동 박막 트랜지스터에서는 충분히 S-Factor를 확보하여 고계조 표현을 가능하게 하고, 스위칭 박막 트랜지스터 및 기타 박막 트랜지스터는 고이동도의 회로 특성을 유지시켜 고계조 표현 및 일정 수준 이상의 소자 특성을 동시에 얻을 수 있다.

[0009] 이를 위한 본 발명의 일 실시예에 따른 백플레인 기관은, 복수개의 서브 픽셀을 갖는 기관과, 상기 각 서브 픽셀에 위치하며, 제 1 게이트 전극, 폴리 실리콘의 제 1 액티브층과, 상기 제 1 액티브층의 양단에 접속된 제 1 소오스 전극 및 제 1 드레인 전극과 상기 제 1 액티브층과 상기 제 1 게이트 전극 사이의 층간에 제 1 게이트 절연막을 포함한 구동 박막 트랜지스터 및 상기 각 서브 픽셀에 상기 제 1 박막 트랜지스터와 연결되어 위치하며, 제 2 게이트 전극, 폴리 실리콘의 제 2 액티브층과, 상기 제 2 액티브층의 양단에 접속된 제 2 소오스 전극 및 제 2 드레인 전극과, 상기 제 2 액티브층과 상기 제 2 게이트 전극 사이의 층간에 제 2 게이트 절연막을 포함한 스위칭 박막 트랜지스터를 포함하며, 상기 제 1 게이트 전극과 제 2 게이트 전극은 서로 다른 층에 있으며, 상기 제 1 게이트 전극과 상기 제 1 액티브층간의 제 1 거리가 상기 제 2 게이트 전극과 상기 제 2 액티브층간의 제 2 거리보다 길다.

[0010] 또한, 상기 제 1 게이트 절연막이 상기 제 2 게이트 절연막보다 두꺼울 수 있다.

[0011] 또한, 이러한 구성을 위해 일례로, 상기 제 1 게이트 전극 및 제 1 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 하측에 위치하며, 상기 제 2 게이트 전극 및 제 2 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 상측에 위치할 수 있다.

[0012] 이 경우, 상기 제 1 게이트 전극은 상기 제 2 게이트 전극보다 얇으며, 500Å 내지 2000 Å의 두께일 수 있다.

[0013] 상기 제 2 박막 트랜지스터의 제 2 게이트 전극, 제 2 소오스 전극 및 제 2 드레인 전극과 각각 동일층에 위치하는, 제 3 게이트 전극, 제 3 소오스 전극 및 제 3 드레인 전극을 갖는 제 3 박막 트랜지스터를 더 포함할 수 있다.

[0014] 한편, 상기 제 1 게이트 전극은 상기 제 2 소오스 전극과 접속될 수 있다.

[0015] 또한, 상기 제 1 소오스 전극은 상기 제 3 소오스 전극과 접속될 수 있다.

[0016] 또 다른 실시예로, 상기 제 2 게이트 전극 및 제 2 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 하측에 위치하며, 상기 제 1 게이트 전극 및 제 1 게이트 절연막은 상기 제 1 액티브층 및 제 2 액티브층의 상측에 위치할 수 있다. 이 경우, 상기 제 2 게이트 전극이 제 1 게이트 전극보다 얇으며, 상기 제 2 게이트 전극은 500Å 내지 2000 Å의 두께일 수 있다.

[0017] 또한, 상기 기관은 복수개의 서브 픽셀을 갖는 액티브 영역과 외곽 영역으로 구분되며, 상기 외곽 영역에 상기 스위칭 박막 트랜지스터와 동일 구조의 회로용 박막 트랜지스터를 더 포함할 수 있다.

[0018] 그리고, 제 1 소오스 전극은 유기 발광 다이오드의 애노드 전극과 접속될 수 있다.

[0019] 또한, 동일한 목적을 달성하기 위한 본 발명의 유기 발광 표시 장치는 복수개의 서브 픽셀을 갖는 기관과, 상기

각 서브 픽셀에 위치하며, 제 1 게이트 전극, 상기 제 1 게이트 전극 상측의 폴리 실리콘의 제 1 액티브층과, 상기 제 1 액티브층의 양단에 접속된 제 1 소오스 전극 및 제 1 드레인 전극과 상기 제 1 액티브층과 상기 제 1 게이트 전극 사이의 층간에 제 1 게이트 절연막을 포함한 구동 박막 트랜지스터와, 상기 각 서브 픽셀에 상기 제 1 박막 트랜지스터와 연결되어 위치하며, 제 2 게이트 전극, 상기 제 2 게이트 전극 하측의 폴리 실리콘의 제 2 액티브층과, 상기 제 2 액티브층의 양단에 접속된 제 2 소오스 전극 및 제 2 드레인 전극과, 상기 제 2 액티브층과 상기 제 2 게이트 전극 사이의 층간에 제 2 게이트 절연막을 포함한 스위칭 박막 트랜지스터와, 상기 제 1 게이트 전극과 상기 제 1 소오스 전극 사이의 스토리지 캐패시터 및 상기 제 1 소오스 전극과 접속된 애노드 전극, 상기 애노드 전극 대향된 캐소드 전극 및 상기 애노드 전극과 캐소드 전극 사이에 위치하는 유기 발광층을 포함한 유기층을 포함한 유기 발광 다이오드를 포함하며, 상기 제 1 액티브층과 제 2 액티브층은 동일층에 위치하며, 상기 제 1 게이트 절연막이 상기 제 2 게이트 절연막보다 두꺼울 수 있다.

[0020] 또한, 동일한 목적을 달성하기 위해, 본 발명의 백플레인 기관의 제조 방법은, 복수개의 서브 픽셀을 포함하며, 각 서브 픽셀에 서로 구분되는 제 1 영역 및 제 2 영역을 갖는 기관을 준비하는 단계와, 상기 각 서브 픽셀의 제 1 영역에 제 1 게이트 전극을 구비하는 단계와, 상기 제 1 게이트 전극을 덮으며, 제 1 두께로 제 1 게이트 절연막을 구비하는 단계와, 상기 제 1 게이트 절연막 상에, 상기 제 1 영역과 제 2 영역에 각각 폴리 실리콘으로 이루어진 제 1 액티브층 및 제 2 액티브층을 구비하는 단계와, 상기 제 1, 제 2 액티브층을 덮으며, 상기 제 1 두께보다 얇은 제 2 두께로 제 2 게이트 절연막을 구비하는 단계와, 상기 제 2 게이트 절연막 상에 상기 제 2 액티브층 상부에 대응하여 제 2 게이트 전극을 구비하는 단계와, 상기 제 1 액티브층의 양측과 접속되는 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 2 액티브층의 양측과 접속되는 제 2 소오스 전극 및 제 2 드레인 전극을 구비하는 단계를 포함할 수 있다.

[0021] 또한, 상기 제 1 액티브층 및 제 2 액티브층을 구비하는 단계는, 상기 제 1 게이트 절연막 상에 전면 비정질 실리콘층을 증착하는 제 1 단계와, 상기 비정질 실리콘층을 결정화하여 폴리 실리콘층화 하는 제 2 단계 및 상기 폴리 실리콘층을 선택적으로 제거하여 제 1 영역과 제 2 영역에 제 1 액티브층 및 제 2 액티브층을 남기는 제 3 단계를 포함할 수 있다.

### 발명의 효과

[0022] 본 발명의 백플레인 기관 및 이를 이용한 유기 발광 표시 장치는, 다음과 같은 효과가 있다.

[0023] 본 발명의 백플레인 기관 및 유기 발광 표시 장치에 있어서는, 계조 표현에 직접적으로 영향을 주는 구동 박막 트랜지스터의 S-Factor를 크게 하도록 하여, 충분한 계조 표현을 수행할 수 있다.

[0024] 또한, 구동 박막 트랜지스터 외의 스위칭 박막 트랜지스터 등 기타 박막 트랜지스터의 구성은 구동 박막 트랜지스터와 스택 구성을 달리하여, 충분한 이동도 및 높은 반응 속도를 갖도록 하여, 고해상도 혹은 초고해상도 구조에서, 충분한 계조 표현과 고성능의 회로 동작을 모두 가능하게 할 수 있다.

### 도면의 간단한 설명

[0025] 도 1은 본 발명의 유기 발광 표시 장치의 평면도

도 2는 본 발명의 유기 발광 표시 장치의 일 서브 픽셀의 회로도

도 3a 및 도 3b는 동일 스택의 구동 박막 트랜지스터와 스위칭 박막 트랜지스터에서, 서브 픽셀의 면적을 달리 할 때  $V_g$ - $I_d$  특성을 나타낸 그래프

도 4a 및 도 4b는  $\Delta V_{gs}$  에 따른 S-factor 변화를 나타낸 그래프

도 5는 본 발명의 제 1 실시예에 따른 백플레인 기관의 개략 단면도

도 6은 본 발명의 제 1 실시예의 변형예에 따른 단면도

도 7은 본 발명의 제 1 실시예의 확장예에 따른 단면도

도 8은 본 발명의 제 2 실시예에 따른 백플레인 기관의 개략 단면도

도 9는 본 발명의 제 1 실시예에 따른 백플레인 기관을 적용한 유기 발광 표시 장치의 일 형태를 나타낸 단면도

### 발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 부품 명칭과 상이할 수 있다.
- [0027] 한편, 이하에서 설명하는 용어 중 백플레인 기판은 각 서브픽셀별로 박막 트랜지스터가 형성된 기판을 의미한다. 백플레인 기판은 여러 종류의 표시 장치에 이용될 수 있으며, 각 서브픽셀을 선택적으로 구동할 수 있도록 기능하다. 본 발명에서는 표시 장치의 일례로 유기 발광 표시 장치를 들고 있지만, 본 발명의 백플레인 기판은 유기 발광 표시 장치에 한하지 않고, 서브픽셀 별 2개 이상의 박막 트랜지스터가 요구되는 다양한 표시 장치에 적용될 수 있다. 백플레인 기판의 각 서브 픽셀의 구동 박막 트랜지스터와 유기 발광 다이오드(OLED)가 연결되어 유기 발광 표시 장치를 이룬다.
- [0028] 도 1은 본 발명의 유기 발광 표시 장치의 평면도이며, 도 2는 본 발명의 유기 발광 표시 장치의 일 서브 픽셀의 회로도이다.
- [0029] 본 발명의 유기 발광 표시 장치는 도 1과 같이, 기판(100)의 중앙에 액티브 영역(AA)을 갖고, 상기 액티브 영역(AA) 내에 복수개의 서브픽셀을 매트릭스 상으로 가지며, 액티브 영역의 주변에 게이트 드라이버(280a, 280b) 및 드라이버 IC(200)를 갖는다. 그리고, 드라이버 IC(200)와 상기 게이트 드라이버(280a, 280b)의 사이는 내부 연결 배선(132)이 구비되어 서로 연결된다.
- [0030] 또한, 상기 액티브 영역(AA)의 각 서브 픽셀(SP)은, 도 2과 같이, 수평 방향으로 평행한 스캔 라인(SL)과 센싱 라인(SSL)과, 상기 스캔 라인(SL) 및 센싱 라인(SSL)에 교차하며 서로 평행한 제 1 전압 라인(VDL), 데이터 라인(DL) 및 제 2 전압 라인(RL)의 배선을 갖고, 상기 스캔 라인(SL)과 데이터 라인(DL)의 교차부에 스위칭 박막 트랜지스터(Sw-Tr)와, 상기 스위칭 박막 트랜지스터(Sw-Tr)와 상기 제 1 전압 라인(VDL)의 사이에 구비된 구동 박막 트랜지스터(D-Tr) 및 상기 센싱 라인(SSL)과 상기 제 2 전압 라인(RL)의 교차부에 센싱 박막 트랜지스터(Ref-Tr)를 구비한다.
- [0031] 여기서, 상기 스위칭 박막 트랜지스터(Sw-Tr)와 구동 박막 트랜지스터(D-Tr)의 연결 노드를 제 1 노드(A)라 하며, 구동 박막 트랜지스터(D-Tr)와 센싱 박막 트랜지스터(Ref-Tr)의 연결 노드를 제 2 노드(B)라 한다.
- [0032] 상기 제 1, 제 2 노드(A, B) 사이에는 각 서브 픽셀의 홀딩 특성을 위해 스토리지 캐패시터(Cst)가 구비되며, 상기 스토리지 캐패시터(Cst)의 일측 전극, 즉, 제 2 노드(B)측은 유기 발광 다이오드(OLED)와 연결된다. 상기 제 2 노드(B)에 상기 유기 발광 다이오드(OLED)의 애노드 전극이 연결되며, 접지(ground) 단자에 캐소드 전극이 연결되고, 상기 애노드 전극과 캐소드 전극 사이에 유기 발광층을 포함하는 유기층이 구비된다. 여기서, 유기층은 단일의 유기 발광층을 포함할 수도 있고, 혹은 애노드 전극과 유기 발광층 사이에 정공 주입층/정공 수송층을 선택적 혹은 모두 포함시키고, 유기 발광층과 캐소드 전극 사이에 전자 수송층/전자 주입층을 선택적 혹은 모두 포함시킬 수 있다.
- [0033] 상기 스위칭 박막 트랜지스터(Sw-Tr)는 스위칭 게이트 전극(SS)이 스캔 라인(SL)의 부분이거나 이로부터 돌출된 패턴으로 이루어질 수 있으며, 스위칭 드레인 전극(SD)이 데이터 라인(DL)에 접속되며, 스위칭 소오스 전극(SS)이 제 1 노드(A)에 접속되며, 상기 제 1 노드(A)는 구동 박막 트랜지스터(D-Tr)의 게이트 전극(DG)과도 접속되어 이루어진다.
- [0034] 그리고, 구동 박막 트랜지스터(D-Tr)는 제 1 노드(A)에 접속한 전극을 구동 게이트 전극(DG)으로 하며, 구동 드레인 전극(DD)은 제 1 전압 라인(VDL)에 연결되며, 구동 소오스 전극(DS)은 제 2 노드(B)에 연결되어 이루어진다. 구동 박막 트랜지스터(D-Tr)의 back channel 부에는 경우에 따라 별도의 전극을 생성할 수 있다.
- [0035] 또한, 센싱 박막 트랜지스터(Ref-Tr)는 센싱 게이트 전극(RG)이 센싱 라인(SSL)의 부분이거나 이로부터 돌출된 패턴으로 이루어질 수 있으며, 센싱 드레인 전극(RD)이 제 2 전압 라인(RL)에 연결되며, 센싱 소오스 전극(RS)이 제 2 노드(B)에 연결되어 이루어진다.
- [0036] 여기서, 상기 센싱 라인(SSL), 제 2 전압 라인(RL) 및 센싱 박막 트랜지스터(Ref-Tr)는 경우에 따라 서브픽셀에서 생략될 수 있다.
- [0037] 스위칭 박막 트랜지스터(Sw-Tr)는 스캔 라인(SL)과 데이터 라인(DL)에 연결되어, 해당 서브픽셀을 선택하는 기능을 한다. 그리고, 구동 박막 트랜지스터(D-Tr)는 스위칭 박막 트랜지스터(Sw-Tr)에 의해 선택된 화소의 유기

발광 다이오드(OLED)를 구동하는 기능을 한다. 상기 센싱 박막 트랜지스터(Ref-Tr)가 구비되는 경우, 센싱 라인(SSL)과 제 2 전압 라인(RL) 사이에 연결되어, 제 2 노드(B)의 전압 값을 센싱하거나 초기화한다. 이하의 설명에서는 초기화 및 센싱의 이점에서 센싱 박막 트랜지스터(Ref-Tr)를 구비한 예를 기준으로 설명한다. 경우에 따라 상기 센싱 박막 트랜지스터는 생략될 수 있다. 또한, 스위칭 박막 트랜지스터와 센싱 박막 트랜지스터의 동일 스택 형상으로 열화 보상 용도로 별도의 버퍼 트랜지스터를 더 구비할 수도 있다.

- [0038] 도시된 회로도에서 제 1 전압 라인(VDL)은 구동 전압 라인이 공급되며, 제 2 전압 라인(RL)에는 기준 전압이 공급되거나 제 2 전압 라인(RL)을 통해 제 2 노드(B)의 전압 값이 독출될 수 있다.
- [0039] 상기 서브 픽셀은 기판(100) 상에 복수개 매트릭스 상으로 구비되며, 각 서브 픽셀 내에 상기 이격된 스캔 라인(SL) 및 센싱 라인(SSL)과, 이격된 상기 제 1 전압 라인(VDL) 및 데이터 라인(DL)이 교차하는 영역 내에 스토리지 캐패시터 영역이 정의될 수 있다.
- [0040] 또한, 스캔 라인(SL) 및 센싱 라인(SSL)은 도 1의 게이트 드라이버(280a, 280b)를 통해 스캔 신호 및 센싱 신호를 인가받는다. 상기 게이트 드라이버(280a, 280b)는 별도의 IC나 TCP(Tape Carrier package)의 형태 혹은 COG(Chip on Glass)의 형태가 아닌 기판(100)에 내장되어 형성될 수 있으며, 이 경우에는 회로용 박막 트랜지스터를 각 스캔 라인/센싱 라인별로 복수개 구비하여 이루어질 수 있다. 상기 회로용 박막 트랜지스터는 후술되는 스위칭 박막 트랜지스터와 동일 구조(스택)를 가지며, 이를 통해 빠른 이동도 특성 및 안정화된 문턱 전압 특성을 갖는다.
- [0041] 한편, 상기 드라이버 IC(200)는 소오스 드라이버 및 상기 게이트 드라이버 및 소오스 드라이버를 타이밍 제어하는 제어부 및 전원부를 포함할 수 있다.
- [0042] 본 발명의 백플레인 기판 및 유기 발광 표시 장치에서 각 서브픽셀의 회로는 상술한 3T1C 뿐만 아니라, 2T1C 및 3T1C에 부가적으로 박막 트랜지스터나 캐패시터를 더 구비한 구조에도 적용할 수 있다.
- [0043] 본 발명의 백플레인 기판 및 유기 발광 표시 장치에서, 각 서브픽셀의 박막트랜지스터들은 다른 스택 구조로 구비되며, 적어도 구동 박막 트랜지스터와 다른 박막 트랜지스터간 S-Factor를 상이하게 한다.
- [0044] 이하에서는 본 발명의 구동 박막 트랜지스터와 다른 박막 트랜지스터간 S-Factor가 상이한 이유를 설명한다.
- [0045] 도 3a 및 도 3b는 동일 스택의 구동 박막 트랜지스터와 스위칭 박막 트랜지스터에서, 서브 픽셀의 면적을 달리 할 때  $V_g$ - $I_d$  특성을 나타낸 그래프이다.
- [0046] 도 3a는 현재의 403ppi의 FHD(Full High Density) 구조의  $V_g$ - $I_d$  특성을 나타내며, 도 3b는 초고해상도가 진행되어, 각 서브 픽셀의 면적이 FHD 구조 대비 약 1/14의 수준으로 줄어든 1500ppi 해상도의 구조에서의  $V_g$ - $I_d$  특성을 나타낸 것이다. 여기서, 각 구조의 스택 구조는 동일하게 하였으며, 모든 박막 트랜지스터의 구성을 탑 게이트(top-gate) 구조로 하여 실험하였다.
- [0047] 현재 표시 장치 중 3D 안경 및 모바일용 장치 등은 소형화 패널이며 실사 수준의 영상을 표현하는 것이 요구되는 추세로, 1000ppi 이상의 해상도를 갖는다. 그런데, 이러한 장치들은 장치의 크기가 소형이기 때문에, 해상도가 커질수록 각 서브 픽셀의 면적은 줄어들게 된다.
- [0048] 예를 들어, FHD 구조에서는, 개별 서브 픽셀의 폭이  $31.5\mu\text{m}$ , 길이가  $63\mu\text{m}$ 의 수준이나, 1500ppi (pixel per inch)의 구조에서는 개별 서브 픽셀의 폭이  $8.45\mu\text{m}$ , 길이  $16.9\mu\text{m}$ 로 매우 작아 픽셀 내 회로가 차지하는 면적이 FHD 구조 대비 약 1/14의 수준으로 줄어든다.
- [0049] 도 3b와 같이, 서브 픽셀의 면적이 줄어들면 발광 면적도 줄어들어, 요구되는 드레인 전류( $I_d$ ) 값의 범위( $1 \times 10^{-12} \text{A} \sim 5 \times 10^{-9} \text{A}$ )도 작다. 이에 비해, 서브 픽셀의 면적이 크면 발광 면적이 크기 때문에, 도 3a와 같이, 요구되는 드레인 전류( $I_d$ ) 값의 범위( $1 \times 10^{-12} \text{A} \sim 1 \times 10^{-7} \text{A}$ )도 크다. 따라서, 이러한 FHD 구조와 1500ppi 구조의 서브 픽셀 내에 동일한 스택으로 박막 트랜지스터들을 배치시 도 3a와 같이, FHD 구조에서  $\Delta V_{gs}$ 는 약 2V 수준이며, 새채레이션 상태의 드레인 전류( $I_d$ )가 약  $1 \times 10^{-7} \text{A}$ 이나, 도 3b와 같이, 1500ppi의 고해상도에서  $\Delta V_{gs}$ 는 약 1V 미만이며, 새채레이션 상태의 드레인 전류( $I_d$ )가 약  $5 \times 10^{-9} \text{A}$ 로 개별 서브 픽셀이 면적이 작아지는 고해상도로 갈수록 단시간에 새채레이션이 되어 충분한 계조 표현이 어렵다는 경향을 관찰할 수 있다. 참고로 계조 표현은 박막 트랜지스터의 턴온(on)되었을 때부터 드레인 전류가 새채레이션될 때까지 구간, 즉,  $\Delta V_{gs}$  내에 이루어진다. 따라서,  $\Delta V_{gs}$  값이 작으면 계조 표현이 제한적이게 된다.

[0050] 즉, 상술한 실험은 동일 스택 구조에서 서브 픽셀 면적이 다를 때, 박막 트랜지스터의 오프부터 드레인 전류가 새채레이션(saturation)될 때까지의  $\Delta V_{gs}$  값에 영향을 준다는 점을 보여주는 것으로, 이를 통해 서브 픽셀 내에 박막 트랜지스터들이 동일 구조일 때, 고해상도로 가며 충분한 계조 특성을 얻기 어려운 점을 나타낸 것이다.

[0051] 따라서, 본 발명은 고해상도의 소형 모델의 백플레인 기관 및 유기 발광 표시 장치에서, 충분한 계조 표현을 갖기 위해 계조 표현에 직접 영향을 주는 구동 박막 트랜지스터의 구조를 다른 박막 트랜지스터와 달리한 것이며, 특히, 구동 박막 트랜지스터와 다른 박막 트랜지스터간 S-Factor 값의 차를 준 것을 특징으로 한다.

[0052] 도 4a 및 도 4b는  $\Delta V_{gs}$  에 따른 S-factor 변화를 나타낸 그래프이다.

[0053] [수학식 1]

$$S = 2.3 \frac{kT}{q} \left\{ 1 + \frac{(C_g + C_i)}{C_i} \right\}$$

[0054] S-Factor는 유기 발광 표시 장치에서  $V_{gs}$ - $I_{ds}$  의 그래프의 관계에서, 스위칭 온되어 새채레이션되기까지의  $I_{ds}$  의 기울기의 역수에 상당하는 것으로, 수학식 1과 같이 표현된다. 여기서,  $C_i$ 는 게이트 절연막의 용량,  $C_d$ 는 LDD 영역(공핍 영역)의 용량,  $C_{it}$ 는 게이트 절연막의 갭에서의 포획 밀도를 의미한다.

[0055] 도 4a와 같이, 작은  $\Delta V_{gs}$ 에서는 S-Factor가 작으며, 도 4b와 같이,  $\Delta V_{gs}$ 가 크면, S-Factor 는 큰 값을 나타내어,  $\Delta V_{gs}$ 와 S-Factor는 대략적으로 비례 관계에 있다.

[0056] 위 S-Factor를 구하는 식에서 박막 트랜지스터의 구조의 차이로 변화를 얻을 수 있는 인자는  $C_i$ 이다. 특히, 상기 수학식 1에서,  $C_i$ 는 해당 박막 트랜지스터의 게이트 절연막에서 갖는 용량 값으로, 게이트 절연막의 두께와  $C_i$ 은 반비례 관계에 있고, 상기 수학식에서,  $C_i$ 는 분모에 위치하므로, 위 수학식 1로 해당 트랜지스터의 게이트 절연막의 두께가 클 경우 S-Factor는 크고, 게이트 절연막의 두께가 작을 경우 S-Factor는 작은 값을 갖게 된다는 결론에 이른다.

[0057] 본 발명은 상술한 수학식 1과 도 4a, 도 4b에 따른 S-Factor의 관계를 참조하여, 구동 박막 트랜지스터와 그 외 박막 트랜지스터의 스택 구조를 달리하였다. 즉, 도 4b와 같이, 구동 박막 트랜지스터는 S-Factor의 값을 크게 하고 계조 표현을 풍부하게 하고, 다른 박막 트랜지스터들은 도 4a와 같이, S-Factor의 값을 작게 하여, 트랜지스터의 빠른 응답 속도를 유지한다.

[0058] 즉, 본 발명의 백플레인 기관 및 이를 적용한 유기 발광 표시 장치는 초고해상도의 구조에서, 구동 박막 트랜지스터와 그 외 박막 트랜지스터의 단면 구성을 달리한다. 이로써, 구동 박막 트랜지스터의 S-Factor를 충분히 크게 하여, 늘어난  $\Delta V_{gs}$  영역내에 256 계조 이상의 표현이 가능하게 한다. 이로써, 실제 고계조 영상에 대응된 표시가 가능할 수 있다. 또한, 스위칭 박막 트랜지스터 및/또는 센싱 박막 트랜지스터 혹은 회로부의 회로용 박막 트랜지스터에 대해서는 고이동도 및 높은 반응 속도의 특성을 유지시켜 각 서브 픽셀의 고 성능의 동작 특성을 유지할 수 있다.

[0059] \*제 1 실시예\*

[0060] 도 5는 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 백플레인 기관의 개략 단면도이다.

[0061] 도 5와 같이, 본 발명의 제 1 실시예에 따른 백플레인 기관은 복수개의 서브 픽셀을 갖는 기관(100)과, 상기 각 서브 픽셀에 위치하며, 제 1 게이트 전극(110), 폴리 실리콘의 제 1 액티브층(130)과, 상기 제 1 액티브층(130)의 제 1 채널(130a) 양측에 접속된 제 1 소오스 전극(142) 및 제 1 드레인 전극(143)과, 상기 제 1 액티브층(130)과 상기 제 1 게이트 전극(110)의 층간에 제 1 게이트 절연막(115)을 포함한 구동 박막 트랜지스터(D-Tr) 및 상기 각 서브 픽셀에 상기 구동 박막 트랜지스터(D-Tr)와 연결되어 위치하며, 제 2 게이트 전극(120), 폴리 실리콘의 제 2 액티브층(135)과, 상기 제 2 액티브층(135)의 제 2 채널(135a) 양단에 접속된 제 2 소오스 전극(141) 및 제 2 드레인 전극(146)과, 상기 제 2 액티브층(135)과 상기 제 2 게이트 전극(120)의 층간에 제 2 게이트 절연막(125)을 포함한 스위칭 박막 트랜지스터(S-Tr)를 포함한다. 단, 구동 박막 트랜지스터(D-Tr)의 back channel 부에는 경우에 따라 제2게이트 전극 형성 공정을 이용하여 별도의 전극을 생성할 수 있다.

[0062] 그리고, 본 발명의 제 1 실시예에 따른 백플레인 기관에 있어서는, 상기 제 1 액티브층(130)과 제 2 액티브층(135)은 동일층에 위치하며, 제 1 게이트 전극(110)과 제 1 액티브층(130) 사이의 제 1 거리(H1)는 제 2 게이트

전극(120)과 제 2 액티브층(135) 사이의 제 2 거리(H2)보다 길다.

- [0064] 상기 제 1 거리(H1)는 제 1 게이트 절연막(115)의 두께에 상당하며, 상기 제 2 거리(H2)는 제 2 게이트 절연막(125)의 두께에 상당한 것으로, 상기 제 1 게이트 절연막(115)의 두께가 상기 제 2 게이트 절연막(125)의 제 2 두께(H2)보다 두껍다는 특징을 갖는다. 제 1, 제 2 게이트 절연막(115, 125)은  $\text{SiO}_x$ ,  $\text{SiN}_x$ ,  $\text{SiO}_x\text{Ny}$  혹은  $\text{HfO}_2$  등의 무기막 재료로 이루어질 수 있다. 제 1, 제 2 게이트 절연막(115, 125)을 무기막이 동종 혹은 유사 유전율을 갖는 경우는 상술한 바와 같이, 두께 차를 주며, 경우에 따라, 제 1, 제 2 게이트 절연막(115, 125)의 재질이 다른 유전율을 가질 때는, 그 유전율과 두께로 결정되는 용량  $C_i$  값을 고려하여, 제 1 게이트 절연막(115)측이 제 2 게이트 절연막(125) 대비 작은 용량을 갖는 수준에서 상기 제 1, 제 2 게이트 절연막(115, 125)의 두께를 변화시킬 수 있다. 도면에서는 상기 제 1, 제 2 게이트 절연막(115, 125)의 상부면이 평탄하게 도시되었으나, 이에 한하지 않으며, 하측에 있는 제 1 게이트 전극(110) 및 제 1, 제 2 액티브층(130, 135)의 단차를 반영하여 형성될 수 있다.
- [0065] 여기서, 상기 제 1 게이트 전극(110) 및 제 1 게이트 절연막(115)은 동일층에 위치한 상기 제 1 액티브층(130) 및 제 2 액티브층(135)의 하측에 위치하며, 상기 제 2 게이트 전극(130) 및 제 2 게이트 절연막(125)은 상기 제 1 액티브층(130) 및 제 2 액티브층(135)의 상측에 위치한다.
- [0066] 본 발명의 제 1 실시예에 따른 백플레인 기판은 유기 발광 다이오드와 직접 연결되어 전류를 제어하는 구동 박막 트랜지스터에 대해서는 스택 구조에서 제 1 게이트 절연막(115)의 제 1 두께(제 1 게이트 전극과 제 1 액티브층의 거리: H1)를 두껍게 하여, S-Factor의 값을 0.2 V/dec 이상으로 증가시킨다. 이를 통해,  $\Delta V_{gs}$ 의 값을 적어도 1V는 넘도록 하며, 바람직하게는 1.5V 이상이 되도록 하여, 늘어난  $\Delta V_{gs}$ 의 범위에서 계조를 나누어 표현할 수 있게 되는 것이다. 이 경우, 스위칭 박막 트랜지스터와 추가적인 박막 트랜지스터는 제 2 게이트 전극(120)의 배치를 구동 박막 트랜지스터와 달리 제 2 액티브층(135) 상측으로 하고, 이에 따라, 제 2 액티브층(135)과 제 2 게이트 전극(120) 사이의 제 2 게이트 절연막(125)의 배치도 달리하여, 구동 박막 트랜지스터와 나머지 박막 트랜지스터간 스택 구성을 이원화한다. 이 때, 상기 스위칭 박막 트랜지스터에서 얻어지는 S-Factor는 0.2V/dec 미만으로, 이 때의  $\Delta V_{gs}$ 는 1V 미만이며, 낮을수록 고속 구동에 좋다.
- [0067] 따라서, 본 발명의 제 1 실시예에 따른 백플레인 기판은 상기 스위칭 박막 트랜지스터 및 그 밖의 박막 트랜지스터에 대해서는 요구되는 제 2 게이트 절연막(125)의 두께를 줄여 S-Factor의 값은 구동 박막 트랜지스터보다 작으며, 빠른 이동도 및 빠른 응답속도를 갖게 하는 것이다.
- [0068] 특히, 본 발명은 1500ppi 이상의 고해상도 구조에서, 줄어든 서브 픽셀 면적에서 구비된 박막 트랜지스터들을 모두 동일한 스택으로 형성시 도 4a와 같이, 일방향성으로 작은 S-Factor 특성을 나타낼 때 계조 표현이 제한적임에 주목하여, 이를 해소하고자 선택적으로 계조 표현에 직접 영향을 끼치는 구동 박막 트랜지스터의 수직 구조를 상이하게 바꾸어 고계조 표현이 가능하도록 도 4b와 같이, S-Factor 및  $\Delta V_{gs}$  값을 늘린 것이다. 그리고, 수직 구조를 바꾸는 일례로 본 발명의 백플레인 기판은 구동 박막 트랜지스터와 스위칭/기타 박막 트랜지스터를 바텀 게이트 구조와 탑 게이트 구조로 구분한 것이다. 본 발명의 백플레인 기판에서, 스위칭/기타 박막 트랜지스터는 고속 응답 특성을 유지하기 위해 도 4a와 같이, 작은 S-Factor 및  $\Delta V_{gs}$  값을 갖는다.
- [0069] 본 발명의 백플레인 기판에서 구성되는 박막 트랜지스터들은 공통층에 위치하는 제 1, 제 2 액티브층(130, 135)을 구비하는데, 이들은 기판(100) 상에 비정질 실리콘 상태로 증착 후 이의 결정화가 이루어져 폴리 실리콘화한 것으로, 비정질 실리콘 대비 이동도가 높다는 이점이 있다.
- [0070] 한편, 레이저를 이용한 결정화 후 냉각 과정에서, 상기 제 1 게이트 전극(110) 상부의 제 1 액티브층(130) 내의 결정질 응집 혹은 매스 플로우에 의해 나타나는 제 1 액티브층(130)의 단선을 방지하기 위해, 상기 제 1 게이트 전극(110)은 제 2 게이트 전극(120)보다 얇게 500Å 내지 2000Å의 두께로 충분히 얇은 두께로 증착한다. 즉, 제 1 게이트 전극(110)은 충분히 얇은 두께로 하고, 제 1 게이트 절연막(115)은 두껍게 하여, 상기 제 1 액티브층(130)이 상기 제 1 게이트 전극(110)의 유무의 경계가 되는 부위에서의 단선을 방지할 수 있다. 보다 효과적으로 제 1 액티브층(130)의 단선을 방지하기 위해, 상기 제 1 게이트 전극의 양 에지의 경사는 45° 이하의 수준으로 완만히 하여, 상기 제 1 액티브층이 제 1 게이트 전극의 양 에지와 중첩되는 부근에서 게이트 전극 성분의 유무에 따른 단차를 최소화할 수 있다.
- [0071] 상기 제 1 액티브층(130)은 상기 제 1 게이트 전극(110)의 상측 부위에 대응되는 제 1 채널(130a)과, 상기 제 1 채널(130a)의 양측의 LDD 영역(130b) 및 LDD 영역(130b)에 접하여 외측으로 고농도 불순물 영역(130c)을 구비한다. 그리고, 상기 제 1 채널(130a)의 양측에 위치한 고농도 불순물 영역(130c)에는 제 1 소오스 전극(142) 및

제 1 드레인 전극(143)과 접속된다.

- [0072] 상기 제 1 액티브층(130)과 유사하게 상기 제 2 액티브층(135)은 상기 제 2 게이트 전극(120)의 하측 부위에 대응되는 제 2 채널(135a)과, 상기 제 1 채널(135a)의 양측의 LDD 영역(135b) 및 LDD 영역(135b)에 접하여 외측으로 고농도 불순물 영역(135c)을 구비한다. 그리고, 상기 제 1 채널(135a)의 양측에 위치한 고농도 불순물 영역(135c)에는 제 2 소오스 전극(141) 및 제 2 드레인 전극(146)과 접속된다.
- [0073] 도시된 도 5는 제 1, 제 2 소오스 전극(142, 141) 및 제 1, 제 2 드레인 전극(143, 146)을 동일층에 위치시킨 바를 나타내었으나, 이에 한정되지 않으며, 구동 박막 트랜지스터(D-Tr)와 스위칭 박막 트랜지스터(Sw-Tr) 혹은 기타 박막 트랜지스터별로 소오스/드레인 전극의 층상 위치를 달리할 수도 있다.
- [0074] 한편, 도 5에서 설명하지 않은 부호 140은 제 1 층간 절연막이다. 이는 상기 제 2 게이트 전극(120)과 제 1, 제 2 소오스 전극(142, 141), 제 1, 제 2 드레인 전극(143, 146)의 층간에 위치하는 것으로, 각 층의 금속의 교차 부위에서 금속간 쇼트됨을 방지하기 위해 구비되며, 질화막(SiNx)을 포함하여 레이저 결정화 과정에서 수소 공급원으로 이용될 수 있다.
- [0075] 본 발명의 제 1 실시예에 따른 백플레인 기판에서는, 구동 박막 트랜지스터(D-Tr)측만 제 1 게이트 절연막(115)의 두께를 두껍게 하여, S-Factor를 크게 하며, 구동 박막 트랜지스터(D-Tr) 외의 나머지 박막 트랜지스터들은 동일 구성으로 하되, 얇은 제 2 게이트 절연막(125)의 두께를 갖는다.
- [0076] 한편, 상기 제 1, 제 2 게이트 전극(110, 120), 제 1, 제 2 소오스 전극(142, 141), 제 1, 제 2 드레인 전극(143, 146)은 몰리브덴, 구리, 텅스텐, 알루미늄의 단일층 혹은 이들 금속의 합금 혹은 복수층으로 이루어질 수 있다.
- [0077] 도 6은 본 발명의 제 1 실시예의 변형예에 따른 단면도이다.
- [0078] 도 6 및 도 2와 같이, 상기 구동 박막 트랜지스터의 제 1 게이트 전극(210)은 일측으로 연장되어 상기 스위칭 박막 트랜지스터의 제 2 소오스 전극(241)의 연장부와 접속될 수 있다. 이 경우, 상기 제 2 소오스 전극(241)의 연장부는 하측의 제 1 층간 절연막(140), 제 2 게이트 절연막(125), 제 1 게이트 절연막(115)을 관통하여 하측의 제 1 게이트 전극(210)과 접속된다.
- [0079] 여기서, 상기 제 2 소오스 전극(241)은 상기 제 1 소오스 전극(242) 및 제 1, 제 2 드레인 전극(243, 246)과는 다른 마스크를 이용하여, 제 2 액티브층(235)을 관통하여 제 1 게이트 전극(210) 상부까지 이어지는 하나의 수직부의 형태로 형성될 수도 있다. 이 경우, 상기 제 2 소오스 전극을 이루는 하나의 수직부와 제 2 액티브층(235)는 관통하며 측면 접속된다.
- [0080] 도 7은 본 발명의 제 1 실시예의 확장예에 따른 단면도이다.
- [0081] 또한, 도 2 및 도 7과 같이, 구동 박막 트랜지스터(D-Tr)와 스위칭 박막 트랜지스터(Sw-Tr) 외에 센싱 박막 트랜지스터(Ref-Tr)를 더 구비시 이는 상기 스위칭 박막 트랜지스터(Sw-Tr)와 동일 스택으로 구성하며, 도 5 또는 도 6의 제 2 게이트 전극(120, 220), 제 2 소오스 전극(141, 241) 및 제 2 드레인 전극(146, 246)과 각각 동일층에 위치하는, 제 3 게이트 전극(260), 제 3 소오스 전극(261) 및 제 3 드레인 전극(266)을 갖는 형태로 이루어질 수 있다.
- [0082] 그리고, 상기 센싱 박막 트랜지스터(Ref-Tr)가 스위칭 박막 트랜지스터(Sw-Tr) 및 구동 박막 트랜지스터(D-Tr)와 함께 서브 픽셀에 구비되는 경우에, 상기 스위칭 박막 트랜지스터(Sw-Tr)의 제 2 액티브층(235) 혹은 구동 박막 트랜지스터(D-Tr)의 제 1 액티브층(230)과 자신의 액티브층을 공유할 수 있다.
- [0083] 경우에 따라, 상기 스위칭 박막 트랜지스터 및/또는 센싱 박막 트랜지스터(Ref-Tr)와 동일 구조로, 도 1의 외곽 영역에 위치하는 회로부의 회로용 트랜지스터로 구비될 수도 있다. 이 경우, 회로부의 회로용 트랜지스터가 상기 스위칭 박막 트랜지스터와 동일 구조인 이유는, 도 4a와 같이, 스위칭 박막 트랜지스터의 빠른 턴온에 따른 빠른 응답 속도를 갖기 위함이다.
- [0084] 도 7의 상기 구동 박막 트랜지스터(D-Tr)의 제 1 소오스 전극(242)은 상기 센싱 박막 트랜지스터(Ref-Tr)의 제 3 소오스 전극(261)과 일체형으로 형성되어 서로 접속될 수 있다(도 2의 제 2 노드(B) 참조). 이 경우, 서브 픽셀에 2개의 박막 트랜지스터에 소오스 전극(242, 261)이 공유되어, 서브 픽셀에 소자가 차지하는 영역을 줄일 수도 있다.
- [0085] 또한, 상기 제 1 소오스 전극(242)은 일측에 연장되어, 상기 제 1 액티브층(230)과의 접속하며, 제 1 게이트 전

극(210)의 하측으로 수직으로 위치하는 접속부를 더 구비하여, 제 1 스토리지 전극(150)과 접속될 수 있다.

- [0086] 한편, 설명하지 않은 부호 113은 제 2 층간 절연막으로 상기 제 1 게이트 전극(210)과 제 1 스토리지 전극(150)간 전기적 이격을 위해 구비된다.
- [0087] 도 2 및 도 7을 참조하면 스토리지 캐패시터(Cst)의 중첩 면적을 늘리도록, 제 1 소오스 전극(242)과 동일 노드(도 2의 제 2 노드(B) 참조)에 접속되며, 제 1 게이트 전극(210)의 하측으로 중첩하여 위치하는 제 1 스토리지 전극(150)을 더 포함할 수 있으며, 이 경우, 상기 제 1 게이트 전극(210)은 제 2 스토리지 전극으로 기능(도 2의 제 2 노드(B) 참조)하며, 상기 제 1 스토리지 전극(250)과 상기 제 1 게이트 전극(210)이 중첩된 부위에 스토리지 캐패시터가 정의된다.
- [0088] 도 7에서는 상기 제 1 스토리지 전극(150)이 제 1 게이트 전극(210) 하측에 구비된 예를 나타내지만, 이에 한하지 않으며, 상기 제 1 소오스 전극(242)과 접속되는 형태로 다른 층상에 구비될 수도 있다.
- [0089] 상술한 본 발명의 제 1 실시예는 서브 픽셀 내에 2트랜지스터 혹은 3 트랜지스터를 구비한 예를 설명하였지만, 이에 한하지 않으며, 4개 이상의 트랜지스터 구비시에도 적용 가능하다. 즉, 본 발명의 백플레인 기관 및 유기 발광 표시 장치는, 서브픽셀에 구비되는 박막 트랜지스터들 중 유기 발광 다이오드와 직접 접속되는 구동 박막 트랜지스터는 그 게이트 절연막을 두껍게 하여 S-Factor 값을 크게 하여 제조 표현을 풍부히 하고, 나머지 박막 트랜지스터(스위칭 박막 트랜지스터 및 센싱 박막 트랜지스터, 회로용 박막 트랜지스터)는 빠른 응답속도를 유지하도록 그 게이트 절연막을 얇게 하여 이원화 구조로 적용한 것이다.
- [0090] 한편, 본 발명의 제 1 실시예에 따른 백플레인 기관의 제조 방법에 대해, 도 1, 도 2 및 도 5 내지 도 7을 참조하여 설명한다.
- [0091] 먼저, 복수개의 서브 픽셀을 포함하며, 각 서브 픽셀(SP)에 서로 구분되는 제 1 영역(D-Tr 영역) 및 제 2 영역(Sw-Tr 영역)을 갖는 기관(100)을 준비한다.
- [0092] 이어, 상기 각 서브 픽셀(SP)의 제 1 영역(D-Tr 영역)에 몰리브덴, 구리, 텅스텐, 알루미늄의 단일층 혹은 이들 금속의 합금 혹은 복수층의 물질을 선택적으로 제거하여 제 1 게이트 전극(110 또는 210)을 구비한다.
- [0093] 이어, 상기 제 1 게이트 전극(110 또는 210)을 덮으며, SiO<sub>x</sub>, SiN<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub> 혹은 HfO<sub>2</sub> 등의 무기막 재료를 제 1 두께(H1)로 증착하여 제 1 게이트 절연막(115)을 구비한다.
- [0094] 이어, 상기 제 1 게이트 절연막(115) 상에, 상기 제 1 영역(D-Tr 영역)과 제 2 영역(Sw-Tr 영역)에 각각 폴리실리콘으로 이루어진 제 1 액티브층(130) 및 제 2 액티브층(135)을 구비한다.
- [0095] 구체적으로 상기 제 1, 제 2 액티브층(130, 135)의 구비는, 상기 제 1 게이트 절연막(110) 상에 전면 비정질 실리콘층을 증착하고, 이어 상기 비정질 실리콘층을 결정화하여 폴리 실리콘층화 한 후 및 상기 폴리 실리콘층을 선택적으로 제거하여 제 1 영역과 제 2 영역에 제 1 액티브층 및 제 2 액티브층을 남겨 이루어질 수 있다.
- [0096] 그리고, 상기 제 1, 제 2 액티브층(130, 135) 상에 마스크를 이용하여 불순물을 도핑하여 선택적으로 LDD 영역(130b, 135b)과 고농도 불순물 영역(130c, 135c)을 정의할 수 있다. 이 과정에서, LDD 영역(130b, 135b) 내측이 각각 진성 영역의 제 1 채널(130a)과 제 2 채널(130b)로 정의된다.
- [0097] 이어, SiO<sub>x</sub>, SiN<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub> 혹은 HfO<sub>2</sub> 등의 무기막 재료로 상기 제 1, 제 2 액티브층(130, 135)을 덮으며, 상기 제 1 두께보다 얇은 제 2 두께(H2)로 제 2 게이트 절연막(125)을 구비한다. 경우에 따라, 상기 제 1 및 제 2 액티브층(130, 135)의 불순물 영역(130b, 130c, 135b, 135c)은 상기 제 2 게이트 절연막(125) 형성 후 정의될 수도 있다.
- [0098] 이어, 상기 제 2 게이트 절연막(125) 상에 상기 제 2 액티브층(135) 상부에 대응하여, 몰리브덴, 구리, 텅스텐, 알루미늄의 단일층 혹은 이들 금속의 합금 혹은 복수층의 물질을 선택적으로 제거하여 제 2 게이트 전극(120)을 구비한다. 상기 제 2 게이트 전극(120)은 스캔 라인(SL)과 일체형일 수 있다.
- [0099] 이어, 상기 스캔 라인(SL) 및 제 2 게이트 전극(120)을 덮는 제 1 층간 절연막(140)을 구비한다. 그리고, 상기 제 1 층간 절연막(140) 및 제 2 게이트 절연막(125)을 선택적으로 제거하여, 상기 제 1, 제 2 액티브층(130, 135)의 양 고농도 불순물 영역(130c, 135c)의 일부를 노출시킨다.
- [0100] 이어, 몰리브덴, 구리, 텅스텐, 알루미늄의 단일층 혹은 이들 금속의 합금 혹은 복수층의 물질을 증착하고 이를 선택적으로 제거하여, 상기 제 1 액티브층(130)의 제 1 채널(130a) 양측의 고농도 불순물 영역(130c)과 접속되

는 제 1 소오스 전극(142 또는 242) 및 제 1 드레인 전극(143 또는 243)과, 상기 제 2 액티브층(135)의 양측과 접촉되는 제 2 소오스 전극(141 또는 241) 및 제 2 드레인 전극(146 또는 246)을 구비한다.

[0101] \*제 2 실시예\*

[0102] 이하, 본 발명의 제 2 실시예에 따른 백플레인 기판에 대해 설명한다.

[0103] 도 8은 본 발명의 제 2 실시예에 따른 백플레인 기판의 개략 단면도이다.

[0104] 도 8과 같이, 본 발명의 제 2 실시예에 따른 백플레인 기판은 상술한 제 1 실시예의 구조와 비교하여, 구동 박막 트랜지스터의 제 1 게이트 전극(310)과 제 1 게이트 절연막(315)의 위치를 제 1, 제 2 액티브층(130, 135)의 상측에 위치시키고, 스위칭 박막 트랜지스터 (및/ 또는 센싱 박막 트랜지스터)의 제 2 게이트 전극(320) 및 제 2 게이트 절연막(325) 위치를 제 1, 제 2 액티브층(330, 335)의 하측에 위치시키고, 이 때, 제 1, 제 2 액티브층(330, 335)의 상측에 위치한 제 1 게이트 절연막(315)을, 상기 제 1, 제 2 액티브층(130, 135)의 하측의 제 2 게이트 절연막(325)보다 두껍게 한 점에서만 차이를 갖고 나머지 구성은 동일하게 구비한다.

[0105] 이러한 구성도 상술한 제 1 실시예와 동일 목적으로 구동 박막 트랜지스터(D-Tr)측만 게이트 절연막의 두께를 두껍게 하여, S-Factor를 크게 하여 계조 표현을 풍부히 하고, 구동 박막 트랜지스터 외의 나머지 박막 트랜지스터들은 동일 구성으로 하되, 얇은 게이트 절연막의 두께를 갖게 하여 서브 픽셀 내 회로 동작에 필요한 일정 이상의 속도를 유지할 수 있다.

[0106] 한편, 본 발명의 제 2 실시예에 따른 백플레인 기판에 있어서도, 레이저를 이용한 결정화 후 냉각 과정에서, 하측에 위치하는 상기 제 2 게이트 전극(320) 상부의 제 2 액티브층(135) 내의 결정질 응집 혹은 매스 플로우에 의한 영향으로 발생할 수 있는 제 2 액티브층(135)의 단선을 방지하기 위해, 상기 제 2 게이트 전극(320)은 제 1 게이트 전극(310)보다 얇으며, 또한, 500Å 내지 2000 Å의 두께로 충분히 얇은 두께로 증착한다. 이 경우, 제 2 액티브층(135) 하측에 있는 제 2 게이트 전극(320)은 충분히 얇아 상기 제 2 게이트 절연막(325)이 일정 수준 이상으로 얇더라도 상기 제 2 액티브층(135)의 하측의 전극 물질에 의한 단차의 영향이 적어 상기 제 2 게이트 전극(320)의 유무의 경계가 되는 부위에서의 단선을 방지할 수 있다. 보다 효과적으로 제 2 액티브층(135)의 단선을 방지하기 위해, 상기 제 2 게이트 전극의 양 에지의 경사는 45° 이하의 수준으로 완만히 하여, 상기 제 2 액티브층이 제 2 게이트 전극의 양 에지와 중첩되는 부근에서 게이트 전극 성분의 유무에 따른 단차를 최소화할 수 있다.

[0107] 이하, 상술한 백플레인 기판을 적용하는 유기 발광 표시 장치에 대해 설명한다.

[0108] 도 9는 본 발명의 제 1 실시예에 따른 백플레인 기판을 적용한 유기 발광 표시 장치의 일 형태를 나타낸 단면도이다.

[0109] 도 9와 같이, 본 발명의 제 1 실시예에 따른 백플레인 기판을 적용한 유기 발광 표시 장치는 상술한 백플레인 기판의 구조에, 상기 제 1 게이트 전극(110)과 상기 제 1 소오스 전극(242) 사이의 스토리지 캐패시터(Cst) 및 상기 제 1 소오스 전극(242)과 접촉된 애노드 전극(212), 상기 애노드 전극과 대향된 캐소드 전극(240) 및 상기 애노드 전극과 캐소드 전극 사이에 위치하는 유기 발광층을 포함한 유기층(232)을 포함한 유기 발광 다이오드(OLED)를 더 포함한다.

[0110] 도시되지는 않았지만, 도 7을 참조하면 스토리지 캐패시터(Cst)의 중첩 면적을 늘리도록, 제 1 소오스 전극(242)과 동일 노드에 접속되며, 제 1 게이트 전극(110)의 하측으로 중첩하여 위치하는 제 1 스토리지 전극(150)을 더 포함할 수 있으며, 이 경우, 상기 제 1 게이트 전극(110)은 제 2 스토리지 전극으로 기능하며, 상기 제 1 스토리지 전극(150)과 중첩된 부위에 스토리지 캐패시터를 형성할 수 있다.

[0111] 또한, 애노드 전극(210) 상에는 발광부를 정의하는 बैं크(220)를 선택적으로 구비할 수 있다.

[0112] 여기서, 설명하지 않은 부호 198은 보호막으로, 하측의 백플레인 기판의 TFT 구성을 보호하는 기능을 한다.

[0113] 또한, 유기 발광 표시 장치는 상기 유기 발광 다이오드(OLED) 상부를 덮으며 외부로부터 수분 또는 외기가 들어옴을 방지하기 위해 배리어 층 혹은 배리어 스택(미도시)을 더 구비할 수 있다. 배리어 스택의 경우, 유기막 및 무기막의 적층 구성을 가질 수 있다.

[0114] 한편, 백플레인 기판의 구성은 제 2 실시예로 대체될 수 있는 것으로, 상술한 구성의 유기 발광 표시 장치는 서브 픽셀에 구비되는 박막 트랜지스터들 중 구동 박막 트랜지스터(D-Tr)측만 게이트 절연막의 두께를 두껍게 하여, S-Factor를 크게 하여 계조 표현을 풍부히 하고, 구동 박막 트랜지스터 외의 나머지 박막 트랜지스터들은

동일 구성으로 하되, 얇은 게이트 절연막의 두께를 갖게 하여 서브 픽셀 내 회로 동작의 일정 이상의 속도를 유지할 수 있다.

[0115] 또한, 본 발명의 백플레인 기관 및 유기 발광 표시 장치에서, 상기 박막 트랜지스터들을 액티브층을 기준으로 일측은 바텀 게이트 전극 구조로 하고, 타측은 탑 게이트 구조로 하여, 게이트 전극들이 서로 다른 층에 있음으로 인하여 공정마진을 고려하지 않으면서, 평면적으로 두 게이트 전극 사이 거리를 가까이 하거나 중첩 가능하여, 화소가 더 작아질 수 있는 이점이 있어 초소형 모델에서 보다 유리하다.

[0116] 본 발명의 백플레인 기관 및 이를 적용한 유기 발광 표시 장치는 다음을 고려한 것이다.

[0117] 즉, 표시 장치는 소형 모델의 평면 구조 입장에서 고해상도로 가며, 서브 픽셀의 개별 크기와 함께 발광 면적 또한 작아져, 요구되는 드레인 전류 값의 범위가 작아 새채레이션에 걸리는 시간이 짧다. 따라서, 각 소자의 고속성은 좋아지나, 반면 소자의 S-Factor 값은 작아지기 때문에 이 경우 계조 표현의 한계가 있어, 수직 단면 구조를 변경한 것이다. 그런데, 직접적으로 계조에 영향을 주는 서브 픽셀 내 구동 박막 트랜지스터의 S-Factor 증가는 요구되나, 서브픽셀에 구비된 소자(박막 트랜지스터)들을 동일한 형상으로 변경시 서브 픽셀 전체의 소자 특성 저하 및 기타 스위칭 박막 트랜지스터 등의 특성 확보 측면에서 매우 불리해지기 때문에, 직접적으로 전류 값에 영향을 줄 수 있는 구동 박막 트랜지스터의 구조만 S-Factor를 상승시키도록  $\Delta V_{gs}$ 가 1V 이상이 되도록 제 1 게이트 절연막을 두껍게 하고, 나머지 트랜지스터들은 고해상도 내의 고속 특성을 유지하도록 제 2 게이트 절연막을 얇게 하고 있다.

[0118] 이와 함께, 본 발명은 구동 박막 트랜지스터와 그 외 박막 트랜지스터의 게이트 전극 위치를 달리하며 각 게이트 절연막 두께를 달리하여 소자 특성을 다르게 하는 이원화 구성을 취한다. 이에 따라, 초고해상도 구조에 있어서도 구동 박막 트랜지스터만의 S-Factor를 조절함으로써, 회로적 특성이 강하게 요구되는 부위에서는 충분한 특성을 유지하되, 계조 표현이 이루어지는 영역은 충분히 확보하여, 초고해상도 구조에 있어서도 회로 특성과 계조 특성이 함께 우수한 유기 발광 표시 장치를 구현할 수 있다.

[0119] 현재 대다수의 폴리 실리콘형 박막 트랜지스터는 탑 게이트 구조로 제작되나, 바텀 게이트 구조를 포함한 다양한 구조의 폴리 실리콘형 박막 트랜지스터의 구조 개발을 통해, 모바일 디스플레이용 백플레인 기관의 설계 자유도를 증가시킬 수 있다.

[0120] 더불어, 상술한 백플레인 기관은 고해상도에서 다양한 계조 표현을 요구하는 기타 디스플레이 개발에 확대 적용 가능하다.

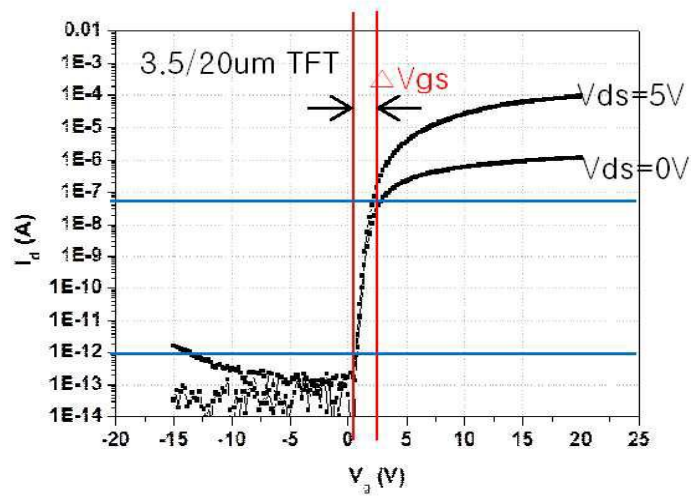
[0121] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

## 부호의 설명

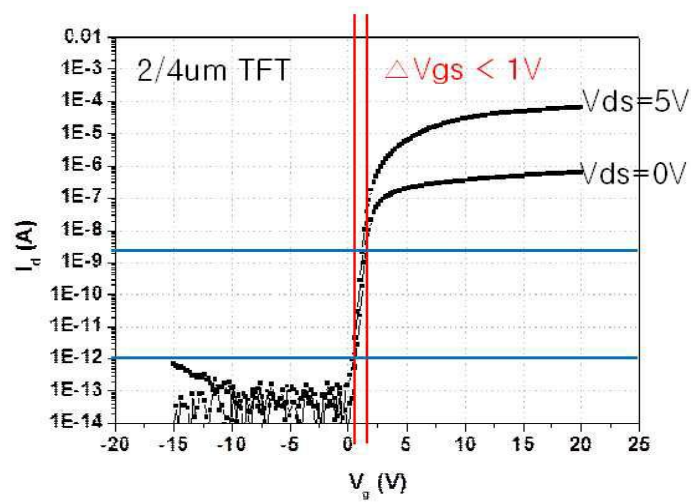
|        |                 |                  |
|--------|-----------------|------------------|
| [0122] | 110: 제 1 게이트 전극 | 115: 제 1 게이트 절연막 |
|        | 120: 제 2 게이트 전극 | 125: 제 2 게이트 절연막 |
|        | 130: 제 1 액티브층   | 135: 제 2 액티브층    |
|        | 141: 제 2 소오스 전극 | 142: 제 1 소오스 전극  |
|        | 143: 제 1 드레인 전극 | 146: 제 2 드레인 전극  |
|        | 140: 층간 절연막     |                  |



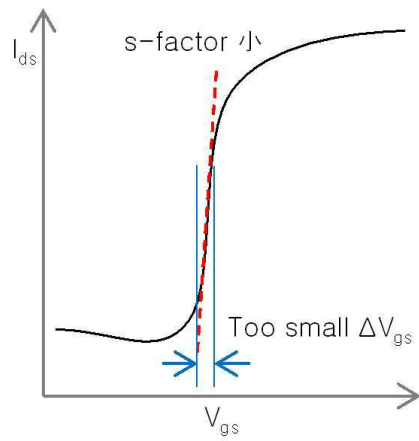
도면3a



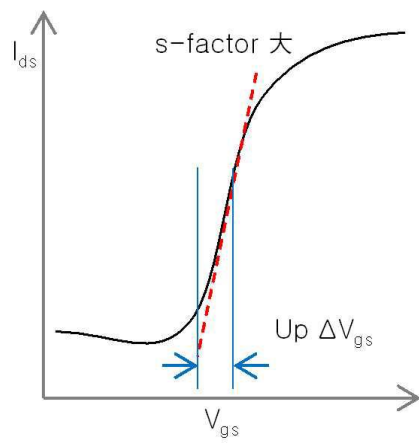
도면3b



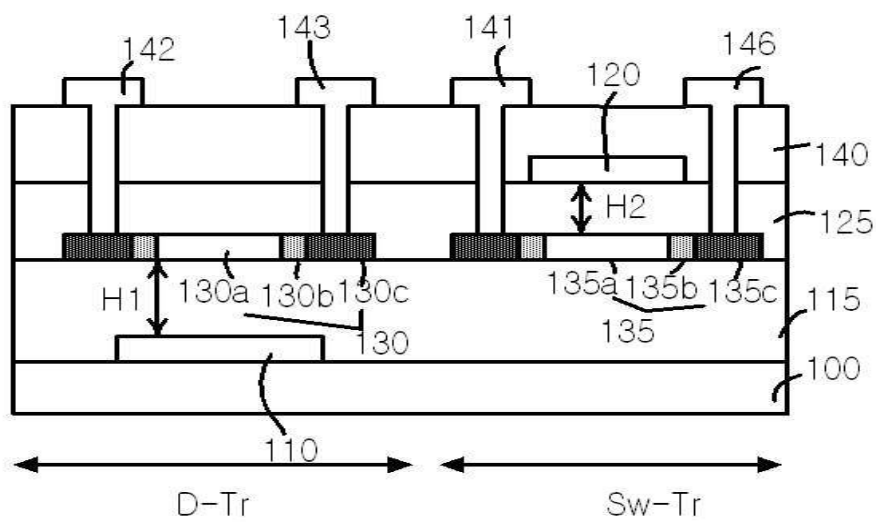
도면4a



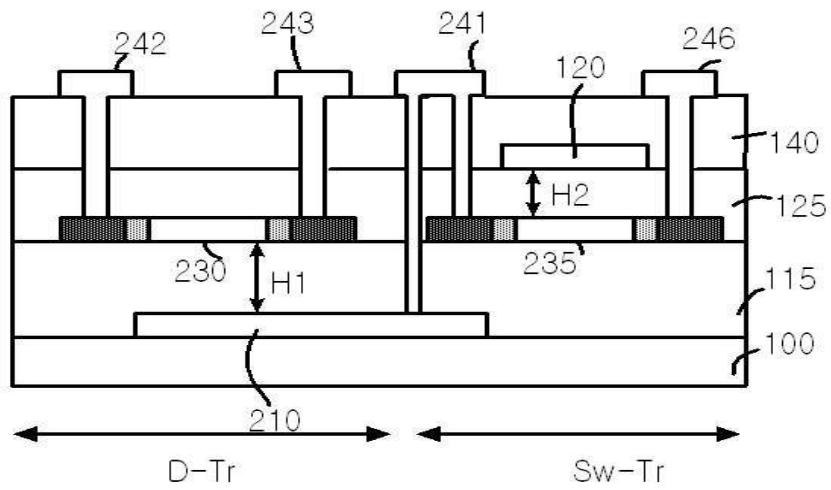
도면4b



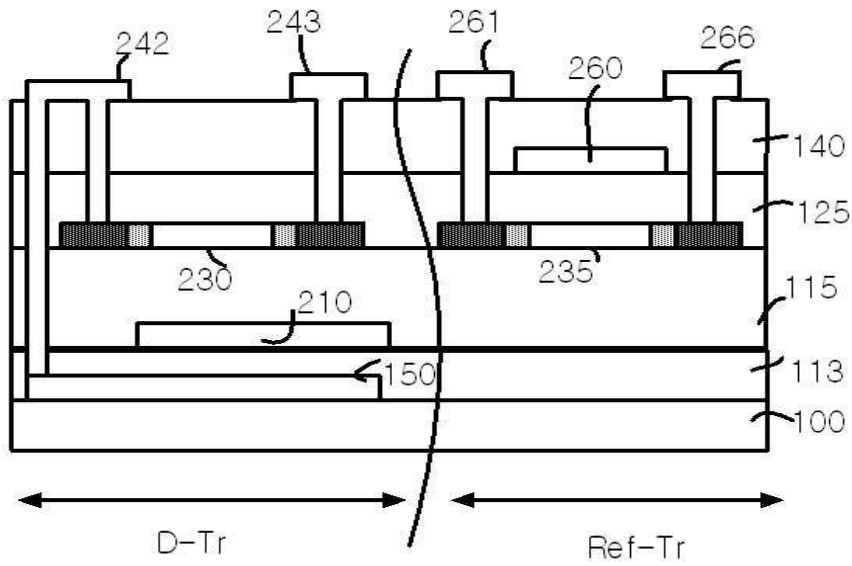
도면5



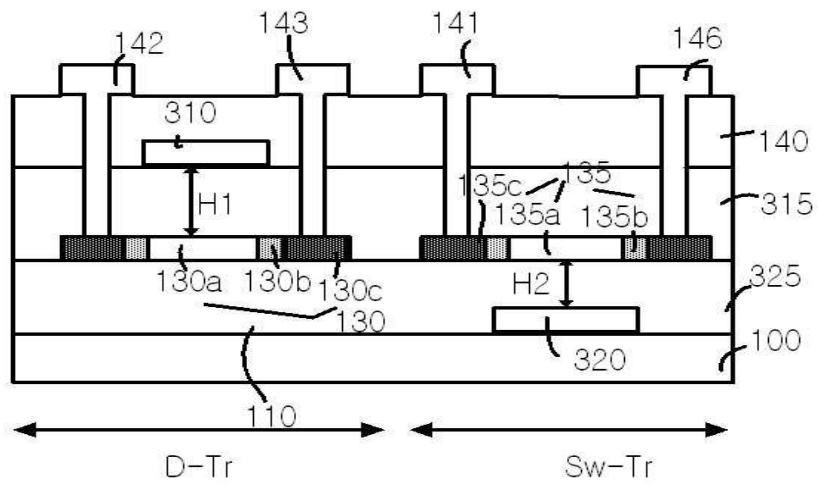
도면6



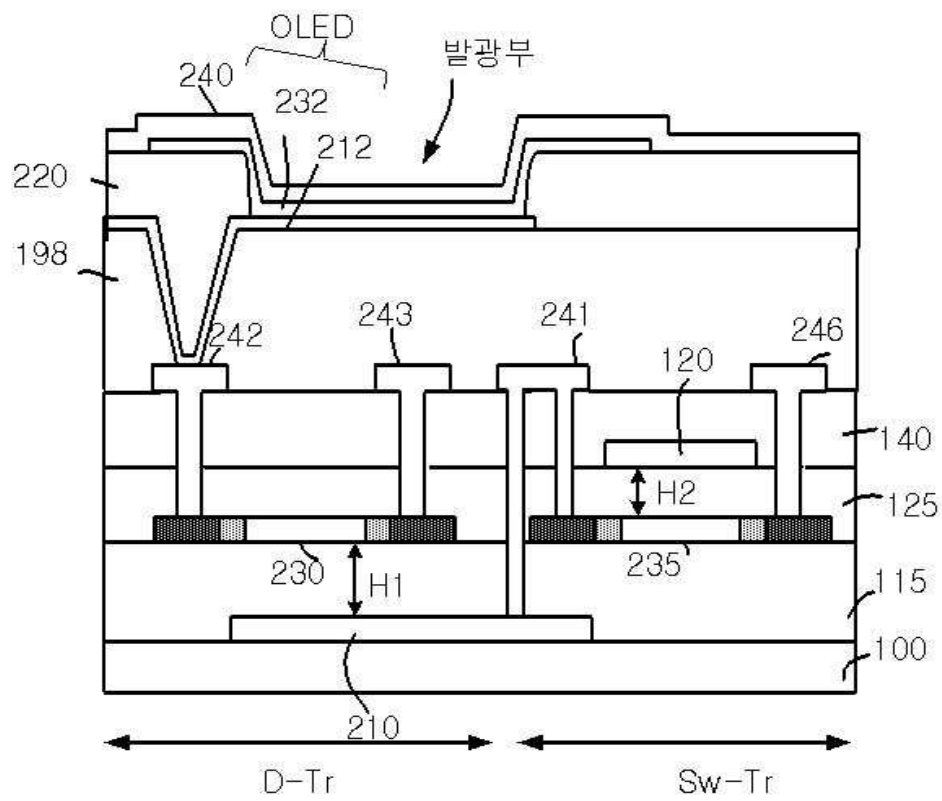
도면7



도면8



도면9



|                |                                                                                                                                                                                                         |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 背板基板，其制造方法以及使用该背板基板的有机发光显示器                                                                                                                                                                             |         |            |
| 公开(公告)号        | <a href="#">KR1020180003302A</a>                                                                                                                                                                        | 公开(公告)日 | 2018-01-09 |
| 申请号            | KR1020160082946                                                                                                                                                                                         | 申请日     | 2016-06-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                                                                                                                                |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                                                                                                                               |         |            |
| [标]发明人         | OH KUM MI<br>오금미<br>YANG SHUN YOUNG<br>양선영<br>YUN MIN SEONG<br>윤민성                                                                                                                                      |         |            |
| 发明人            | 오금미<br>양선영<br>윤민성                                                                                                                                                                                       |         |            |
| IPC分类号         | H01L27/32 H01L27/12 H01L29/786                                                                                                                                                                          |         |            |
| CPC分类号         | H01L27/3262 H01L27/1251 H01L29/78603 H01L29/78606 G09G3/3233 G09G2340/145 H01L27/3265 G09G3/3225 G09G2320/0242 G09G2340/0407 H01L27/1222 H01L27/1255 H01L27/1274 H01L29/42384 H01L29/78621 H01L29/78672 |         |            |
| 代理人(译)         | Bakyoungbok                                                                                                                                                                                             |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                               |         |            |

#### 摘要(译)

背板基板，其制造方法以及使用该背板基板的有机发光显示装置技术领域本发明涉及一种背板基板，其制造方法以及使用该背板基板的有机发光显示装置，其即使在具有非常高分辨率的像素中也能够实现能够表现出丰富灰度的电路特性，通过改变结构，仅相对改善了驱动薄膜晶体管的S因子。

