

(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

(72) 발명자

박상호

경기도 용인시 기흥구 삼성로 1 (농서동)

조승환

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

기관;

상기 기관 상의 박막 트랜지스터;

상기 박막 트랜지스터를 덮고, 돌출된 격벽을 구비한 비아 절연막;

상기 격벽을 측면으로 갖는 상기 비아 절연막의 트렌치 내에 배치되고, 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극; 및

상기 격벽과 상기 화소 전극의 사이에 배치되고, 상기 화소 전극의 일부를 덮는 화소 정의막;을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 격벽의 내측면과 상기 기관의 면이 이루는 각이 90도 이상인, 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 비아 절연막은 네가티브 감광성 절연 물질을 포함하는, 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 비아 절연막 상에 화소 전극과 동일 물질로 구성되고 상기 화소 전극과 이격된 배선; 및

상기 화소 정의막과 동일 물질로 구성되고, 상기 격벽에 의해 상기 화소 정의막과 이격되고, 상기 배선을 완전히 덮는 절연막;을 더 포함하는, 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 격벽의 두께가 상기 화소 정의막의 두께보다 높은, 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 비아 절연막은 상기 화소 전극의 주변에 돌출된 스페이서;를 더 구비한, 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 격벽의 두께와 상기 스페이서의 두께가 동일한, 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 비아 절연막은, 상기 박막 트랜지스터의 일 전극의 일부를 노출하고 상기 트렌치에 위치한 비아홀;을 더 포함하는 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 박막 트랜지스터와 수직 방향으로 중첩하고, 상기 박막 트랜지스터의 게이트 전극을 제1 전극으로 하고, 상기 제1 전극 상부의 제2 전극을 구비한 커패시터;를 더 포함하는 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 화소 전극과 대향된 대향 전극; 및

상기 화소 전극과 상기 대향 전극 사이의 유기 발광층;을 더 포함하는 유기발광표시장치.

청구항 11

기관을 제공하는 단계;

상기 기관 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터를 덮고, 돌출된 격벽을 갖는 비아 절연막을 형성하는 단계; 및

상기 비아 절연막의 격벽에 의해 형성된 트렌치 내에 배치되고 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극 및, 상기 격벽과 상기 화소 전극의 사이에 배치되고 상기 화소 전극의 일부를 덮는 화소 정의막을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 12

제11항에 있어서, 상기 비아 절연막을 형성하는 단계는,

상기 박막 트랜지스터를 덮는 제1 절연막을 형성하는 단계; 및

상기 제1 절연막에 하프톤 마스크를 이용하여 광을 조사한 후, 상기 제1 절연막의 일부를 제거하여 형성되는 상기 격벽과, 상기 제1 절연막의 전부를 제거하여 형성되는 비아홀을 구비하는 비아 절연막을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 13

제12항에 있어서,

상기 격벽을 형성하는 단계와 동시에 상기 제1 절연막의 일부를 제거하여 스페이서를 형성하는 단계;를 더 포함하고,

상기 스페이서가 상기 비아 절연막의 일부를 구성하는, 유기발광표시장치의 제조 방법.

청구항 14

제11항에 있어서, 상기 화소 전극 및 화소 정의막을 형성하는 단계는,

상기 비아 절연막 상에 도전막을 형성하는 단계;

상기 도전막 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막에 하프톤 마스크를 이용하여 광을 조사한 후, 상기 제2 절연막의 일부를 제거하여 상기 도전막의 일부를 노출시키는 단계;

상기 노출된 도전막을 식각하여 상기 트렌치 내에 배치된 화소 전극을 형성하는 단계; 및

상기 트렌치 내에 잔존하는 상기 제2 절연막의 일부를 제거하여 상기 화소 전극의 일부를 노출시키는 화소 정의막을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 15

제14항에 있어서,

상기 화소 전극을 형성하는 단계와 동시에 상기 트렌치 외의 영역에 배선을 형성하는 단계; 및

상기 화소 정의막을 형성하는 단계와 동시에 상기 배선을 완전히 덮는 절연막을 형성하는 단계;를 더 포함하는 유기발광표시장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기발광표시장치 및 이의 제조 방법에 관한 것으로, 더 상세하게는 마스크 수를 줄여 제조 비용을 절감한 유기발광표시장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 포함하는 유기 발광 소자를 구비하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 결합하여 생성된 엑시톤(exciton)이 여기 상태(excited state)로부터 기저 상태(ground state)로 떨어지면서 빛을 발생시키는 자발광형 표시 장치이다.

[0003] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 시야각, 콘트라스트(contrast), 응답 속도 등의 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

발명의 내용

해결하려는 과제

[0004] 최근, 제조 비용을 최소화하면서 고해상도를 갖는 유기발광표시장치 및 이를 제조하는 방법에 관한 요구가 증대되고 있다.

[0005] 본 발명의 실시예들은, 저비용으로 고해상도를 구현할 수 있는 유기발광표시장치 및 이의 제조 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기발광표시장치는, 기판; 상기 기판 상의 박막 트랜지스터; 상기 박막 트랜지스터를 덮고, 돌출된 격벽을 구비한 비아 절연막; 상기 격벽을 측면으로 갖는 상기 비아 절연막의 트렌치 내에 배치되고, 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극; 및 상기 격벽과 상기 화소 전극의 사이에 배치되고, 상기 화소 전극의 일부를 덮는 화소 정의막;을 포함한다.

[0007] 일 실시예에 있어서, 상기 격벽의 내측면과 상기 기판의 면이 이루는 각이 90도 이상일 수 있다.

[0008] 일 실시예에 있어서, 상기 비아 절연막은 네가티브 감광성 절연 물질을 포함할 수 있다.

[0009] 일 실시예에 있어서, 상기 유기발광표시장치는, 상기 비아 절연막 상에 화소 전극과 동일 물질로 구성되고 상기 화소 전극과 이격된 배선; 및 상기 화소 정의막과 동일 물질로 구성되고, 상기 격벽에 의해 상기 화소 정의막과 이격되고, 상기 배선을 완전히 덮는 절연막;을 더 포함할 수 있다

[0010] 일 실시예에 있어서, 상기 격벽의 두께가 상기 화소 정의막의 두께보다 클 수 있다.

[0011] 일 실시예에 있어서, 상기 비아 절연막은 상기 화소 전극의 주변에 돌출된 스페이서;를 더 구비할 수 있다.

[0012] 일 실시예에 있어서, 상기 격벽의 두께와 상기 스페이서의 두께가 동일할 수 있다

[0013] 일 실시예에 있어서, 상기 비아 절연막은, 상기 박막 트랜지스터의 일 전극의 일부를 노출하고 상기 트렌치에 위치한 비아홀;을 더 포함할 수 있다.

[0014] 일 실시예에 있어서, 상기 유기발광표시장치는, 상기 박막 트랜지스터와 수직 방향으로 중첩하고, 상기 박막 트랜지스터의 게이트 전극을 제1 전극으로 하고, 상기 제1 전극 상부의 제2 전극을 구비한 커패시터;를 더 포함할 수 있다.

- [0015] 일 실시예에 있어서, 상기 유기발광표시장치는, 상기 화소 전극과 대향된 대향 전극; 및 상기 화소 전극과 상기 대향 전극 사이의 유기 발광층;을 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 유기발광표시장치는, 기관; 상기 기관 상의 비아 절연막; 상기 비아 절연막 상의 화소 전극; 및 상기 비아 절연막 상에 배치되고, 상기 화소 전극의 일부를 덮는 화소 정의막;을 포함하며, 상기 비아 절연막이 상기 화소 전극과 상기 화소 정의막을 둘러싸는 격벽을 구비한다.
- [0017] 일 실시예에 있어서, 상기 격벽의 내측면과 상기 기관의 면이 이루는 각이 90도 이상일 수 있다.
- [0018] 일 실시예에 있어서, 상기 비아 절연막은 네가티브 감광성 절연 물질을 포함할 수 있다.
- [0019] 일 실시예에 있어서, 상기 유기발광표시장치는, 상기 비아 절연막 상에 화소 전극과 동일 물질로 구성되고 상기 화소 전극과 이격된 배선; 및 상기 화소 정의막과 동일 물질로 구성되고, 상기 격벽에 의해 상기 화소 정의막과 이격되고, 상기 배선을 완전히 덮는 절연막;을 더 포함할 수 있다.
- [0020] 일 실시예에 있어서, 상기 격벽의 두께가 상기 화소 정의막의 두께보다 클 수 있다.
- [0021] 일 실시예에 있어서, 상기 비아 절연막은 상기 화소 전극의 주변에 돌출된 스페이서;를 더 구비할 수 있다.
- [0022] 일 실시예에 있어서, 상기 격벽의 두께와 상기 스페이서의 두께가 동일할 수 있다.
- [0023] 일 실시예에 있어서, 상기 비아 절연막은, 하부에 배치된 박막 트랜지스터의 일 전극의 일부를 노출하고, 상기 화소 전극에 의해 덮이는 비아홀;을 더 포함할 수 있다.
- [0024] 일 실시예에 있어서, 상기 유기발광표시장치는, 상기 화소 전극과 대향된 대향 전극; 및 상기 화소 전극과 상기 대향 전극 사이의 유기 발광층;을 더 포함할 수 있다.
- [0025] 본 발명의 일 실시예에 따른 유기발광표시장치의 제조 방법은, 기관을 제공하는 단계; 상기 기관 상에 박막 트랜지스터를 형성하는 단계; 상기 박막 트랜지스터를 덮고, 돌출된 격벽을 갖는 비아 절연막을 형성하는 단계; 및 상기 비아 절연막의 격벽에 의해 형성된 트렌치 내에 배치되고 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극 및, 상기 격벽과 상기 화소 전극의 사이에 배치되고 상기 화소 전극의 일부를 덮는 화소 정의막을 형성하는 단계;를 포함할 수 있다.
- [0026] 일 실시예에 있어서, 상기 비아 절연막을 형성하는 단계는, 상기 박막 트랜지스터를 덮는 제1 절연막을 형성하는 단계; 및 상기 제1 절연막에 하프톤 마스크를 이용하여 광을 조사한 후, 상기 제1 절연막의 일부를 제거하여 형성되는 상기 격벽과, 상기 제1 절연막의 전부를 제거하여 형성되는 비아홀을 구비하는 비아 절연막을 형성하는 단계;를 포함할 수 있다.
- [0027] 일 실시예에 있어서, 상기 제조 방법은, 상기 격벽을 형성하는 단계와 동시에 상기 제1 절연막의 일부를 제거하여 스페이서를 형성하는 단계;를 더 포함하고, 상기 스페이서가 상기 비아 절연막의 일부를 구성할 수 있다.
- [0028] 일 실시예에 있어서, 상기 화소 전극 및 화소 정의막을 형성하는 단계는, 상기 비아 절연막 상에 도전막을 형성하는 단계; 상기 도전막 상에 제2 절연막을 형성하는 단계; 상기 제2 절연막에 하프톤 마스크를 이용하여 광을 조사한 후, 상기 제2 절연막의 일부를 제거하여 상기 도전막의 일부를 노출시키는 단계; 상기 노출된 도전막을 식각하여 상기 트렌치 내에 배치된 화소 전극을 형성하는 단계; 및 상기 트렌치 내에 잔존하는 상기 제2 절연막의 일부를 제거하여 상기 화소 전극의 일부를 노출시키는 화소 정의막을 형성하는 단계;를 포함할 수 있다.
- [0029] 일 실시예에 있어서, 상기 제조 방법은, 상기 화소 전극을 형성하는 단계와 동시에 상기 트렌치 외의 영역에 배선을 형성하는 단계; 및 상기 화소 정의막을 형성하는 단계와 동시에 상기 배선을 완전히 덮는 절연막을 형성하는 단계;를 더 포함할 수 있다.

발명의 효과

- [0030] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 유기발광표시장치 및 이의 제조 방법은 마스크 수를 감소시켜 제조 비용을 줄이며 공정을 간이화할 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치의 부분 평면도이다.
도 2는 도 1에 도시된 유기발광표시장치의 I-I'를 따라 자른 부분 평면도이다.

도 3은 도 1에 도시된 유기발광표시장치의 I-I'를 따라 자른 부분 단면도이다.

도 4a 내지 도 4i는 도 1의 유기발광표시장치를 제조하는 방법을 순차적으로 나타낸 도면들이다.

도 5는 본 발명의 다른 실시예에 따른 유기발광표시장치의 부분 평면도이다.

도 6은 도 5에 도시된 유기발광표시장치의 II-II'를 따라 자른 부분 단면도이다.

도 7a 내지 도 7h는 도 5의 유기발광표시장치를 제조하는 방법을 순차적으로 나타낸 도면들이다.

도 8 및 도 9는 본 발명의 다른 실시예에 따른 유기발광표시장치의 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0033] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0034] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0035] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0036] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0037] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0038] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0039] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0040] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 부분 평면도이다.
- [0041] 도 1을 참조하면, 유기발광표시장치(1)의 표시 영역에는 복수의 화소들이 배치될 수 있다. 예를 들어, 유기발광표시장치(1)는 복수의 제1 화소(PX1)들, 복수의 제2 화소(PX2)들 및 복수의 제3 화소(PX3)들을 포함할 수 있다. 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3)는 열 및 행 방향으로 소정 패턴에 따라 반복 배치될 수 있다.
- [0042] 제1 화소(PX1)는 이웃한 제2 화소(PX2) 및 제3 화소(PX3) 대비 작은 면적을 가질 수 있다. 제1 화소(PX1)는 녹색의 빛을 발광하는 녹색 화소(G)일 수 있다. 제1 화소(PX1)는 상호 이격되어 가상의 제1 직선(IL1) 상에 배열되어 있다. 제1 화소(PX1)는 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있으며, 다각형은 꼭지점이 라운드진 형태도 포함할 수 있다.
- [0043] 제1 화소(PX1)의 중심점을 정사각형의 중심점으로 하는 가상의 사각형(IS)의 마주보는 한 쌍의 제1 꼭지점(P1)에 제2 화소(PX2)가 위치하고 있으며, 가상의 사각형(IS)의 마주보는 한 쌍의 제2 꼭지점(P2)에 제3 화소(PX3)가 위치하고 있다. 상기 사각형(IS)은 정사각형일 수 있다.
- [0044] 제2 화소(PX2)는 제1 화소(PX1) 및 제3 화소(PX3)와 이격되어 있으며, 가상의 정사각형(IS)의 제1 꼭지점(P1)에 중심점이 위치하고 있다. 제2 화소(PX2)는 이웃하는 제1 화소(PX1) 대비 더 큰 면적을 가질 수 있다. 제2 화소(PX2)는 청색의 빛을 발광하는 청색 화소(B)일 수 있다. 제2 화소(PX2)는 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있으며, 다각형은 꼭지점이 라운드진 형태도 포함할 수 있다.
- [0045] 제3 화소(PX3)는 제1 화소(PX1) 및 제2 화소(PX2)와 이격되어 있으며, 가상의 정사각형(IS)의 제1 꼭지점(P1)과

이웃하는 제2 꼭지점(P2)에 중심점이 위치하고 있다. 제3 화소(PX3)는 이웃하는 제1 화소(PX1) 대비 더 큰 면적을 가질 수 있다. 또한, 제3 화소(PX3)는 제2 화소(PX2)와 상이한 면적, 예를 들어, 제3 화소(PX3)는 제2 화소(PX2) 대비 더 큰 면적을 가질 수도 있다. 다른 실시예에서, 제3 화소(PX3)는 제2 화소(PX2)와 동일한 면적을 가질 수 있다. 제3 화소(PX3)는 적색의 빛을 발광하는 적색 화소(R)일 수 있다. 제3 화소(PX3)는 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있으며, 다각형은 꼭지점이 라운드진 형태도 포함할 수 있다.

[0046] 복수의 제3 화소(PX3)들 및 복수의 제2 화소(PX2)들 각각은 가상의 제2 직선(IL2) 상에서 상호 교호적으로 배열되며, 이로 인해 제1 꼭지점(P1)에 중심점이 위치하는 복수의 제2 화소(PX2)들 및 제2 꼭지점(P2)에 중심점이 위치하는 복수의 제3 화소(PX3)들 각각은 제1 화소(PX1)를 둘러싸고 있다.

[0047] 복수의 제2 화소(PX2)들 및 복수의 제3 화소(PX3)들 각각이 제1 화소(PX1)를 둘러싸도록 배열됨으로써, 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3) 각각의 개구율을 향상시킬 수 있다. 이는 전체적인 유기발광표시장치의 제조 시간 및 제조 비용을 절감하는 동시에 유기발광표시장치가 표시하는 이미지의 품질을 향상시키는 요인으로서 작용된다.

[0048] 또한, 본 발명의 실시예에 따른 화소 배열 구조는 같은 빛을 발광하는 화소 사이의 간격은 넓게 배치되어 증착 신뢰도는 향상되며, 상이한 빛을 발광하는 화소들, 즉 적색, 녹색, 청색 화소 사이의 간격은 좁게 배치되어 개구율은 향상되는 구조일 수 있다.

[0049] 한편, 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 화소 배열 구조에서 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3) 각각은 녹색, 청색 및 적색 각각의 색을 발광하나, 본 발명의 실시예는 이에 한정되지 않고, 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3) 각각은 녹색, 청색 및 적색과 다른 색의 빛을 발광할 수 있다. 일례로, 제2 화소(PX2) 및 제3 화소(PX3) 중 하나 이상의 화소가 백색을 발광할 수 있다.

[0050] 도 2는 도 1에 도시된 유기발광표시장치(1)의 I-I'를 따라 자른 부분 평면도이다. 도 3은 도 1에 도시된 유기발광표시장치(1)의 I-I'를 따라 자른 부분 단면도이다.

[0051] 도 1에서는 제2 화소(PX2)를 따라 자르고 있으나, 제2 화소(PX2)의 평면도 및 단면도는 제1 화소(PX1) 및 제3 화소(PX3)에 동일 또는 유사하게 적용되므로, 이하에서는 설명의 편의를 위해 화소(PX)로 통칭하여 설명하겠다.

[0052] 도 2 및 도 3을 함께 참조하면, 유기발광표시장치(1)는 기판(10) 상의 표시 영역에 배치된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)를 덮는 비아 절연막(17), 비아 절연막(17) 상에 배치되며 박막 트랜지스터(TFT)와 전기적으로 연결된 화소 전극(210), 화소 전극(210)의 일부를 덮는 화소 정의막(19)을 포함한다.

[0053] 화소(PX)는 유기발광소자와 유기발광소자를 구동하기 위한 구동회로를 구비할 수 있다. 유기발광소자는 화소 전극(210), 화소 전극(210)에 대향하는 대향 전극 및 화소 전극(210)과 대향 전극 사이의 유기 발광층을 포함할 수 있다. 구동회로는 적어도 하나의 박막 트랜지스터(TFT)와 적어도 하나의 커패시터를 포함할 수 있다. 도 3의 실시예에서는 설명의 편의를 위해 유기발광소자의 화소 전극(210)과 구동회로에 포함된 하나의 박막 트랜지스터(TFT)만을 도시하였다.

[0054] 박막 트랜지스터(TFT)는 버퍼막(11) 상에 배치된 활성층(110), 활성층(110)과 절연되며 활성층(110)의 적어도 일부 상에 배치된 게이트 전극(130), 소스 전극(170), 및 제2 화소 전극(210B)과 전기적으로 연결된 드레인 전극(150)을 포함할 수 있다. 활성층(110)과 게이트 전극(130) 사이에는 게이트 절연막(13)이 배치되고, 게이트 전극(130)과 소스 전극(170) 및 드레인 전극(150) 사이에는 층간 절연막(15)이 배치될 수 있다. 소스 전극(170)과 드레인 전극(150)은 각각 활성층(110)의 소스 영역 및 드레인 영역과 연결될 수 있다.

[0055] 일 실시예에 따른 박막 트랜지스터(TFT)는 게이트 전극(130)이 활성층(110)의 상부에 배치된 탑 게이트 타입(top gate type)이지만, 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 박막 트랜지스터(TFT)는 게이트 전극(130)이 활성층(110)의 하부에 배치된 바텀 게이트 타입(bottom gate type)일 수 있다.

[0056] 버퍼막(11), 게이트 절연막(13) 및 층간 절연막(15)은 표시 영역뿐만 아니라 표시 영역 주변의 비표시 영역의 일부에까지 연장될 수 있다. 일 실시예에 따르면, 기판(10)의 최외곽 가장자리 영역을 제외한 나머지 영역 상에는 버퍼막(11), 게이트 절연막(13) 및 층간 절연막(15)이 배치될 수 있다.

[0057] 박막 트랜지스터(TFT) 상부에는 박막 트랜지스터(TFT)를 덮는 비아 절연막(17)이 배치될 수 있다. 비아 절연막(17)은 박막 트랜지스터(TFT) 등에 의한 단차를 해소하고 상면을 평탄화할 수 있다. 비아 절연막(17)은 유기 물

질로 이루어진 단일막 또는 다중막일 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 비아 절연막(17)은 무기 절연막과 유기 절연막의 복합 적층체일 수 있다.

[0058] 비아 절연막(17)에는 비아홀(VIA), 제1 두께(t1)를 갖는 평탄부(17a) 및 평탄부(17a)로부터 제2 두께(t2)를 가지며 돌출된 격벽(17b)을 구비한다. 비아 절연막(17)의 격벽(17b)은 평면에서 봤을 때 화소 전극(210)의 형상과 유사한 형상일 수 있다. 비아 절연막(17)의 격벽(17b)의 두께는 화소 정의막(19)의 두께보다 크다. 본 발명의 실시예에서 격벽(17b)은 서로 다른 색을 발광하는 색 화소 각각에 유기 발광층을 형성하는 파인메탈마스크(FMM)를 이용한 증착 공정 시에 마스크에 의한 화소 전극의 손상을 방지할 수 있는 두께를 가짐으로써, 증착 신뢰도가 향상될 수 있다. 예를 들어, 격벽의 두께(t2)는 대략 3 내지 4 μ m 일 수 있다.

[0059] 평탄부(17a)의 상면은 기판(10)의 면과 대략 평행하게 형성될 수 있다.

[0060] 격벽(17b)은 기판(10) 또는 평탄부(17a)로부터 멀어질수록 폭이 점차 증가하여 측면 경사를 갖는 역 테이퍼 형상일 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 격벽(17b)은 전체적으로 동일한 폭을 가질 수 있다. 즉, 격벽(17b)은 격벽(17b)의 내측면과 기판(10)의 면, 즉 평탄부(17a)의 상면이 이루는 각(θ)이 90도 이상일 수 있다. 격벽(17b)은 화소 전극(210)의 가장자리를 따라 화소 전극(210)을 둘러싼다. 즉, 화소 전극(210)은 격벽(17b)에 의해 비아 절연막(17)에 형성된 트렌치(117) 내의 저면 상에 배치될 수 있다. 트렌치(117)는 격벽(17b)을 측면으로 가지고, 저부에서 위로 갈수록 내부 폭이 좁아지는 역 테이퍼 형상을 가질 수 있다.

[0061] 화소 전극(210)은 트렌치(117)에 위치한 비아홀(VIA)을 통해 박막 트랜지스터(TFT)와 전기적으로 연결될 수 있다. 화소 전극(210)은 독립적인 아일랜드 형태로 비아 절연막(17) 상에 배치된다. 일 실시예에 따른 화소 전극(210)은 드레인 전극(150)과 전기적으로 연결되지만, 본 발명은 이에 제한되지 않으며, 화소 전극(210)은 소스 전극(170)과 전기적으로 연결될 수도 있다.

[0062] 화소 전극(210)은 유기 발광층이 배치되는 제1 영역(210a)과 제1 영역(210a) 주변의 제2 영역(210b)을 포함할 수 있다.

[0063] 화소 전극(210)의 제1 영역(210a)은 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있다. 화소 전극(210)의 제1 영역(210a) 상에는 유기 발광층(미도시)이 형성되고, 유기 발광층 상에 대향 전극(미도시)이 형성된다. 화소 전극(210)의 제1 영역(210a)의 형태가 화소(PX)의 형태를 결정할 수 있다.

[0064] 화소 전극(210)의 제2 영역(210b)은 화소 정의막(19)에 의해 덮이는 영역으로서, 제2 영역(210b)의 일부가 비아홀(VIA)의 상부에 위치할 수 있다. 제2 영역(210b)이 제1 영역(210a)으로부터 연장되는 방향은 비아홀(VIA)의 위치에 따라 달라질 수 있다. 도 2의 실시예에서는 평면에서 보았을 때 비아홀(VIA)이 제1 영역(210a)의 상부에 위치함에 따라 제2 영역(210b)이 상부로 직선 형태로 연장되어 있다. 그러나, 본 발명의 실시예는 이에 한정되지 않으며, 화소마다 비아홀(VIA)의 상하좌우 위치에 대응하여 제2 영역(210b)의 연장 방향이 달라질 수 있다.

[0065] 화소 전극(210)은 격벽(17b)과 소정 갭(GAP)을 두고 이격되어 있다. 화소 전극(210)과 격벽(17b) 사이의 갭(GAP) 크기는 격벽(17b)의 테이퍼 각(θ)에 따라 달라질 수 있다.

[0066] 화소 전극(210)과 격벽(17b) 사이의 갭(GAP)에는 화소 정의막(19)이 배치될 수 있다. 화소 정의막(19)은 화소 전극(210)과 격벽(17b) 사이의 갭(GAP)을 채우며 화소 전극(210)의 제2 영역(210b)을 덮는다.

[0067] 도 4a 내지 도 4i는 도 1의 유기발광표시장치(1)를 제조하는 방법을 순차적으로 나타낸 도면들이다.

[0068] 도 4a를 참조하면, 기판(10) 상에 박막 트랜지스터(TFT)를 형성할 수 있다.

[0069] 기판(10) 상에 버퍼막(11)을 형성한 후, 버퍼막(11) 상에 반도체 물질로 반도체층을 형성하고, 반도체층을 패터닝하여 활성층(110)을 형성할 수 있다.

[0070] 기판(10)은 유리, 금속 또는 플라스틱 등 다양한 소재로 구성될 수 있다. 일 실시예에 따르면, 기판(10)은 플렉서블 소재의 기판을 포함할 수 있다. 여기서, 플렉서블 소재의 기판이란 잘 휘어지고 구부러지며 접거나 말 수 있는 기판을 지칭한다. 이러한 플렉서블 소재의 기판은 초박형 유리, 금속 또는 플라스틱으로 구성될 수 있다. 예를 들어, 플라스틱을 사용하는 경우 기판(10)은 폴리이미드(PI; polyimide)로 구성될 수 있으나, 이에 제한되지 않는다.

[0071] 기판(10) 상에는 불순 원소의 침투를 방지하며 기판(10)의 표면을 평탄화하는 역할을 하는 버퍼막(11)이 배치될 수 있다. 버퍼막(11)은 실리콘질화물(SiN_x) 및/또는 실리콘산화물(SiO_x)과 같은 무기물로 단일막 또는 다중막일 수 있다.

로 형성될 수 있다. 기관(10)과 버퍼막(11) 사이에는 배리어층(미도시)이 더 배치될 수 있으며, 버퍼막(11)은 필요에 따라 생략될 수 있다.

[0072] 활성층(110)은 반도체 물질을 포함하며, 예를 들면, 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly crystalline silicon)과 같은 무기 반도체 물질을 포함할 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 활성층(110)은 유기 반도체 물질 또는 산화물 반도체 물질을 포함할 수 있다.

[0073] 기관(10) 상부에 활성층(110)을 덮으며 게이트 절연막(13)이 형성될 수 있다. 게이트 절연막(13)은 무기 물질로 구성된 단일막 또는 다중막일 수 있다. 예를 들면, 게이트 절연막(13)은 실리콘산화물(SiO_2), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), 하프늄산화물(HfO_2), 및/또는 아연산화물(ZrO_2) 등을 포함할 수 있다.

[0074] 게이트 절연막(13) 상에 도전 물질을 포함하는 제1 도전막을 형성하고, 제1 도전막을 패터닝하여 박막 트랜지스터(TFT)의 게이트 전극(130)을 형성할 수 있다. 게이트 전극(130)은 박막 트랜지스터(TFT)에 온/오프 신호를 인가하는 게이트 배선(미도시)과 연결될 수 있으며, 저저항 금속 물질로 이루어질 수 있다. 예를 들면, 게이트 전극(130)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 구성된 단일막 또는 다중막일 수 있다. 게이트 전극(130)은 활성층(110)의 적어도 일부와 평면상 중첩될 수 있다.

[0075] 일 실시예에서, 게이트 전극(130)을 마스크로서, B 또는 P 이온 불순물을 활성층(110)에 도핑할 수 있다. 이에 따라 활성층(110)은 이온 불순물이 도핑된 소스 영역 및 드레인 영역과, 그 사이의 채널 영역을 구비할 수 있다.

[0076] 다음으로, 기관(10) 상부에 게이트 전극(130)을 덮으며 층간 절연막(15)이 형성될 수 있다. 층간 절연막(15)은 무기 물질로 구성된 단일막 또는 다중막일 수 있다. 예를 들면, 층간 절연막(15)은 실리콘산화물(SiO_2), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al_2O_3), 티타늄산화물(TiO_2), 탄탈산화물(Ta_2O_5), 하프늄산화물(HfO_2), 및/또는 아연산화물(ZrO_2) 등을 포함할 수 있다.

[0077] 층간 절연막(15) 및 게이트 절연막(13)을 동시에 식각하여 활성층(110)을 노출하는 적어도 2개의 콘택홀(C1, C2)을 형성할 수 있다. 콘택홀(C1, C2)을 통해 활성층(110)의 소스 영역 및 드레인 영역이 노출될 수 있다.

[0078] 다음으로, 층간 절연막(15) 상에 도전 물질을 포함하는 제2 도전막을 형성하고, 제2 도전막을 패터닝하여 박막 트랜지스터(TFT)의 소스 전극(170) 및 드레인 전극(150)을 형성할 수 있다. 소스 전극(170) 및 드레인 전극(150)은 전도성이 좋은 도전 물질로 이루어진 단일막 또는 다중막일 수 있다. 예를 들어, 소스 전극(170) 및 드레인 전극(150)은 게이트 전극(130)과 동일한 물질로 구성될 수 있다. 소스 전극(170) 및 드레인 전극(150)은 콘택홀(C1, C2)을 통해 활성층(110)의 소스 영역 및 드레인 영역과 각각 연결될 수 있다.

[0079] 도 4b를 참조하면, 기관(10) 상에 절연 물질로 박막 트랜지스터(TFT)를 덮는 제1 절연막(17')을 형성할 수 있다. 그리고, 제1 절연막(17')이 형성된 기관(10) 상부에 하프톤 마스크(M1)를 정렬한다.

[0080] 제1 절연막(17')은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노블락계 수지 등의 감광성 유기 물질일 수 있다. 여기서 감광성 유기 물질은 네가티브 감광 물질 또는 포지티브 감광 물질일 수 있다.

[0081] 도 4b의 실시예에는 제1 절연막(17')이 네가티브 감광 물질인 예로서, 이 경우 하프톤 마스크(M1)는 투광부(M1a), 반투광부(M1b) 및 차광부(M1c)를 포함할 수 있다. 투광부(M1a)는 제1 절연막(17')이 그대로 남는 영역, 반투광부(M1b)는 제1 절연막(17')의 일부만 제거될 영역, 차광부(M1c)는 제1 절연막(17')이 모두 제거될 영역에 대응하여 배치된다.

[0082] 제1 절연막(17')에 하프톤 마스크(M1)를 이용하여 광을 조사하여 노광을 실시한다.

[0083] 도 4c를 참조하면, 감광된 제1 절연막(17')을 현상함으로써 비아 절연막(17)이 형성될 수 있다.

[0084] 하프톤 마스크(M1)의 차광부(M1c)에 대응하는 제1 절연막(17')은 모두 제거되고, 반투광부(M1b)에 대응하는 제1 절연막(17')은 일부가 제거되고, 투광부(M1a)에 대응하는 제1 절연막(17')은 그대로 남아 있다. 이때, 반투광부(M1b)에 대응하는 제1 절연막(17')의 두께는 투광부(M1a)에 대응하는 제1 절연막(17')의 두께보다 얇으며, 이

두께는 반투광부(M1b)를 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.

- [0085] 제1 절연막(17')에서 차광부(M1c)에 대응하는 영역에 비아홀(VIA)이 형성되고, 반투광부(M1b)에 대응하는 영역에 평탄부(17a)가 형성되고, 투광부(M1a)에 대응하는 영역에 격벽(17b)이 형성될 수 있다. 이로써, 비아홀(VIA), 평탄부(17a) 및 격벽(17b)을 구비하는 비아 절연막(17)이 형성될 수 있다. 즉, 본 발명의 실시예에 따라 비아홀(VIA), 평탄부(17a) 및 격벽(17b)을 포함하는 비아 절연막(17)이 한 번의 마스크 공정에 의해 형성될 수 있다.
- [0086] 격벽(17b)은 평탄부(17a)로부터 멀어질수록 폭이 넓어지며 경사를 갖는 역 테이퍼 형상을 가질 수 있다. 그리고, 비아 절연막(17)의 평탄부(17a)가 형성된 영역 중 격벽(17b)에 의해 둘러싸인 영역에 소정의 공간, 즉, 역 테이퍼 형상의 트렌치(117)가 형성될 수 있다.
- [0087] 트렌치(117) 내에 비아홀(VIA)이 위치하고, 비아홀(VIA)에 의해 박막 트랜지스터(TFT)의 드레인 전극(150)의 일부가 노출될 수 있다.
- [0088] 도 4b 및 도 4c에서는 네가티브 감광 물질을 이용하여 비아 절연막(17)을 형성하는 실시예를 도시하였다. 네가티브 감광 물질을 이용하는 경우, 도 4c에 도시된 바와 같이 역 테이퍼 형상의 격벽 패터닝이 가능하다. 그러나, 본 발명의 실시예는 이에 한정되지 않고, 포지티브 감광 물질을 이용하여 비아 절연막(17)을 형성할 수도 있다. 이때, 하프톤 마스크(M1)는 차광부(M1a), 반투광부(M1b) 및 투광부(M1c)를 포함할 수 있다. 차광부(M1a)는 제1 절연막(17')이 남는 영역, 반투광부(M1b)는 제1 절연막(17')의 일부만 제거될 영역, 투광부(M1c)는 제1 절연막(17')이 모두 제거될 영역에 대응하여 배치된다. 포지티브 감광 물질을 이용한 패터닝의 경우, 격벽은 테이퍼 없는 수직 형상 또는 평탄부(17a)로부터 멀어질수록 폭이 좁아지며 경사를 갖는, 즉 격벽의 내측면과 기관의 면이 이루는 각이 90도 이하인 순 테이퍼 형상을 가질 수 있다. 격벽이 테이퍼 없는 수직 형상인 경우, 등방성 식각 등의 공정에 의해 격벽의 하부 외측면의 일부를 식각하여 격벽의 상부와 하부 폭을 다르게 형성할 수 있다.
- [0089] 도 4d를 참조하면, 비아 절연막(17)이 형성된 기관(10) 상에 도전 물질을 포함하는 제3 도전막(20)을 형성할 수 있다.
- [0090] 제3 도전막(20)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pd), 금(Au), 니켈(Ni), 니오브(Nd), 이리듐(Ir), 크롬(Cr) 및 이들의 화합물 등을 포함하는 반사막일 수 있다. 일 실시예에서 제3 도전막(20)은 상기 반사막 외에 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 어느 하나 이상의 투명 도전성 산화물을 포함하는 투명 도전막을 더 포함할 수 있다.
- [0091] 제3 도전막(20)은 비아 절연막(17) 상에 형성될 때 격벽(17b)의 두께에 의해 끊어지면서 분리되어 평탄부(17a)의 상면과 격벽(17b)의 상면에 각각 배치될 수 있다. 그리고, 격벽(17b)의 역 테이퍼 형상에 의해 더욱 용이하게 제3 도전막(20)이 끊어져 분리 형성될 수 있다.
- [0092] 격벽(17b)에 의해 형성된 트렌치(117)의 저면에 형성된 제3 도전막(20)은 트렌치(117) 내에 위치한 비아홀(VIA)을 채우면서 박막 트랜지스터(TFT)의 드레인 전극(150)과 전기적으로 연결될 수 있다. 트렌치(117)의 저면에 형성된 제3 도전막(20)은 추후 화소 전극(210)으로 기능할 수 있다.
- [0093] 격벽(17b)의 역 테이퍼 형상에 의해 제3 도전막(20)은 격벽(17b)의 하부 측면과 접촉하지 않고 소정의 갭(GAP)을 가지며 형성될 수 있다. 그러나, 본 발명의 실시예는 이에 한정되지 않으며, 제3 도전막(20)의 두께 및/또는 제3 도전막(20)을 구성하는 도전 물질에 따라 제3 도전막(20)은 갭(GAP) 없이 격벽(17b)의 하부 측면과 접촉할 수 있다.
- [0094] 도 4e를 참조하면, 제3 도전막(20) 상에 절연 물질로 제2 절연막(19'')을 형성할 수 있다. 그리고, 제2 절연막(19'')이 형성된 기관(10) 상부에 하프톤 마스크(M2)를 정렬한다.
- [0095] 제2 절연막(19'')은 제3 도전막(20)과 격벽(17b) 사이에 형성된 갭(GAP)을 채우며 제3 도전막(20) 상면에 형성된다. 제2 절연막(19'') 또한 격벽(17b)에 의해 끊어져 분리되어 있다.
- [0096] 제2 절연막(19'')은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노블락계 수지 등의 감광성 유기 물질일 수 있다. 여기서 감광성 유기 물질은 네가티브 감광 물질 또는 포지티브 감광 물질일 수 있다. 도 4e

에서는 포지티브 감광 물질로 제2 절연막(19'')을 형성한 예를 설명하겠다.

- [0097] 하프톤 마스크(M2)는 차광부(M2a), 반투광부(M2b) 및 투광부(M2c)를 포함할 수 있다. 차광부(M2a)는 제2 절연막(19'')이 최종적으로 남는 영역, 반투광부(M2b)는 제2 절연막(19'')의 일부만 남은 후 애싱에 의해 제거될 영역, 투광부(M2c)는 제2 절연막(19'')이 완전히 제거될 영역에 대응하여 배치된다.
- [0098] 제2 절연막(19'')에 하프톤 마스크(M2)를 이용하여 광을 조사하여 노광을 실시한다.
- [0099] 도 4f에는 감광된 제2 절연막(19'')을 현상한 후 잔존하는 제2 절연막 패턴(19')이 개략적으로 도시되어 있다.
- [0100] 하프톤 마스크(M2)의 투광부(M2c)에 대응하는 제2 절연막(19'')은 모두 제거되고, 반투광부(M2b)에 대응하는 제2 절연막(19'')은 일부가 제거되고, 차광부(M2a)에 대응하는 제2 절연막(19'')은 그대로 남아 있다. 이때, 반투광부(M2b)에 대응하는 제2 절연막(19'')의 두께는 차광부(M2a)에 대응하는 제2 절연막(19'')의 두께보다 얇으며, 이 두께는 반투광부(M2b)를 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0101] 투광부(M2c)에 대응하는 영역에는 제2 절연막(19'')이 모두 제거됨에 따라 제3 도전막(20)이 노출되어 있다.
- [0102] 도 4g를 참조하면, 도 4f의 공정에서 잔존하는 제2 절연막 패턴(19')을 마스크로 이용하여, 제2 절연막(19'')이 없이 노출된 제3 도전막(20)을 식각하여 제거할 수 있다. 이때 제2 절연막 패턴(19')의 일부 두께가 식각될 수 있다. 식각은 습식 식각 및 건식 식각 등 다양한 방법이 이용될 수 있다.
- [0103] 식각에 의해 트렌치(117) 내에 배치된 제3 도전막(20)만 잔존하여 화소 전극(210)이 형성될 수 있다.
- [0104] 도 4h를 참조하면, 애싱(ashing)을 통해 제2 절연막 패턴(19')의 일부를 제거할 수 있다. 제2 절연막 패턴(19')은 애싱을 통해 높이가 낮아질 수 있다.
- [0105] 제2 절연막 패턴(19')에서 반투광부(M2b)에 대응하는 영역은 애싱을 통해 완전히 제거되어 화소 전극(210)의 일부가 노출될 수 있다.
- [0106] 제2 절연막 패턴(19')에서 차광부(M2a)에 대응하는 영역은 애싱에 의해 높이가 낮아지며 화소 전극(210)의 일부를 덮는 화소 정의막(19)으로 형성될 수 있다. 화소 정의막(19)은 화소 전극(210)과 격벽(17b) 간의 갭(GAP)을 채우며 화소 전극(210)의 일부(예를 들어, 화소 전극(210)의 제2 영역(210b))의 상면과 측단면을 덮는다. 이후 화소 정의막(19)은 경화(cure)될 수 있다. 즉, 본 발명의 실시예에 따라 화소 전극(210) 및 화소 정의막(19)이 한 번의 마스크 공정에 의해 형성될 수 있다.
- [0107] 도 4i를 참조하면, 화소 정의막(19)에 의해 화소 전극(210)의 노출된 영역 상에 유기 발광층(230)을 형성하고, 유기 발광층(230) 상에 대향 전극(250)을 형성함으로써 유기발광소자(OLED)를 형성할 수 있다.
- [0108] 유기 발광층(230)은 저분자 유기물 또는 고분자 유기물로 구성될 수 있다. 유기 발광층(230)은 FMM을 이용하여 하나의 유기 발광소자(OLED)에 각각 배치될 수 있으며, 이 경우, 유기발광소자(OLED)에 포함된 유기 발광층(230)의 종류에 따라 유기발광소자(OLED)는 적색, 녹색 및 청색의 광을 각각 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 복수의 유기 발광층(230)이 하나의 유기발광소자(OLED)에 배치될 수 있다. 예를 들어, 적색, 녹색, 및 청색의 광을 방출하는 복수의 유기 발광층(230)이 수직으로 적층되거나 혼합 형성되어 백색광을 방출할 수 있다. 이 경우 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나 컬러 필터가 더 구비될 수 있다. 상기 적색, 녹색, 및 청색은 예시적인 것으로, 백색광을 방출하기 위한 색의 조합은 이에 한정되지 않는다.
- [0109] 도시되지 않았으나, 화소 전극(210)과 유기 발광층(230) 사이 및/또는 유기 발광층(230)과 대향 전극(250) 사이에는 정공 주입층(hole injection layer), 정공 수송층(hole transport layer), 전자 수송층(electron transport layer) 및 전자 주입층(electron injection layer) 중 적어도 하나의 기능층이 더 배치될 수 있다. 일 실시예에 따르면, 화소 전극(210)과 대향 전극(250) 사이에는 상술한 층들 외에 기타 다양한 기능층이 더 배치될 수 있다. 기능층은 오픈 마스크(open mask)를 이용하여 복수의 화소들의 복수의 유기발광소자(OLED)에 대해 공통층으로서 형성될 수 있다.
- [0110] 대향 전극(250)은 다양한 도전성 재료로 구성될 수 있다. 예를 들면, 대향 전극(250)은 리튬(Li), 칼슘(Ca), 불화리튬(LiF), 알루미늄(Al), 마그네슘(Mg) 및 은(Ag)을 포함하는 그룹에서 선택된 적어도 어느 하나를 포함하는 반투과 반사막을 포함하거나, ITO, IZO, ZnO 등의 광투과성 금속 산화물을 포함할 수 있으며, 단일막 또는 다층막으로 형성될 수 있다.

- [0111] 도시되지 않았으나, 일 실시예에 따르면, 대향 전극(250) 상에는 유기발광소자(OLED)를 밀봉하며 적어도 하나의 유기막과 적어도 하나의 무기막을 포함하는 박막 봉지층이 배치될 수 있다. 박막 봉지층은 유기발광소자(OLED)가 외부의 공기나 이물질에 노출되지 않도록 유기발광소자(OLED)를 밀봉하는 역할을 수행하며, 매우 얇은 두께를 갖으므로 벤딩(bending) 또는 폴딩(folding) 등이 가능한 플렉서블 표시 장치의 봉지 수단으로 이용될 수 있다.
- [0112] 도 5는 본 발명의 다른 실시예에 따른 유기발광표시장치(2)의 부분 평면도이다. 도 6은 도 5에 도시된 유기발광표시장치(2)의 II-II'를 따라 자른 부분 단면도이다.
- [0113] 도 5 및 도 6에 도시된 유기발광표시장치(2)는 배선(250) 및 스페이서(SP)가 추가된 점에서, 도 1 내지 도 3에 도시된 유기발광표시장치(1)와 차이가 있고, 그 외 구성은 동일하다. 이하에서는 도 1 내지 도 3을 참조하여 설명한 내용과 중복하는 내용의 상세한 설명은 생략한다.
- [0114] 도 5 및 도 6을 함께 참조하면, 유기발광표시장치(2)의 표시 영역에는 복수의 제1 화소(PX1)들, 복수의 제2 화소(PX2)들 및 복수의 제3 화소(PX3)들이 열 및 행 방향으로 소정 패턴에 따라 반복 배치될 수 있다.
- [0115] 제1 화소(PX1)는 녹색 화소(G)일 수 있고, 제2 화소(PX2)는 청색 화소(B)일 수 있고, 제3 화소(PX3)는 적색 화소(R)일 수 있다. 도 5에 도시된 제1 내지 제3 화소들(PX1, PX2, PX3)의 평면도는 도 2에 도시된 바와 동일하다.
- [0116] 유기발광표시장치(2)는 기판(10) 상의 표시 영역에 배치된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)를 덮는 비아 절연막(17), 비아 절연막(17) 상에 배치되며 박막 트랜지스터(TFT)와 전기적으로 연결된 화소 전극(210), 화소 전극(210)의 일부를 덮는 화소 정의막(19)을 포함한다. 화소 전극(210)의 주변에는 화소 전극(210)과 이격되고 비아 절연막(17) 상에 배치된 배선(250) 및 스페이서(SP)가 배치될 수 있다.
- [0117] 박막 트랜지스터(TFT)는 버퍼막(11) 상에 배치된 활성층(110), 활성층(110)과 절연되며 활성층(110)의 적어도 일부 상에 배치된 게이트 전극(130), 소스 전극(170), 및 화소 전극(210)과 전기적으로 연결된 드레인 전극(150)을 포함할 수 있다. 활성층(110)과 게이트 전극(130) 사이에는 게이트 절연막(13)이 배치되고, 게이트 전극(130)과 소스 전극(170) 및 드레인 전극(150) 사이에는 충간 절연막(15)이 배치될 수 있다. 소스 전극(170)과 드레인 전극(150)은 각각 활성층(110)의 소스 영역 및 드레인 영역과 연결될 수 있다.
- [0118] 박막 트랜지스터(TFT) 상부에는 박막 트랜지스터(TFT)를 덮는 비아 절연막(17)이 배치될 수 있다.
- [0119] 비아 절연막(17)에는 비아홀(VIA), 제1 두께(t1)를 갖는 평탄부(17a) 및 평탄부(17a)로부터 제2 두께(t2)를 가지며 돌출된 격벽(17b) 및 제3 두께(t3)를 가지며 돌출된 스페이서(SP)가 형성될 수 있다.
- [0120] 평탄부(17a)의 상면은 기판(10)의 면과 대략 평행하게 형성될 수 있다.
- [0121] 격벽(17b)은 평면에서 봤을 때 화소 전극(210)의 형상과 유사한 형상일 수 있다. 격벽(17b)은 격벽(17b)의 내측면과 기판(10)의 면, 즉 평탄부(17a)의 상면이 이루는 각(θ_1)이 90도 이상일 수 있다. 격벽(17b)은 화소 전극(210)의 가장자리를 따라 화소 전극(210)을 둘러싼다. 즉, 화소 전극(210)은 격벽(17b)에 의해 비아 절연막(17)에 형성된 트렌치(117)의 저면 상에 배치될 수 있다.
- [0122] 스페이서(SP)는 스페이서(SP)의 내측면과 기판(10)의 면, 즉 평탄부(17a)의 상면이 이루는 각(θ_2)이 90도 이상일 수 있다. 예를 들어, 스페이서(SP)는 평탄부(17a)로부터 멀어질수록 폭이 점차 증가하여 측면 경사를 갖는 역 테이퍼 형상일 수 있다. 다른 예로서, 스페이서(SP)는 전체적으로 동일한 폭을 가질 수 있다. 스페이서(SP)는 화소들 사이에 소정 간격으로 배치될 수 있다. 스페이서(SP)는 화소 전극(210)과 동일층에 동일 물질로 형성되는 배선(250) 주변에 배치될 수 있다.
- [0123] 격벽(17b)의 두께(t2) 및 스페이서(SP)의 두께(t3)는 화소 정의막(19)의 두께보다 크다. 예를 들어, 격벽(17b)의 두께(t2) 및 스페이서(SP)의 두께(t3)는 동일하고, 대략 3 내지 4 μm 일 수 있다.
- [0124] 본 발명의 실시예에서, 격벽(17b)은 서로 다른 색을 발광하는 색 화소 각각에 유기 발광층을 형성하는 파인메탈 마스크(FMM)를 이용한 증착 공정 시에 마스크에 의한 화소 전극(210)의 손상을 방지할 수 있는 두께를 가지고, 스페이서(SP)는 화소 전극(210)과 동일층에 동일 물질로 형성되는 배선(250)의 손상을 방지할 수 있는 두께를 가짐으로써, 증착 신뢰도가 향상될 수 있다.
- [0125] 화소 전극(210)은 트렌치(117)에 위치한 비아홀(VIA)을 통해 박막 트랜지스터(TFT)와 전기적으로 연결될 수 있다. 화소 전극(210)은 유기 발광층이 배치되는 제1 영역(210a)과 제1 영역(210a) 주변의 제2 영역(210b)을 포함

할 수 있다.

- [0126] 화소 전극(210)의 제1 영역(210a)의 형태가 화소(PX)의 형태를 결정할 수 있다. 화소 전극(210)의 제2 영역(210b)은 화소 정의막(19)에 의해 덮이는 영역으로서, 제2 영역(210b)의 일부가 비아홀(VIA)의 상부에 위치할 수 있다.
- [0127] 화소 전극(210)은 격벽(17b)과 소정 갭(GAP)을 두고 이격되어 있다. 화소 전극(210)과 격벽(17b) 사이의 갭(GAP)에는 화소 정의막(19)이 배치될 수 있다. 화소 정의막(19)은 화소 전극(210)과 격벽(17b) 사이의 갭(GAP)을 채우며 화소 전극(210)의 제2 영역(210b)을 덮는다.
- [0128] 배선(250)은 화소 전극(210)과 이격되어 배치될 수 있으며, 배선(250)의 종류는 특별히 한정되지 않는다. 즉, 배선(250)은 데이터 배선 또는 초기화 전압 배선 등일 수 있으며, 다른 층에 있는 배선과 전기적으로 연결되어 보조 배선으로 기능할 수도 있다. 배선(250)은 화소 정의막(19)과 동일 물질의 절연막(19a)에 의해 상면 및 측면이 완전히 덮일 수 있다. 배선(250)의 주변에 스페이서(SP)가 이격 배치될 수 있다. 절연막(19a)은 격벽(17b)에 의해 화소 정의막(19)과 분리될 수 있다.
- [0129] 도 7a 내지 도 7h는 도 5의 유기발광표시장치(2)를 제조하는 방법을 순차적으로 나타낸 도면들이다.
- [0130] 도 7a를 참조하면, 기판(10) 상에 박막 트랜지스터(TFT)를 형성하고, 절연 물질로 박막 트랜지스터(TFT)를 덮는 제1 절연막(17')을 형성할 수 있다. 그리고, 제1 절연막(17')이 형성된 기판(10) 상부에 하프톤 마스크(M3)를 정렬한다.
- [0131] 박막 트랜지스터(TFT)를 형성하는 공정은 도 4a에서 설명하였으므로 생략한다. 또한 이하에서, 도 4a 내지 도 4i를 참조하여 설명한 내용과 중복하는 내용의 상세한 설명은 생략한다.
- [0132] 제1 절연막(17')은 감광성 유기 물질일 수 있다. 여기서 감광성 유기 물질은 네가티브 감광 물질일 수 있다.
- [0133] 하프톤 마스크(M3)는 투광부(M3a), 반투광부(M3b) 및 차광부(M3c)를 포함할 수 있다. 투광부(M3a)는 제1 절연막(17')이 그대로 남는 영역, 반투광부(M3b)는 제1 절연막(17')의 일부만 제거될 영역, 차광부(M3c)는 제1 절연막(17')이 모두 제거될 영역에 대응하여 배치된다.
- [0134] 제1 절연막(17')에 하프톤 마스크(M3)를 이용하여 광을 조사하여 노광을 실시한다.
- [0135] 도 7b를 참조하면, 감광된 제1 절연막(17')을 현상함으로써 비아 절연막(17)이 형성될 수 있다.
- [0136] 하프톤 마스크(M3)의 차광부(M3c)에 대응하는 제1 절연막(17')은 모두 제거되고, 반투광부(M3b)에 대응하는 제1 절연막(17')은 일부가 제거되고, 투광부(M3a)에 대응하는 제1 절연막(17')은 그대로 남아 있다. 이때, 반투광부(M3b)에 대응하는 제1 절연막(17')의 두께는 투광부(M3a)에 대응하는 제1 절연막(17')의 두께보다 얇으며, 이 두께는 반투광부(M3b)를 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0137] 제1 절연막(17')에서 차광부(M3c)에 대응하는 영역에 비아홀(VIA)이 형성되고, 반투광부(M3b)에 대응하는 영역에 평탄부(17a)가 형성되고, 투광부(M3a)에 대응하는 영역에 격벽(17b) 및 스페이서(SP)가 형성될 수 있다. 이로써, 비아홀(VIA), 평탄부(17a), 격벽(17b) 및 스페이서(SP)를 구비하는 비아 절연막(17)이 형성될 수 있다. 즉, 본 발명의 실시예에 따라 비아홀(VIA), 평탄부(17a), 격벽(17b) 및 스페이서(SP)를 포함하는 비아 절연막(17)이 한 번의 마스크 공정에 의해 형성될 수 있다.
- [0138] 격벽(17b)과 스페이서(SP)는 평탄부(17a)로부터 멀어질수록 폭이 넓어지며 경사를 갖는 역 테이퍼 형상을 가질 수 있다. 그리고, 비아 절연막(17)의 평탄부(17a)가 형성된 영역 중 격벽(17b)에 의해 둘러싸인 영역에 소정의 공간, 즉, 역 테이퍼 형상의 트렌치(117)가 형성될 수 있다. 트렌치(117) 내에 비아홀(VIA)이 위치하고, 비아홀(VIA)에 의해 박막 트랜지스터(TFT)의 드레인 전극(150)의 일부가 노출될 수 있다.
- [0139] 도 7a 및 도 7b에서는 네가티브 감광 물질을 이용하여 비아 절연막(17)을 형성하는 실시예를 도시하였다. 네가티브 감광 물질을 이용하는 경우, 도 7b에 도시된 바와 같이 역 테이퍼 형상의 격벽 및 스페이서 패터닝이 가능하다. 그러나, 본 발명의 실시예는 이에 한정되지 않고, 포지티브 감광 물질을 이용하여 비아 절연막(17)을 형성할 수도 있다. 이때, 하프톤 마스크(M3)는 차광부(M3a), 반투광부(M3b) 및 투광부(M3c)를 포함할 수 있다. 차광부(M3a)는 제1 절연막(17')이 남는 영역, 반투광부(M3b)는 제1 절연막(17')의 일부만 제거될 영역, 투광부(M3c)는 제1 절연막(17')이 모두 제거될 영역에 대응하여 배치된다. 포지티브 감광 물질을 이용한 패터닝의 경우, 격벽(17b) 및 스페이서(SP)는 테이퍼 없는 수직 형상일 수 있다. 이 경우, 등방성 식각 등의 공정에 의해 격벽 및 스페이서의 하부 외측면의 일부를 식각하여 격벽 및 스페이서의 상부와 하부 폭을 다르게 형성할 수 있

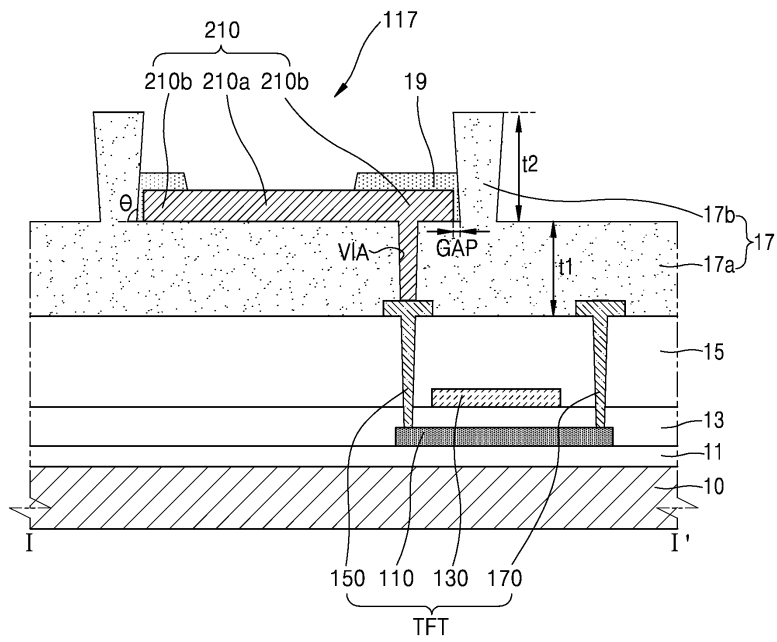
다.

- [0140] 도 7c를 참조하면, 비아 절연막(17)이 형성된 기판(10) 상에 도전 물질을 포함하는 제3 도전막(20)을 형성할 수 있다.
- [0141] 제3 도전막(20)은 비아 절연막(17) 상에 형성될 때 격벽(17b) 및 스페이서(SP)의 두께에 의해 끊어지면서 평탄부(17a)의 상면과 격벽(17b) 및 스페이서(SP)의 상면에 각각 배치될 수 있다. 그리고, 격벽(17b) 및 스페이서(SP)의 역 테이퍼 형상에 의해 더욱 용이하게 제3 도전막(20)이 끊어져 분리될 수 있다.
- [0142] 격벽(17b)에 의해 형성된 트렌치(117)의 저면에 배치된 제3 도전막(20)은 트렌치(117) 내에 위치한 비아홀(VIA)을 채우면서 박막 트랜지스터(TFT)의 드레인 전극(150)과 전기적으로 연결될 수 있다. 트렌치(117)의 저면에 배치된 제3 도전막(20)은 추후 화소 전극(210)으로 기능할 수 있다.
- [0143] 격벽(17b) 및 스페이서(SP)의 역 테이퍼 형상에 의해 제3 도전막(20)은 격벽(17b)의 하부 측면과 접촉하지 않고 소정의 갭(GAP)을 가지며 형성될 수 있다. 그러나, 본 발명의 실시예는 이에 한정되지 않으며, 제3 도전막(20)의 두께 및/또는 제3 도전막(20)을 구성하는 도전 물질에 따라 제3 도전막(20)은 갭(GAP) 없이 격벽(17b) 및 스페이서(SP)의 하부 측면과 접촉할 수 있다.
- [0144] 도 7d를 참조하면, 제3 도전막(20) 상에 절연 물질로 제2 절연막(19'')을 형성할 수 있다. 그리고, 제2 절연막(19'')이 형성된 기판(10) 상부에 하프톤 마스크(M4)를 정렬한다.
- [0145] 제2 절연막(19'')은 제3 도전막(20)과 격벽(17b) 및 스페이서(SP) 사이에 형성된 갭(GAP)을 채우며 제3 도전막(20) 상면에 형성된다. 제2 절연막(19'') 또한 격벽(17b) 및 스페이서(SP)에 의해 끊어져 분리되어 있다.
- [0146] 제2 절연막(19'')은 감광성 유기 물질일 수 있다. 여기서 감광성 유기 물질은 네가티브 감광 물질 또는 포지티브 감광 물질일 수 있다. 도 7d에서는 포지티브 감광 물질로 제2 절연막(19'')을 형성한 예를 설명하겠다.
- [0147] 하프톤 마스크(M4)는 차광부(M4a), 반투광부(M4b) 및 투광부(M4c)를 포함할 수 있다. 차광부(M4a)는 제2 절연막(19'')이 최종적으로 남는 영역, 반투광부(M4b)는 제2 절연막(19'')의 일부만 남은 후 애싱에 의해 제거될 영역, 투광부(M4c)는 제2 절연막(19'')이 완전히 제거될 영역에 대응하여 배치된다.
- [0148] 제2 절연막(19'')에 하프톤 마스크(M4)를 이용하여 광을 조사하여 노광을 실시한다.
- [0149] 도 7e에는 감광된 제2 절연막(19'')을 현상한 후 잔존하는 제2 절연막 패턴(19')이 개략적으로 도시되어 있다.
- [0150] 하프톤 마스크(M4)의 투광부(M4c)에 대응하는 제2 절연막 패턴(19')은 모두 제거되고, 반투광부(M4b)에 대응하는 제2 절연막(19'')은 일부가 제거되고, 차광부(M4a)에 대응하는 제2 절연막(19'')은 그대로 남아 있다. 이때, 반투광부(M4b)에 대응하는 제2 절연막(19'')의 두께는 차광부(M4a)에 대응하는 제2 절연막(19'')의 두께보다 얇으며, 이 두께는 반투광부(M4b)를 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0151] 투광부(M4c)에 대응하는 영역에는 제2 절연막(19'')이 모두 제거됨에 따라 제3 도전막(20)이 노출되어 있다.
- [0152] 도 7f를 참조하면, 도 7e의 공정에서 잔존하는 제2 절연막 패턴(19')을 마스크로 이용하여, 제2 절연막(19'')이 없이 노출된 제3 도전막(20)을 식각하여 제거할 수 있다. 이때 제2 절연막 패턴(19')의 일부 두께가 식각될 수 있다. 식각은 습식 식각 및 건식 식각 등 다양한 방법이 이용될 수 있다.
- [0153] 식각에 의해 트렌치(117) 내에 배치되어 잔존하는 제3 도전막(20)의 일부는 화소 전극(210)으로 형성되고, 트렌치(117) 외부에 배치되어 잔존하는 제3 도전막(20)의 일부는 배선(250)으로 형성될 수 있다.
- [0154] 도 7g를 참조하면, 애싱(ashing)을 통해 제2 절연막 패턴(19')의 일부를 제거할 수 있다. 제2 절연막 패턴(19')은 애싱을 통해 높이가 낮아질 수 있다.
- [0155] 제2 절연막 패턴(19')에서 반투광부(M4b)에 대응하는 영역은 애싱을 통해 완전히 제거되어 화소 전극(210)의 일부가 노출될 수 있다.
- [0156] 제2 절연막 패턴(19')에서 차광부(M4a)에 대응하는 영역은 애싱에 의해 높이가 낮아지며 화소 전극(210)의 일부를 덮는 화소 정의막(19) 및 배선(250)을 완전히 덮는 절연막(19a)이 형성될 수 있다.
- [0157] 화소 정의막(19)은 화소 전극(210)과 격벽(17b) 간의 갭(GAP)을 채우며 화소 전극(210)의 일부(예를 들어, 화소 전극(210)의 제2 영역(210b))의 상면과 측면을 덮는다. 절연막(19a)은 배선(250)의 상면 및 측면을 덮는다. 이후 화소 정의막(19)과 절연막(19a)은 경화(cure)될 수 있다. 즉, 본 발명의 실시예에 따라 화소 전극(210),

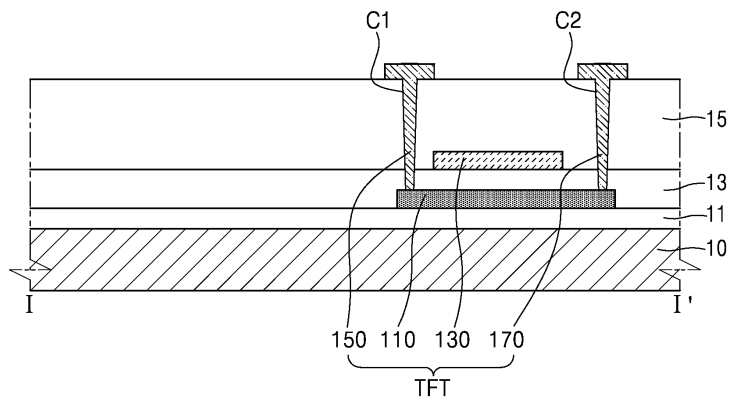
배선(250), 화소 정의막(19) 및 절연막(19a)이 한 번의 마스크 공정에 의해 형성될 수 있다.

- [0158] 도 7h를 참조하면, 화소 정의막(19)에 의해 화소 전극(210)의 노출된 영역 상에 유기 발광층(230)을 형성하고, 유기 발광층(230) 상에 대향 전극(250)을 형성함으로써 유기발광소자(OLED)를 형성할 수 있다. 화소 전극(210)과 대향 전극(250) 사이에는 다양한 기능층이 더 배치될 수 있다. 기능층은 오픈 마스크(open mask)를 이용하여 복수의 화소들의 복수의 유기발광소자(OLED)에 대해 공통층으로서 형성될 수 있다.
- [0159] 도시되지 않았으나, 일 실시예에 따르면, 대향 전극(250) 상에는 유기발광소자(OLED)를 밀봉하며 적어도 하나의 유기막과 적어도 하나의 무기막을 포함하는 박막 봉지층이 배치될 수 있다.
- [0160] 도 8 및 도 9는 본 발명의 다른 실시예에 따른 유기발광표시장치(3, 4)의 부분 단면도이다.
- [0161] 도 8에 도시된 유기발광표시장치(3)는 유기발광소자를 구동하는 구동회로가 제1 박막 트랜지스터(TFT1), 제2 박막 트랜지스터(TFT2) 및 커패시터(CAP)를 포함하는 예이며, 그 외 구성은 도 3에 도시된 실시예와 동일하다.
- [0162] 도 9에 도시된 유기발광표시장치(4)는 유기발광소자를 구동하는 구동회로가 제1 박막 트랜지스터(TFT1), 제2 박막 트랜지스터(TFT2) 및 커패시터(CAP)를 포함하는 예이며, 그 외 구성은 도 6에 도시된 실시예와 동일하다.
- [0163] 이하에서는 박막 트랜지스터 및 커패시터를 중심으로 설명하겠다.
- [0164] 제1 박막 트랜지스터(TFT1)는 버퍼막(11) 상에 배치된 활성층(110a), 활성층(110a)과 절연되며 활성층(110a)의 적어도 일부 상에 배치된 게이트 전극(130a), 소스 전극(170a), 및 화소 전극(210)과 전기적으로 연결된 드레인 전극(150a)을 포함할 수 있다. 활성층(110a)과 게이트 전극(130a) 사이에는 게이트 절연막(13)이 배치되고, 게이트 전극(130a)과 소스 전극(170a) 및 드레인 전극(150a) 사이에는 제1 층간 절연막(15a) 및 제2 층간 절연막(15b)이 배치될 수 있다.
- [0165] 제2 박막 트랜지스터(TFT2)는 제1 박막 트랜지스터(TFT1) 대비 긴 채널과 큰 사이즈를 가질 수 있다. 제2 박막 트랜지스터(TFT2)는 버퍼막(11) 상에 배치된 활성층(110b), 활성층(110b)과 절연되며 활성층(110b)의 적어도 일부 상에 배치된 게이트 전극(130b), 소스 전극(170b), 및 화소 전극(210)과 전기적으로 연결된 드레인 전극(150b)을 포함할 수 있다. 평면 상에서 보았을 때, 활성층(110b)은 'S', 'M', 'W' 등의 다양한 형태로 굴곡을 갖게 형성될 수 있다. 활성층(110b)과 게이트 전극(130b) 사이에는 게이트 절연막(13)이 배치되고, 게이트 전극(130b)과 소스 전극(170b) 및 드레인 전극(150b) 사이에는 제1 층간 절연막(15a) 및 제2 층간 절연막(15b)이 배치될 수 있다. 소스 전극(170b)과 드레인 전극(150b)은 각각 활성층(110b)의 소스 영역 및 드레인 영역과 연결될 수 있다.
- [0166] 커패시터(CAP)는 제2 박막 트랜지스터(TFT2)와 수직으로 중첩할 수 있다. 커패시터(CAP)는 제2 박막 트랜지스터(TFT2)의 게이트 전극(130b)을 하부 전극(130b)으로 하고, 하부 전극 상에 배치된 상부 전극(130c)을 포함할 수 있다. 하부 전극(130b)과 상부 전극(130c) 사이에는 제1 층간 절연막(15a)이 배치될 수 있다. 커패시터(CAP)를 제2 박막 트랜지스터(TFT2)와 중첩하게 형성함으로써 고해상도에서도 커패시턴스의 확보가 가능하다.
- [0167] 전술한 바와 같이 본 발명의 실시예에 따른 유기발광표시장치(1 내지 4)는 비아홀, 화소 전극, 화소 정의막을 각각 형성하기 위한 마스크 수를 감소시켜 제조 비용을 줄이며 공정을 간소화할 수 있다.
- [0168] 또한, 본 발명의 실시예에 따른 유기발광표시장치(1 내지 4)는 화소 정의막 및 비아 절연막의 격벽에 의해 화소 전극의 측단면을 완전히 커버할 수 있다.
- [0169] 또한, 본 발명의 실시예에 따른 유기발광표시장치(1 내지 4)는 FMM 공정에서 화소 전극 등의 손상을 방지하기 위해 화소 정의막 상부 또는 화소 주변에 스페이서를 형성하는 추가 공정 없이, 비아 절연막을 형성하면서 스페이서를 동시에 형성할 수 있기 때문에 마스크 공정을 줄일 수 있다.
- [0170] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

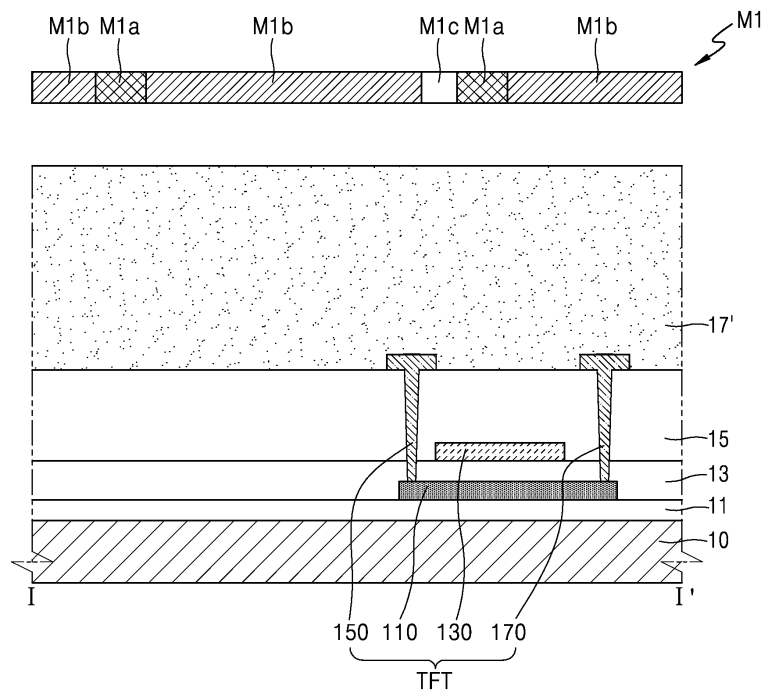
도면3



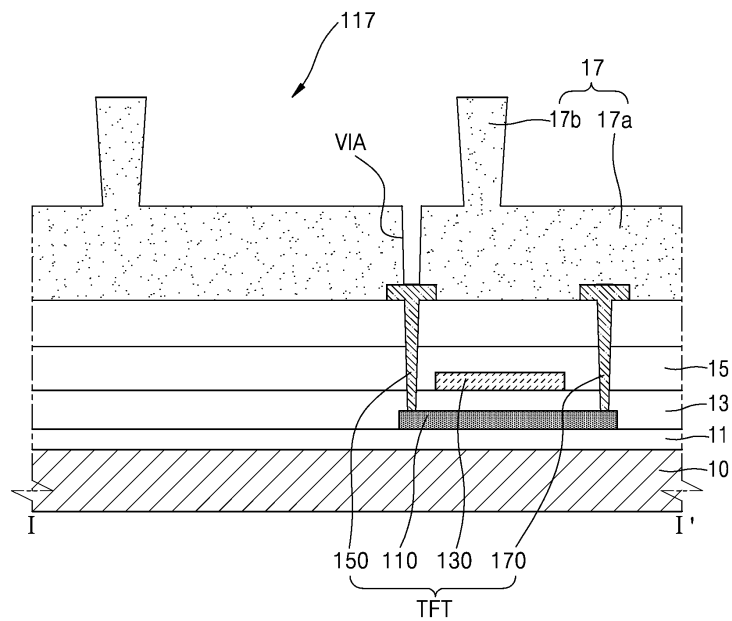
도면4a



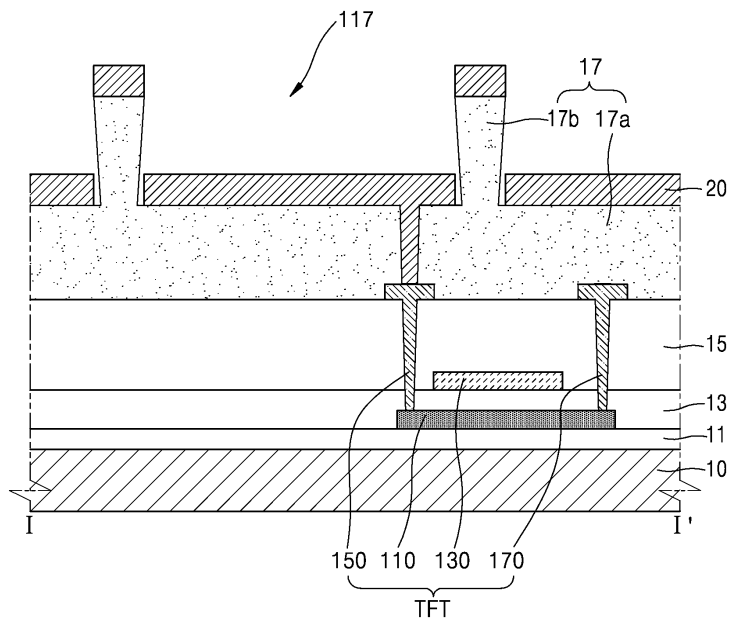
도면4b



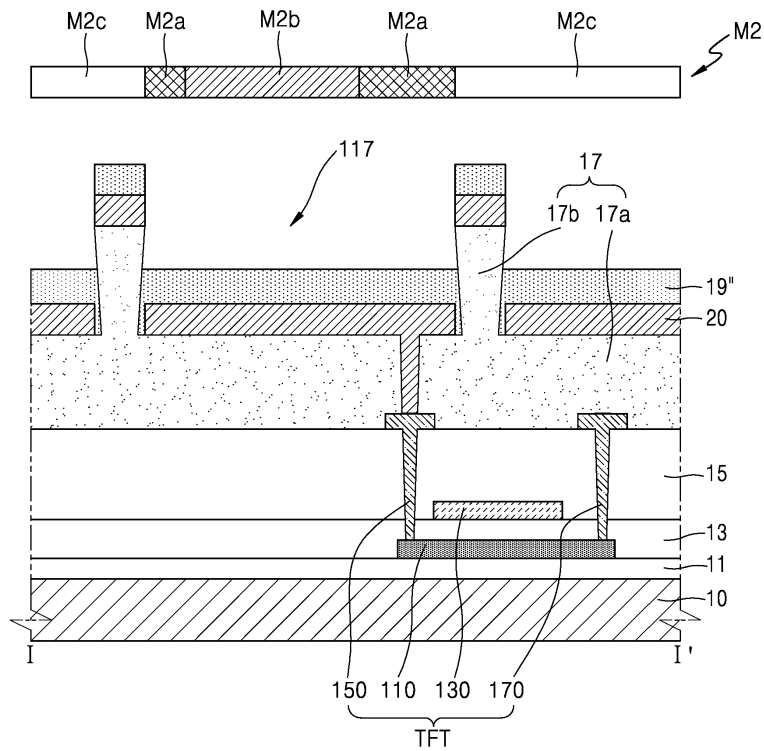
도면4c



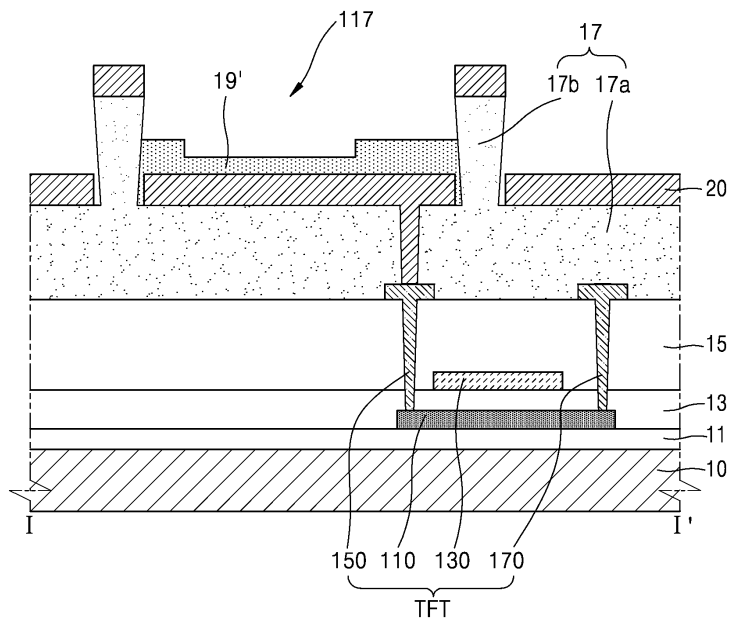
도면4d



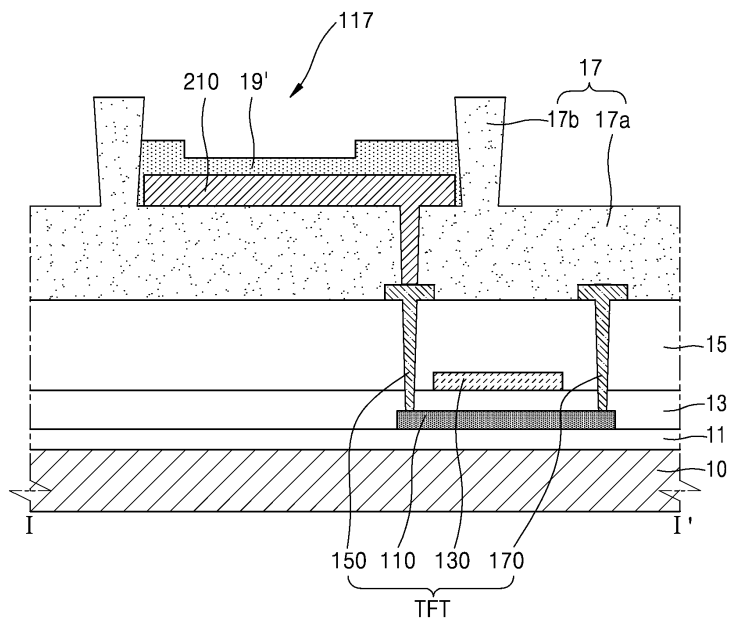
도면4e



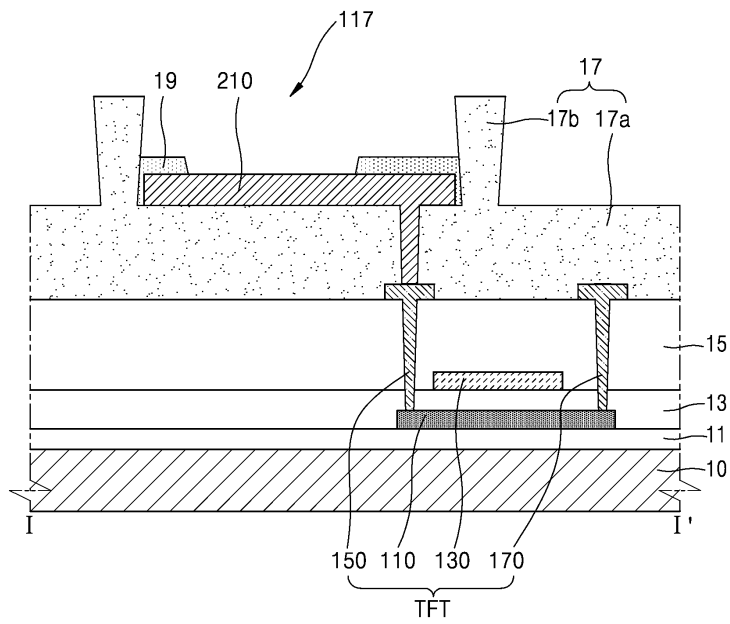
도면4f



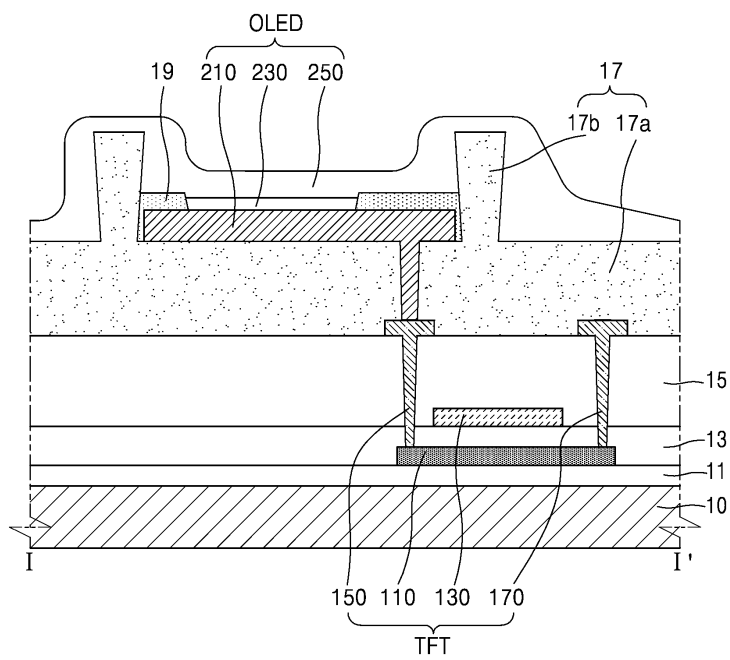
도면4g



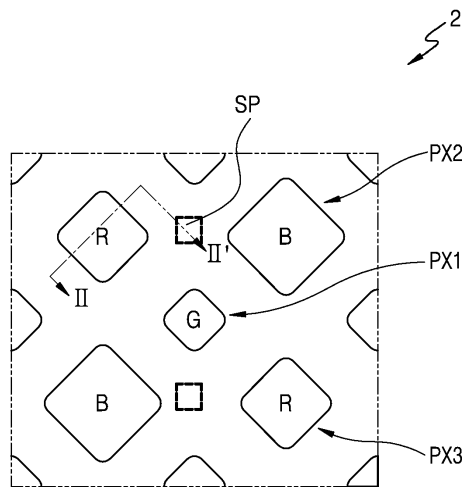
도면4h



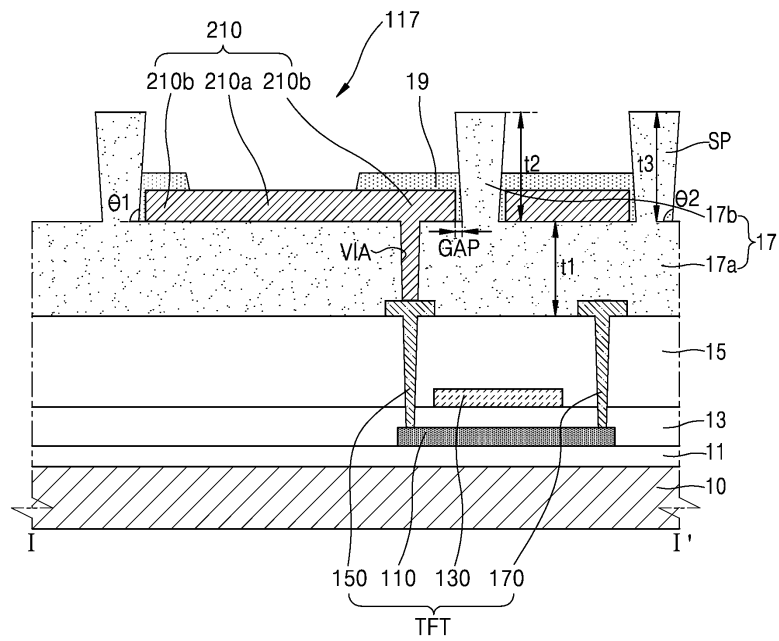
도면4i



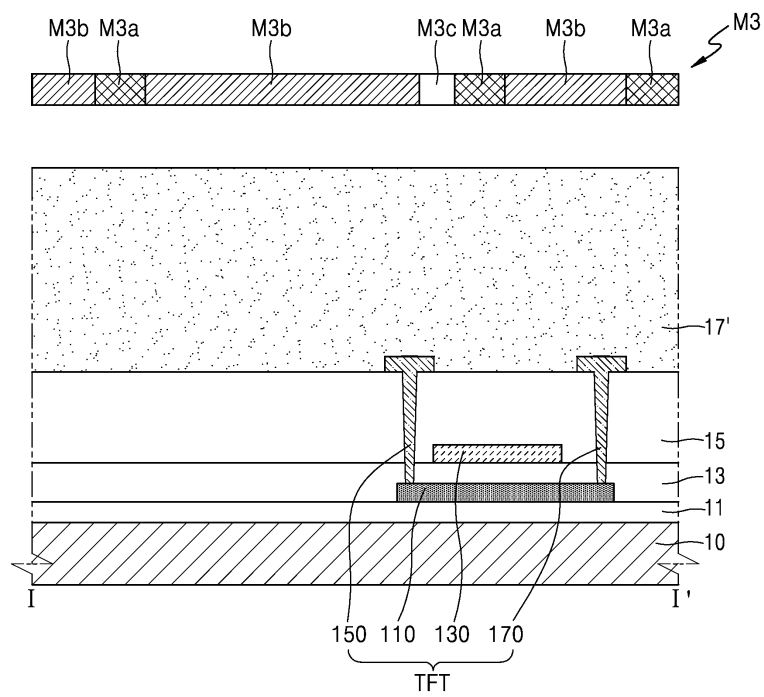
도면5



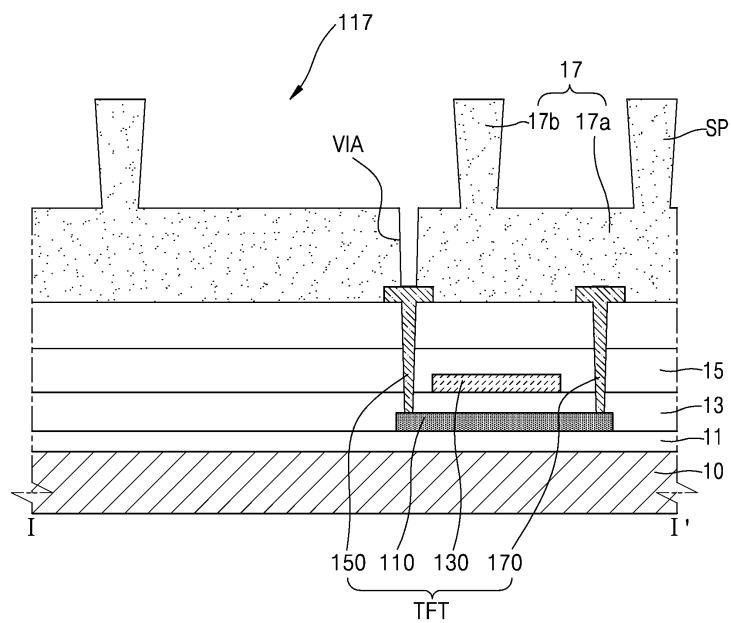
도면6



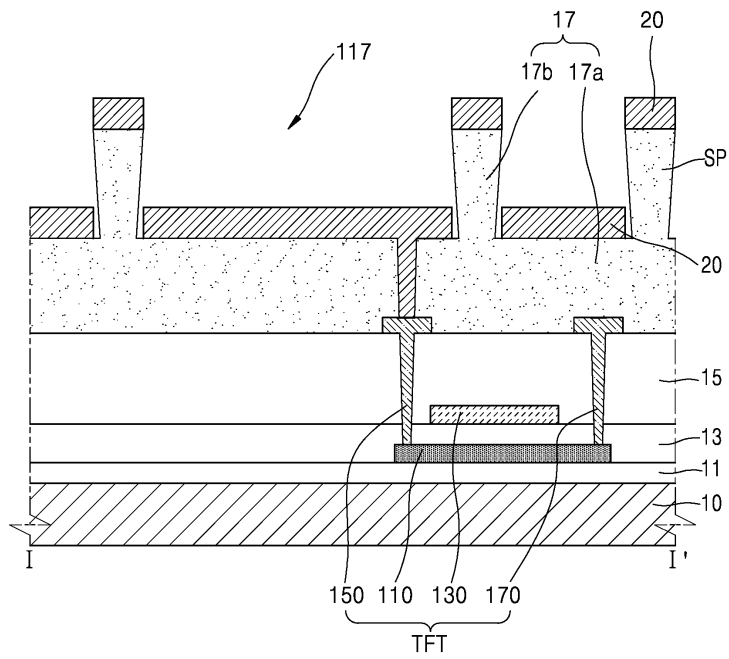
도면7a



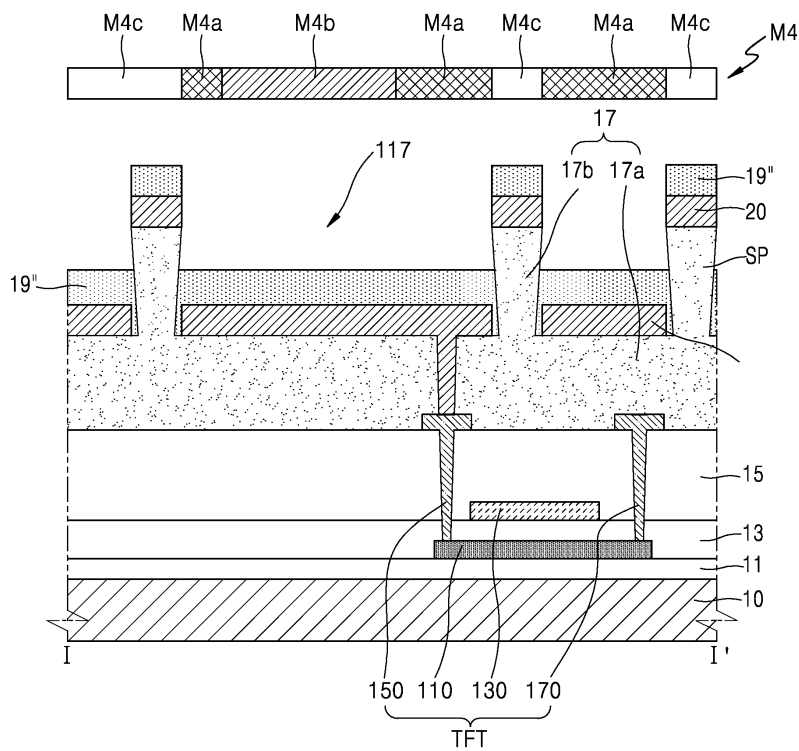
도면7b



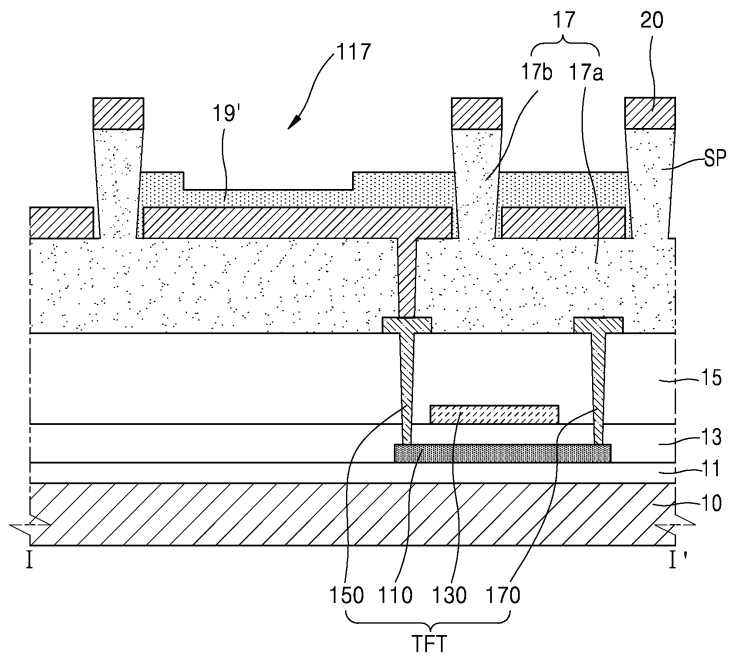
도면7c



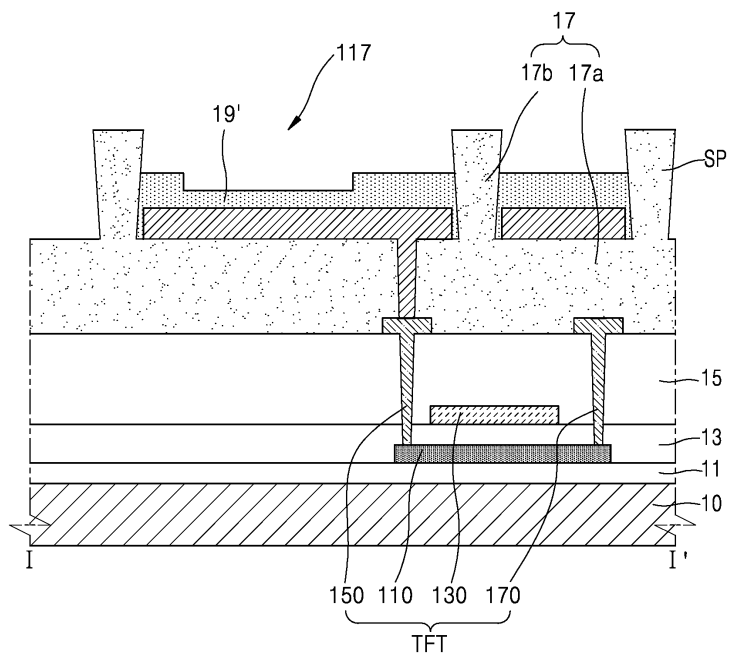
도면7d



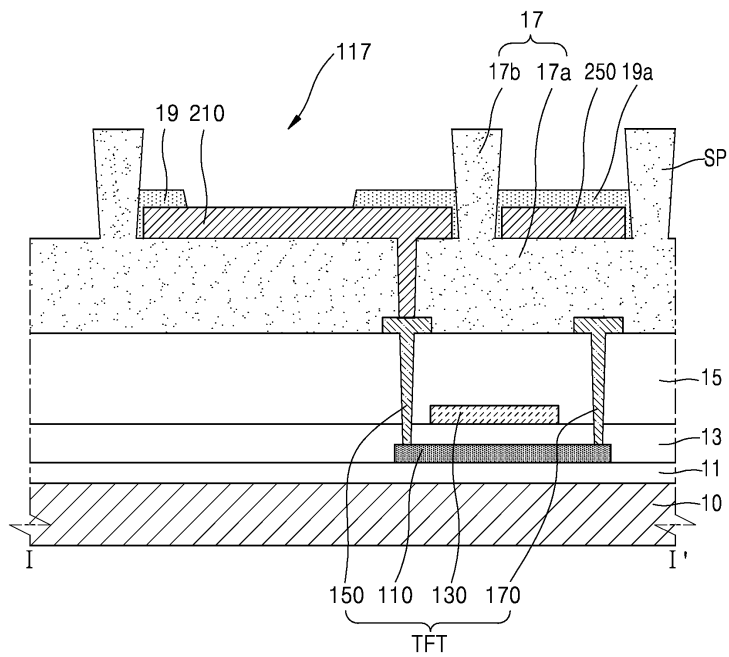
도면7e



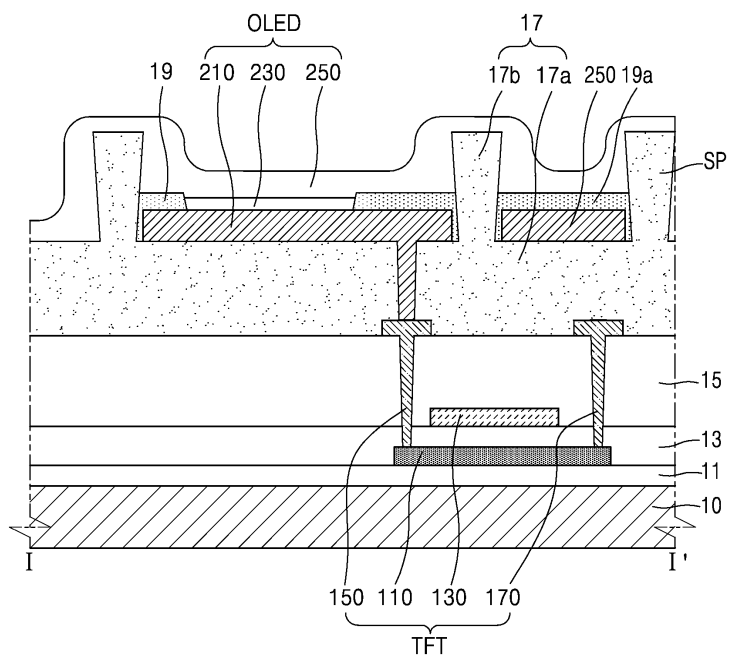
도면7f



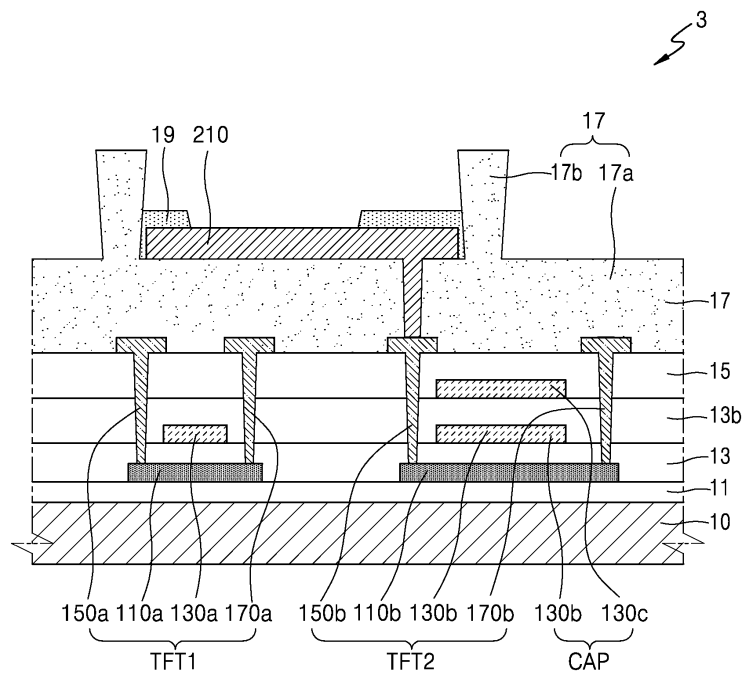
도면7g



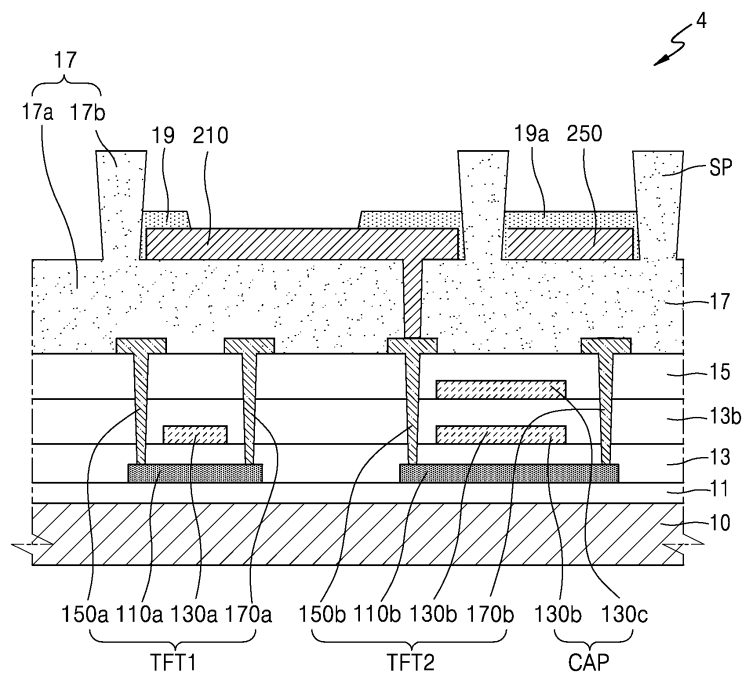
도면7h



도면8



도면9



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020170056770A	公开(公告)日	2017-05-24
申请号	KR1020150159698	申请日	2015-11-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SIM SU YEON 심수연 KIM KWANG SUK 김광속 PARK SANG HO 박상호 CHO SEUNG HWAN 조승환		
发明人	심수연 김광속 박상호 조승환		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3246 H01L27/3258 H01L27/3262 H01L2227/32 H01L27/3276 H01L27/3265 H01L51/56 H01L2251/56 H01L27/124 H01L27/1248 H01L27/1255 H01L27/1259 H01L27/3216 H01L2227/323		
外部链接	Espacenet		

摘要(译)

本发明的实施例公开了有机发光显示装置及其制造方法。根据本发明优选实施例的有机发光显示装置包括基板;基板上的薄膜晶体管;薄膜晶体管是薄膜晶体管的通孔绝缘薄膜:在通孔绝缘薄膜的沟槽内设置有突出分隔壁的分隔壁,薄膜晶体管被覆盖;像素限定层设置在像素电极之间,该像素电极与分隔壁和像素电极电连接并覆盖像素电极的一部分。

