



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0086503
(43) 공개일자 2016년07월20일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

(21) 출원번호 10-2015-0003530

(22) 출원일자 2015년01월09일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

손세완

경기도 용인시 수지구 대지로 139, 107동 1404호
(죽전동, 동부아파트)

박영우

경기도 성남시 분당구 궁내로40번길 11, 110동
201호 (궁내동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

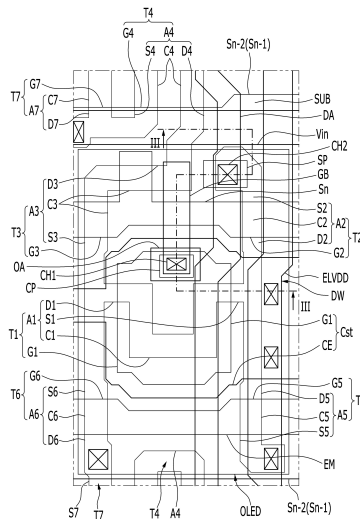
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 기판 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴의 타 단부와 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터, 상기 제3 액티브 패턴과 상기 제1 게이트 전극 사이를 직접 연결하며, 상기 기판과 상기 제3 액티브 패턴 사이에 위치하는 게이트 브릿지를 포함한다.

대표도 - 도2



(72) 발명자

우민우

경기도 부천시 원미구 부흥로 150, 1617동 1802호
(상동, 사랑마을아파트)

이왕우

경기도 오산시 양산로 460, 127동 701호 (양산동,
세마e-편한세상아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브 패턴의 일 단부와 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터;

상기 제2 게이트 전극 상에 위치하며, 상기 제2 액티브 패턴과 컨택홀(contact hole)을 통해 연결된 데이터 라인;

상기 제1 액티브 패턴의 타 단부와 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터;

상기 제3 액티브 패턴과 상기 제1 게이트 전극 사이를 직접 연결하며, 상기 기관과 상기 제3 액티브 패턴 사이에 위치하는 게이트 브릿지; 및

상기 제1 액티브 패턴과 연결된 유기 발광 소자

를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 게이트 브릿지는 상기 제3 액티브 패턴과 직접 접촉하며, 상기 제1 게이트 전극과 컨택홀을 통해 연결되는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 컨택홀 내부에 위치하며, 상기 제1 게이트 전극 및 상기 게이트 브릿지 각각과 접촉하는 컨택 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 컨택 패턴은 상기 데이터 라인과 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 컨택홀에 대응하여 상기 기관과 상기 제2 액티브 패턴 사이에 위치하는 보강 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 보강 패턴은 상기 제2 액티브 패턴과 직접 접촉하는 유기 발광 표시 장치.

청구항 7

제5항에서,

상기 보강 패턴은 상기 게이트 브릿지와 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인; 및

상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제1 게이트 전극과 상기 커패시터 전극 각각은 메탈(metal)로 형성되는 유기 발광 표시 장치.

청구항 11

제8항에서,

상기 제1 액티브 패턴, 상기 제2 액티브 패턴, 상기 제3 액티브 패턴 각각은 서로 동일한 층에 위치하며,

상기 데이터 라인 및 상기 구동 전원 라인 각각은 서로 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 12

제8항에서,

상기 제3 액티브 패턴과 연결되고 상기 게이트 브릿지를 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터;

상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인; 및

상기 제4 액티브 패턴과 연결된 초기화 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제4 게이트 전극, 상기 제1 스캔 라인 및 상기 제2 스캔 라인 각각은 서로 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 14

제12항에서,

상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터;

상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터; 및

상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제5 게이트 전극, 상기 제6 게이트 전극, 상기 발광 제어 라인 각각은 서로 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 16

제12항에서,

상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터; 및

상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 17

제16항에서,

상기 제3 스캔 라인은 상기 제2 스캔 라인과 동일한 라인인 유기 발광 표시 장치.

청구항 18

제1항에서,

상기 제1 게이트 전극과 중첩하는 상기 제1 액티브 패턴의 채널 영역은 한 번 이상 절곡 연장된 형태를 가지는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting diode display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 복수의 박막 트랜지스터, 커패시터 및 복수의 배선들을 포함한다.

[0004] 최근, 고해상도 및 대면적으로 유기 발광 표시 장치가 제조됨으로써, 이미지를 표시하는 최소 단위인 하나의 화소를 구성하는 박막 트랜지스터가 증가되어 복수의 박막 트랜지스터 각각에 포함된 액티브 패턴들이 서로 연결되었다.

[0005] 이러한 복수의 박막 트랜지스터 중 선택된 하나 이상의 박막 트랜지스터의 액티브 패턴에는 컨택홀(contact hole)을 통해 데이터 배선이 접촉된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예는, 액티브 패턴에 대응하는 컨택홀(contact hole)을 형성하는 공정에 의해 액티브 패턴이 파손되는 것이 억제된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

- [0007] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 기판, 상기 기판 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴의 일 단부와 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터, 상기 제2 게이트 전극 상에 위치하며, 상기 제2 액티브 패턴과 컨택홀(contact hole)을 통해 연결된 데이터 라인, 상기 제1 액티브 패턴의 타 단부와 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터, 상기 제3 액티브 패턴과 상기 제1 게이트 전극 사이를 직접 연결하며, 상기 기판과 상기 제3 액티브 패턴 사이에 위치하는 게이트 브릿지, 및 상기 제1 액티브 패턴과 연결된 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.
- [0008] 상기 게이트 브릿지는 상기 제3 액티브 패턴과 직접 접촉하며, 상기 제1 게이트 전극과 컨택홀을 통해 연결될 수 있다.
- [0009] 상기 컨택홀 내부에 위치하며, 상기 제1 게이트 전극 및 상기 게이트 브릿지 각각과 접촉하는 컨택 패턴을 더 포함할 수 있다.
- [0010] 상기 컨택 패턴은 상기 데이터 라인과 동일한 층에 위치할 수 있다.
- [0011] 상기 컨택홀에 대응하여 상기 기판과 상기 제2 액티브 패턴 사이에 위치하는 보강 패턴을 더 포함할 수 있다.
- [0012] 상기 보강 패턴은 상기 제2 액티브 패턴과 직접 접촉할 수 있다.
- [0013] 상기 보강 패턴은 상기 게이트 브릿지와 동일한 층에 위치할 수 있다.
- [0014] 상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인, 및 상기 제1 스캔 라인 상에서 상기 데이터 라인과 이웃하여 상기 제1 스캔 라인을 가로지르며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인을 더 포함할 수 있다.
- [0015] 상기 구동 전원 라인과 연결되어 상기 제1 게이트 전극 상에 위치하며, 상기 제1 게이트 전극과 중첩되어 상기 제1 게이트 전극과 함께 커패시터를 형성하는 커패시터 전극을 더 포함할 수 있다.
- [0016] 상기 제1 게이트 전극과 상기 커패시터 전극 각각은 메탈(metal)로 형성될 수 있다.
- [0017] 상기 제1 액티브 패턴, 상기 제2 액티브 패턴, 상기 제3 액티브 패턴 각각은 서로 동일한 층에 위치하며, 상기 데이터 라인 및 상기 구동 전원 라인 각각은 서로 동일한 층에 위치할 수 있다.
- [0018] 상기 제3 액티브 패턴과 연결되고 상기 게이트 브릿지를 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터, 상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인, 및 상기 제4 액티브 패턴과 연결된 초기화 전원 라인을 더 포함할 수 있다.
- [0019] 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제4 게이트 전극, 상기 제1 스캔 라인 및 상기 제2 스캔 라인 각각은 서로 동일한 층에 위치할 수 있다.
- [0020] 상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터, 상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터, 및 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함할 수 있다.

- [0021] 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제5 게이트 전극, 상기 제6 게이트 전극, 상기 발광 제어 라인 각각은 서로 동일한 층에 위치할 수 있다.
- [0022] 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터, 및 상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함할 수 있다.
- [0023] 상기 제3 스캔 라인은 상기 제2 스캔 라인과 동일한 라인일 수 있다.
- [0024] 상기 제1 게이트 전극과 중첩하는 상기 제1 액티브 패턴의 채널 영역은 한 번 이상 절곡 연장된 형태를 가질 수 있다.

발명의 효과

- [0025] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 액티브 패턴에 대응하는 컨택홀(contact hole)을 형성하는 공정에 의해 액티브 패턴이 파손되는 것이 억제된 유기 발광 표시 장치를 제공하고자 한다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 배치도이다.
- 도 3은 도 2의 III-III을 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0028] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략한다.
- [0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0031] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0032] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0033] 이하, 도 1을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 회로를 설명한다. 여기서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 회로도이다.
- [0035] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(Px)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 커패시터(Cst), 유기 발광 소자(OLED)를 포함한다.
- [0036] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.

- [0037] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.
- [0038] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0039] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0040] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0041] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0042] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0043] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0044] 복수의 배선들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM), 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)에 데이터 신호를 전달하는 데이터 라인(DA), 커패시터(Cst)의 일 전극 및 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5) 각각에 구동 신호를 공급하는 구동 전원 라인(ELVDD), 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)에 초기화 신호를 공급하는 초기화 전원 라인(Vin)을 포함한다. 여기서, 데이터 라인(DA), 구동 전원 라인(ELVDD)은 데이터 배선으로 형성될 수 있다.
- [0045] 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극과 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 각각과 연결된 타 전극을 포함한다.
- [0046] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.
- [0047] 이러한 화소 회로의 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.
- [0048] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.

- [0049] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Vd+Vth, Vth는 (-)의 값)이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압(Vd+Vth)은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극에도 공급된다.
- [0050] 다음, 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 공급되고, 타 전극에는 상술한 보상 전압(Vd+Vth)이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0051] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.
- [0052] 그러면, 구동 전압(Ve1)이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압(Ve1) 간의 전압차에 대응하는 구동 전류(Id)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(Id)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.
- [0053] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 회로는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7), 커패시터(Cst), 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin)으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 회로는 2개 이상인 복수의 박막 트랜지스터, 하나 이상의 커패시터, 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.
- [0054] 이하, 도 2 및 도 3을 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 배치를 설명한다. 이하에서 설명하는 서로 다른 층에 위치하는 구성들 사이에는 절연층들이 위치하며, 이 절연층은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0055] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 배치도이다. 도 3은 도 2의 III-III을 따른 단면도이다.
- [0056] 도 2 및 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(SUB), 제1 박막 트랜지스터(T1), 게이트 브릿지(GB), 컨택 패턴(CP), 제2 박막 트랜지스터(T2), 보강 패턴(SP), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다.
- [0057] 도 2에서, 제2 스캔 라인(Sn-1) 및 제3 스캔 라인(Sn-2)은 하나의 스캔 라인으로 도시하였으나, 이에 한정되지 않고, 제2 스캔 라인(Sn-1) 및 제3 스캔 라인(Sn-2)은 서로 이격된 각각의 스캔 라인으로 위치할 수 있다. 즉, 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 동일한 라인이나, 이에 한정되지 않고 제3 스캔 라인(Sn-2) 및 제2 스캔 라인(Sn-1)은 서로 다른 라인일 수 있다.
- [0058] 기판(SUB)은 유리, 석영, 세라믹, 사파이어, 플라스틱, 금속 등으로 형성될 수 있으며, 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 롤러블(rollable)하거나, 폴더블(foldable)할 수 있다. 기판(SUB)이 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블함으로써, 전체적인 유기 발광 표시 장치가 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블할 수 있다.
- [0059] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0060] 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜

지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브 패턴(A1)의 채널 영역인 제1 채널(C1)은 한 번 이상 절곡 연장된 형태를 가지고 있으며, 제1 채널(C1)이 한정된 공간인 제1 게이트 전극(G1)과 중첩하는 공간 내에서 한 번 이상 절곡 연장되어 있음으로써, 제1 채널(C1)의 길이를 길게 형성할 수 있기 때문에, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 형성할 수 있다. 이로 인해, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 넓은 구동 범위 내에서 변화시켜 유기 발광 소자(OLED)로부터 발광되는 빛의 계조를 보다 세밀하게 제어함으로써, 유기 발광 표시 장치로부터 표시되는 이미지의 품질이 향상될 수 있다. 이러한 제1 액티브 패턴(A1)은 그 형태가 다양하게 변형될 수 있으며, 일례로 '역S', 'S', 'M', 'W' 등의 다양한 형태로 변형될 수 있다.

[0061] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨-Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0062] 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.

[0063] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 제1 컨택홀(CH1)을 통해 제1 게이트 전극(G1)의 하부에 위치하는 게이트 브릿지(GB)와 연결된다. 제1 컨택홀(CH1)의 내부에는 컨택 패턴(CP)이 위치하고 있으며, 이 컨택 패턴(CP)은 제1 게이트 전극(G1) 및 게이트 브릿지(GB) 각각과 접촉하여 제1 게이트 전극(G1)과 게이트 브릿지(GB) 사이를 연결한다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 타 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다. 제1 게이트 전극(G1)은 메탈(metal)로 형성될 수 있다.

[0064] 한편, 본 발명의 일 실시예에서, 제1 컨택홀(CH1)은 제1 게이트 전극(G1)에 형성되어 있으나, 이에 한정되지 않고 본 발명의 다른 실시예에서 제1 컨택홀은 제1 게이트 전극 하부에 위치하는 절연층에만 형성되어 있을 수 있으며, 이 경우 제1 게이트 전극은 제1 컨택홀을 통해 직접 게이트 브릿지와 접촉할 수 있다.

[0065] 게이트 브릿지(GB)는 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3)과 제1 게이트 전극(G1) 사이를 직접 연결하며, 기판(SUB)과 제3 액티브 패턴(A3)의 사이로부터 기판(SUB)과 제1 게이트 전극(G1) 사이까지 위치하고 있다. 게이트 브릿지(GB)는 제3 액티브 패턴(A3)과 직접 접촉하며, 제1 게이트 전극(G1)과 제1 컨택홀(CH1)을 통해 연결된다. 구체적으로, 게이트 브릿지(GB)는 제4 박막 트랜지스터(T4)의 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3)의 제3 드레인 전극(D3)과 연결되어 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있으며, 이로 인해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각과 연결된다.

[0066] 게이트 브릿지(GB)는 제3 액티브 패턴(A3)과는 다른 재료를 포함하며, 일례로 금, 은, 구리 등의 금속을 포함할 수 있다.

[0067] 한편, 본 발명의 일 실시예에서 게이트 브릿지(GB)는 제3 액티브 패턴(A3)과는 다른 재료를 포함하나, 본 발명의 다른 실시예에서 게이트 브릿지는 제3 액티브 패턴과 일체로 형성되어 제3 액티브 패턴으로부터 제1 게이트 전극 방향으로 연장될 수 있다.

- [0068] 또한, 본 발명의 일 실시예에서 게이트 브릿지(GB)는 제3 액티브 패턴(A3)과 기판(SUB) 사이에 위치하고 있으나, 이에 한정되지 않고 본 발명의 다른 실시예에서 게이트 브릿지는 제3 액티브 패턴의 상부에 위치할 수 있다.
- [0069] 콘택 패턴(CP)은 제1 콘택홀(CH1) 내부에 위치하며, 제1 게이트 전극(G1) 및 게이트 브릿지(GB) 각각과 접촉하여 제1 게이트 전극(G1)과 게이트 브릿지(GB) 사이를 연결하고 있다. 콘택 패턴(CP)은 데이터 라인(DA)과 동일한 재료로 형성되어 동일한 층에 위치하나, 이에 한정되지 않고 데이터 라인(DA)과 다른 재료로 형성되어 다른 층에 위치할 수 있다.
- [0070] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다.
- [0071] 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 절연층에 형성된 제2 콘택홀(CH2)을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결되어 있다.
- [0072] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하며, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성되어 있다.
- [0073] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.
- [0074] 제2 액티브 패턴(A2)의 제2 소스 전극(S2) 중 제2 콘택홀(CH2)에 대응하는 부분과 기판(SUB) 사이에는 보강 패턴(SP)이 위치하고 있다.
- [0075] 보강 패턴(SP)은 제2 콘택홀(CH2)에 대응하여 기판(SUB)과 제2 액티브 패턴(A2) 사이에 위치하고 있으며, 제2 액티브 패턴(A2)과 직접 접촉하고 있다. 보강 패턴(SP)은 게이트 브릿지(GB)와 동일한 재료를 포함할 수 있으며, 일례로 금, 은, 구리 등의 금속을 포함할 수 있다. 즉, 보강 패턴(SP)은 게이트 브릿지(GB)와 동시에 형성될 수 있으며, 게이트 브릿지(GB)와 동일한 층에 위치하고 있다.
- [0076] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.
- [0077] 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.
- [0078] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성되어 있다.
- [0079] 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0080] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0081] 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 콘택홀을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4

액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브 패턴(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.

[0082] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 일체로 형성되어 있다.

[0083] 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.

[0084] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.

[0085] 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 액티브 패턴(A1) 사이를 연결하고 있다.

[0086] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 일체로 형성되어 있다.

[0087] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0088] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.

[0089] 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 콘택홀을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.

[0090] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 일체로 형성되어 있다.

[0091] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0092] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.

[0093] 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 2에 도시되지 않은 다른 화소(도 2에 도시된 화소의 상측에 위치하는 화소일 수 있다.)의 유기 발광

소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 액티브 패턴(A4) 사이를 연결하고 있다.

[0094] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 일체로 형성되어 있다.

[0095] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.

[0096] 제1 스캔 라인(Sn)은 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 일 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.

[0097] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 일 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다. 제2 스캔 라인(Sn-1)은 제3 스캔 라인(Sn-2)과 동일한 라인이나, 이에 한정되지 않고 제3 스캔 라인(Sn-2)과 다른 라인으로서 형성될 수 있다.

[0098] 제3 스캔 라인(Sn-2)은 제1 스캔 라인(Sn)과 이격되어 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 일 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다. 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 동일한 라인이나, 이에 한정되지 않고 제2 스캔 라인(Sn-1)과 다른 라인으로서 형성될 수 있다.

[0099] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 일 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.

[0100] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 일례로, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 제1 게이트 배선을 형성할 수 있다.

[0101] 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.

[0102] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에서 제1 게이트 전극(G1)과 중첩하고 있다.

[0103] 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터 전극(CE) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성되어 있다. 커패시터 전극(CE)은 일 방향으로 연장되어 있으며, 서로 이웃하는 복수의 화소(Px)를 가로지르고 있다. 커패시터 전극(CE)은 상술한 제1 게이트 배선 상에 위치하는 제2 게이트 배선으로 형성될 수 있다.

- [0104] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 제1 컨택홀(CH1)을 노출하는 개구부(OA)를 포함하며, 이 개구부(OA)를 통해 데이터 라인(DA)과 동일한 재료를 포함하는 컨택 패턴(CP)이 제1 컨택홀(CH1) 내부에 형성될 수 있다.
- [0105] 데이터 라인(DA)은 제1 스캔 라인(Sn) 상에 위치하고 있으며, 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있다. 데이터 라인(DA)은 제2 컨택홀(CH2)을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.
- [0106] 구동 전원 라인(ELVDD)은 데이터 라인(DA)과 이웃하여 제1 스캔 라인(Sn) 상에 위치하며, 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있다. 구동 전원 라인(ELVDD)은 컨택홀을 통해 커패시터 전극(CE) 및 제1 액티브 패턴(A1)과 연결된 제5 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결되어 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.
- [0107] 상술한, 데이터 라인(DA), 구동 전원 라인(ELVDD) 각각은 동일한 층에 위치하며, 동일한 재료로 형성되어 데이터 배선을 형성한다.
- [0108] 한편, 본 발명의 다른 실시예에서, 데이터 라인(DA), 구동 전원 라인(ELVDD) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0109] 초기화 전원 라인(Vin)은 제2 스캔 라인(Sn-1) 상에 위치하며, 컨택홀을 통해 제4 액티브 패턴(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 전원 라인(Vin)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.
- [0110] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 컨택홀을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0111] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는 봉지 기판이 위치할 수 있다.
- [0112] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 게이트 브릿지(GB)가 제3 액티브 패턴(A3)과 기판(SUB) 사이에 위치하여 제3 액티브 패턴(A3)과 접촉하고 있음으로써, 제3 액티브 패턴(A3) 상에 컨택홀을 형성할 필요가 없기 때문에, 제3 액티브 패턴(A3)에 대응하는 컨택홀을 형성하는 식각(etching) 공정에 의해 제3 액티브 패턴(A3)의 일부가 파손되는 것이 방지된다.
- [0113] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 데이터 라인(DA)이 제2 액티브 패턴(A2)과 접촉하기 위해 제2 액티브 패턴(A2)에 대응해 제2 컨택홀(CH2)을 형성하여 제2 컨택홀(CH2)을 형성하는 식각 공정에 의해 제2 액티브 패턴(A2)의 일부가 파손되더라도, 제2 컨택홀(CH2)에 대응하여 제2 액티브 패턴(A2)의 하부인 기판(SUB)과 제2 액티브 패턴(A2) 사이에 제2 액티브 패턴(A2)과 접촉하는 보강 패턴(SP)이 위치하기 때문에, 제2 컨택홀(CH2)을 통한 데이터 라인(DA)과 제2 액티브 패턴(A2) 사이의 연결이 분리되는 것이 억제된다.
- [0114] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 게이트 브릿지(GB)가 제3 액티브 패턴(A3) 하부에서 제3 액티브 패턴(A3)과 접촉하기 때문에, 제3 액티브 패턴(A3)에 대응하여 컨택홀을 형성할 필요가 없다. 이로 인해 컨택홀을 형성하는 위치에 대응하여 제3 액티브 패턴(A3)의 면적을 증가시킬 필요가 없기 때문에, 한정된 공간에서 고해상도의 화소 회로를 용이하게 구현할 수 있다.
- [0115] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제2 컨택홀(CH2)과 대응하여 제2 액티브 패턴(A2)의 하부에 보강 패턴(SP)이 위치하기 때문에, 제2 컨택홀(CH2)과 대응하여 제2 액티브 패턴(A2)의 면적을 증가시킬 필요가 없다. 이와 같이, 제2 컨택홀(CH2)에 대응하여 제2 액티브 패턴(A2)의 면적을 증가시킬 필요가 없기 때문에, 한정된 공간에서 고해상도의 화소 회로를 용이하게 구현할 수 있다.

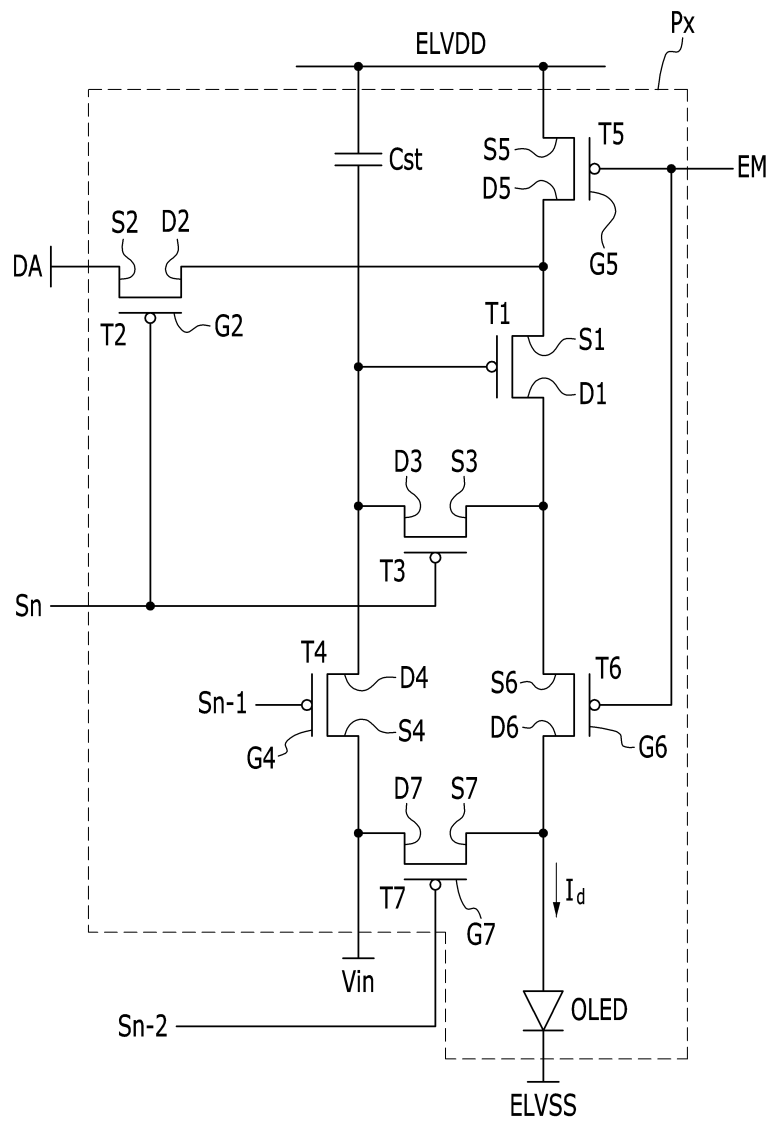
- [0116] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 하나의 화소(Px)가 7개의 박막 트랜지스터 및 1개의 커패시터로 형성되어 하나의 화소를 지나는 배선이 증가하여 배선 사이의 간격이 좁아지더라도, 평면적으로 서로 이웃하고 있는 게이트 브릿지(GB) 및 데이터 라인(DA) 각각이 서로 다른 층에 위치하고 있기 때문에, 게이트 브릿지(GB)와 데이터 라인(DA) 사이에 의도치 않은 크로스토크(crosstalk)가 발생하는 것이 억제된다.
- [0117] 이로 인해, 데이터 라인(DA) 및 게이트 브릿지(GB) 각각을 통하는 신호가 지연되는 것이 억제되기 때문에, 전체적으로 이미지 품질이 향상된 유기 발광 표시 장치가 제공된다.
- [0118] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 기판(SUB) 사이에 위치함으로써, 게이트 브릿지(GB)와 커패시터 전극(CE) 사이에 제1 게이트 전극(G1)이 위치하고, 각각의 구성 사이에 절연층이 위치하기 때문에, 게이트 브릿지(GB)와 커패시터 전극(CE) 사이가 멀어져 커패시터 전극(CE)과 게이트 브릿지(GB) 사이가 단락되는 것이 억제된다.
- [0119] 본 발명을 앞서 기재한 바에 따라 일 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

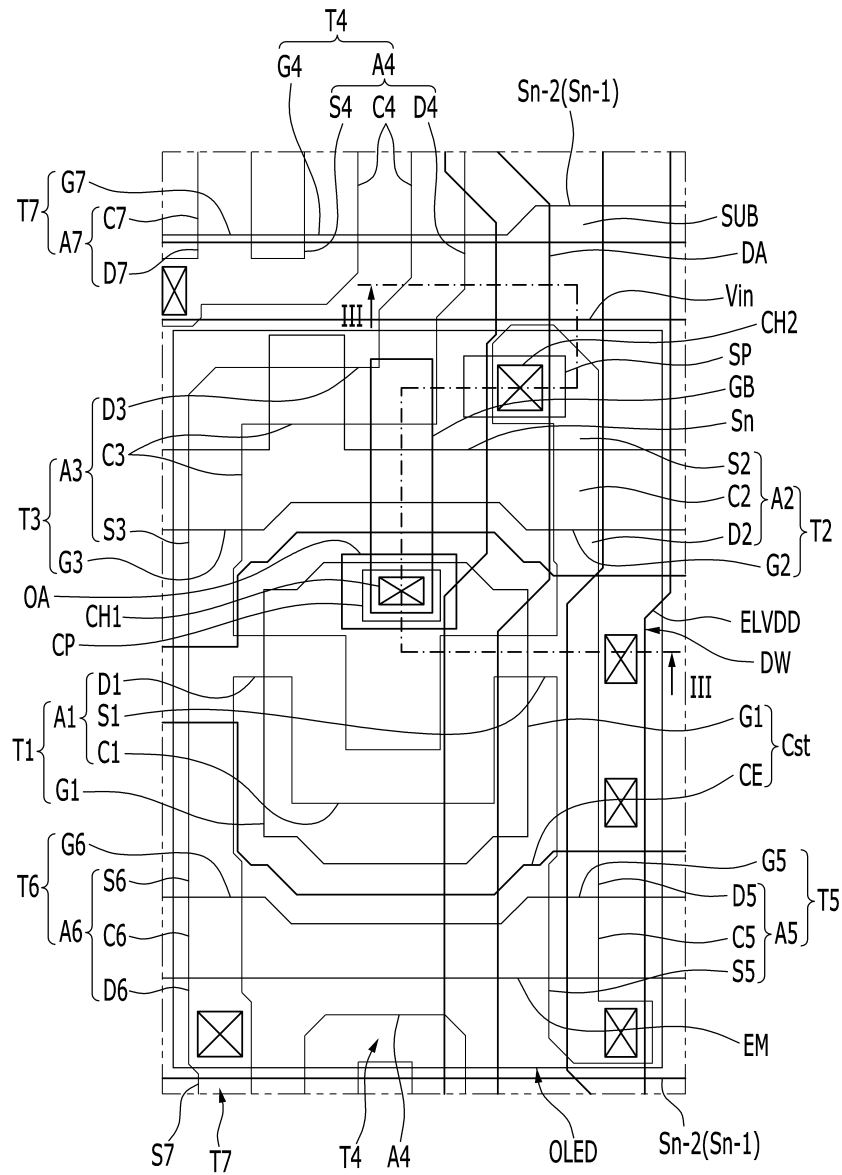
- [0120] 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 데이터 라인(DA), 제3 박막 트랜지스터(T3), 게이트 브릿지(GB), 유기 발광 소자(OLED)

도면

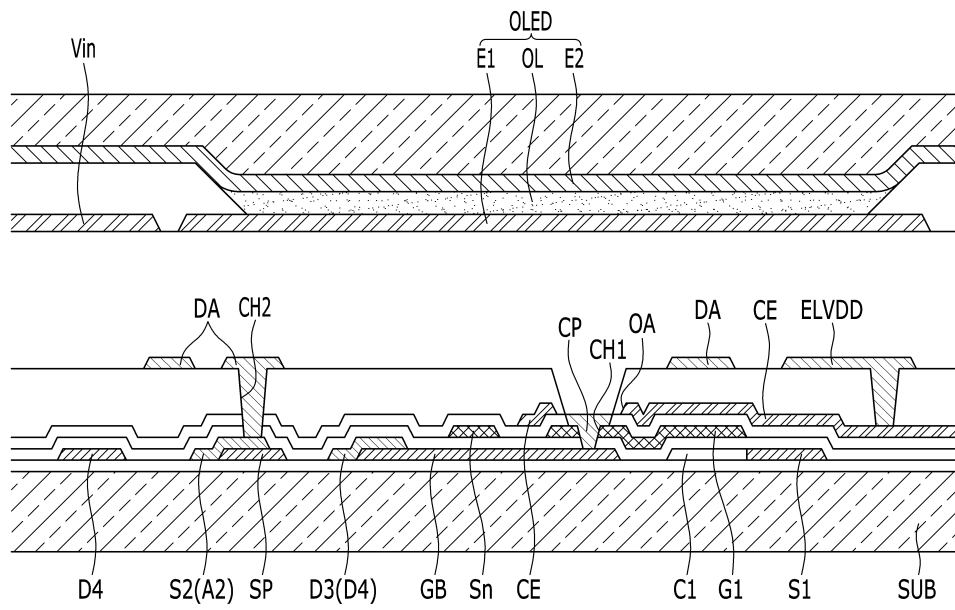
도면1



도면2



도면3



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160086503A	公开(公告)日	2016-07-20
申请号	KR1020150003530	申请日	2015-01-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SON SE WAN 손세완 PARK YOUNG WOO 박영우 WOO MIN WOO 우민우 LEE WANG WOO 이왕우		
发明人	손세완 박영우 우민우 이왕우		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3276 H01L27/3262 H01L27/3265		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括栅极桥，该栅极桥直接连接在第三薄膜晶体管与第三有源图案和第一栅极之间，并且位于基板和包括包括第一有源的薄膜晶体管的第三有源图案之间图案位于基板和位于第一有源图案的表面的第一栅电极，第一有源图案的另一端和第三栅电极位于第三有源图案和连接的第三有源图案的表面上。

