



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0056396
(43) 공개일자 2016년05월20일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0155678

(22) 출원일자 2014년11월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박진우

경기 고양시 일산동구 무궁화로 7-45, 533호 (장항동, 양우로테오시티플러스)

(74) 대리인

특허법인로알

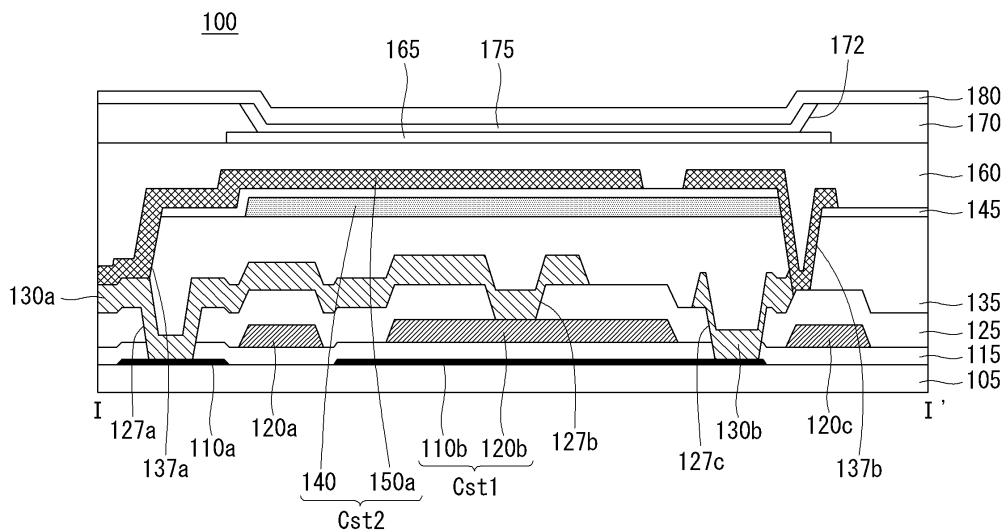
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명의 일 실시예에 따른 유기발광표시장치는 기판, 제1 캐패시터, 제1 유기절연막, 제2 캐패시터, 제2 유기절연막, 화소 전극, 유기막층 및 대향 전극을 포함한다. 제1 캐패시터는 기판 상에 위치하며, 제1 캐패시터 하부전극과 제1 캐패시터 상부전극 사이에 개재된 게이트 절연막을 포함한다. 제1 유기절연막은 제1 캐패시터 상에 위치하며, 하부의 단차를 평탄화한다. 제2 캐패시터는 제1 유기절연막 상에 위치하며, 제2 캐패시터 하부전극과 제2 캐패시터 상부전극 사이에 개재된 패시베이션막을 포함한다. 제2 유기절연막은 제2 캐패시터 상에 위치한다. 화소 전극은 유기절연막 상에 위치한다. 유기막층은 화소 전극 상에 위치하며, 적어도 발광층을 포함한다. 대향 전극은 유기막층 상에 위치한다.

대표도 - 도4



명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하며, 제1 캐패시터 하부전극과 제1 캐패시터 상부전극 사이에 개재된 게이트 절연막을 포함하는 제1 캐패시터;

상기 제1 캐패시터 상에 위치하며, 하부의 단차를 평탄화하는 제1 유기절연막;

상기 제1 유기절연막 상에 위치하며, 제2 캐패시터 하부전극과 제2 캐패시터 상부전극 사이에 개재된 패시베이션막을 포함하는 제2 캐패시터;

상기 제2 캐패시터 상에 위치하는 제2 유기절연막;

상기 유기절연막 상에 위치하는 화소 전극;

상기 화소 전극 상에 위치하며, 적어도 발광층을 포함하는 유기막층; 및

상기 유기막층 상에 위치하는 대향 전극을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1 항에 있어서,

상기 제1 유기절연막과 상기 제2 유기절연막은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴레이트(acrylate)계 수지 또는 폴리이미드(polyimide) 수지로 이루어진 군에서 선택된 어느 하나로 이루어지는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1 항에 있어서,

상기 제1 유기절연막의 두께는 1 내지 5 μ m인 것을 특징으로 하는 유기발광표시장치.

청구항 4

기관;

상기 기관 상에 일 방향으로 배열된 제1 및 제2 게이트 라인, 상기 제1 및 제2 게이트 라인과 수직하는 데이터 라인 및 상기 데이터 라인과 평행한 공통전원 라인 및 기준전압 라인;

상기 제1 게이트 라인과 상기 데이터 라인의 교차 영역에 위치하는 스위칭 박막트랜지스터;

상기 제2 게이트 라인과 상기 데이터 라인의 교차 영역에 위치하는 구동 박막트랜지스터;

상기 스위칭 박막트랜지스터와 상기 공통전원 라인에 각각 연결되되, 게이트 절연막을 사이에 두고 제1 캐패시터 하부전극과 제1 캐패시터 상부전극이 정전용량을 형성하는 제1 캐패시터;

상기 구동 박막트랜지스터와 상기 기준전압 라인에 각각 연결되되, 제1 패시베이션막을 사이에 두고 제2 캐패시터 하부전극과 제2 캐패시터 상부전극이 정전용량을 형성하는 제2 캐패시터; 및

상기 구동 박막트랜지스터에 연결된 화소 전극과 대향 전극 사이에 개재된 유기막층을 포함하며,

상기 제1 캐패시터와 상기 제2 캐패시터 사이에 유기절연막을 포함하는 것을 특징으로 하는 유기전계발광표시

장치.

청구항 5

제4 항에 있어서,

상기 제2 캐패시터 하부전극과 상기 제2 캐패시터 상부전극은 콘택홀들에 인접한 영역에서 굴곡부가 존재하지 않는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제4 항에 있어서,

상기 제1 유기절연막과 상기 제2 유기절연막은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴레이트(acrylate)계 수지 또는 폴리이미드(polyimide) 수지로 이루어진 군에서 선택된 어느 하나로 이루어지는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제4 항에 있어서,

상기 제1 유기절연막의 두께는 1 내지 5 μ m인 것을 특징으로 하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치에 관한 것으로, 보다 자세하게는 캐패시터 용량을 향상시킬 수 있는 고해상도의 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한, 평판표시장치의 예로는, 액정표시장치(LCD : Liquid Crystal Display), 전계방출표시장치(FED : Field Emission Display), 플라즈마표시장치(PDP : Plasma Display Panel) 및 유기전계발광표시장치(OLED : Organic Light Emitting Display) 등이 있다. 이 중에서 유기전계발광표시장치(Organic Light Emitting Display)는 유기화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0003] 유기전계발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함하고 있어 제1 전극으로부터 공급받는 정공과 제 2 전극으로부터 받은 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다. 유기전계발광표시장치는 빛이 출사되는 방향에 따라 배면 발광형과 전면 발광형으로 나눌 수 있다. 배면 발광형은 기관의 하부 방향 즉, 발광층에서 제1 전극 방향으로 빛이 출사되는 것이고, 전면 발광형은 기관의 상부 방향 즉, 발광층에서 제2 전극 방향으로 빛이 출사되는 것을 말한다.

[0004] 최근에는 표시장치가 점점 고해상도화 되면서 더욱 작은 픽셀 사이즈가 요구되고 있다. 하나의 픽셀은 게이트 라인, 데이터 라인 및 공통전원 라인의 교차에 의해 구획되고, 이 픽셀에는 스위칭 박막트랜지스터, 구동 박막트랜지스터, 캐패시터 및 유기발광 다이오드가 형성된다. 픽셀 사이즈가 작아지면 박막트랜지스터들과 전술한 라인들이 집적화되어 매우 밀집하게 배치된다. 이에 따라, 픽셀 내에 구비된 캐패시터의 면적도 줄어들어 캐패

시터의 정전 용량이 감소하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 캐패시터 용량을 향상시킬 수 있는 고해상도의 유기발광표시장치를 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 유기발광표시장치는 기판, 제1 캐패시터, 제1 유기절연막, 제2 캐패시터, 제2 유기절연막, 화소 전극, 유기막층 및 대향 전극을 포함한다. 제1 캐패시터는 기판 상에 위치하며, 제1 캐패시터 하부전극과 제1 캐패시터 상부전극 사이에 개재된 게이트 절연막을 포함한다. 제1 유기절연막은 제1 캐패시터 상에 위치하며, 하부의 단차를 평탄화한다. 제2 캐패시터는 제1 유기절연막 상에 위치하며, 제2 캐패시터 하부전극과 제2 캐패시터 상부전극 사이에 개재된 패시베이션막을 포함한다. 제2 유기절연막은 제2 캐패시터 상에 위치한다. 화소 전극은 유기절연막 상에 위치한다. 유기막층은 화소 전극 상에 위치하며, 적어도 발광층을 포함한다. 대향 전극은 유기막층 상에 위치한다.

[0007] 제1 유기절연막과 제2 유기절연막은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴레이트(acrylate)계 수지 또는 폴리이미드(polyimide) 수지로 이루어진 군에서 선택된 어느 하나로 이루어진다.

[0008] 제1 유기절연막의 두께는 1 내지 5 μ m이다.

[0009] 또한, 본 발명의 일 실시예에 따른 유기발광표시장치는 기판, 스위칭 박막트랜지스터, 구동 박막트랜지스터, 제1 캐패시터, 제2 캐패시터 및 유기절연막을 포함한다. 기판 상에 일 방향으로 배열된 제1 및 제2 게이트 라인, 제1 및 제2 게이트 라인에 수직하는 데이터 라인 및 데이터 라인과 평행한 공통전원 라인 및 기준전압 라인이 위치한다. 스위칭 박막트랜지스터는 제1 게이트 라인에 상기 데이터 라인의 교차 영역에 위치한다. 구동 박막트랜지스터는 제2 게이트 라인에 데이터 라인의 교차 영역에 위치한다. 제1 캐패시터는 스위칭 박막트랜지스터와 공통전원 라인에 각각 연결되며, 게이트 절연막을 사이에 두고 제1 캐패시터 하부전극과 제1 캐패시터 상부전극이 정전용량을 형성한다. 제2 캐패시터는 구동 박막트랜지스터와 기준전압 라인에 각각 연결되며, 제1 캐패시터 하부전극과 제2 캐패시터 상부전극이 정전용량을 형성한다. 구동 박막트랜지스터에 연결된 화소 전극과 대향 전극 사이에 개재된 유기막층을 포함한다. 유기절연막은 제1 캐패시터와 제2 캐패시터 사이에 위치한다.

[0010] 제2 캐패시터 하부전극과 제2 캐패시터 상부전극은 콘택홀들에 인접한 영역에서 굴곡부가 존재하지 않는다.

[0011] 제1 유기절연막과 제2 유기절연막은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴레이트(acrylate)계 수지 또는 폴리이미드(polyimide) 수지로 이루어진 군에서 선택된 어느 하나로 이루어진다.

[0012] 제1 유기절연막의 두께는 1 내지 5 μ m이다.

발명의 효과

[0013] 본 발명의 일 실시예에 따른 유기발광표시장치는 제1 캐패시터와 제2 캐패시터의 사이에 유기절연막을 구비함으로써, 제2 캐패시터의 모양과 크기를 용이하게 설계하여 고해상도 패널에서 캐패시터의 정전용량을 확보할 수 있는 이점이 있다.

도면의 간단한 설명

[0014] 도 1은 유기발광표시장치를 개략적으로 나타낸 블록도.

도 2는 도 1에 도시된 서브픽셀을 개략적으로 나타낸 구성도.

도 3은 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀을 나타낸 평면도.

도 4는 도 3의 I-I'에 따라 절취한 단면도.

도 5는 종래 유기발광표시장치의 제2 캐패시터와 본 발명의 유기발광표시장치의 제2 캐패시터를 나타낸 평면도.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지된 내용 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0016] 도 1은 유기발광표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브픽셀을 개략적으로 나타낸 구성도이다.
- [0017] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 영상공급부(11), 타이밍제어부(12), 스캔구동부(13), 데이터구동부(14) 및 표시패널(15)을 포함한다.
- [0018] 상기 영상공급부(11)는 데이터신호를 영상처리하고 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 클럭신호 등과 함께 출력한다. 영상공급부(11)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 및 데이터신호 등을 타이밍제어부(12)에 공급한다.
- [0019] 타이밍제어부(12)는 영상공급부(11)로부터 데이터신호 등을 공급받고, 스캔구동부(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(14)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍제어부(12)는 데이터 타이밍 제어신호(DDC)와 함께 데이터신호(DATA)를 데이터구동부(14)에 공급한다.
- [0020] 스캔구동부(13)는 타이밍제어부(12)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔구동부(13)에는 레벨 시프터와 시프트 레지스터가 포함된다. 스캔구동부(13)는 스캔라인들(GL1 ~ GLm)을 통해 표시패널(15)에 포함된 서브픽셀들(SP)에 스캔신호를 공급한다. 스캔구동부(13)는 표시패널(15)에 게이트인패널(Gate In Panel) 방식으로 형성된다. 스캔구동부(13)에서 게이트인패널 방식으로 형성되는 부분은 시프트 레지스터이다.
- [0021] 데이터구동부(14)는 타이밍제어부(12)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DAT A)를 샘플링하고 래치하며 감마 기준전압에 대응하여 아날로그신호를 디지털신호로 변환하여 출력한다. 데이터구동부(14)는 데이터라인들(DL1 ~ DLn)을 통해 표시패널(15)에 포함된 서브픽셀들(SP)에 데이터신호(DATA)를 공급한다. 데이터구동부(14)는 집적회로(Integrated Circuit; IC) 형태로 형성된다.
- [0022] 표시패널(15)은 스캔구동부(13)로부터 공급된 스캔신호와 데이터구동부(14)로부터 공급된 데이터신호(DATA)에 대응하여 영상을 표시한다. 표시패널(15)은 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다. 표시패널(15)에는 영상을 표시하기 위해 자체적으로 빛을 발광하는 서브픽셀들(SP)이 포함된다.
- [0023] 도 2에 도시된 바와 같이, 하나의 서브픽셀은 스캔라인(GL1)과 데이터라인(DL1)에 연결(또는 교차부에 형성된)된 스위칭 박막트랜지스터(SW)와 스위칭 박막트랜지스터(SW)를 통해 공급된 데이터신호(DATA)에 대응하여 동작하는 픽셀회로(PC)가 포함된다. 픽셀회로(PC)에는 구동 트랜지스터, 캐패시터, 유기발광 다이오드와 같은 회로를 포함한다.
- [0024] 이하, 도 3 및 도 4를 참조하여 본 발명의 일 실시예에 따른 유기발광표시장치의 구조에 대해 설명한다. 하기에 서는 유기발광표시장치를 설명하기 위해 하나의 서브픽셀을 예로 도시하여 설명하기로 한다.
- [0025] 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀을 나타낸 평면도이고, 도 4는 도 3의 I-I'에 따라 절취한 단면도이다.
- [0026] 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치(100)는 기판(105) 상에 제1 게이트 라인(120a) 및 제2 게이트 라인(120c)이 가로로 서로 평행하게 배열된다. 기준전압 라인(130c), 데이터 라인(130d) 및 공통전원 라인(130e)은 상기 제1 게이트 라인(120a) 및 제2 게이트 라인(120c)에 수직하도록 세로로 배치되며 서로 평행하게 배열된다. 이들 제1 게이트 라인(120a), 제2 게이트 라인(120c), 기준전압 라인(130c), 데이터 라인(130d) 및 공통전원 라인(130e)의 교차에 의해 서브픽셀 영역이 구획된다.

- [0027] 제1 게이트 라인(120a), 드레인 전극(130a), 데이터 라인(130d)에 인접하여 배치된 제1 액티브층(110a)이 스위칭 박막트랜지스터(Switching TFT, S-TFT)를 구성한다. 제1 액티브층(110a)의 일측은 제6 콘택홀(127e)을 통해 데이터 라인(130d)에 콘택하고 타측은 제1 콘택홀(127a)을 통해 드레인 전극(130a)에 콘택한다. 제2 게이트 라인(120c)과 기준전압 라인(130c)에 인접하여 배치된 제2 액티브층(110c)이 구동 박막트랜지스터(Driving TFT, D-TFT)를 구성한다. 스위칭 박막트랜지스터와 구동 박막트랜지스터 사이에는 공통전원 라인(130e)으로부터 전압을 인가받는 제1 캐패시터 하부전극(110b)과 스위칭 박막트랜지스터로부터 전압을 인가받는 제1 캐패시터 상부전극(120b)이 제1 캐패시터(Cst1)를 구성한다. 또한, 공통전원 라인(130e)으로부터 전압을 인가받는 제2 캐패시터 하부전극(140)과 스위칭 박막트랜지스터로부터 전압을 인가받는 제2 캐패시터 상부전극(150a)이 제2 캐패시터(Cst2)를 구성한다.
- [0028] 한편, 제1 캐패시터 하부전극(110b)을 통해 공통전원 라인(130e)으로부터 연결된 연결패턴(130b)이 위치하고, 연결패턴(130b)은 구동 박막트랜지스터의 드레인 전극(150b)에 연결된다. 화소 전극(165)은 드레인 전극(150b)에 연결된다. 화소 전극(165)은 유기막층과 대향 전극이 형성되어 유기발광 다이오드를 구성한다.
- [0029] 전술한 도 3에 도시된 유기발광표시장치의 서브픽셀의 구조를 하기 도 4를 참조하여 보다 자세히 설명하도록 한다.
- [0030] 도 4를 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치(100)는 기판(105) 상에 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시)이 위치한다. 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시)은 비정질 실리콘(a-Si)에 불순물 이온이 주입되어 도전화된 것으로 이루어질 수 있다. 또한, 기판(105)과 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시) 사이에 도하지 않았지만 실리콘 산화물 또는 실리콘 질화물로 이루어진 버퍼층이 더 위치할 수 있다.
- [0031] 상기 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시) 상에 이들을 절연시키는 게이트 절연막(115)이 위치한다. 게이트 절연막(115)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 게이트 절연막(115) 상에 제1 게이트 전극(120a), 제1 캐패시터 상부전극(120b) 및 제2 게이트 전극(120c)이 위치한다. 제1 게이트 전극(120a), 제1 캐패시터 상부전극(120b) 및 제2 게이트 전극(120c)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.
- [0032] 상기 제1 게이트 전극(120a), 제1 캐패시터 상부전극(120b) 및 제2 게이트 전극(120c) 상에 이들을 절연시키는 층간 절연막(125)이 위치한다. 층간 절연막(125)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 층간 절연막(125) 상에 스위칭 박막트랜지스터의 드레인 전극(130a)과 연결패턴(130b)이 위치한다. 스위칭 박막트랜지스터의 드레인 전극(130a)은 층간 절연막(125)을 관통하는 제2 콘택홀(127b)을 통해 제1 캐패시터 상부전극(120b)에 연결된다. 연결패턴(130b)은 제1 캐패시터 하부전극(110b)과 구동 박막트랜지스터의 드레인 전극(150b)을 연결한다. 드레인 전극(130a)과 연결패턴(130b)은 배선 저항을 낮추기 위해 저저항 물질로 형성되어 있으며, 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다. 드레인 전극(130a)은 게이트 절연막(115)과 층간 절연막(125)에 형성된 제1 콘택홀(127a)을 통해 제1 액티브층(110a)에 연결되고, 연결패턴(130b)은 게이트 절연막(115)과 층간 절연막(125)에 형성된 제3 콘택홀(127c)을 통해 제1 캐패시터 하부전극(110b)에 연결된다. 제1 캐패시터 하부전극(110b)은 제7 콘택홀(127d)을 통해 공통전원 라인(130e)에 연결된다. 제1 캐패시터 하부전극(110b)과 제1 캐패시터 상부전극(120b)은 게이트 절연막(115)을 사이에 두고 제1 캐패시터(Cst1)를 형성한다.
- [0033] 한편, 드레인 전극(130a)과 연결패턴(130b) 상에 제1 유기절연막(135)이 위치한다. 제1 유기절연막(135)은 하부의 단차를 평탄화하는 평탄화막으로 포토아크릴(photo acryl), 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 포토아크릴(photo acryl)과 같은 아크릴레이트계 수지 또는 폴리이미드(polyimide)드 수지 등의 유기물로 이루어진다. 제1 유기절연막(135)의 하부에는 제1 액티브층(110a)의 타측과 드레인 전극(130a)을 연결하는 제1 콘택홀(127a), 드레인 전극(130a)과 제1 캐패시터 상부전극(120b)을 연결하는 제2 콘택홀(127b), 연결패턴(130b)과 제1 캐패시터 하부전극(110b)을 연결하는 제3 콘택홀(127c), 제1 액티브층(110a)의 일측과 데이터 라인(130d)을 연결하는 제6 콘택홀(127e), 제1 캐패시터 하부전극(110b)과 공통전원 라인(130e)을 연결하는 제7 콘택홀(127d)들이 위치한다. 상기 제1, 제2, 제3, 제6 및 제7 콘택홀(127a, 127b, 127c, 127e, 127d)들은 깊은 홀을 형성하고 있다. 그래서 상기 콘택홀들 상에 무기막이 형성될 경우 두께가 균일한 막으로 형성되지 못하기 때문에, 상기 홀들을 회피하여 막의 크기와 모양을 설계해야 한다. 따라서, 본 발명에서는 제1 캐패시터(Cst1)

상에 제1 유기절연막(135)을 형성하여 전술한 콘택홀들의 단차를 모두 평탄화시킴으로써, 후속 층들 예를 들어 제2 캐패시터(Cst2)의 두께를 균일하게 하고 크기와 모양이 제한되지 않도록 한다. 이를 위해, 제1 유기절연막(135)은 1 내지 5 μ m의 두께로 이루어진다. 여기서, 제1 유기절연막(135)의 두께가 1 μ m 미만이면 콘택홀들의 단차가 메워지지 않아 후속 층들이 균일하게 형성될 수 없고, 제1 유기절연막(135)의 두께가 5 μ m 초과이면 소자의 두께가 두꺼워지게 된다.

[0034] 한편, 제1 유기절연막(135) 상에 제2 캐패시터 하부전극(140)이 위치한다. 제2 캐패시터 하부전극(140)은 전술한 제1 캐패시터(Cst1)와 대응되는 영역에 위치한다. 제2 캐패시터 하부전극(140)은 정전용량을 형성하기 위해 도전성을 가지는 물질로 형성되며, 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0035] 제2 캐패시터 하부전극(140) 상에 패시베이션막(145)이 위치한다. 패시베이션막(145)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 패시베이션막(145) 상에 제2 캐패시터 상부전극(150a) 및 구동 박막트랜지스터의 드레인 전극(150b)이 위치한다. 제2 캐패시터 상부전극(150a)은 전술한 제2 캐패시터 하부전극(140)과 대응되도록 위치한다. 제2 캐패시터 상부전극(150a) 및 구동 박막트랜지스터의 드레인 전극(150b)은 정전용량을 형성하기 위해 도전성을 가지는 물질로 형성되며, 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0036] 상기 제2 캐패시터 상부전극(150a)은 제1 유기절연막(135) 및 패시베이션막(145)에 형성된 제4 콘택홀(137a)을 통해 스위칭 박막트랜지스터의 드레인 전극(130a)과 연결된다. 또한, 제2 캐패시터 하부전극(140)은 제1 유기절연막(135)과 패시베이션막(145)에 형성된 제5 콘택홀(137b)을 통해 연결패턴(130b)에 연결된다. 따라서, 제2 캐패시터 상부전극(150a)과 제2 캐패시터 하부전극(140)은 패시베이션막(145)을 사이에 두고 제2 캐패시터(Cst2)를 형성한다.

[0037] 한편, 기판(105) 상에 형성된 제1 캐패시터(Cst1) 및 제2 캐패시터(Cst2) 상에 제2 유기절연막(160)이 위치한다. 제2 유기절연막(160)은 하부의 단차를 평탄화하는 평탄화막으로, 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 포토아크릴(photo acryl)과 같은 아크릴레이트계 수지 또는 폴리이미드(polyimide)드 수지 등의 유기물로 이루어질 수 있다. 제2 유기절연막(160) 상에 화소 전극(165)이 위치한다. 화소 전극(165)은 투명 전극으로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide)와 같은 일함수가 높은 투명한 물질로 이루어질 수 있다. 여기서, 화소 전극(165)이 반사 전극일 경우에는 하부에 반사막을 포함할 수 있으며 예를 들어 APC/ITO, ITO/APC/ITO의 적층 구조로 이루어질 수 있다.

[0038] 화소 전극(165)을 포함하는 제2 유기절연막(160) 상에 बैं크층(170)이 위치한다. बैं크층(170)은 화소 전극(165)의 일부를 노출시킴으로써 발광영역을 정의하는 역할을 하는 것으로, 폴리이미드(polyimide) 수지, 벤조사이클로부텐계 수지, 아크릴레이트(acrylate)계 수지 등의 유기물로 이루어질 수 있다. बैं크층(170)은 화소 전극(165)을 노출시키는 개구부(172)가 형성된다. बैं크층(170) 및 화소 전극(165) 상에 유기막층(175)이 위치한다. 유기막층(175)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 적어도 하나 이상을 더 포함할 수 있다. 유기막층(175)을 포함하는 기판(105) 상에 대향 전극(180)이 위치한다. 대향 전극(175)은 발광층으로부터 발광된 광을 투과하는 투과 전극이며, 일함수가 낮은 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금으로 이루어질 수 있다. 따라서, 화소 전극(165), 유기막층(175) 및 대향 전극(180)을 포함하는 유기발광 다이오드를 구성한다.

[0039] 한편, 본 발명의 일 실시예에 따른 유기발광표시장치는 제2 캐패시터(Cst2)를 제1 유기절연막(135) 상에 위치시킴으로써, 제2 캐패시터(Cst2)의 면적을 향상시킬 수 있다.

[0040] 도 5는 종래 유기발광표시장치의 제2 캐패시터와 본 발명의 유기발광표시장치의 제2 캐패시터를 나타낸 평면도이다.

[0041] 도 5를 참조하면, 종래 유기발광표시장치의 경우, 제2 캐패시터 하부에 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)의 무기막이 형성되기 때문에, 무기막의 하부에 위치한 박막트랜지스터 및 제1 캐패시터의 단차를 따라 무기막이 그대로 형성된다. 이러한 단차를 가지는 무기막 위에 제2 캐패시터를 형성하면, 제2 캐패시터의 모양이 하부 층들의 단차에 영향을 받게 된다. 여기서 그 영향이라 함은 하부층들의 단차에 의한 쇼트(Short) 또는

단선 현상을 말한다. 따라서, 제2 캐패시터의 하부전극 및 상부전극을 설계할 때, 콘택홀(CNT)들의 상부를 회피하여 설계하게 된다. 제2 캐패시터의 하부전극과 상부전극이 콘택홀(CNT)들의 상부를 회피하기 위해서는 콘택홀(CNT)들과 인접한 영역에서 굴곡부를 형성해야만 한다. 따라서, 콘택홀(CNT)들을 회피하여 설계되는 제2 캐패시터는 원하는 정전용량을 확보하기 위해 패턴의 모양이나 크기(size)에 제한이 발생하게 되며, 고해상도 패널에서 캐패시터의 정전용량을 확보하는데 어려움이 발생한다.

[0042] 따라서, 본 발명의 유기발광표시장치는 제2 캐패시터 하부 즉 제1 캐패시터 상부에 하부의 단차를 평탄화할 수 있는 제1 유기절연막을 형성하여, 하부 단차를 평탄화한다. 즉, 제1 유기절연막이 콘택홀(CNT)들의 단차를 평탄화함으로써, 제2 캐패시터의 하부전극 및 상부전극을 콘택홀(CNT)들의 상부에 형성할 수 있게 된다. 도 5에 도시된 바와 같이, 콘택홀(CNT)들의 상부에서 콘택홀(CNT)들을 회피할 필요 없이 제2 캐패시터가 직사각형에 가까운 모양으로 형성된다. 즉, 콘택홀(CNT)들과 인접한 제2 캐패시터의 상부전극과 하부전극의 측면이 굴곡부가 없이 직선으로 형성된다. 이로 인해 종래 캐패시터의 모양이나 크기에 제한이 발생한 것과는 달리 제2 캐패시터의 모양과 크기 제한이 완화됨으로써, 제2 캐패시터의 모양이나 크기를 용이하게 설계할 수 있다. 도 5를 참조하면, 종래 제2 캐패시터의 면적이 약 201 마이크로 제곱미터(μm^2)로 나타나나, 본 발명의 제2 캐패시터의 면적은 약 248 마이크로 제곱미터(μm^2)로 약 24% 증가되는 것으로 나타난다.

[0043] 전술한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 제1 캐패시터와 제2 캐패시터의 사이에 유기절연막을 구비함으로써, 제2 캐패시터의 모양과 크기를 용이하게 설계하여 고해상도 패널에서 캐패시터의 정전용량을 확보할 수 있는 이점이 있다.

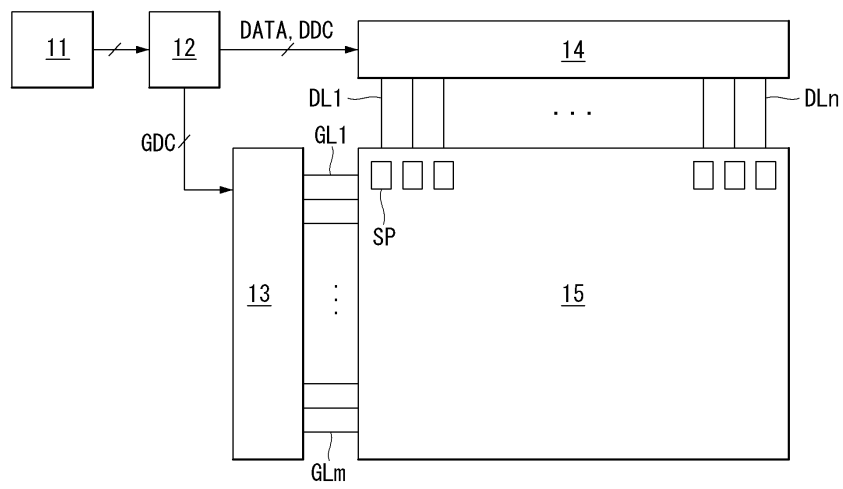
[0044] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

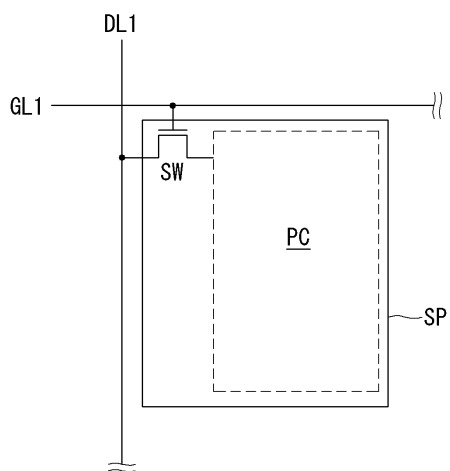
[0045] 100 : 유기발광표시장치 105 : 기판
110b : 제1 캐패시터 하부전극 115 : 버퍼층
120b : 제1 캐패시터 상부전극 125 : 게이트 절연막
135 : 제1 유기절연막 140 : 제2 캐패시터 하부전극
145 : 패시베이션막 150a : 제2 캐패시터 상부전극
160 : 제2 유기절연막 165 : 화소 전극
170 : बैं크층 175 : 유기막층
180 : 대향 전극

도면

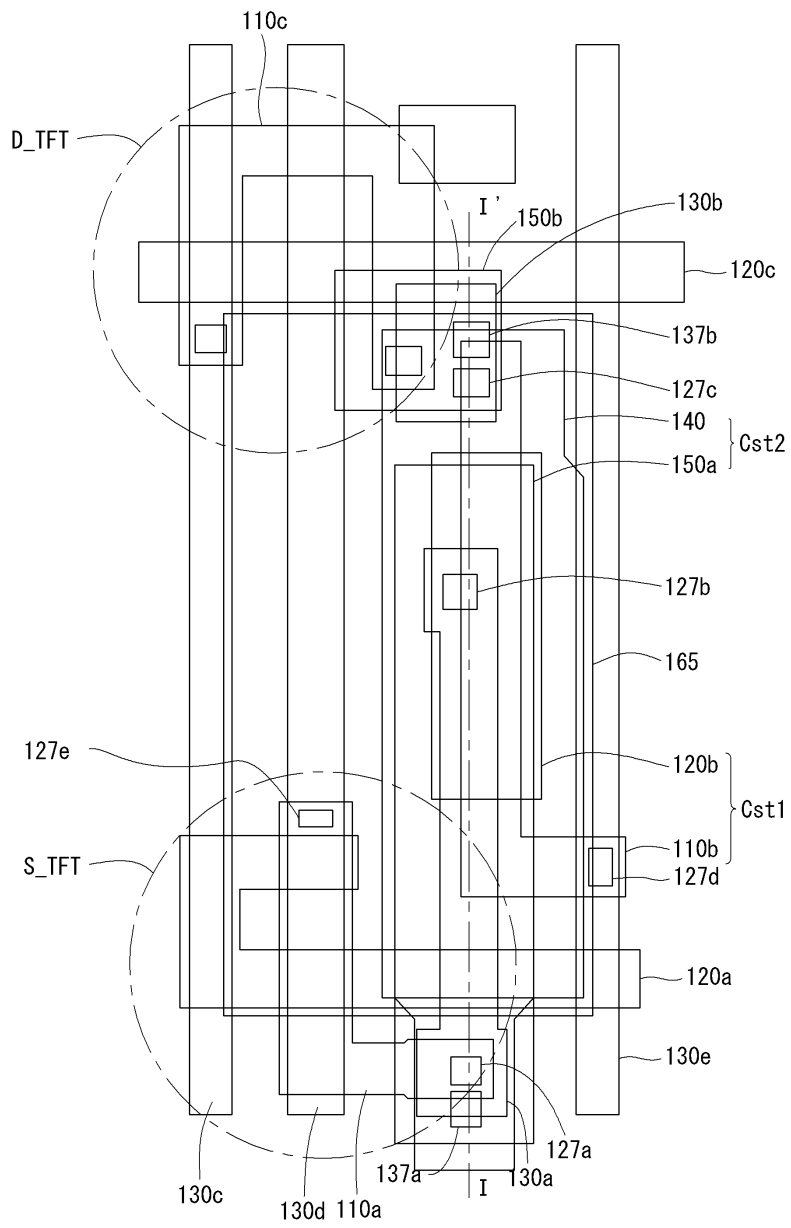
도면1



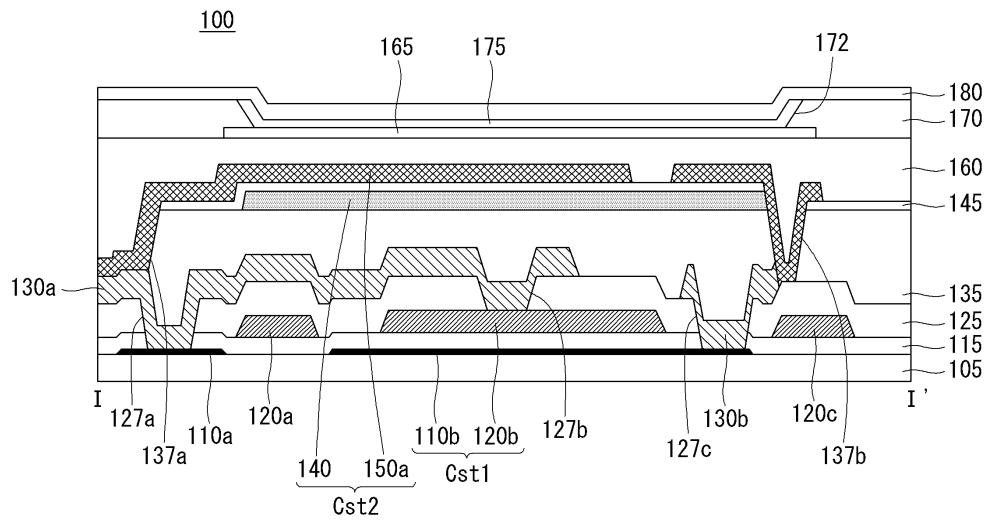
도면2



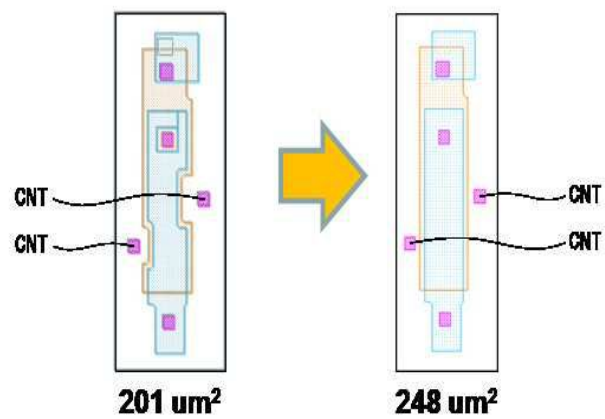
도면3



도면4



도면5



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020160056396A	公开(公告)日	2016-05-20
申请号	KR1020140155678	申请日	2014-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JIN WOO 박진우		
发明人	PARK JIN WOO 박진우		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/1255 H01L27/3258		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施例的有机发光显示装置包括基板，第一电容器，第一有机绝缘膜，第二电容器，第二有机绝缘膜，像素电极，有机膜和对置物电极。第一电容器包括第一电容器底部电极，其位于基板的表面上，栅极绝缘层设置在第一电容器上部电极之间。第一有机绝缘膜位于第一电容器的表面上。并且下部的阶梯式滑轮被平坦化。第二电容器包括第二电容器底部电极，第二电容器底部电极位于第一有机绝缘膜的表面上，钝化膜设置在第二电容器上部电极之间。第二有机绝缘膜位于第二电容器的表面上。像素电极位于有机绝缘膜的表面上。有机膜至少包括位于像素电极表面上的发光层。相对电极位于有机膜的表面上。

