



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0040345  
(43) 공개일자 2016년04월14일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/50 (2006.01)  
(21) 출원번호 10-2014-0133075  
(22) 출원일자 2014년10월02일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
타니료스케  
경기 과천시 탄현면 엘씨디로241번길 30-15, 404호  
홍성진  
경기 고양시 일산서구 킨텍스로 340, 710동 806호  
(주엽동, 문촌마을7단지아파트)  
(뒷면에 계속)  
(74) 대리인  
김은구, 송해모

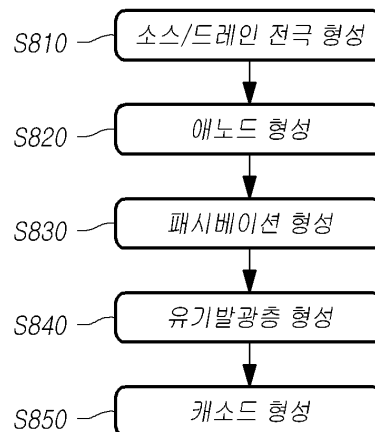
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 표시 패널 및 이를 이용한 표시장치

(57) 요약

본 발명은 유기발광 표시 패널 및 이를 이용한 표시장치에 관한 것으로 일 측면에서 본 발명은 애노드와 컨택하는 유기발광층의 발광영역을 무기물질인 패시베이션층을 이용하여 정의한 표시패널 및 표시장치를 제공한다.

대표도 - 도8



(72) 발명자

**박준민**

경기 파주시 월롱면 엘지로 245, 101동 523호 (파  
주LCD산업단지)

**배나영**

부산 부산진구 국악로54번길 17

---

## 명세서

### 청구범위

#### 청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 위치하고, 상기 데이터 라인과 상기 게이트 라인이 교차하여 위치하는 박막 트랜지스터와,

상기 박막 트랜지스터의 소스 또는 드레인 상에 위치하며 상기 소스 또는 드레인과 전기적으로 접촉하는 애노드와,

상기 애노드의 가장자리 및 상기 애노드가 위치하지 않는 제1영역에 위치하는 패시베이션층;

상기 애노드에서 상기 패시베이션층이 위치하지 않는 제2영역에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 캐소드를 포함하는 표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 구동부; 및

상기 다수의 게이트 라인을 구동하는 게이트 구동부를 포함하는 유기발광 표시장치.

#### 청구항 2

제1항에 있어서,

상기 소스 또는 드레인은

불투명한 금속층을 포함하는 다중층 구조인 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 3

제2항에 있어서,

상기 애노드는 상기 박막 트랜지스터의 게이트 절연막과 상기 소스 또는 드레인 상에 위치하며,

상기 제2영역은 상기 애노드에서 제어하는 화소의 개구부를 포함하며,

상기 제2 영역의 빛 중 일부는 상기 불투명한 금속층에 의해 차단되는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 4

제3항에 있어서,

상기 게이트 절연막 상에 컬러필터가 위치하며,

상기 애노드는 상기 소스 또는 드레인 및 상기 컬러필터 상에 위치하는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 5

제1항에 있어서,

상기 소스 또는 드레인 상에 일부 중첩하는 컬러필터가 위치하며,

상기 컬러필터 및 상기 소스 또는 드레인 상에 위치하는 제2소스 또는 드레인을 더 포함하며,

상기 애노드는 상기 제2소스 또는 드레인 및 상기 컬러필터 상에 위치하는 것을 특징으로 하는 유기발광 표시장치

치.

#### 청구항 6

제1항에 있어서,

상기 박막 트랜지스터는 활성화층 상에 게이트 절연막 및 게이트가 위치하며,

상기 게이트 상에 층간 절연층이 위치하며,

상기 층간 절연층에 위치하는 컨택홀을 통하여 상기 활성화층과 컨택하는 소스 또는 드레인을 포함하는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 7

제6항에 있어서,

상기 소스 또는 드레인 및 상기 층간 절연층 상에 컬러필터가 위치하며,

상기 애노드는 상기 컬러필터 상에 위치하며,

상기 컬러필터는 상기 제2영역을 포함하는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 8

제1항에 있어서,

상기 패시베이션층은 무기 물질인 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 9

화소 영역의 애노드에 전기를 인가하는 소스 또는 드레인과 게이트를 포함하는 박막 트랜지스터;

상기 소스 또는 드레인에 전기적으로 연결되는 애노드;

상기 애노드의 제1영역 및 상기 소스 또는 드레인 상에 위치하며 상기 애노드의 제2영역에는 위치하지 않는 패시베이션층;

상기 애노드의 제2영역에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 캐소드를 포함하는 유기발광 표시패널.

#### 청구항 10

제9항에 있어서,

상기 제2영역은 상기 화소 영역의 개구부를 포함하는 것을 특징으로 하는 유기발광 표시패널.

#### 청구항 11

제9항에 있어서,

상기 소스 또는 드레인은 불투명한 금속층을 포함하는 다중층 구조인 것을 특징으로 하는 유기발광 표시패널.

### 발명의 설명

## 기술 분야

[0001] 본 발명은 유기발광 표시 패널 및 이를 이용한 표시장치에 관한 것이다.

## 배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 다양한 표시장치가 활용되고 있다. 이러한 다양한 표시장치에는, 그에 적합한 표시패널이 포함된다.

[0003] 이러한 표시장치에 포함되는 표시패널은 하나의 기관에서 만들어지는 여러 개의 표시패널 중 하나일 수 있다. 즉, 여러 공정 절차에 따라, 하나의 기관에서 화소들을 구성하는 소자들, 신호라인, 또는 전원 라인 등이 표시패널 단위 별로 형성될 수 있다. 또한 표시패널은 다수의 박막 트랜지스터와 이들 박막 트랜지스터에 의하여 제어되는 화소 영역을 가지고 있으며, 화소 영역에서 발광하는 소자로 유기발광 소자를 사용하는 OLED 표시패널에는 유기발광 소자를 제어하기 위한 박막 트랜지스터 소자가 각각 연결된다. 종래 OLED 표시패널은 OLED가 발광하는 영역(개구 영역을 포함)과 OLED 소자를 위한 회로 영역을 평탄화시키게 되는데, 평탄화를 위한 공정 과정에서 마스크 수와 공정 수가 늘어나는 문제가 발생하였으며, 마스크 수 및 공정 수를 줄이는 요구가 증가하고 있다.

## 발명의 내용

### 해결하려는 과제

[0004] 이러한 배경에서, 본 발명의 목적은 유기발광층을 형성하기 위해 적용되는 공정의 수 및 마스크의 수를 줄여 표시패널의 크기를 줄이고자 한다.

[0005] 또한, 공정 및 마스크의 수를 줄임으로써 표시패널과 표시장치의 생산가를 줄이고자 한다.

[0006] 또한 유기발광층을 형성함에 있어서 불필요한 마스크를 제거하여 각 마스크로 인해 발생하는 오차를 줄이고자 한다.

[0007] 또한 유기발광층을 형성함에 있어서 무기물질로 유기발광층의 발광 영역을 정의하여 무기물질과 유기발광층이 접촉하여 발생하는 가스를 제거하고자 한다.

### 과제의 해결 수단

[0008] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은 무기물질인 패시베이션층을 이용하여 애노드와 컨택하는 유기발광층의 발광영역을 정의한 표시패널 및 표시장치를 제공한다.

[0009] 다른 측면에서 본 발명은 애노드가 소스 또는 드레인 상에 직접 위치하며, 애노드 상에 패시베이션층을 위치시키고, 패시베이션층 상에 유기발광층 및 캐소드가 위치하는 표시패널 및 표시장치를 제공한다.

[0010] 또다른 측면에서 본 발명은 애노드 상에 패시베이션 층을 위치시키고, 패시베이션층을 발광영역에 대응하여 식각하여 유기발광층을 무기물질인 패시베이션층으로 정의하는 표시패널 및 표시장치를 제공한다.

## 발명의 효과

[0011] 이상에서 설명한 바와 같이 본 발명에 의하면, 무기물질을 이용하여 유기발광층과 컨택하는 애노드의 영역을 정의할 수 있으며, 무기물질은 유기발광층에 영향을 미치지 않으므로 유기발광층을 안정화시키는 효과를 제공한다.

[0012] 본 발명에 의하면 오버코트층 및 유기물질 बैं크층 대신 패시베이션 층을 이용하므로 공정과 마스크를 절감하는

효과를 제공한다.

[0013] 본 발명에 의하면, 애노드와 구동트랜지스터의 소스 또는 드레인을 전기적으로 직접 컨택시키며, 소스 또는 드레인에 불투명한 금속층을 형성하여 유기발광층의 빛으로부터 구동트랜지스터의 소자를 보호하는 효과를 제공한다.

### 도면의 간단한 설명

[0014] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.  
 도 2는 실시예들이 적용되는 화소 구조의 회로를 나타낸 도면이다.  
 도 3은 도 2의 구동트랜지스터의 일부(N1) 및 유기발광층(OLED)의 구성을 보여주는 도면이다.  
 도 4는 도 3과 같은 애치스토퍼/바텀 게이트 박막 트랜지스터를 형성하는 공정 플로우 및 적층된 구조를 보여주는 도면이다.  
 도 5는 도 2의 구동트랜지스터의 일부(N1) 및 유기발광층의 구성을 보여주는 도면이다.  
 도 6은 도 5와 같은 탑 게이트 박막 트랜지스터를 형성하는 공정 플로우 및 적층된 구조를 보여주는 도면이다.  
 도 7는 도 3, 4에서 살펴본 구조에서 뱅크를 제외시킨 구조를 보여주는 도면이다.  
 도 8은 본 발명의 일 실시예에 의한 뱅크리스 구조를 형성하는 과정을 보여주는 도면이다.  
 도 9는 본 발명의 일 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하는 공정을 보여주는 도면이다.  
 도 10은 본 발명의 일 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하기 위한 적층 구조 및 순서를 보여주는 도면이다.  
 도 11a 및 11b는 본 발명의 다른 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하는 공정을 보여주는 도면이다.  
 도 12는 본 발명의 일 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하기 위한 적층 구조 및 순서를 보여주는 도면이다.  
 도 13은 본 발명의 일 실시예에 의한 탑게이트 방식인 구조에서 패시베이션층이 발광영역을 정의하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0017] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.

[0018] 도 1을 참조하면, 실시예들에 따른 표시장치(100)는, 제1방향(예: 수직방향)으로 다수의 제1라인(VL1~VLm)이 형성되고, 제2방향(예: 수평방향)으로 다수의 제2라인(HL1~HLn)이 형성되는 표시패널(110)과, 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하는 제1구동부(120)와, 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하는 제2구동부(130)와, 제1구동부(120) 및 제2구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0019] 표시패널(110)에는, 제1방향(예: 수직방향)으로 형성된 다수의 제1라인(VL1~VLm)과 제2방향(예: 수평방향)으로

형성된 다수의 제2라인(HL1~HLn)의 교차에 따라 다수의 화소(P: Pixel)가 정의된다.

- [0020] 전술한 제1구동부(120) 및 제2구동부(130) 각각은, 영상 표시를 위한 신호를 출력하는 적어도 하나의 구동 집적 회로(Driver IC)를 포함할 수 있다.
- [0021] 표시패널(110)에 제1방향으로 형성된 다수의 제1라인(VL1~VLm)은, 일 예로, 수직방향(제1방향)으로 형성되어 수직방향의 화소 열로 데이터 전압(제1신호)을 전달하는 데이터 배선일 수 있으며, 제1구동부(120)는 데이터 배선으로 데이터 전압을 공급하는 데이터 구동부일 수 있다.
- [0022] 또한, 표시패널(110)에 제2방향으로 형성된 다수의 제2라인(HL1~HLn)은 수평방향(제2방향)으로 형성되어 수평방향의 화소 열로 스캔 신호(제1신호)를 전달하는 게이트 배선일 수 있으며, 제2구동부(130)는 게이트 배선으로 스캔 신호를 공급하는 게이트 구동부일 수 있다.
- [0023] 또한, 제1구동부(120)와 제2구동부(130)와 접속하기 위해 표시패널(110)에는 패드부가 구성된다. 패드부는 제1구동부(120)에서 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하면 이를 표시패널(110)로 전달하며, 마찬가지로 제2구동부(130)에서 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하면 이를 표시패널(110)로 전달한다. 따라서, 표시패널(110)의 화소들의 영역을 형성하는 공정에서 패드부를 함께 형성할 수 있다.
- [0024] 도 2는 실시예들이 적용되는 화소 구조의 회로를 나타낸 도면이다.
- [0025] 도 2를 참조하면, 실시예들이 적용되는 표시패널(110) 다수의 화소 각각은, 기본적으로, 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1트랜지스터(T1), 제2트랜지스터(T2), 스토리지 캐패시터(Cstg) 등을 포함한다. 각 트랜지스터들은 박막 트랜지스터(Thin Film Transistor, 또는 TFT)이다.
- [0026] 유기발광다이오드(OLED)는, 제1전극(예: 애노드 또는 캐소드)이 구동트랜지스터(DT)와 연결되고, 제2전극(예: 캐소드 또는 애노드)이 기저전압(VSS 또는 EVSS)을 공급하는 공급단과 연결될 수 있다.
- [0027] 구동트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하기 위한 트랜지스터로서, 게이트 노드인 제2노드(N2)에 인가된 전압에 의해 제어되며, 구동전압 라인(DVL: Driving Voltage Line)으로부터 구동전압(VDD: Driving Voltage, 또는 EVDD)을 제3노드(N3)로 인가받으며, 유기발광다이오드(OLED)로 전류를 공급해주어 유기발광다이오드(OLED)를 발광시킬 수 있다.
- [0028] 제1트랜지스터(T1)는, 기준전압(Vref: Reference Voltage)이 공급되는 기준전압 공급노드(Nref: Reference Node)와 구동트랜지스터(DT)의 제1노드(N1) 사이에 연결되는 트랜지스터로서, 게이트라인(GL)을 통해 공급된 스캔신호(SCAN)에 의해 제어되며, 기준전압 공급노드(Nref)로 인가된 기준전압(Vref)을 구동트랜지스터(DT)의 제1노드(N1)에 인가해줄 수 있다.
- [0029] 제2트랜지스터(T2)는, 데이터라인(DL)과 구동트랜지스터(DT)의 제2노드(N2) 사이에 연결되는 트랜지스터로서, 제1트랜지스터(T2)의 게이트노드에 인가된 스캔신호(SCAN)를 게이트노드로 함께 인가받아 제어되며, 데이터라인(DL: Data Line)을 통해 공급된 데이터전압(Vdata)을 구동트랜지스터(DT)의 게이트노드인 제2노드(N2)에 공급해준다.
- [0030] 스토리지 캐패시터(Cstg)는, 구동트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 한 프레임(Frame) 동안 전압을 유지시켜주는 역할을 한다.
- [0031] 전술한 바와 같이, 제1트랜지스터(T1)와 제2트랜지스터(T2)는, 하나의 게이트라인(GL)을 통해 스캔신호(SCAN)를 동시에 인가받는다. 따라서, 제1트랜지스터(T1)와 제2트랜지스터(T2)의 게이트노드는 회로적으로 서로 연결되어 있다.
- [0032] 한편, 본 명세서 및 도면에서는, 모든 트랜지스터를 N 타입으로 예로 들어 설명하고 있으나, 회로 설계 방식에 따라, 모든 트랜지스터 또는 일부 트랜지스터를 P 타입으로 설계될 수도 있다.
- [0033] 도 3은 도 2의 구동트랜지스터의 일부(N1) 및 유기발광층(OLED)의 구성을 보여주는 도면이다. 도 2에서 살펴본 바와 같이 OLED 소자를 구동시키는 전극이 구동트랜지스터(DT)의 제1노드(N1)와 연결된다. 도3은 구동트랜지스터가 바텀 게이트(bottom gate) 방식인 경우를 보여준다.
- [0034] 도 3에서 기판(300) 상에 구동트랜지스터의 게이트(310), 게이트 절연막(315), 구동트랜지스터의 드레인(320), 그리고 패시베이션층(Passivation layer, 325) 및 평탄화층(또는 평탄화막, 오버코트층, 330)이 형성되며, 패시베이션층(325) 및 평탄화층(330) 상에 콘택홀이 형성된다. 화소 전극을 구성하는 애노드(Anode, 340)는 콘택홀



을 통하여 드레인(320)과 접촉한다. 애노드(340) 및 그 외의 평탄화층(330)에는 OLED 발광 영역을 구획짓기 위한 बैं크(350)가 형성되고, 이후 유기발광층(360)과 캐소드(Cathod, 370)가 형성된다. 평탄화층(330)은 오버코트층(overcoat layer)로 지칭할 수 있다. 도면에 미도시되었으나, 구동트랜지스터의 소스와 드레인(320) 사이에 활성화층이 형성되며, 활성화층 상에는 에치 스톱퍼(etch stopper)가 형성될 수 있다. 도 3은 구동트랜지스터(DT)의 제1노드(N1)을 중심으로 설명하였다. 기판(300)상에 각각의 층을 형성하는 과정을 살펴보면, 도 4와 같다.

[0035] 도 4는 도 3과 같은 에치스톱퍼/바텀 게이트 박막 트랜지스터를 형성하는 공정 플로우 및 적층된 구조를 보여주는 도면이다.

[0036] 공정 플로우인 401을 살펴본다. 금속층으로 게이트(310)를 형성하고(S410), 게이트 절연막(315)을 형성한다(S415). 게이트 절연막을 형성하는 물질로는  $\text{SiO}_2$ 를 일 실시예로 한다. 활성화층(activation layer)를 형성하며(S420) 활성화층의 일 실시예로 IGZO를 이용할 수 있다. 활성화층의 식각을 방지하기 위한 에치 스톱퍼층(Etch Stopper Layer)를 형성한다(S425). 에치 스톱퍼층을 형성하는 물질로는  $\text{SiO}_2$ 를 일 실시예로 한다. 에치 스톱퍼 상에 금속층으로 소스/드레인(320)을 형성하고 식각한다(S430). 앞서 형성된 에치 스톱퍼층에 의하여 활성화층의 일부 영역은 보호된다. 다음으로 패시베이션층(325)을 형성한다(S435). 패시베이션 층은 무기 절연막을 이용하여 형성할 수 있다. 다음으로 금속층(Metal layer)으로 제2소스/드레인을 선택적으로 형성하고(S440), RGB를 포함하는 컬러필터(color filter)를 형성한다(S450). 컬러필터는 적색/녹색/청색(RGB)로 형성될 수 있다. 그리고 오버코트층(앞서 도 3의 330)을 형성한다(S455). 이후 투명전극 물질(ITO)를 이용하여 애노드(340)를 형성하고(S460), 애노드(340) 상에 बैं크(350)를 형성한다(S470). बैं크를 형성하는 물질로는 폴리이미드(PI)와 같은 유기 물질을 일 실시예로 한다.

[0037] 401과 같은 공정으로 적층된 결과는 402와 같다.

[0038] 도 5는 도 2의 구동트랜지스터의 일부(N1) 및 유기발광층의 구성을 보여주는 도면이다. 도 2에서 살펴본 바와 같이 OLED 소자를 구동시키는 전극 구조가 구동트랜지스터(DT)의 제1노드(N1)와 연결된다. 도 5는 구동트랜지스터가 탑 게이트(Top gate) 방식인 경우를 보여준다.

[0039] 도 5의 구성을 살펴보면, 기판(500) 상에 박막 트랜지스터가 형성되는 부분에 블랙 매트릭스(501), 차광층(504)이 형성되며, 블랙 매트릭스(501) 상에 제1버퍼층(502), 차광층 상에 제2버퍼층(505)이 형성된다. 그리고 박막 트랜지스터를 구성하는 활성화층(Active Layer)(510)과 게이트 절연층(515), 게이트(520), 그리고 층간절연층(Interlayer dielectric, ILD, 525)이 형성되어 있으며, 층간절연층(525)의 일부가 시각되어 활성화층(510)이 노출되어 콘택홀이 위치하며, 콘택홀을 통하여 소스/드레인(530)이 활성화층(510)과 접촉한다. 활성화층(510) 및 층간절연층(525) 하에 절연막(506)이 선택적으로 형성될 수 있으며, 소스/드레인(530)과 차광층(504)이 전기적으로 연결될 수 있다. 소스/드레인 상에 패시베이션층(Passivation Layer, 535), 컬러필터(538), 오버코트층(Overcoat, 540), 애노드(550), बैं크(570) 및 유기발광층(560)이 형성되어 있다. 애노드(550)는 화소전극(Pixel Electrode, 또는 애노드 또는 픽셀 전극)을 구성하며 유기발광층(560)의 발광을 제어한다. 유기발광층(560) 위에는 캐소드(도면에 미도시)가 위치한다.

[0040] 도 6은 도 5와 같은 탑 게이트 박막 트랜지스터를 형성하는 공정 플로우 및 적층된 구조를 보여주는 도면이다.

[0041] 먼저, 공정 플로우인 501을 살펴본다. 기판(500)상에 블랙매트릭스(501) 및 제1버퍼층(502)를 형성한 상태에서 금속층으로 차광층(504)을 형성하고(S610), 차광층(504) 상에 제2버퍼층(505)을 형성한다(S615). 제1버퍼층(502) 및 제2버퍼층(505)을 구성하는 물질로는  $\text{SiO}_2$ 가 될 수 있다. 그리고 IGZO와 같은 물질을 일 실시예로 하는 활성화층(510)을 형성하고(S620), 게이트 절연막(515)을 형성한다(S625). 게이트 절연막(515)을 형성하는 물질로는  $\text{SiO}_2$ 를 일 실시예로 한다. 게이트 절연막(515) 상에 금속층으로 게이트(520)를 형성하고(S630), 층간절연층(525)을 형성한 후 식각하여 콘택홀을 형성한다(S635). 그리고 소스/드레인(530)을 형성하며(S640) 앞서 식각한 층간절연층(525) 상의 콘택홀을 통하여 활성화층(510)과 소스/드레인(530)이 콘택하도록 한다. 그리고 패시베이션층(535)이 형성되며(S650), 그 위에 컬러필터(565)가 형성되며 컬러필터 위에 오버코트층(566)이 형성된다. 그리고 소스/드레인(530)이 노출되도록 패시베이션층(535)와 오버코트층(540)을 식각하여 애노드를 형성한 후(S670), बैं크(570)를 형성하고(S680), बैं크로 정의된 영역 내에 유기발광층(560)을 형성한다.

[0042] 601과 같은 공정으로 적층된 결과는 602와 같다.

[0043] 앞서 도 3 내지 도 6에서 살펴본 바와 같이, 종래 OLED 디스플레이에서는 OLED 구성 영역(개구영역포함)의 아래



부분은 평탄화를 한다. 이러한 평탄화 공정은 유기막 하에 구성되는 각 층(layer)들로 인한 테이퍼(taper), 단차 등을 해결하여 OLED 층을 구성 시 좋은 영향을 주기 때문이다.

[0044] 따라서, 평탄화 공정을 그대로 적용할 경우, 마스크 수가 증가하며, 각 마스크를 이용한 공정도 증가한다. 또한, 개구부 구성 시에는 층간 오버레이(overlay)를 확보하게 되며, 이 과정에서 개구율이 감소할 수 있다. 예를 들어 애노드 금속을 구성하는 ITO 층과 बैं크(유기 절연막, OLED 개구부 정의용) 마스크, 그리고 소스/드레인(S/D)을 구성하는 금속의 마스크 간에 생산 안정성 상, 각각 오버레이 마진(overlay margin)을 갖고 있어야 하며, 이 과정에서 층이 하나씩 증가할 경우 오버레이 마진이 그 만큼 늘어난다. 한편, 현 구조에서 그대로 오버코트층(Overcoat, 평탄화층), बैं크층을 삭제하면 개구면적은 증가하지만, ITO가 노출되어 있는 경우, ITO 에지의 단차부는 ITO라는 금속의 특성 상, 스무스(smooth)한 테이퍼를 전면 확보하기가 어렵다. 이는 ITO의 결정화 영향성으로 인해 발생하며, 이로 인해 OLED 층에 영향을 주며 소자 수명, 효율에 영향을 줄 수 있다.

[0045] 도 7는 도 3, 4에서 살펴본 구조에서 बैं크를 제외시킨 구조를 보여주는 도면이다. 도 3의 구조에서 बैं크(350)를 제외시킨 बैं크리스(bankless) 구조를 보여준다. बैं크를 형성하지 않고 구획된 개구부는 705와 같이 그대로 유지되지만, 애노드를 구성하는 ITO와 유기발광층(360)이 접하는 발광영역은 710과 같이 증가한다. 그리고 유기발광층(360)과 접하는 애노드(340)에서 발광하는 빛은 720 및 730과 같이 박막 트랜지스터를 구성하는 소자들에 영향을 미칠 수 있으며, 이는 구동트랜지스터의 소자 스트레스를 발생시킨다.

[0046] 즉, बैं크와 오버코트층(평탄화층)을 형성하는 기술은 बैं크 및 오버코트층에 해당하는 마스크 수의 증가로 인해 공정 수가 증가하며, 최종적인 제품 생산 시의 비용이 증가된다. 또한 공정 과정에서 오버레이 마진으로 인해 개구면적이 감소할 수 있으며 제품의 수율 역시 공정이 증가하는 만큼 떨어지게 된다.

[0047] 또한, बैं크와 평탄화층을 구성하는 재질들은 모두 유기 물질이다. 즉 유기 절연막과 평탄화층은 모두 유기 재료를 이용하며, 이는 수소와 산소를 투과시키는 문제가 있으며, 유기 물질 자체에서도 아웃 가스(out gas)가 발생할 수 있다. 유기발광층과 접한 유기 재료들의 아웃가스는 유기발광 소자의 수명에도 영향을 줄 수 있으며, 박막 트랜지스터에 아웃가스가 침투할 경우 문턱전압의 열화로 인해 트랜지스터의 수명에도 영향을 미친다.

[0048] 이하, 본 발명의 실시예에서는 평탄화층(오버코트층)층 또는 유기 절연막(Bank) 층을 사용 하지 않고 OLED 개구영역을 구성하는 것을 특징으로 한다.

[0049] 본 발명에서 전술한 두 개의 층(평탄화층 및 बैं크)을 사용하지 않고 종래와 동등한 패널을 구성하기 위해 패시베이션 층을 패터닝하여 개구부 영역과 발광 영역을 형성한다.

[0050] 도 8은 본 발명의 일 실시예에 의한 बैं크리스(bankless) 구조를 형성하는 과정을 보여주는 도면이다. 소스/드레인(전극)을 형성한다(S810). 여기서 소스/드레인(제2소스/드레인)은 투명하지 않는 금속(예를 들어 MoTi)를 사용할 수 있으며, 소스/드레인은 단일 층으로 구성하거나 이중층 혹은 다중층으로 구성할 수 있다. 이후 ITO를 이용하여 애노드를 소스/드레인 상에 형성한다(S820). 즉 ITO를 소스/드레인(제2소스/드레인) 상에 바로 패터닝하여 형성한다. 그리고, ITO 상에 패시베이션을 패터닝하여 형성한다(S830). 패시베이션을 패터닝한 결과, 개구부 및 컨택홀을 구성하게 되는데, 이는 이후 형성된 유기발광층과 ITO가 컨택하는 영역 및 개구부를 구성한다. 따라서 앞서 बैं크가 정의하였던 개구부 영역을 패시베이션층을 이용하여 정의한다. 이후 패시베이션층으로 구획된 영역에 유기발광층이 형성되고(S840), 캐소드를 형성한다(S850).

[0051] 각 단계별 적용은 박막 트랜지스터의 구조에 따라 변형되어 실시예에 따라 달라질 수 있다.

[0052] 도 8의 공정을 적용할 경우, 오버코트층(평탄화층), बैं크층을 형성할 필요없이 패시베이션층을 통하여 개구영역을 정의할 수 있다. 그리고 ITO 금속의 에지 영역에서의 OLED 적층 구조에 가하는 데미지가 없다. 또한, 컬러필터 공정이 필요할 경우, 앞서 소스/드레인을 형성한 후, 바로 컬러필터를 구성하여 패터닝한 후 ITO 층을 구성할 수 있다. 이에 대해서는 후술하고자 한다.

[0053] 도 8의 공정을 적용할 경우, 앞서 도 1에서 살펴본 데이터 구동부, 게이트 구동부에서 제어하는 데이터 라인과 게이트 라인으로 동작하는 박막 트랜지스터가 화소 영역의 발광 여부를 제어한다. 즉, 다수의 데이터 라인 및 다수의 게이트 라인이 표시패널 상에 위치하며 이러한 라인들이 교차하여 구성하는 박막 트랜지스터의 소스 또는 드레인 상에 애노드가 직접 연결하여 위치한다. 앞서 살펴본 종래의 패시베이션 층이 소스 또는 드레인 층과 애노드 사이에 위치하지 않는다. 그리고, 애노드와 유기발광층이 중첩되는 영역인 발광 영역을 정의하기 위해 애노드의 가장자리와 애노드가 위치하지 않는 제1영역에 패시베이션층이 위치한다. 전체에 패시베이션 층이 도포된 후, 애노드의 중심부를 식각할 수 있다. 그 결과 애노드에서 패시베이션층이 위치하지 않는 제2영역에 유기 발광층이 위치한다. 물론, 유기 발광층은 제2영역 외에 제1영역을 포함하여 전체에 도포될 수도 있다. 일 실

시예로 제2영역에만 유기발광층이 위치하고 애노드에 전기가 인가될 경우 발광할 수 있다. 다른 실시예로 제1영역 및 제2영역 모두에 유기발광층이 형성되지만 제2영역에서만 애노드와 접촉하여 발광할 수 있다. 유기발광층은 다양하게 형성될 수 있으나, 오직 애노드와 접촉하는 제2영역에서만 발광하므로 유기발광 영역이 패시베이션층에 의해 정의된다. 전술한 구성에 의해 유기발광표시패널을 구성할 경우, 무기물질인 패시베이션층을 이용하여 유기발광 영역이 정의되므로, 유기물질과 유기발광층이 접촉하지 않으며 유기발광층의 소자 안정 및 수명 증가를 가져온다.

- [0054] 도 9는 본 발명의 일 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하는 공정을 보여주는 도면이다. 버텀 게이트의 TFT 구조에서 본 발명을 적용한 실시예이며 에치스토퍼가 있는 구성이다.
- [0055] 901은 앞서 살펴본 기관(300) 및 게이트(310), 게이트 절연막(315) 상에 소스/드레인을 형성한 단면을 도시한다. 소스/드레인(920)은 단일층으로 형성되거나 혹은 921과 같은 투명하지 않은 금속을 증착한 2중층 구조일 수 있다.
- [0056] 902는 소스/드레인(920) 상에 애노드(930)를 증착 및 패터닝하여 형성한 단면을 도시한다. IT0로 애노드(930)를 형성할 수 있으며, 소스/드레인(920)과 일부 접촉한다.
- [0057] 903은 패시베이션층(940)을 애노드(930)상에 형성한 단면을 도시한다. 903에서는 아직 패시베이션층(940)을 패터닝하지 않았다.
- [0058] 904는 패시베이션층(940)을 패터닝한 단면을 도시한다. 패터닝한 결과 개구부 및 유기발광층이 애노드(930)과 접촉하는 컨택홀(990)을 정의한다.
- [0059] 905는 패터닝된 패시베이션층(940) 상에 유기발광층(950) 및 캐소드(960)가 형성된 단면을 도시한다. 유기발광층(950)과 접촉하는 애노드(930)의 영역은 발광영역(991)이다. 소스/드레인(920)상에 형성된 불투명한 금속(921)에 의해 발광영역(991) 중에서 개구부(992)가 아닌 영역에서의 발광빛을 소자로부터 차단한다. 불투명한 금속(921)의 일 실시예로는 빛 반사를 방지하는 물질로, 예를 들어 몰리브덴(molybdenum)이나, 티타늄(titanium) 등을 사용할 수 있다. 소스/드레인(920)에 추가되는 불투명한 금속(921)이 다중층으로 형성되어 애노드(930)와 소스/드레인(920) 사이에 패시베이션층이 형성되어 있지 않아도 빛이 소스/드레인(920) 측으로 발광하는 것을 차단할 수 있다.
- [0060] 도 9의 901 내지 905의 공정을 통하여 오버코트층(평탄화층)과 बैं크층을 형성하지 않고 개구영역을 패시베이션층을 이용하여 정의할 수 있다. 또한, 애노드를 형성하는 IT0의 에지 영역에 유기발광층을 적층함에 있어 발생하는 데미지가 없다. 개구부를 패시베이션층을 이용하여 정의하므로, 공정 및 마스크의 수를 줄일 수 있다.
- [0061] 앞서 설명한 바와 같이 패시베이션층이 형성되는 제1영역과 패시베이션이 형성되지 않는 제2영역을 구분할 때, 도 9의 공정들을 통하여 박막 트랜지스터의 게이트 절연막(315)과 소스 또는 드레인(920) 상에 애노드(930)가 형성된다. 제2영역은 애노드(930)의 중심부를 포함하는데, 이는 애노드(930)와 직접 접촉하는 유기발광층(950)이 발광하는 영역을 정의한다. 제2영역은 화소의 개구부를 포함하며, 제2영역에서 개구부에 포함되지 않는 영역에서 발광하는 빛은 소스 또는 드레인(920) 상에 형성된 불투명한 금속층에 의해 차단될 수 있으며, 이는 소스 또는 드레인(920)의 소자를 보호하는 효과가 있다. 또한 소스 또는 드레인(920)에서 유기발광층(950)의 빛을 반사하는 문제 역시 해결한다.
- [0062] 도 10은 본 발명의 일 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하기 위한 적층 구조 및 순서를 보여주는 도면이다. 도 9와 같은 구조에 적용 가능하다.
- [0063] 먼저 공정 순서를 1001과 같이 살펴보면, 게이트와 게이트 절연막을 형성하고(S1010, S1020), 활성화층을 형성한다(S1030). 그 위에 에치스토퍼층을 형성하고(S1040) 소스/드레인을 형성한다(S1050). 그리고 소스/드레인 상에 컬러필터를 형성하고(S1060), 소스/드레인과 접촉하며 컬러필터 상에 애노드를 형성한다(S1070). 이후 패시베이션층을 애노드 상에 형성 및 패터닝하면(S1080) 유기발광층을 애노드 상에 위치시키는 बैं크 구조가 형성된다. 이후 패시베이션층으로 정의된 발광영역에 유기발광층을 형성하고 캐소드를 형성한다.
- [0064] 1001의 순서에 따라 적층된 구조를 살펴보면 1002와 같다. 애노드 상에 패시베이션층이 형성되어 있으며, 애노드 상에 형성된 패시베이션층이 유기발광층이 형성될 영역을 정의하게 된다.
- [0065] 도 3의 구조 및 도 4의 공정 과정과 적층 구조를 본 발명의 일 실시예에 의한 도 9 및 도 10과 비교하면 패시베이션층을 애노드 상에 형성하여 도 4의 평탄화층(오버코트층)과 बैं크의 형성 없이도 유기발광층의 영역을 정의할 수 있다. 따라서, 두 개의 공정 및 마스크를 제거하여 공정 상의 속도를 증가시키고 마스크 간의 오버레이

편차를 제거할 수 있다.

- [0066] 도 11a 및 11b는 본 발명의 다른 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하는 공정을 보여주는 도면이다. 버텀 게이트의 TFT 구조에서 본 발명을 적용한 실시예이다. 에치스트퍼가 있는 구성이며, 컬러필터가 형성되는 과정을 포함한다. 도 9와 달리 제2소스/드레인 전극이 추가로 형성되어 비개구 영역에서 발생하는 빛을 차단하는 구조이다.
- [0067] 1101은 앞서 살펴본 기관(300) 및 게이트(310), 게이트 절연막(315) 상에 소스/드레인 전극을 형성한 단면을 도시한다. 소스/드레인 전극(920)은 단일층으로 형성되거나 혹은 921과 같은 투명하지 않은 금속을 증착한 2중층 구조일 수 있다.
- [0068] 1102는 소스/드레인 전극(920) 상에 컬러필터(1110)를 증착한 단면을 도시한다.
- [0069] 1103은 컬러필터(1110) 상에 제2소스/드레인 전극(1120)을 형성한 단면을 도시한다. 제2 소스/드레인 전극(1120)은 이후 증착할 애노드에서 발광한 빛이 소스/드레인 전극(920) 및 게이트(310)로 전파되는 것을 차단한다.
- [0070] 1104는 컬러필터(1110) 및 제2소스/드레인(1120) 상에 애노드(1130)를 증착 및 패터닝하여 형성한 단면을 도시한다. ITO로 애노드(1130)를 형성할 수 있으며, 애노드(1130)는 제2소스/드레인(1120)과 일부 접촉한다.
- [0071] 1105는 패시베이션층(1140)을 애노드(1130)상에 형성한 단면을 도시한다. 1105에서는 아직 패시베이션층(1140)을 패터닝하지 않았다.
- [0072] 1106은 패시베이션층(1140)을 패터닝한 단면을 도시한다. 패터닝한 결과 개구부 및 유기발광층이 애노드(1130)과 접촉하는 컨택홀(1190)을 정의한다.
- [0073] 1107는 패터닝된 패시베이션층(1140) 상에 유기발광층(1150) 및 캐소드(1160)가 형성된 단면을 도시한다. 유기발광층(1150)과 접촉하는 애노드(1130)의 영역은 발광영역(1191)이다. 소스/드레인(920)상에 형성된 불투명한 금속(921) 및 제2소스/드레인(1120)에 의해 발광영역(1191) 중에서 개구부(1192)가 아닌 영역에서의 발광빛을 소자로부터 차단한다.
- [0074] 1101 내지 1107의 공정을 통하여 오버코트층(평탄화층)과 बैं크층을 형성하지 않고 개구영역을 패시베이션층을 이용하여 정의할 수 있다. 또한, 애노드를 형성하는 ITO의 에지 영역에 의한 유기발광층을 적층함에 있어 데미지가 없다.
- [0075] 도 9와 도 11a 및 도 11b에서 제2소스/드레인(1120)은 선택적으로 구성될 수 있다. 제2소스/드레인(1120)을 위치시키지 않는 구성에서는 게이트 절연막(315) 상에 컬러필터(1110)가 위치하며, 컬러필터(1110)와 소스 또는 드레인(920, 1120) 상에 애노드(930, 1130)위치한다. 한편, 제2소스/드레인(1120)을 위치시키는 구성에서는 게이트 절연막(315) 상에 컬러필터(1110)가 위치하며, 컬러필터(1110)와 소스 또는 드레인(1120) 상에는 제2소스/드레인(1120)이 위치하며, 애노드(1130)는 제2소스 또는 드레인과 컬러필터(1110) 상에 위치하여 애노드(1130)의 제2영역에서 발광하는 빛이 제2소스/드레인(1120)에 의해 한번 더 차단되는 효과를 제공한다.
- [0076] 각각의 화소영역은 출사시키고자 하는 빛의 색상에 따라 컬러필터를 선택적으로 위치시킬 수 있다. 예를 들어, 적색/녹색/청색의 빛을 출사시키기 위해 컬러필터(1110)는 소스 또는 드레인(920, 1120) 상에 위치시킬 수 있다. 애노드(930, 1130)에서 발광하는 빛은 컬러필터(1110)를 통하여 적색/청색/녹색의 빛을 발광할 수 있도록 한다. 한편, 컬러필터(1110)가 소스 또는 드레인(920, 1120) 상에 일부 중첩되도록 형성하여 유기발광층의 빛이 소스/드레인(920, 1120)으로 전달됨에 있어 그 빛의 세기를 줄일 수 있다. 이는 유기발광층의 백색광이 컬러필터(1110)를 통과하는 과정에서 일부 파장대역만 투과하므로, 일부 파장 대역의 빛은 차단하는 효과를 컬러 필터(1110)가 제공하기 때문이다.
- [0077] 도 12는 본 발명의 일 실시예에 의한 패시베이션층을 이용하여 OLED 층 및 개구부를 형성하기 위한 적층 구조 및 순서를 보여주는 도면이다. 도 11과 같은 구조에 적용 가능하다.
- [0078] 먼저 공정 순서를 1201과 같이 살펴보면, 게이트와 게이트 절연막을 형성하고(S1210, S1220), 활성화층을 형성한다(S2030). 그 위에 에치스트퍼층을 형성하고(S1240) 소스/드레인을 형성한다(S1250). 그리고 소스/드레인 상에 컬러필터를 형성한다(S1260). 도 10과 달리, 소스/드레인과 접촉하는 제2 소스/드레인을 추가로 형성한다(S1270). 제2소스/드레인은 투명하지 않은 금속을 사용하는 단일층 또는 이중층의 구조이다. 컬러필터와 제2소스/드레인 상에 애노드를 형성한다(S1280). 이후 패시베이션층을 애노드 상에 형성 및 패터닝하면(S1290) 유기

발광층을 애노드 상에 위치하도록 정의하는 구조가 형성된다. 이후 패시베이션층으로 정의된 발광영역에 유기발광층을 형성하고 캐소드를 형성한다.

[0079] 1201의 순서에 따라 적층된 구조를 살펴보면 1202와 같다. 애노드 상에 패시베이션층이 형성되어 있으며, 애노드 상에 형성된 패시베이션층이 유기발광층이 형성될 영역을 정의하게 된다.

[0080] 도 13은 본 발명의 일 실시예에 의한 탑게이트 방식인 구조에서 패시베이션층이 발광영역을 정의하는 도면이다.

[0081] 소스/드레인(1320)은 도 5와 달리, 1321과 같은 투명하지 않은 금속을 증착한 2중층 구조를 포함한다. 또한 층간 절연층(525) 상에 컬러필터(1338)가 위치한다. 컬러필터는 소스/드레인(1320) 또는 투명하지 않은 금속층(1321)과 일부 중첩될 수 있다. 그리고 컬러필터(1338) 상에 ITO를 통한 애노드(1330)가 위치한다. 그리고 애노드(1330)상에 패터닝된 패시베이션층(1340)이 위치하며, 패시베이션층이 위치하지 않는 컨택홀(1391) 상에 유기발광층(1360)이 형성될 수 있다. 탑게이트 구성에서 애노드(1330) 상에 패시베이션층(1340)이 위치하여 발광영역을 정의하게 되며, 패시베이션층(1340)이 형성되지 않음으로 인해 정의되는 애노드(1330) 상의 बैं크와 같이 구성된 위치에 유기발광층(1360)이 위치하여 애노드(1330)에 인가된 전기를 통해 유기발광층(1360)이 발광하는 효과를 제공한다.

[0082] 도 13의 바텀게이트 방식을 정리하면, 활성화층(510) 상에 게이트 절연막(515)과 게이트(520)가 위치하며, 게이트(520) 상에 층간 절연층(525)가 위치하며, 층간 절연층(525)의 식각된 컨택홀을 통하여 활성화층(510)과 소스 또는 드레인(1320)이 컨택한다. 그리고, 소스 또는 드레인(1320)과 층간 절연층(525) 상에 컬러필터(538)가 선택적으로 위치하며, 소스 또는 드레인(1320)과 컬러필터(538) 상에 애노드(1330)가 위치한다. 그리고 앞서 설명한 바와 같이, 애노드(1330) 상에 패시베이션층(1340)이 형성되지 않은 제2영역이 발광영역이 되는데, 컬러필터(538)는 이러한 제2영역을 포함하여 위치한다. 그 결과 애노드(1330) 상의 제2영역에 형성된 유기 발광층(1360)의 발광된 빛은 컬러필터(538)를 통해 적색, 청색, 또는 녹색으로 발광한다. 물론, 백색화소에서는 컬러필터(538)가 위치하지 않도록 구성한다.

[0083] 본 발명을 적용할 경우, 유기 절연막을 제거하여 평탄화층(오버코트층)과 बैं크 없이 무기 물질을 이용하여 OLED 개구 영역을 구성한다. 그 결과, 유기 절연막에서 발생하는 아웃 가스를 차단하며, 이로 인해 OLED 소자 또는 TFT 소자의 수명이 단축되는 것을 배제할 수 있다. 또한 패시베이션층을 애노드 상에 형성하는 공정으로 बैं크 및 평탄화층 공정을 대신하므로, 마스크의 수 및 공정 수가 감소하여 제품 생산의 비용을 줄일 수 있다. 또한 마스크 수가 감소하므로, 각 마스크로 형성하는 층간 오버레이를 확보하는 과정에서 개구면적을 최대한 넓힐 수 있으며, 개구면적이 늘어나면 OLED 수명과 화질을 향상시킨다. 또한 패시베이션층이 애노드 상에 위치하며, 소스 / 드레인 메탈 상에 애노드를 구성하는 ITO 메탈이 컨택하는 구조를 가지고 있다. 이러한 구조에서 ITO에 의해 발광하는 OLED 발광층과 소스/드레인이 근접함으로 인하여 소스/드레인 메탈에서 OLED 빛의 반사가 일어날 수 있다. 이를 방지하기 위하여 본 발명의 일 실시예에 의하면 소스/드레인의 메탈을 다중층 구조로 구성할 수 있다. 예를 들어, 소스/드레인 상에 불투명한 금속층을 위치시킬 수 있는데, 이러한 불투명한 금속층은 몰리브덴(molybdenum)이거나 티타늄(titanium)을 사용할 수 있다. 본 발명의 다양한 실시예는 탑게이트 및 바텀 게이트인 경우 전술하였으나, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 유기 절연막(BANK)를 사용하지 않고 무기 절연막(패시베이션층)을 이용하여 개구 영역을 정의하는 모든 기술에 적용된다.

[0084] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

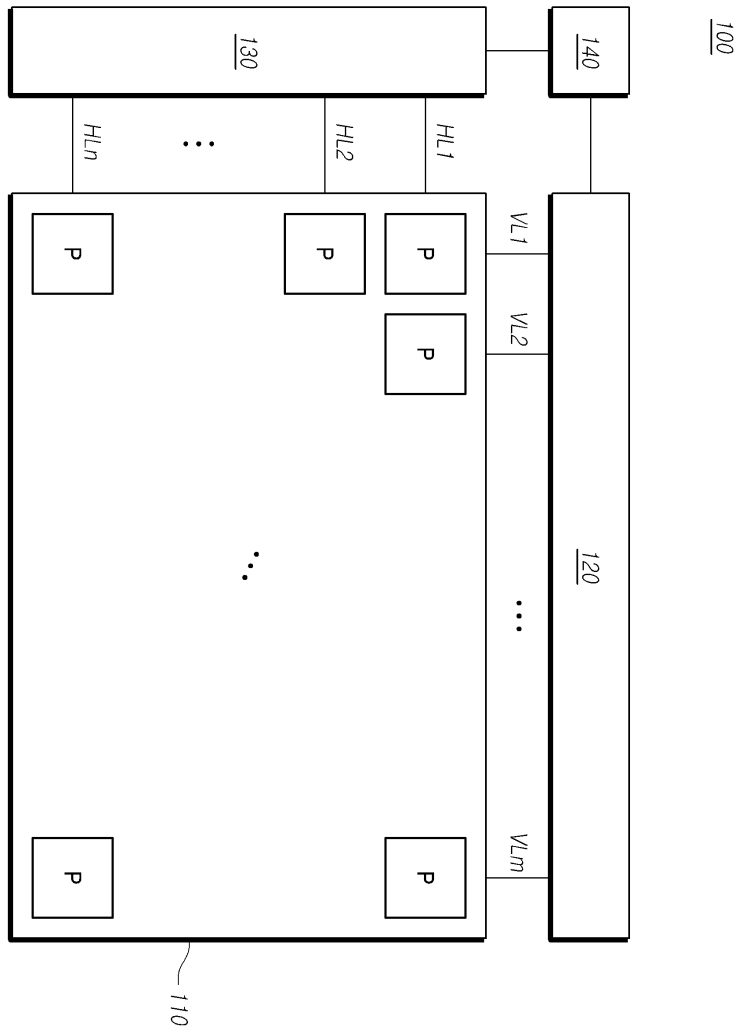
## 부호의 설명

[0085] 100: 표시장치      110: 표시패널  
120: 제1구동부      130: 제2구동부  
140: 타이밍 컨트롤러      300: 기판  
315, 515: 게이트 절연막      310, 520: 게이트

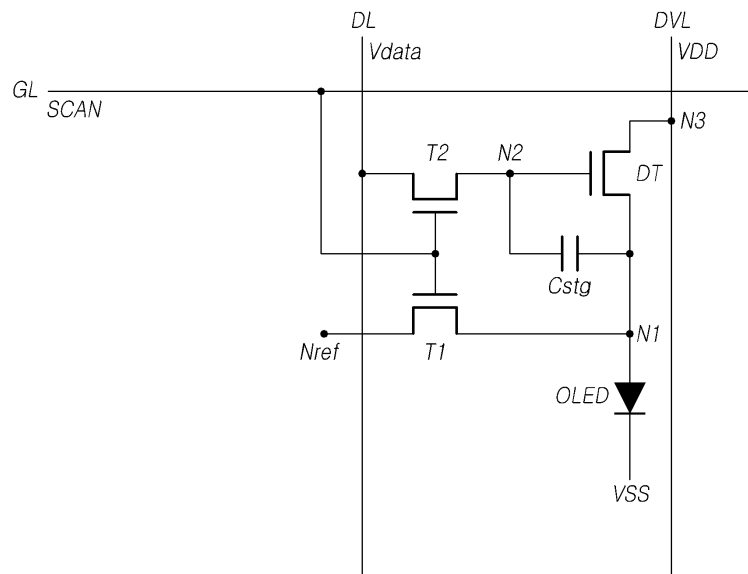
920, 1120, 1320: 소스 또는 드레인 538, 1110: 컬러필터  
930, 1130, 1330: 애노드 940, 1140, 1340: 패시베이션층

도면

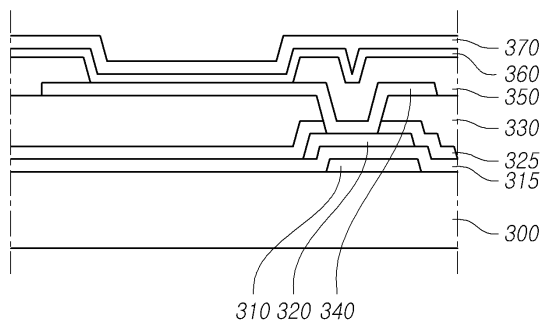
도면1



도면2

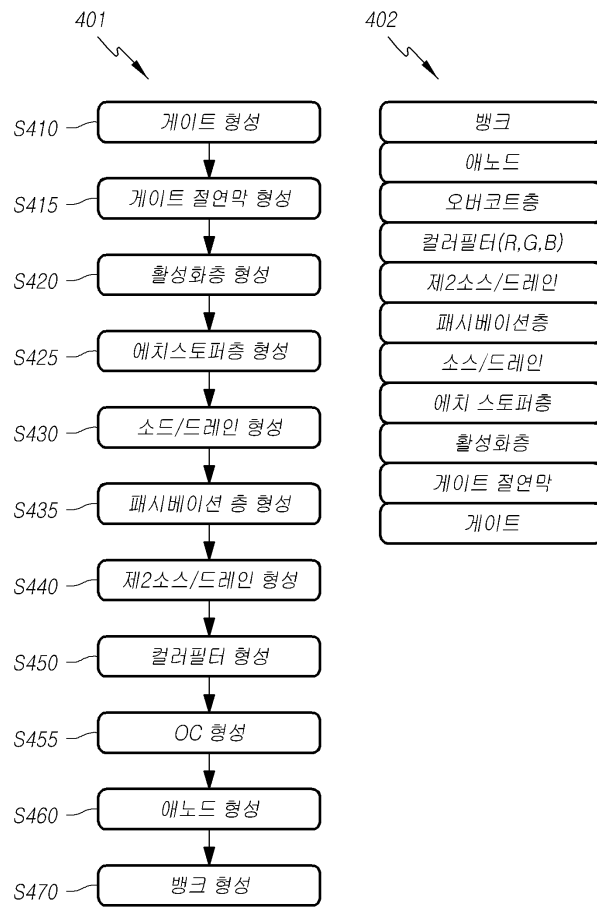


도면3



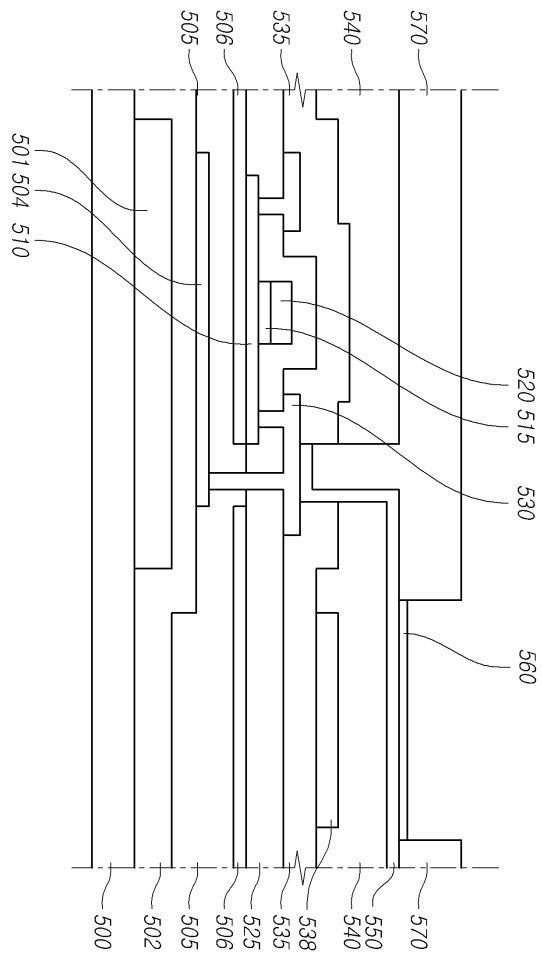


도면4

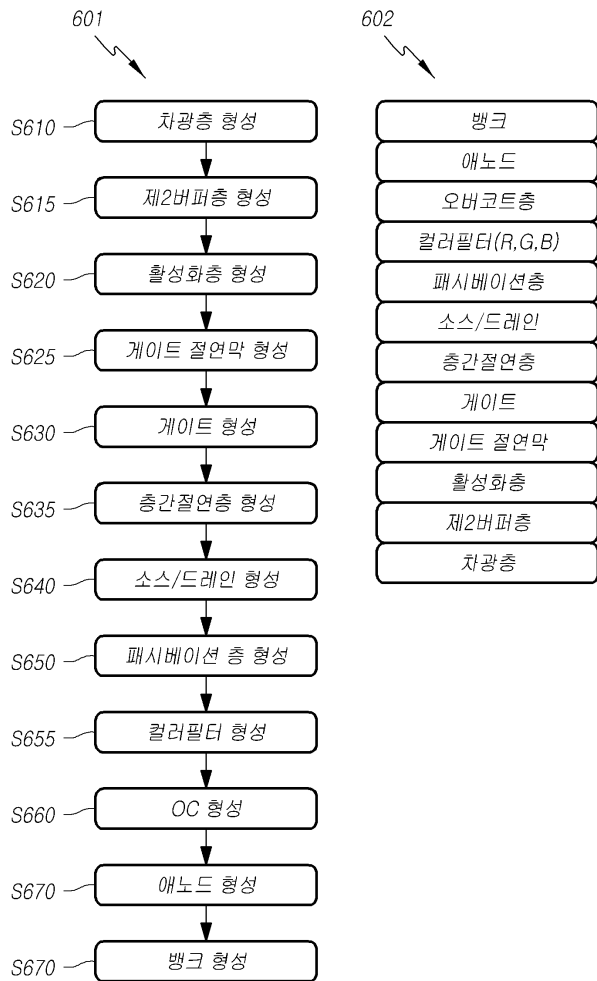




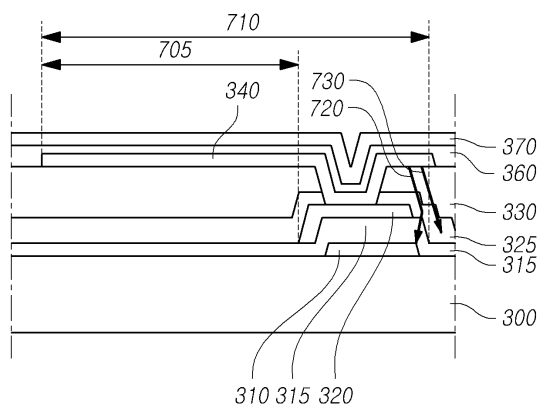
도면5



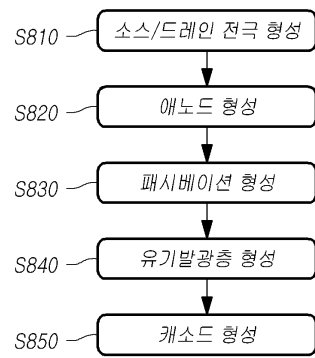
도면6



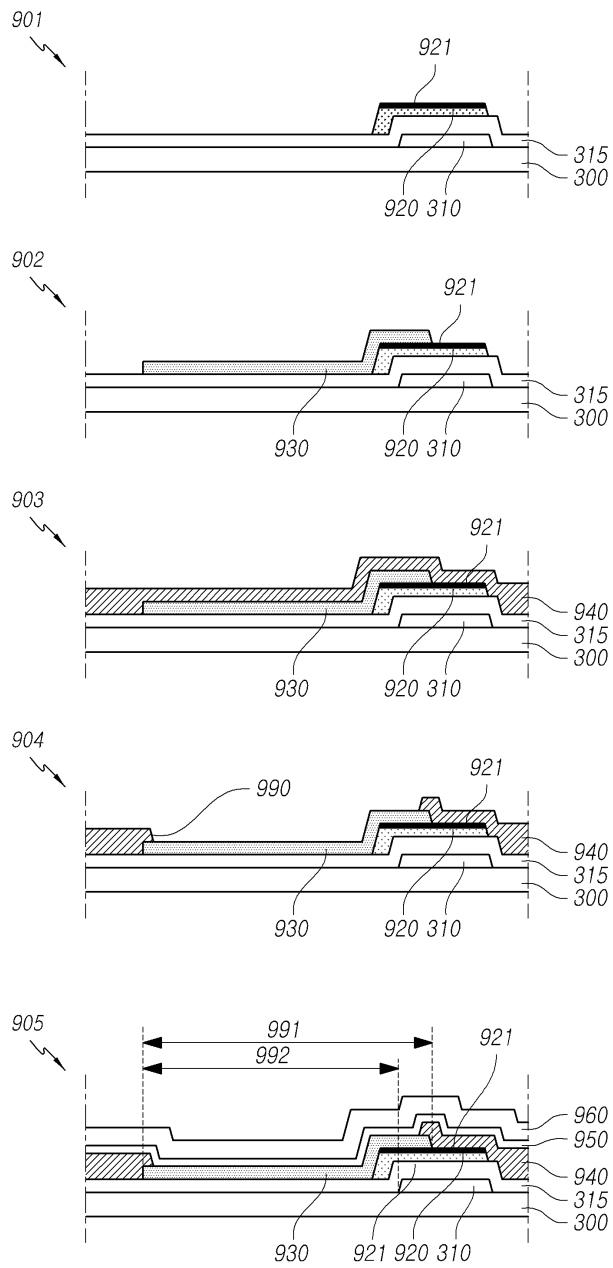
도면7



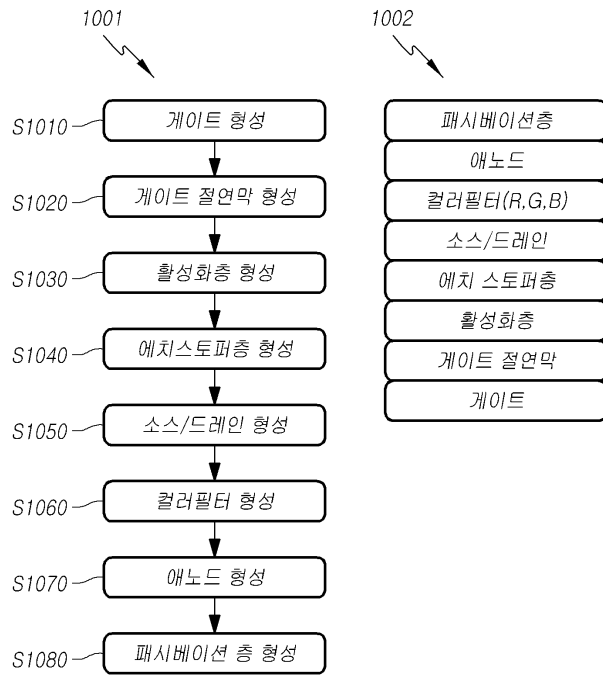
도면8



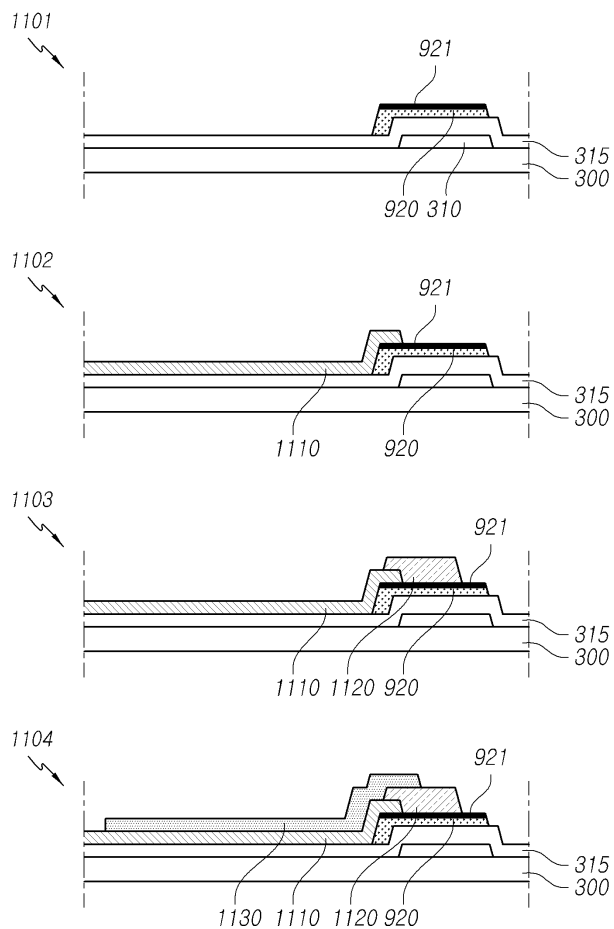
도면9



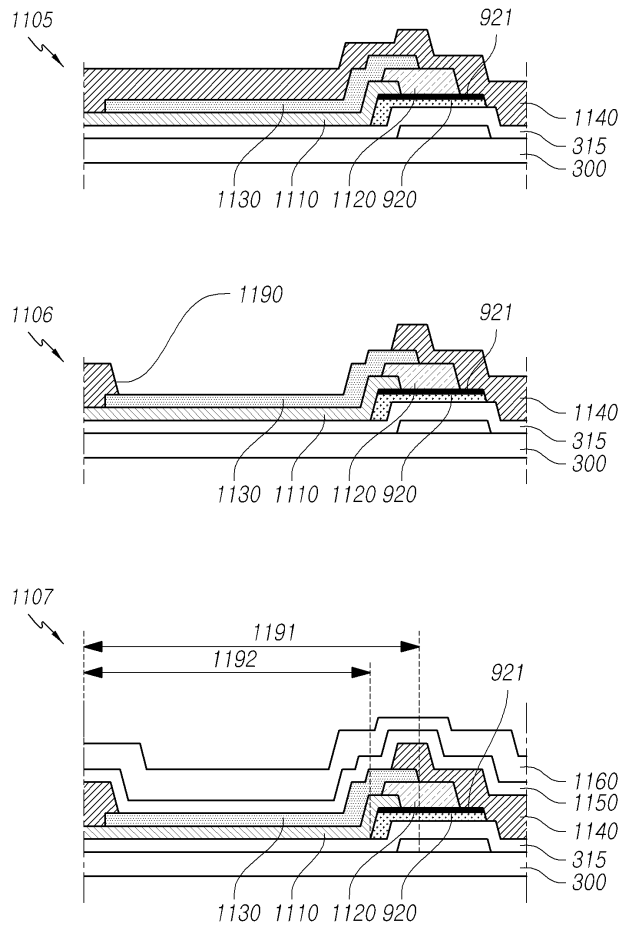
도면10



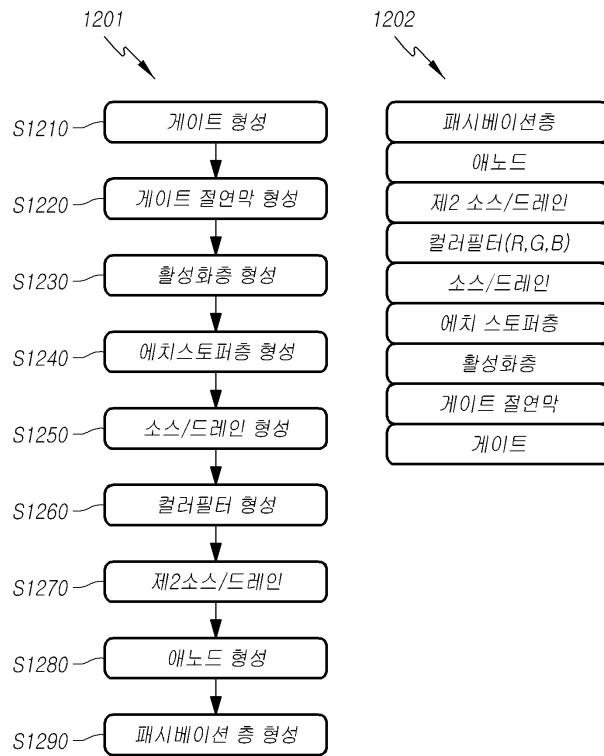
도면11a



도면11b

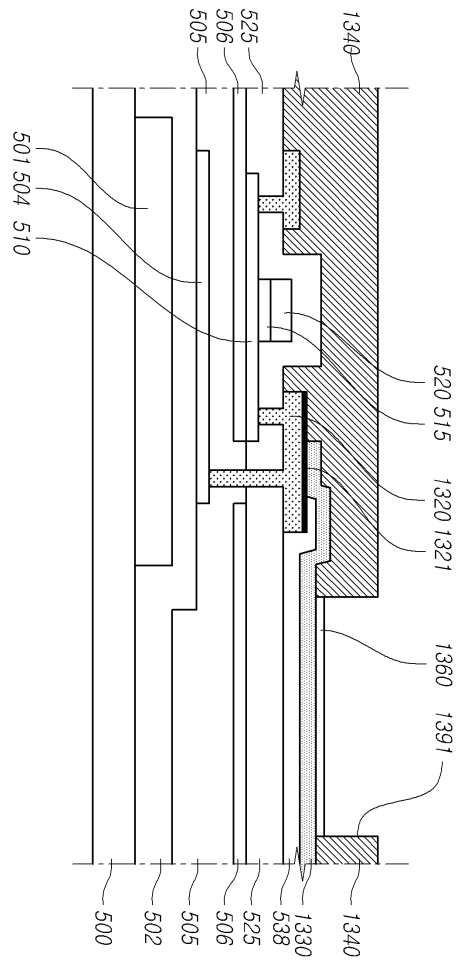


도면12





도면13



专利名称(译)	标题：OLED显示面板和使用该显示面板的显示设备		
公开(公告)号	<a href="#">KR1020160040345A</a>	公开(公告)日	2016-04-14
申请号	KR1020140133075	申请日	2014-10-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	TANI RYOSUKE 타니료스케 HONG SUNG JIN 홍성진 PARK JOON MIN 박준민 BAE NA YOUNG 배나영		
发明人	타니료스케 홍성진 박준민 배나영		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3258 H01L27/3248 H01L27/3276 H01L51/5206		
代理人(译)	Gimeungu 宋.		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

有机发光显示面板和使用该有机发光显示面板的显示装置技术领域根据本发明的一个方面，有机发光显示面板和显示装置通过作为无机材料的钝化层限定与阳极接触的有机发光层的发光区域。该显示装置包括：薄膜晶体管，其中定位有多条数据线和多条栅极线，并且数据线和栅极线交叉；与源极或漏极电接触的阳极；钝化层位于阳极的边缘上，并且位于阳极未定位的第一区域中；有机发光层位于第二区域，其中钝化层不位于阳极中；显示面板包括位于有机发光层上的阴极；数据驱动单元驱动数据线；以及驱动栅极线的栅极驱动单元。COPYRIGHT KIPO 2016

