



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0117357
(43) 공개일자 2015년10월20일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0042534

(22) 출원일자 2014년04월09일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

김동규

경기도 용인시 기흥구 삼성2로 95 (농서동)

김용재

경기도 용인시 기흥구 삼성2로 95 (농서동)

이해연

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리앤목특허법인

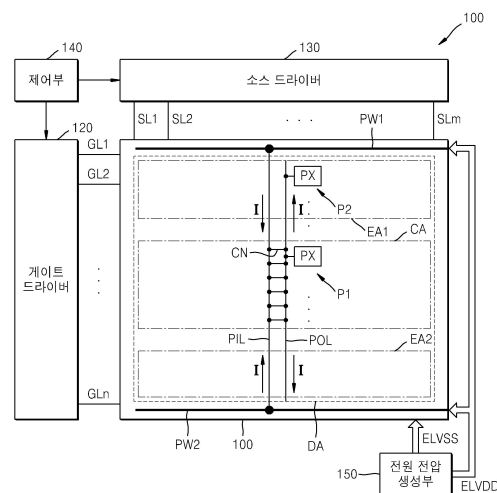
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 패널 및 유기 발광 표시 장치

(57) 요약

다양한 실시예들에 따른 유기 발광 표시 패널 및 유기 발광 표시 장치가 제공된다. 상기 유기 발광 표시 패널은 중앙 표시 영역 및 에지 표시 영역을 포함하는 표시 영역, 및 상기 표시 영역 상에 매트릭스로 배열되고, 제1 전원 전압(ELVDD), 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압(ELVSS)이 인가되는 복수의 픽셀들을 포함한다. 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높거나, 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 낮다.

대표도 - 도1



명세서

청구범위

청구항 1

중앙 표시 영역 및 에지 표시 영역을 포함하는 표시 영역; 및

상기 표시 영역 상에 매트릭스로 배열되고, 제1 전원 전압, 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압이 인가되는 복수의 픽셀들을 포함하고,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높거나,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 낮은 것을 특징으로 하는 유기 발광 표시 패널.

청구항 2

제1 항에 있어서,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높고,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 높은 것을 특징으로 하는 유기 발광 표시 패널.

청구항 3

제1 항에 있어서,

상기 에지 표시 영역은 상기 표시 영역의 상부 에지에 인접한 상부 에지 영역, 및 상기 표시 영역의 하부 에지에 인접한 하부 에지 영역을 포함하고,

상기 중앙 영역은 상기 상부 에지 영역과 상기 하부 에지 영역 사이에 위치하는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 4

제1 항에 있어서,

상기 표시 영역 상에서 열 방향으로 연장되고, 상기 제1 전원 전압이 입력되는 복수의 전원 입력 라인들;

상기 표시 영역의 중앙 영역 상에 배치되고, 상기 복수의 전원 입력 라인들에 연결되는 복수의 연결부들; 및

상기 표시 영역 상에서 상기 열 방향으로 연장되고, 상기 복수의 픽셀들 및 상기 복수의 연결부들에 연결되어, 상기 복수의 전원 입력 라인들 및 상기 복수의 연결부들을 통해 전달된 상기 제1 전원 전압을 상기 복수의 픽셀들에 출력하는 복수의 전원 출력 라인들을 더 포함하는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 5

제4 항에 있어서,

상기 복수의 전원 입력 라인들은 제1 전원 입력 라인을 포함하고,

상기 복수의 연결부들은 상기 제1 전원 입력 라인에 연결되는 적어도 하나의 제1 연결부를 포함하고,

상기 복수의 전원 출력 라인들은 상기 적어도 하나의 제1 연결부에 연결되는 제1 전원 출력 라인을 포함하고,

상기 제1 전원 출력 라인에 연결된 픽셀들은 상기 제1 전원 입력 라인, 상기 적어도 하나의 제1 연결부, 및 상기 제1 전원 출력 라인을 통해 상기 제1 전원 전압을 공급받는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 6

제5 항에 있어서,

상기 제1 전원 입력 라인과 상기 제1 전원 출력 라인은 복수의 상기 제1 연결부들에 의해 서로 전기적으로 접속되는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 7

제6 항에 있어서,

상기 제1 연결부들의 개수는 상기 픽셀들의 행들의 개수의 5% 내지 30% 사이에서 선택되는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 8

제6 항에 있어서,

상기 제1 연결부들의 개수는 상기 픽셀들의 행들의 개수의 5% 내지 10% 사이에서 선택되는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 9

제5 항에 있어서,

상기 복수의 연결부들은 상기 제1 전원 입력 라인에 연결되는 적어도 하나의 제2 연결부를 더 포함하고,

상기 복수의 전원 출력 라인들은 상기 적어도 하나의 제2 연결부에 연결되고, 상기 제1 전원 출력 라인에 인접한 제2 전원 출력 라인을 더 포함하고,

상기 제2 전원 출력 라인에 연결된 픽셀들은 상기 제1 전원 입력 라인, 상기 적어도 하나의 제2 연결부, 및 상기 제2 전원 출력 라인을 통해 상기 제1 전원 전압을 공급받는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 10

제4 항에 있어서,

상기 표시 영역의 바깥에 위치하고, 상기 복수의 전원 입력 라인들에 상기 제1 전원 전압을 출력하는 적어도 하나의 전원 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 11

제10 항에 있어서,

상기 복수의 전원 입력 라인들 각각은 상기 표시 영역의 상부 에지에 인접한 제1 단부 및 상기 표시 영역의 하부 에지에 인접한 제2 단부를 포함하고,

상기 적어도 하나의 전원 배선은 상기 복수의 전원 입력 라인들의 상기 제1 단부들에 연결되는 상부 전원 배선, 및 상기 복수의 전원 입력 라인들의 상기 제2 단부들에 연결되는 하부 전원 배선을 포함하는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 12

제1 항에 있어서,

상기 복수의 픽셀들 각각은 픽셀 회로, 및 상기 픽셀 회로에 연결되는 제1 전극 및 상기 제2 전원 전압이 인가되는 제2 전극을 갖는 발광 소자를 포함하는 것을 특징으로 하는 유기 발광 표시 패널

청구항 13

제12 항에 있어서,

상기 픽셀 회로는,

게이트 라인을 통해 인가되는 스캔 신호에 의해 턴 온되어, 소스 라인을 통해 인가되는 상기 데이터 신호를 전달하는 제1 박막 트랜지스터;

상기 데이터 신호의 논리 레벨에 따라 턴 온되어, 상기 제1 전원 전압을 상기 발광 소자로 전달하는 제2 박막 트랜지스터; 및

상기 데이터 신호의 논리 레벨에 따른 상기 제2 박막 트랜지스터의 턴 온 상태 또는 턴 오프 상태를 서브필드 시구간 동안 유지하는 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 14

제1 항에 있어서,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 낮고,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 낮은 것을 특징으로 하는 유기 발광 표시 패널.

청구항 15

제1 전원 전압, 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압을 생성하는 전원 전압 생성부; 및

중앙 표시 영역 및 에지 표시 영역을 포함하는 표시 영역 상에 매트릭스로 배열되고, 상기 제1 전원 전압 및 상기 제2 전원 전압이 인가되는 복수의 픽셀들을 포함하는 표시 패널을 포함하고,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높고,

상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 높은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

표시 영역 상에서 제1 방향으로 연장되고, 전원 전압이 인가되는 전원 입력 라인;

상기 표시 영역 상에서 상기 제1 방향을 따라 연장되는 전원 출력 라인;

상기 전원 출력 라인의 중간 부분을 상기 전원 입력 라인에 연결하는 적어도 하나의 연결부들;

상기 표시 영역 상에 배열되고, 상기 전원 출력 라인에 연결되어, 상기 전원 입력 라인, 상기 적어도 하나의 연결부들 및 상기 전원 출력 라인을 통해 상기 전원 전압을 공급받는 복수의 픽셀들을 포함하는 유기 발광 표시 패널.

청구항 17

제16 항에 있어서,

상기 전원 출력 라인에 흐르는 전류는 상기 적어도 하나의 연결부들에 연결된 상기 중간 부분으로부터 상기 전원 출력 라인의 단부들을 향하여 흐르는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 18

제16 항에 있어서,

상기 전원 출력 라인의 상기 중간 부분에 연결된 픽셀들에 공급되는 상기 전원 전압의 전압 레벨은 상기 전원 출력 라인의 끝 부분에 연결되는 픽셀들에 공급되는 상기 전원 전압의 전압 레벨보다 높은 것을 특징으로 하는 유기 발광 표시 패널.

청구항 19

제16 항에 있어서,

상기 전원 전압을 수신하여, 직접 연결된 상기 전원 입력 라인에 전달하는 전원 배선을 더 포함하고,

상기 전원 배선은 상기 전원 출력 라인에 직접 연결되지 않고 상기 전원 입력 라인 및 상기 적어도 하나의 연결 부들을 통해 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 패널.

청구항 20

제16 항에 있어서,

상기 복수의 픽셀들 각각은 복수의 서브 픽셀들을 포함하고,

상기 복수의 서브 픽셀들에는 서로 다른 전압 레벨을 갖는 전원 전압들이 각각 인가되는 것을 특징으로 유기 발광 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 패널 및 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하며, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기 발광 표시 장치는 복수의 게이트 라인, 복수의 소스 라인 및 복수의 전원 라인과 상기 라인들에 연결되고 매트릭스 형태로 배열되는 복수의 픽셀들을 포함한다. 아날로그 구동 방식으로 동작하는 유기 발광 표시 장치의 픽셀들은 입력되는 전압 또는 전류 데이터의 크기에 따라 밝기가 조절됨에 따라 계조를 표현하며, 디지털 구동 방식으로 동작하는 유기 발광 표시 장치의 픽셀들은 동일한 밝기로 발광하지만 상이한 발광 시간을 가짐으로써 계조를 표현한다. 상기 전원 라인들에 흐르는 상대적으로 큰 크기의 전류와 상기 전원 라인들의 저항 성분으로 인하여, 전원 라인들에 전압 강하(또는 IR Drop)가 발생하여, 픽셀들의 위치에 따라 상이한 전압 레벨의 전원 전압이 픽셀들에 인가되며, 픽셀들은 상이한 전압 레벨로 인하여 원하는 밝기로 발광할 수 없다. 특히, 디지털 구동 방식으로 동작하는 유기 발광 표시 장치에서 전원 라인의 전압 강하로 인한 휘도 편차가 크게 문제된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들이 해결하고자 하는 과제는 전원 전압 라인의 전압 강하로 인한 휘도 편차가 감소된 유기 발광 표시 패널 및 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 일 측면에 따른 유기 발광 표시 패널은 중앙 표시 영역 및 에지 표시 영역을 포함하는 표시 영역, 및 상기 표시 영역 상에 매트릭스로 배열되고, 제1 전원 전압, 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압이 인가되는 복수의 픽셀들을 포함한다. 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높거나, 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 낮다.

[0006] 상기 유기 발광 표시 패널의 일 예에 따르면, 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높고, 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 높을 수 있다.

[0007] 상기 유기 발광 표시 패널의 다른 예에 따르면, 상기 에지 표시 영역은 상기 표시 영역의 상부 에지에 인접한 상부 에지 영역, 및 상기 표시 영역의 하부 에지에 인접한 하부 에지 영역을 포함할 수 있다. 상기 중앙 영역

은 상기 상부 에지 영역과 상기 하부 에지 영역 사이에 위치할 수 있다.

- [0008] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 유기 발광 표시 패널은 상기 표시 영역 상에서 열 방향으로 연장되고, 상기 제1 전원 전압이 입력되는 복수의 전원 입력 라인들, 상기 표시 영역의 중앙 영역 상에 배치되고, 상기 복수의 전원 입력 라인들에 연결되는 복수의 연결부들, 및 상기 표시 영역 상에서 상기 열 방향으로 연장되고, 상기 복수의 픽셀들 및 상기 복수의 연결부들에 연결되어, 상기 복수의 전원 입력 라인들 및 상기 복수의 연결부들을 통해 전달된 상기 제1 전원 전압을 상기 복수의 픽셀들에 출력하는 복수의 전원 출력 라인들을 더 포함할 수 있다.
- [0009] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 복수의 전원 입력 라인들은 제1 전원 입력 라인을 포함할 수 있다. 상기 복수의 연결부들은 상기 제1 전원 입력 라인에 연결되는 적어도 하나의 제1 연결부를 포함할 수 있다. 상기 복수의 전원 출력 라인들은 상기 적어도 하나의 제1 연결부에 연결되는 제1 전원 출력 라인을 포함할 수 있다. 상기 제1 전원 출력 라인에 연결된 픽셀들은 상기 제1 전원 입력 라인, 상기 적어도 하나의 제1 연결부, 및 상기 제1 전원 출력 라인을 통해 상기 제1 전원 전압을 공급받을 수 있다.
- [0010] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 제1 전원 입력 라인과 상기 제1 전원 출력 라인은 복수의 상기 제1 연결부들에 의해 서로 전기적으로 접속될 수 있다.
- [0011] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 제1 연결부들의 개수는 상기 픽셀들의 행들의 개수의 5% 내지 30% 사이에서 선택될 수 있다.
- [0012] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 제1 연결부들의 개수는 상기 픽셀들의 행들의 개수의 5% 내지 10% 사이에서 선택될 수 있다.
- [0013] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 복수의 연결부들은 상기 제1 전원 입력 라인에 연결되는 적어도 하나의 제2 연결부를 더 포함할 수 있다. 상기 복수의 전원 출력 라인들은 상기 적어도 하나의 제2 연결부에 연결되고, 상기 제1 전원 출력 라인에 인접한 제2 전원 출력 라인을 더 포함할 수 있다. 상기 제2 전원 출력 라인에 연결된 픽셀들은 상기 제1 전원 입력 라인, 상기 적어도 하나의 제2 연결부, 및 상기 제2 전원 출력 라인을 통해 상기 제1 전원 전압을 공급받을 수 있다.
- [0014] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 유기 발광 표시 패널은 상기 표시 영역의 바깥에 위치하고, 상기 복수의 전원 입력 라인들에 상기 제1 전원 전압을 출력하는 적어도 하나의 전원 배선을 더 포함할 수 있다.
- [0015] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 복수의 전원 입력 라인들 각각은 상기 표시 영역의 상부 에지에 인접한 제1 단부 및 상기 표시 영역의 하부 에지에 인접한 제2 단부를 포함할 수 있다. 상기 적어도 하나의 전원 배선은 상기 복수의 전원 입력 라인들의 상기 제1 단부들에 연결되는 상부 전원 배선, 및 상기 복수의 전원 입력 라인들의 상기 제2 단부들에 연결되는 하부 전원 배선을 포함할 수 있다.
- [0016] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 복수의 픽셀들 각각은 픽셀 회로, 및 상기 픽셀 회로에 연결되는 제1 전극 및 상기 제2 전원 전압이 인가되는 제2 전극을 갖는 발광 소자를 포함할 수 있다.
- [0017] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 픽셀 회로는 게이트 라인을 통해 인가되는 스캔 신호에 의해 턴 온되어, 소스 라인을 통해 인가되는 상기 데이터 신호를 전달하는 제1 박막 트랜지스터, 상기 데이터 신호의 논리 레벨에 따라 턴 온되어, 상기 제1 전원 전압을 상기 발광 소자로 전달하는 제2 박막 트랜지스터, 및 상기 데이터 신호의 논리 레벨에 따른 상기 제2 박막 트랜지스터의 턴 온 상태 또는 턴 오프 상태를 서브필드 시구간 동안 유지하는 커패시터를 포함할 수 있다.
- [0018] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 낮고, 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 낮을 수 있다.
- [0019] 일 측면에 따른 유기 발광 표시 장치는 제1 전원 전압, 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압을 생성하는 전원 전압 생성부, 및 중앙 표시 영역 및 에지 표시 영역을 포함하는 표시 영역 상에 매트릭스로 배열되고, 상기 제1 전원 전압 및 상기 제2 전원 전압이 인가되는 복수의 픽셀들을 포함하는 표시 패널을 포함한다. 상기 중앙 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제1 전원 전압의 전압 레벨보다 높고, 상기 중앙 표시 영역

상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨이 상기 에지 표시 영역 상의 픽셀들에 인가되는 상기 제2 전원 전압의 전압 레벨보다 높다.

- [0020] 다른 측면에 따른 유기 발광 표시 패널은 표시 영역 상에서 제1 방향으로 연장되고, 전원 전압이 인가되는 전원 입력 라인, 상기 표시 영역 상에서 상기 제1 방향을 따라 연장되는 전원 출력 라인, 상기 전원 출력 라인의 중간 부분을 상기 전원 입력 라인에 연결하는 적어도 하나의 연결부들, 및 상기 표시 영역 상에 배열되고, 상기 전원 출력 라인에 연결되어, 상기 전원 입력 라인, 상기 적어도 하나의 연결부들 및 상기 전원 출력 라인을 통해 상기 전원 전압을 공급받는 복수의 픽셀들을 포함한다.
- [0021] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 전원 출력 라인에 흐르는 전류는 상기 적어도 하나의 연결부들에 연결된 상기 중간 부분으로부터 상기 전원 출력 라인의 단부들을 향하여 흐를 수 있다.
- [0022] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 전원 출력 라인의 상기 중간 부분에 연결된 픽셀들에 공급되는 상기 전원 전압의 전압 레벨은 상기 전원 출력 라인의 끝 부분에 연결되는 픽셀들에 공급되는 상기 전원 전압의 전압 레벨보다 높을 수 있다.
- [0023] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 유기 발광 표시 패널은 상기 전원 전압을 수신하여, 직접 연결된 상기 전원 입력 라인에 전달하는 전원 배선을 더 포함할 수 있다. 상기 전원 배선은 상기 전원 출력 라인에 직접 연결되지 않고 상기 전원 입력 라인 및 상기 적어도 하나의 연결부들을 통해 전기적으로 연결될 수 있다.
- [0024] 상기 유기 발광 표시 패널의 또 다른 예에 따르면, 상기 복수의 픽셀들 각각은 복수의 서브 픽셀들을 포함할 수 있다. 상기 복수의 서브 픽셀들에는 서로 다른 전압 레벨을 갖는 전원 전압들이 각각 인가될 수 있다.
- [0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0026] 본 발명의 다양한 실시예들에 따르면 유기 발광 표시 장치의 픽셀들에 인가되는 제1 전원 전압과 제2 전원 전압의 레벨 차이의 편차가 감소함에 따라, 픽셀들의 휘도 편차가 감소하게 된다. 따라서, 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치에 의해 표시되는 영상의 화질이 개선된다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 픽셀의 예시적인 회로 구성을 도시한다.
- 도 3은 일 실시예에 따라서 유기 발광 표시 장치의 제1 내지 제10 게이트 라인을 통해 전달되는 스캔 신호들의 타이밍도가 예시적으로 도시한다.
- 도 4는 비교예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- 도 5는 도 4의 유기 발광 표시 패널에서 픽셀의 위치에 따라서 픽셀들에 인가되는 제1 및 제2 전원 전압의 전압 레벨을 도시하는 그래프이다.
- 도 6은 일 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- 도 7은 도 6의 유기 발광 표시 패널에서 픽셀의 위치에 따라서 픽셀들에 인가되는 제1 및 제2 전원 전압의 전압 레벨을 도시하는 그래프이다.
- 도 8은 다른 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- 도 9는 도 6의 유기 발광 표시 패널에서 픽셀의 위치에 따라서 픽셀들에 인가되는 제1 및 제2 전원 전압의 전압 레벨을 도시하는 그래프이다.
- 도 10은 또 다른 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- 도 11은 또 다른 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0030] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0031] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- [0032] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 제어부(140), 및 전원 전압 생성부(150)를 포함한다.
- [0033] 표시 패널(110)은 복수의 픽셀들(PX)이 매트릭스로 배열되는 표시 영역(DA)을 포함한다. 픽셀들(PX)에는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)이 인가된다. 제1 전원 전압(ELVDD)의 전압 레벨은 제2 전원 전압(ELVSS)의 전압 레벨보다 높다. 예컨대, 유기 발광 소자의 애노드에 제1 전원 전압(ELVDD)이 인가되고 캐소드에 제2 전원 전압(ELVSS)이 인가되면, 상기 유기 발광 소자는 발광한다. 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)은 전원 전압 생성부(150)에서 생성된다.
- [0034] 표시 패널(110)은 픽셀들(PX)에 게이트 신호를 인가하는 게이트 라인들(GL1-GLn) 및 픽셀들(PX)에 소스 신호를 인가하는 소스 라인들(SL1-SLm)을 포함한다. 표시 패널(110)은 픽셀들(PX)에 제1 전원 전압(ELVDD)을 인가하기 위한 전원 배선 망을 포함한다. 게이트 라인들(GL1-GLn) 각각은 동일 행에 배열된 픽셀들(PX)에 연결되고, 소스 라인들(SL1-SLm) 각각은 동일 열에 배열된 픽셀들(PX)에 연결된다. 픽셀들(PX)은 게이트 라인들(GL1-GLn)을 통해 수신되는 게이트 신호에 응답하여 소스 라인들(SL1-SLm)을 통해 수신되는 데이터 신호의 논리 레벨에 따라 발광 또는 비발광한다. 이 경우, 표시 패널(110)은 디지털 구동 방식으로 동작한다. 다른 예에 따르면, 표시 패널(110)은 아날로그 구동 방식으로 동작할 수 있다. 이 경우, 픽셀들(PX)은 게이트 라인들(GL1-GLn)을 통해 수신되는 게이트 신호에 응답하여 소스 라인들(SL1-SLm)을 통해 수신되는 데이터 신호의 전압 레벨 또는 전류 레벨에 상응하는 밝기로 발광한다. 아래에서는 디지털 구동 방식으로 동작하는 유기 발광 표시 장치(100)를 중심으로 본 발명의 다양한 실시예들을 설명한다. 그러나, 본 발명은 디지털 구동 방식으로 동작하는 유기 발광 표시 장치뿐만 아니라, 아날로그 구동 방식으로 동작하는 유기 발광 표시 장치에도 적용될 수 있다는 것에 주의한다.
- [0035] 일 실시예에 따르면, 도 1에 도시된 바와 같이, 상기 전원 배선 망은 제1 전원 전압(ELVDD)이 인가되는 적어도 하나의 전원 배선(power wire)(PW1, PW2), 전원 배선(PW1, PW2)에 연결되는 전원 입력 라인(PIL), 전원 입력 라인(PIL)에 연결되는 적어도 하나의 연결부들(connections)(CN), 연결부들(CN)과 픽셀들(PX)에 연결되어 픽셀들(PX)에 제1 전원 전압(ELVDD)을 제공하는 전원 출력 라인(POL)을 포함할 수 있다.
- [0036] 전원 배선(PW1, PW2)은 표시 영역(DA)의 바깥에 배치될 수 있으며, 전원 전압 생성부(150)에서 생성된 제1 전원 전압(ELVDD)이 직접 인가될 수 있다. 전원 배선(PW1, PW2)은 전원 입력 라인(PIL) 및 전원 출력 라인(POL)에 비해 낮은 선 저항을 갖기 때문에, 전류의 흐름에 따른 전압 강하는 무시할 수 있을 정도로 작을 수 있다. 도 1에서 제1 전원 배선(PW1)은 표시 영역(DA)의 상단에 배치되고, 제2 전원 배선(PW2)은 표시 영역(DA)의 하단에 배치되는 것으로 도시되지만, 설계에 따라서 표시 영역(DA)의 좌측 및/또는 우측에 전원 배선이 배치되거나, 표시 영역(DA)을 둘러싸도록 전원 배선이 배치되거나, 제1 전원 배선(PW1)과 제2 전원 배선(PW2) 중 하나가 생략될 수도 있다.
- [0037] 도 1에는 하나의 전원 입력 라인(PIL)만이 도시되었지만, 표시 패널(110) 상에는 복수의 전원 입력 라인들(PIL)이 배열되고, 전원 입력 라인들(PIL)은 제1 및 제2 전원 배선들(PW1, PW2) 중 적어도 하나에 연결될 수 있다. 도 1에 도시된 바와 같이, 전원 입력 라인들(PIL)은 제1 및 제2 전원 배선들(PW1, PW2) 사이에 연결될 수 있다. 전원 입력 라인들(PIL) 각각은 제1 전원 배선(PW1)에 연결되는 제1 단부와 제2 전원 배선(PW2)에 연결되는 제2

단부를 갖는다. 제1 및 제2 전원 배선들(PW1, PW2) 중 하나가 생략된 경우, 전원 입력 라인(PIL)은 나머지 전원 배선에 연결된다. 전원 배선이 표시 영역(DA)의 좌측 및/또는 우측에 배치되는 경우, 전원 입력 라인(PIL)은 행 방향(도 1에서 가로 방향)으로 연장될 수 있으며, 전원 배선이 표시 영역(DA)을 둘러싸도록 배치되는 경우, 전원 입력 라인들(PIL)은 메쉬(mesh) 형태로 배열될 수 있다.

[0038]

도 1에는 하나의 전원 출력 라인(POL)만이 도시되었지만, 표시 패널(110) 상에는 복수의 전원 출력 라인들(POL)이 배열되며, 복수의 전원 출력 라인들(POL)은 픽셀들(PX)에 연결된다. 도 1에 도시된 바와 같이, 전원 출력 라인들(POL)은 열 방향(도 1에서 세로 방향)으로 연장될 수 있다. 전원 출력 라인들(POL)은 행 방향으로 연장되거나, 메쉬 형태로 배열될 수도 있다. 전원 출력 라인(POL)은 표시 영역(DA) 상의 첫 번째 행의 픽셀(PX)에서부터 마지막 행(도 1에서 n번째 행)의 픽셀(PX)까지의 픽셀들(PX)에 모두 연결되기 위하여, 표시 영역(DA) 전체를 가로질러 배치되지만, 전원 배선들(PW1, PW2)에 직접 연결되지 않는다.

[0039]

연결부들(CN)은 전원 입력 라인(PIL)과 전원 출력 라인(POL)을 서로 전기적으로 연결한다. 연결부들(CN)은 전원 출력 라인(POL)의 중간 부분에 연결될 수 있다. 본 명세서에서 전원 출력 라인(POL)의 중간 부분은 전원 출력 라인(POL)의 길이 방향을 따라 전원 출력 라인(POL)의 중앙점에 인접한 부분들을 지칭한다. 하나의 전원 입력 라인(PIL)과 하나의 전원 출력 라인(POL)을 서로 연결하는 연결부들(CN)의 개수는 픽셀들(PX)의 행들(rows)의 개수(도 1에서 n)의 5% 내지 30% 사이에서 선택될 수 있다. 다른 예에 따르면, 하나의 전원 출력 라인(POL)에 연결되는 연결부들(CN)의 개수는 픽셀들(PX)의 행들의 개수의 5% 내지 10% 사이에서 선택될 수 있다. 연결부들(CN)의 개수가 너무 적을 경우, 연결부들(CN) 근처의 픽셀들(PX)에만 국부적으로 높은 전압 레벨을 갖는 제1 전원 전압(ELVDD)이 인가되어, 연결부들(CN) 근처에 밝은 선이 시인될 수 있다. 연결부들(CN)의 개수가 너무 많은 경우, 표시 영역(DA)의 중앙부에 위치한 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨이 낮아지는 문제가 개선되는 효과가 감소될 수 있다. 그러나, 전원 입력 라인(PIL)과 전원 출력 라인(POL)은 하나의 연결부(CN)에 의해 연결될 수도 있다.

[0040]

도 1에 도시된 실시예에 따르면, 전원 전압 생성부(ELVDD)에 의해 생성된 제1 전원 전압(ELVDD)은 제1 및 제2 전원 배선들(PW1)에 인가되고, 전원 입력 라인들(PIL), 연결부들(CN) 및 전원 출력 라인들(POL)을 통해 픽셀들(PX)에 인가된다. 따라서, 전원 출력 라인(POL)에 흐르는 전류(I)는 연결부들(CN)에 연결되는 전원 출력 라인(POL)의 중간 부분에서 끝 부분들을 향하여 흐르게 된다. 전원 출력 라인(POL)은 저항 성분을 가지므로, 전원 출력 라인(POL)을 따라 흐르는 전류(I)에 의하여 전압 강하가 발생한다. 전압 강하로 인하여, 전원 출력 라인(POL)의 중간 부분의 전압 레벨은 전원 출력 라인(POL)의 끝 부분들의 전압 레벨보다 높다. 그 결과, 전원 출력 라인(POL)의 중간 부분의 전압 레벨이 전원 출력 라인(POL)의 끝 부분의 전압 레벨보다 높으며, 표시 영역(DA)의 중앙부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 표시 영역(DA)의 에지부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨보다 높다.

[0041]

전원 전압 생성부(150)에 의해 생성된 제2 전원 전압(ELVSS)은 공통 전극을 통해 픽셀들(PX)에 인가된다. 상기 공통 전극은 픽셀들(PX)의 발광 소자의 일 전극(예컨대, 캐소드 전극)에 대응할 수 있으며, 픽셀들(PX)은 모두 상기 공통 전극에 연결된다. 상기 공통 전극은 표시 영역(DA) 상의 픽셀들(PX)을 덮도록 전면적으로 형성될 수 있으며, 제2 전원 전압(ELVSS)은 표시 영역(DA)의 외곽으로부터 상기 공통 전극에 인가될 수 있다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 전압 레벨이 낮기 때문에, 픽셀들(PX)에 공급된 전류는 상기 공통 전극을 통해 전압 전원 생성부(150)로 빠져나간다. 따라서, 제2 전원 전압(ELVSS)이 인가되는 상기 공통 전극의 외곽부의 전압 레벨은 상기 공통 전극의 중앙부의 전압 레벨보다 낮다. 즉, 상기 공통 전극의 중앙부에서 상기 공통 전극의 외곽부로 전류가 흐른다.

[0042]

도 1의 실시예에 제시된 제1 전원 전압(ELVDD)과 같이, 제2 전원 전압(ELVSS)은 표시 영역(DA)의 상단 및 하단으로부터 상기 공통 전극에 인가될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 설계에 따라서 제2 전원 전압(ELVSS)은 표시 영역(DA)의 상단, 하단, 좌측 및 우측 중 적어도 하나로부터 상기 공통 전극에 인가될 수 있다.

[0043]

상술한 바와 같이, 도 1의 실시예에 따르면, 표시 영역(DA)의 중앙부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 표시 영역(DA)의 에지부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨보다 높고, 표시 영역(DA)의 중앙부에 위치하는 픽셀들(PX)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨은 표시 영역(DA)의 에지부에 위치하는 픽셀들(PX)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨보다 높다. 따라서, 표시 영역(DA)의 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)의 전압 레벨 차이는 전체적으로 균등해진다.

- [0044] 예컨대, 표시 영역(DA)의 중앙부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 표시 영역(DA)의 에지부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨보다 낮을 경우, 표시 영역(DA)의 중앙부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)의 전압 레벨 차이는 표시 영역(DA)의 에지부에 위치하는 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)의 전압 레벨 차이보다 훨씬 낮아지므로, 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)의 전압 레벨 차이의 편차는 더욱 커진다. 그에 따라, 표시 영역(DA)의 픽셀들이 모두 발광할 경우, 표시 영역(DA)의 중앙부의 휘도는 표시 영역(DA)의 에지부의 휘도에 비해 낮다.
- [0045] 본 명세서에서, 표시 영역(DA)의 중앙부는 연결부들(CN)이 배치되는 영역 및 이에 인접한 영역을 의미한다. 상기 표시 영역(DA)의 중앙부는 중앙 영역(CA)으로 지칭될 수 있다. 도 1의 실시예에 도시된 바와 같이, 중앙 영역(CA)은 표시 영역(DA)의 상단과 하단의 중간 부분을 포함하는 영역을 포함할 수 있다. 중앙 영역(CA)은 제1 전원 전압(ELVDD) 및/또는 제2 전원 전압(ELVSS)이 표시 영역(DA)의 픽셀들(PX)에 인가되는 전기적 경로에 따라서 달라질 수 있다. 예컨대, 제1 전원 전압(ELVDD)이 표시 영역(DA)의 좌측 및 우측으로부터 공급되는 경우, 중앙 영역(CA)은 표시 영역(DA)의 좌측 및 우측의 중간 부분을 포함하는 영역으로 정의될 수 있다. 제1 전원 전압(ELVDD)이 표시 영역(DA)의 네 테두리로부터 공급되는 경우, 중앙 영역(CA)은 표시 영역(DA)의 중앙점과 이에 인접한 영역을 포함하는 영역으로 정의될 수 있다.
- [0046] 본 명세서에서, 표시 영역(DA)의 에지부는 제1 전원 전압(ELVDD) 및/또는 제2 전원 전압(ELVSS)이 표시 영역(DA)에 공급되는 위치에 따라 정의될 수 있으며, 도 1의 실시예에서는 제1 및 제2 전원 배선(PW1, PW2)을 통해 표시 영역(DA)의 상단 및 하단을 통해 제1 전원 전압(ELVDD)이 표시 영역(DA)에 공급되므로, 표시 영역(DA)의 에지부는 표시 영역(DA)의 상측 영역 및 하측 영역에 대응할 수 있다. 표시 영역(DA)의 에지부는 에지 영역으로 지칭될 수 있으며, 상기 에지 영역은 제1 및 제2 에지 영역(EA1, EA2)을 포함하며 이들을 통칭하여 에지 영역(EA)으로 표시한다. 도 1에 도시된 바와 같이, 중앙 영역(CA)은 제1 및 제2 에지 영역(EA1, EA2)의 사이에 배치될 수 있다.
- [0047] 도 1에 도시된 바와 같이, 제1 픽셀(P1)은 표시 영역(DA)의 중앙 영역(CA) 상에 배치되고, 제2 픽셀(P2)은 표시 영역(DA)의 에지 영역(EA) 상에 배치된다. 상술한 바와 같이, 제1 전원 전압(ELVDD)은 제1 및 제2 전원 배선(PW1, PW2), 전원 입력 라인(PIL), 연결부들(CN), 및 전원 출력 라인(POL)을 통해 제1 및 제2 픽셀들(P1, P2)에 인가된다. 전원 입력 라인(PIL)에서는 양 단부로부터 중앙부의 연결부들(CN)을 향하여 전류(I)가 흐르고, 상기 전류(I)는 연결부들(CN)을 통해 전원 출력 라인(POL)으로 흐른다. 전원 출력 라인(POL)에서는 연결부들(CN)이 배치된 중앙부로부터 양 단부로 전류(I)가 흐른다. 전원 출력 라인(POL)은 저항 성분을 가지므로, 전원 출력 라인(POL)을 따라 흐르는 전류(I)에 의하여 전압 강하가 발생한다. 전압 강하로 인하여, 전원 출력 라인(POL)의 중앙부의 전압 레벨은 전원 출력 라인(POL)의 양 단부의 전압 레벨보다 높다. 따라서, 제1 픽셀(P1)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 제2 픽셀(P2)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨보다 높다.
- [0048] 상술한 바와 같이, 유기 발광 표시 장치(100)는 디지털 구동 방식으로 동작할 수 있다. 제어부(140)는 외부로부터 영상 데이터를 수신하고, 게이트 드라이버(120), 소스 드라이버(130), 및 전원 전압 생성부(150)를 제어한다. 제어부(140)는 복수의 제어 신호들 및 디지털 데이터를 생성하여, 게이트 드라이버(120)에 제어 신호를 제공하고, 소스 드라이버(130)에 제어 신호 및 디지털 데이터를 제공하고, 전원 전압 생성부(150)에 제어 신호를 제공할 수 있다.
- [0049] 전원 전압 생성부(150)는 제어부(140)의 제어 하에서 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 생성할 수 있다. 전원 전압 생성부(150)는 생성된 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 표시 패널(110)에 제공한다.
- [0050] 게이트 드라이버(120)는 제어부(140)의 제어 하에서 한 프레임 내의 단위 시간마다 미리 결정된 순서에 따라 게이트 라인들(GL1-GLn)을 구동한다. 예컨대, 제1 게이트 라인(GL1)은 게이트 드라이버(120)에 의하여 한 프레임 내에 복수 회 구동된다. 즉, 게이트 드라이버(120)는 한 프레임 동안 스캔 신호를 제1 게이트 라인(GL1)에 복수 회 출력한다.
- [0051] 소스 드라이버(130)는 상기 단위 시간마다 제어부(140)로부터 m비트의 라인 데이터를 수신하며, 제어부(140)의 제어 하에서 상기 m비트의 라인 데이터를 m개의 소스 라인들(SL1-SLm)에 인가한다. 예컨대, 제1 소스 라인(SL1)에는 상기 m비트의 라인 데이터 중에서 제1 비트의 논리 값에 대응하는 논리 레벨을 갖는 데이터 신호가 제공된다. 상기 데이터 신호는 로우 레벨 또는 하이 레벨을 갖는 디지털 신호이며, 상기 데이터 신호를 수신한

픽셀(PX)은 상기 데이터 신호의 논리 레벨에 따라 발광 또는 비발광한다.

[0052] 본 명세서에서, 제1 논리 레벨을 갖는 데이터 신호를 수신한 픽셀(PX)은 발광하고, 제2 논리 레벨을 갖는 데이터 신호를 수신한 픽셀(PX)은 비발광하는 것으로 가정하여 설명한다. 픽셀(PX)의 회로 구성에 따라, 상기 제1 논리 레벨은 로우 레벨이고 제2 논리 레벨은 하이 레벨이거나, 제1 논리 레벨이 하이 레벨이고 제2 논리 레벨이 로우 레벨일 수 있다.

[0053] 픽셀(PX)에 대하여 도 2를 참조로 자세히 설명한다.

[0054] 도 2는 일 실시예에 따른 유기 발광 표시 장치의 픽셀(PX)의 예시적인 회로 구성을 도시한다.

[0055] 도 2를 참조하면, 픽셀(PX)은 동일 행의 게이트 라인(GL) 및 동일 열의 소스 라인(SL)에 연결된다. 픽셀(PX)은 제1 트랜지스터(M1), 제2 트랜지스터(M2), 및 저장 커패시터(Cst)를 포함하는 픽셀 회로, 및 유기 발광 소자(OLED)를 포함하는 발광 소자를 포함한다. 제1 및 제2 트랜지스터(M1, M2)는 박막 트랜지스터일 수 있다. 제1 트랜지스터(M1)는 소스 라인(SL)에 연결된 제1 연결 단자, 노드(Nd)에 연결된 제2 연결 단자, 및 게이트 라인(GL)에 연결된 제어 단자를 포함한다. 제2 트랜지스터(M2)는 제1 전원 전압(ELVDD)이 인가되는 전원 출력 라인(POL)에 연결된 제1 연결 단자, 노드(Nd)에 연결된 제어 단자, 및 유기 발광 소자(OLED)의 제1 전극에 연결된 제2 연결 단자를 포함한다. 저장 커패시터(Cst)는 제2 트랜지스터(M2)의 제1 연결 단자에 연결된 제1 단자, 및 노드(Nd)에 연결된 제2 단자를 포함한다. 유기 발광 소자(OLED)는 제2 트랜지스터(M2)의 제2 연결 단자에 연결된 제1 전극 및 제2 전원 전압(ELVSS)이 인가되는 공통 전극(CE)에 연결되는 제2 전극을 포함한다. 유기 발광 소자(OLED)의 제1 전극 및 제2 전극은 각각 애노드 전극 및 캐소드 전극일 수 있다.

[0056] 픽셀(PX)은 게이트 라인(GL)을 통해 스캔 신호(S)를 수신하고, 소스 라인(SL)을 통해 데이터 신호(D)를 수신한다. 제1 트랜지스터(M1)는 스캔 신호(S)에 응답하여 데이터 신호(D)를 제2 트랜지스터(M2)의 제어 단자에 전달한다. 제2 트랜지스터(M2)는 전달된 데이터 신호(D)의 논리 레벨에 따라 턴 온 또는 턴 오프되며, 제2 트랜지스터(M2)가 턴 온되면, 제1 전원 전압(ELVDD)을 유기 발광 소자(OLED)의 제1 전극에 전달한다. 저장 커패시터(Cst)는 데이터 신호(D)의 논리 레벨에 따른 제2 트랜지스터(M2)의 턴 온 상태 또는 턴 오프 상태를 서브필드 시구간 동안 유지한다. 예컨대, 디지털 데이터 신호(D)가 제1 논리 레벨을 갖는 경우, 유기 발광 소자(OLED)의 제1 전극에는 제1 전원 전압(ELVDD)이 인가되며, 유기 발광 소자(OLED)는 발광한다. 디지털 데이터 신호(D)가 제2 논리 레벨을 갖는 경우, 제2 트랜지스터(M2)가 턴 오프되어 유기 발광 소자(OLED)의 제1 전극에는 제1 전원 전압(ELVDD)이 인가되지 않으며, 유기 발광 소자(OLED)는 발광하지 않는다.

[0057] 도 2에 도시된 픽셀(PX)의 회로 구성은 오로지 예시적이며, 픽셀(PX)은 다른 회로 구성을 가질 수 있다.

[0058] 디지털 구동 방식으로 동작하는 유기 발광 표시 장치(100)에 대하여 아래에서 도 3을 참조로 자세히 설명한다.

[0059] 도 3은 일 실시예에 따라서 유기 발광 표시 장치(100)의 제1 내지 제10 게이트 라인(GL1-GL10)을 통해 전달되는 스캔 신호들의 타이밍도가 예시적으로 도시한다.

[0060] 디지털 구동 방식으로 동작하는 유기 발광 표시 장치(100)에서, 한 프레임(frame)은 복수의 서브 필드(subfield)로 구성되고, 각 서브 필드에 설정된 가중치에 따라 각 서브 필드의 길이(예컨대, 표시 지속 시간)이 결정된다.

[0061] 도 3에 도시된 바와 같이, 한 프레임이 5개의 제1 내지 제5 서브필드(SF1 내지 SF5)로 구성되는 것으로 가정한다. 유기 발광 표시 장치(100)의 픽셀(PX)은 5개의 제1 내지 제5 비트 데이터를 통해 계조를 표현할 수 있다. 예를 들면, 제1 내지 제5 서브필드(SF1 내지 SF5)의 길이의 비는 3:6:12:21:8일 수 있다. 즉, 제1 내지 제5 비트 데이터의 표시 지속 시간의 길이는 예컨대 3:6:12:21:8일 수 있다.

[0062] 예를 들면, 제1 게이트 라인(GL1)에 연결된 어느 한 픽셀(PX)에는 제1 서브 필드(SF1)를 시작하는 스캔 타이밍에 제1 비트 데이터의 논리 값에 대응하는 레벨을 갖는 디지털 데이터 신호가 인가된다. 상기 픽셀(PX)은 상기 제1 비트 데이터의 논리 값에 따라 제1 서브 필드(SF1) 동안 발광하거나 발광하지 않는다. 이와 같이, 제i 서브 필드(SFi)(본 예에서, i는 1이상 5이하임)를 시작하는 스캔 타이밍에 제i 비트 데이터가 픽셀(PX)에 인가되고, 상기 픽셀(PX)은 상기 제i 비트 데이터의 논리 값에 따라 제i 서브 필드(SFi) 동안 발광하거나 발광하지 않는다. 아래의 설명에서, 픽셀(PX)에 비트 데이터의 논리 값에 대응하는 레벨을 갖는 디지털 데이터 신호가 인가된다는 것을 픽셀(PX)에 비트 데이터가 인가된다는 것으로 간략하게 표현될 수 있다.

[0063] 제5 서브필드(SF5)는 비발광 시간일 수 있다. 제5 비트 데이터는 비활성(또는 비발광) 비트 데이터일 수 있다. 예를 들면, 제5 서브 필드(SF5)를 시작하는 스캔 타이밍에는 픽셀들(PX)에 제2 논리 레벨을 갖는 디지털 신호가

인가될 수 있다. 이 경우, 픽셀들(PX)은 한 프레임 동안 제1 내지 제4 비트 데이터를 이용하여 계조를 표현할 수 있다.

[0064] 도 3의 실시예에서, 게이트 라인들(GL1-GL10)의 개수는 10개이므로, 한 프레임은 적어도 10 지연 시간(DT)을 포함할 수 있다. 게이트 라인들(GL1-GL10)의 스캔 타이밍들은 1 지연 시간(DT)만큼 지연될 수 있다. 예컨대, 제(i+1) 게이트 라인(GL(i+1))의 스캔 타이밍들은 제i 게이트 라인(GLi)의 스캔 타이밍들보다 1 지연 시간(DT)만큼 지연될 수 있다.

[0065] 1 지연 시간(DT)은 5개의 단위 시간(UT)으로 시분할되어, 하나의 단위 시간(UT)에는 오직 하나의 게이트 라인(GL)만이 선택될 수 있다. 즉, 1 지연 시간(DT)은 5개의 단위 시간(UT)을 포함하고, 1 프레임은 50 단위 시간(UT)을 포함할 수 있다.

[0066] 예를 들면, 도 3에 도시된 바와 같이, 제1 내지 제5 단위 시간(UT)을 갖는 제1 지연 시간(DT) 내에서, 제1 단위 시간(UT)에 제1 게이트 라인(GL1)이 선택되어 제1 게이트 라인(GL1)에 연결된 픽셀(PX)에 제1 비트 데이터가 인가될 수 있다. 제2 단위 시간(UT)에는 제7 게이트 라인(GL7)에 연결된 픽셀(PX)에 제4 비트 데이터가 인가될 수 있다. 제3 단위 시간(UT)에는 제3 게이트 라인(GL3)에 연결된 픽셀(PX)에 제5 비트 데이터가 인가될 수 있다. 제4 단위 시간(UT)에는 제1 게이트 라인(GL1)에 연결된 픽셀(PX)에 제2 비트 데이터가 인가될 수 있다. 제5 단위 시간(UT)에는 제10 게이트 라인(GL10)에 연결된 픽셀(PX)에 제3 비트 데이터가 인가될 수 있다.

[0067] 도 1에 도시된 유기 발광 표시 장치(100)는 m개의 소스 라인들(SL1-SLm)을 포함한다. 이 경우, 제1 단위 시간(UT)에 제1 게이트 라인(GL1)에 연결된 m개의 픽셀들(PX)에는 소스 라인들(SL1-SLm)을 통해 제1 비트 데이터에 대응하는 m비트의 제1 라인 데이터가 인가된다. 제2 단위 시간(UT)에 제7 게이트 라인(GL7)에 연결된 m개의 픽셀들(PX)에는 소스 라인들(SL1-SLm)을 통해 제4 비트 데이터에 대응하는 m비트의 제2 라인 데이터가 인가된다. 제3 단위 시간(UT)에 제3 게이트 라인(GL3)에 연결된 m개의 픽셀들(PX)에는 제5 비트 데이터에 대응하는 m비트의 제3 라인 데이터가 인가된다. 제4 단위 시간(UT)에 제1 게이트 라인(GL1)에 연결된 m개의 픽셀들(PX)에는 제2 비트 데이터에 대응하는 m비트의 제4 라인 데이터가 인가된다. 제5 단위 시간(UT)에 제10 게이트 라인(GL10)에 연결된 m개의 픽셀들(PX)에는 제3 비트 데이터에 대응하는 m비트의 제5 라인 데이터가 인가된다.

[0068] 아래에서, 제1 전원 전압(ELVDD)이 예컨대 표시 영역(DA)의 상단과 하단에 배치되는 제1 및 제2 전원 배선들(PW1, PW2)을 통해 표시 영역(DA)의 상단과 하단으로부터 표시 영역(DA)에 공급되고, 제2 전원 전압(ELVSS)도 표시 영역(DA)의 상단과 하단으로부터 표시 영역(DA)에 공급되는 배치를 갖는 실시예들을 중심으로 설명한다. 그러나, 본 발명은 다른 배치에도 동일한 원리로 적용될 수 있다는 것에 주의하여야 한다.

[0069] 도 4는 비교예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.

[0070] 도 4를 참조하면, 유기 발광 표시 패널(110a)은 복수의 픽셀들(PX1-PXn), 및 픽셀들(PX1-PXn)에 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 공급하는 전원 라인(PL) 및 공통 전극(CE)을 포함한다. 전원 라인(PL)은 열 방향을 따라 연장되며, 동일 열의 픽셀들(PX1-PXn)에 연결된다. 공통 전극(CE)은 도 4에서 하나의 라인으로 표시하지만, 픽셀들(PX1-PXn)의 발광 소자에 공통적으로 연결된다.

[0071] 제1 전원 전압(ELVDD)은 전원 라인(PL)의 양 끝을 통해 인가되고, 제2 전원 전압(ELVSS)도 공통 전극(CE)의 상부와 하부를 통해 인가된다. 픽셀들(PX1-PXn)에 의해 소모되는 전류(I)는 전원 라인(PL)의 양 끝으로부터 유입되어, 픽셀들(PX1-PXn)을 통과하여 공통 전극(CE)의 상부와 하부로 유출된다. 상술한 바와 같이, 전원 라인(PL)은 무시할 수 없는 저항 성분을 갖고 있기 때문에, 전류(I)로 인하여 전류(I)가 흐르는 방향을 따라 전압 강하가 발생한다. 공통 전극(CE)도 저항 성분을 갖고 있기 때문에, 전류(I)로 인하여 전류(I)가 흐르는 방향을 따라 전압 강하가 발생한다. 특히, 유기 발광 표시 패널(110a)이 전면 발광 타입인 경우, 공통 전극(CE)은 투명 전극으로 형성되거나, 매우 얇게 형성되어야 하므로, 공통 전극(CE)은 무시할 수 없는 저항 성분을 갖는다.

[0072] 도 5는 도 4의 유기 발광 표시 패널에서 픽셀(PX)의 위치에 따라서 픽셀들(PX)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨을 도시하는 그래프이다.

[0073] 도 5를 참조하면, 제1 전원 전압(ELVDD)이 표시 패널(110a)의 상부와 하부로부터 공급되므로, 첫 행의 픽셀(PX1)과 마지막 행의 픽셀(PXn)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨이 가장 높고, 중간 행의 픽셀(PXn/2)로 갈수록 픽셀들(PX2-PXn-1)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 점점 낮아진다. 픽셀들(PX1-PXn)이 모두 발광하는 경우, 중간 행의 픽셀(PXn/2)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨이 가장

낮을 수 있다.

- [0074] 제2 전원 전압(ELVSS)이 표시 패널(110a)의 상부와 하부로부터 공급되므로, 첫 행의 픽셀(PX1)과 마지막 행의 픽셀(PXn)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨이 가장 낮고, 중간 행의 픽셀(PXn/2)으로 갈수록 픽셀들(PX2-PXn-1)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 점점 높아진다.
- [0075] 따라서, 표시 패널(110a)의 에지 영역(EA)에 위치하는 픽셀들(예컨대, PX1, PXn)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이(ΔVE)는 표시 패널(110a)의 중앙 영역(CA)에 위치하는 픽셀들(예컨대, PXn/2)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이(ΔVC)보다 크다. 픽셀들(PX1-PXn)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이의 편차(예컨대, $\Delta VE - \Delta VC$)는 픽셀들(PX1-PXn)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨 편차와 픽셀들(PX1-PXn)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨 편차가 더해진 것이므로, 전압 레벨 차이의 편차는 더욱 가중된다.
- [0076] 픽셀(PX)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이가 1V만큼 감소하면, 픽셀(PX)에 흐르는 전류는 대략 60% 정도 감소한다. 유기 발광 표시 패널(110a)의 크기가 클수록 전원 라인(PL)과 공통 전극(CE)의 전압 강하는 커지며, 중앙 영역(CA)에 위치하는 픽셀들의 휘도는 에지 영역(EA)에 위치하는 픽셀들의 휘도의 절반 이하로 감소할 수도 있다.
- [0077] 도 6은 일 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- [0078] 도 6을 참조하면, 유기 발광 표시 패널(110b)은 복수의 픽셀들(PX1-PXn), 및 픽셀들(PX1-PXn)에 제1 전원 전압(ELVDD)을 공급하는 전원 입력 라인(PIL), 연결부들(CN) 및 전원 출력 라인(POL)과 제2 전원 전압(ELVSS)을 공급하는 공통 전극(CE)을 포함한다. 전원 입력 라인(PIL), 연결부들(CN) 및 전원 출력 라인(POL)은 도 1을 참조로 앞에서 설명되었으므로, 반복하여 설명하지 않는다. 공통 전극(CE)은 도 4를 참조로 앞에서 설명되었으므로, 반복하여 설명하지 않는다.
- [0079] 제1 전원 전압(ELVDD)은 전원 입력 라인(PIL)의 상부 단부 및 하부 단부를 통해 인가되지만, 연결부들(CN)을 통해 전원 출력 라인(POL)의 중앙부에서 상부 단부와 하부 단부를 향하여 공급된다. 따라서, 전원 출력 라인(POL)에서 전류(I)는 중앙부에서 양 끝을 향하여 흐르게 된다. 따라서, 전원 출력 라인(POL)의 중앙부에서 양 끝을 향하여 전압 강하가 발생한다.
- [0080] 제2 전원 전압(ELVSS)은 공통 전극(CE)의 상부 및 하부를 통해 인가된다. 공통 전극(CE)도 저항 성분을 갖고 있기 때문에, 전류(I)로 인하여 전류(I)가 흐르는 방향을 따라 전압 강하가 발생한다.
- [0081] 도 7은 도 6의 유기 발광 표시 패널에서 픽셀(PX)의 위치에 따라서 픽셀들(PX)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨을 도시하는 그래프이다.
- [0082] 도 7을 참조하면, 제1 전원 전압(ELVDD)이 전원 출력 라인(POL)의 중앙부로부터 양 끝을 향하여 전압 강하가 발생하므로, 중앙부에 위치한 픽셀들(예컨대, 픽셀(PXn/2))에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨이 가장 높고, 첫 행의 픽셀(PX1)과 마지막 행의 픽셀(PXn)로 갈수록 픽셀들에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 낮아진다. 전원 입력 라인(PIL)과 전원 출력 라인(POL)이 많은 수의 연결부들(CN)을 통해 서로 연결되는 경우, 첫 번째 연결부(CN)와 마지막 연결부(CN)에 인접한 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨이 가장 높고, 중앙에 위치한 픽셀(PXn/2)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 이보다 낮을 수 있다.
- [0083] 제2 전원 전압(ELVSS)이 표시 패널(110b)의 상부와 하부로부터 공급되므로, 첫 행의 픽셀(PX1)과 마지막 행의 픽셀(PXn)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨이 가장 낮고, 중간 행의 픽셀(PXn/2)으로 갈수록 픽셀들(PX2-PXn-1)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 점점 높아진다.
- [0084] 따라서, 도 7에 도시된 바와 같이, 표시 패널(110b)의 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨 변화와 제2 전원 전압(ELVSS)의 전압 레벨 변화는 서로 비슷한 경향을 갖게 된다. 즉, 표시 패널(110b)의 에지 영역(EA)에 위치하는 픽셀들(예컨대, PX1, PXn)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이(ΔVE)는 표시 패널(110b)의 중앙 영역(CA)에 위치하는 픽셀들(예컨대, PXn/2)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이(ΔVC)와 비슷하다. 픽셀들(PX1-PXn)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨 편차를 픽셀들(PX1-PXn)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨 편차가 보상하므로, 픽셀들(PX1-PXn)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이의 편차는 감소

된다. 따라서, 픽셀들(PX1-PXn)의 휘도 균일도는 개선된다.

- [0085] 도 8은 다른 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- [0086] 도 8을 참조하면, 유기 발광 표시 패널(110c)은 복수의 픽셀들(PX1-PXn), 및 픽셀들(PX1-PXn)에 제1 전원 전압(ELVDD)을 공급하는 전원 라인(PL)과 제2 전원 전압(ELVSS)을 공급하는 전원 입력 라인(PIL), 연결부들(CN) 및 전원 출력 라인(POL)을 포함한다. 전원 라인(PL)은 도 4를 참조로 앞에서 설명되었으므로, 반복하여 설명하지 않는다. 전원 입력 라인(PIL), 연결부들(CN) 및 전원 출력 라인(POL)은 도 1을 참조로 앞에서 설명되었으므로, 반복하여 자세히 설명하지 않는다. 도 8의 실시예에서, 전원 입력 라인(PIL), 연결부들(CN) 및 전원 출력 라인(POL)은 공통 전극(CE) 상에 배치되거나, 공통 전극(CE) 없이 픽셀들(PX)에 제2 전원 전압(ELVSS)을 공급할 수 있다.
- [0087] 제1 전원 전압(ELVDD)은 전원 라인(PL)의 상부 단부 및 하부 단부를 통해 인가된다. 픽셀들(PX1-PXn)에 의해 소모되는 전류(I)는 전원 라인(PL)의 상부 및 하부로부터 유입된다. 전류(I)가 흐르는 방향을 따라 전원 라인(PL)에는 전압 강하가 발생한다.
- [0088] 제2 전원 전압(ELVSS)은 전원 입력 라인(PIL)의 상부 단부 및 하부 단부를 통해 인가되지만, 연결부들(CN)을 통해 전원 출력 라인(POL)의 중앙부에서 상부 단부와 하부 단부를 향하여 공급된다. 따라서, 전원 출력 라인(POL)에서 전류(I)는 양 끝에서 중앙부를 향하여 흐르게 된다. 따라서, 전원 출력 라인(POL)의 양 끝에서 중앙부를 향하여 전압 강하가 발생한다.
- [0089] 도 9는 도 6의 유기 발광 표시 패널에서 픽셀(PX)의 위치에 따라서 픽셀들(PX)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨을 도시하는 그래프이다.
- [0090] 도 9를 참조하면, 제1 전원 전압(ELVDD)은 전원 라인(PL)의 양 끝으로부터 중앙부를 향하여 전압 강하되므로, 양 끝에 위치한 픽셀들(PX1, PXn)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨이 가장 높고, 중앙부로 갈수록 픽셀들(PX2-PXn-1)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 점점 낮아진다.
- [0091] 제2 전원 전압(ELVSS)은 전원 출력 라인(POL)의 양 끝으로부터 중앙부를 향하여 전압 강하되므로, 양 끝에 위치한 픽셀들(PX1, PXn)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨이 가장 높고, 중앙부로 갈수록 픽셀들(PX2-PXn-1)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨은 점점 낮아진다.
- [0092] 따라서, 도 9에 도시된 바와 같이, 표시 패널(110c)의 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨 변화와 제2 전원 전압(ELVSS)의 전압 레벨 변화는 서로 비슷한 경향을 갖게 된다. 즉, 표시 패널(110c)의 에지에 위치하는 픽셀들(예컨대, PX1, PXn)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이(ΔV_E)는 중앙부에 위치하는 픽셀들(예컨대, PXn/2)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이(ΔV_C)와 비슷하다. 픽셀들(PX1-PXn)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨 편차를 픽셀들(PX1-PXn)에 인가되는 제2 전원 전압(ELVSS)의 전압 레벨 편차가 보상하므로, 픽셀들(PX1-PXn)에 인가되는 제1 및 제2 전원 전압(ELVDD, ELVSS)의 전압 레벨 차이의 편차는 감소된다. 따라서, 픽셀들(PX1-PXn)의 휘도 균일도는 개선된다.
- [0093] 도 10은 또 다른 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- [0094] 도 10을 참조하면, 유기 발광 표시 패널(110d)은 제1 전원 전압(ELVDD)을 픽셀들(PX)에 공급하기 위하여, 전원 입력 라인(PIL), 전원 입력 라인(PIL)에 연결되는 제1 및 제2 연결부들(CN1, CN2), 및 제1 연결부들(CN1)에 연결된 제1 전원 출력 라인(POL1)과 제2 연결부들(CN2)에 연결된 제2 전원 출력 라인(POL2)을 포함한다. 유기 발광 표시 패널(110d)은 제1 전원 출력 라인(POL1)에 연결된 픽셀들(PX), 및 제2 전원 출력 라인(POL2)에 연결된 픽셀들(PX)을 포함한다. 제2 전원 전압(ELVSS)을 공급하는 공통 전극(CE)이 픽셀들(PX)에 연결되지만, 공통 전극(CE)은 도 10에 도시되지 않는다.
- [0095] 제1 연결부들(CN1)은 제1 전원 출력 라인(POL1)의 중간 부분에 연결되고, 제2 연결부들(CN2)은 제2 전원 출력 라인(POL2)의 중간 부분에 연결된다. 제1 전원 출력 라인(POL1)에 연결된 픽셀들(PX)에 의해 소모되는 제1 전류(I1)와 제2 전원 출력 라인(POL2)에 연결된 픽셀들(PX)에 의해 소모되는 제2 전류(I2)는 모두 전원 입력 라인(PIL)을 통해 공급된다.

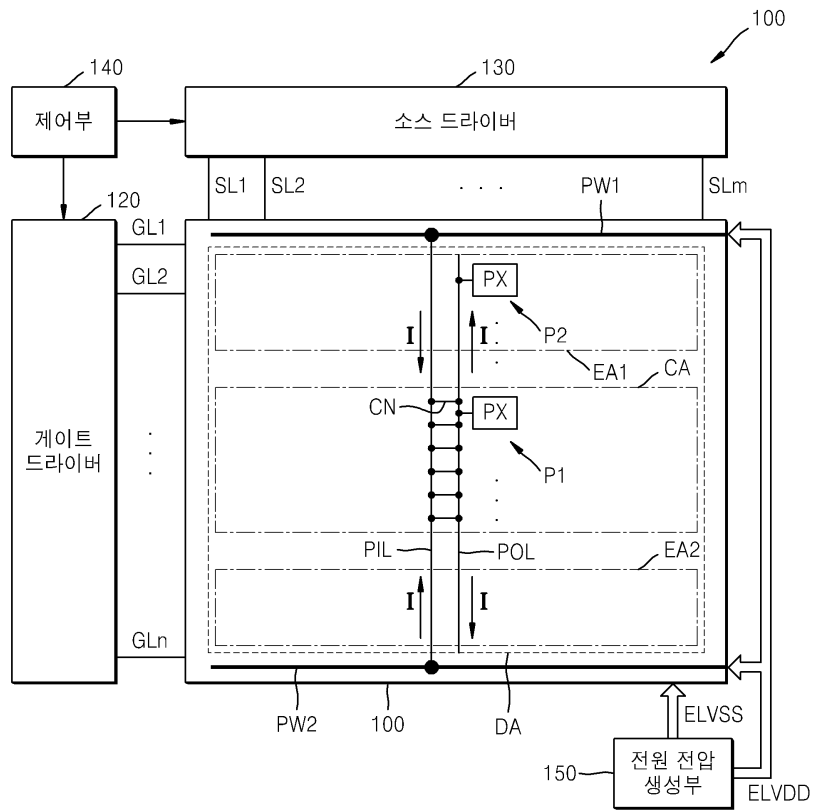
- [0096] 도 10의 실시예에 따른 유기 발광 표시 패널(110d)에도, 도 7의 그래프와 같이, 중앙부에 위치한 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨은 에지부에 위치한 픽셀들(PX)에 인가되는 제1 전원 전압(ELVDD)의 전압 레벨보다 높다. 전원 전압(ELVSS)가 표시 패널(110e)의 상단과 하단으로부터 공통 전극(CE)에 공급되는 경우, 유기 발광 표시 패널(110d)의 휘도 균일도는 개선된다. 또한, 도 10의 실시예에 따르면, 제1 전원 전압(ELVDD)을 공급하는 전원 라인의 개수가 감소되므로, 픽셀들(PX)의 개구율이 커질 수 있다.
- [0097] 도 11은 또 다른 실시예에 따른 유기 발광 표시 패널의 일부를 개략적으로 도시한다.
- [0098] 도 11을 참조하면, 유기 발광 표시 패널(110e)에서 하나의 픽셀(PX)은 제1 내지 제3 서브 픽셀(SPR, SPG, SPB)을 포함한다. 제1 서브 픽셀(SPR)은 적색 광을 방출하고, 제2 서브 픽셀(SPG)은 녹색 광을 방출하고, 제3 서브 픽셀(SPB)은 청색 광을 방출할 수 있다. 픽셀(PX)은 백색 광을 방출하는 서브 픽셀을 더 포함할 수 있다.
- [0099] 제1 서브 픽셀들(SPR)에는 제1 전원 입력 라인(PIL1), 제1 전원 입력 라인(PIL1)에 연결되는 제1 연결부들(CN1), 및 제1 연결부들(CN1)에 연결되는 제1 전원 출력 라인(POL1)을 통해 제1 전원 전압(ELVDD1)이 인가된다. 제2 서브 픽셀들(SPG)에는 제2 전원 입력 라인(PIL2), 제2 전원 입력 라인(PIL2)에 연결되는 제2 연결부들(CN2), 및 제2 연결부들(CN2)에 연결되는 제2 전원 출력 라인(POL2)을 통해 제2 전원 전압(ELVDD2)이 인가된다. 제3 서브 픽셀들(SPB)에는 제3 전원 입력 라인(PIL3), 제3 전원 입력 라인(PIL3)에 연결되는 제3 연결부들(CN3), 및 제3 연결부들(CN3)에 연결되는 제3 전원 출력 라인(POL3)을 통해 제3 전원 전압(ELVDD3)이 인가된다. 제1 내지 제3 전원 전압(ELVDD1-ELVDD3)은 서로 다른 전압 레벨을 가질 수 있다. 예컨대, 제1 전원 전압(ELVDD1)의 전압 레벨이 가장 높고, 제3 전원 전압(ELVDD3)의 전압 레벨이 가장 낮을 수 있다.
- [0100] 제1 내지 제3 연결부들(CN1-CN3)은 각각 제1 내지 제3 전원 출력 라인들(POL1-POL3)의 중간 부분에 연결될 수 있다. 제1 내지 제3 전원 출력 라인(POL1-POL3)을 흐르는 전류는 중앙부에서 양 끝을 향하여 흐를 수 있으며, 도 11에 도시된 유기 발광 표시 패널(110e)에서도 도 7의 그래프와 유사하게 중앙부에 위치한 서브 픽셀들(SPR, SPG, SPB)에 인가되는 제1 내지 제3 전원 전압(ELVDD1-ELVDD3)의 전압 레벨은 에지부에 위치한 서브 픽셀들(SPR, SPG, SPB)에 인가되는 제1 내지 제3 전원 전압(ELVDD1-ELVDD3)의 전압 레벨보다 높다. 전원 전압(ELVSS)가 표시 패널(110e)의 상단과 하단으로부터 공통 전극(CE)에 공급되는 경우, 유기 발광 표시 패널(110e)의 휘도 균일도는 개선된다.
- [0101] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

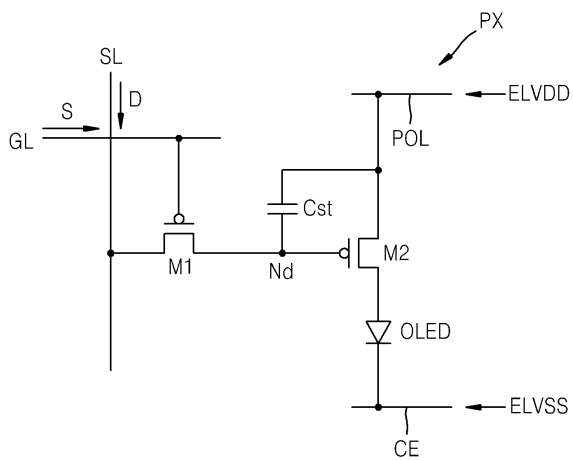
- [0102] 100: 유기 발광 표시 장치
110, 110a-110e: 표시 패널
120: 게이트 드라이버
130: 소스 드라이버
140: 제어부
150: 전원 전압 생성부

도면

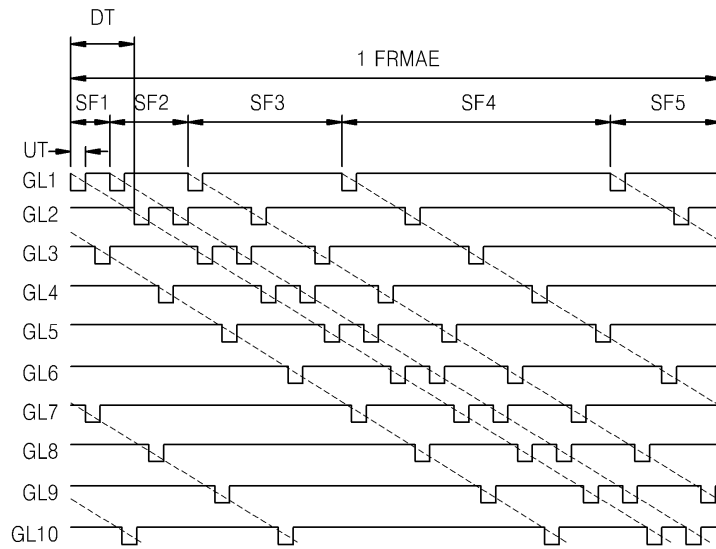
도면1



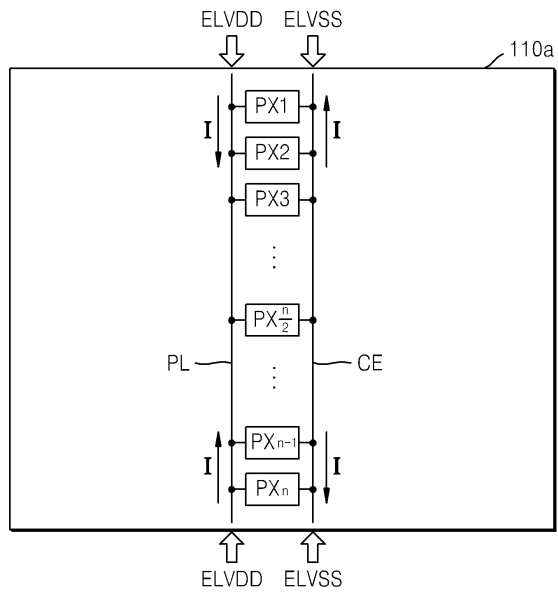
도면2



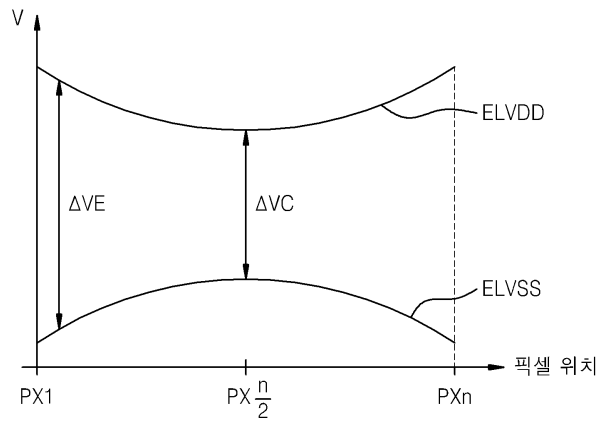
도면3



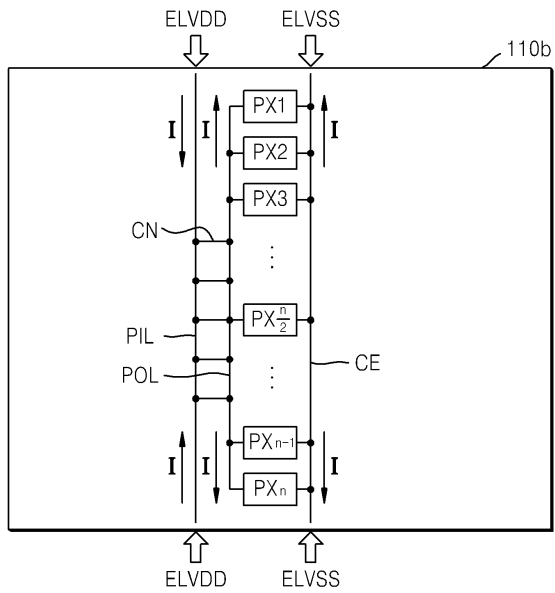
도면4



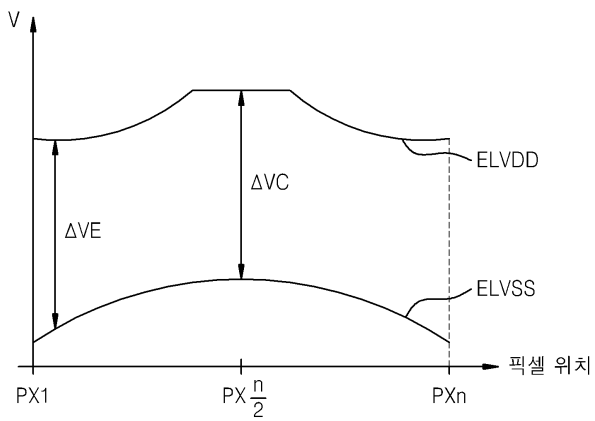
도면5



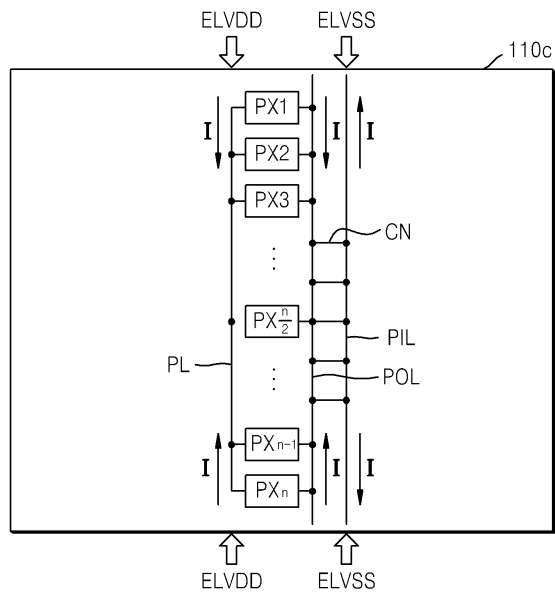
도면6



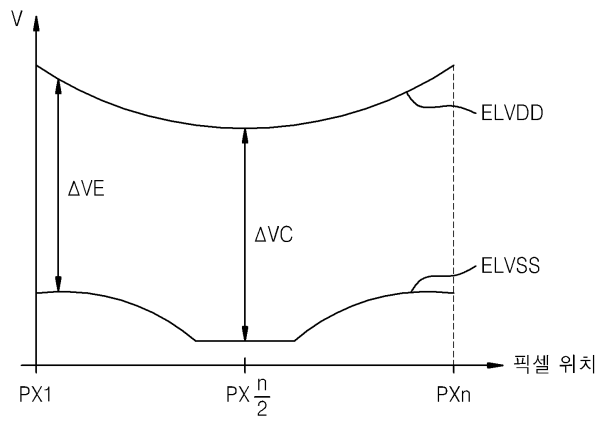
도면7



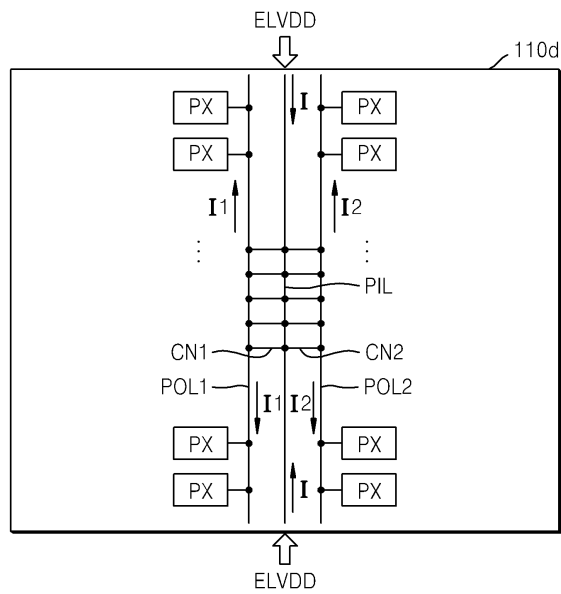
도면8



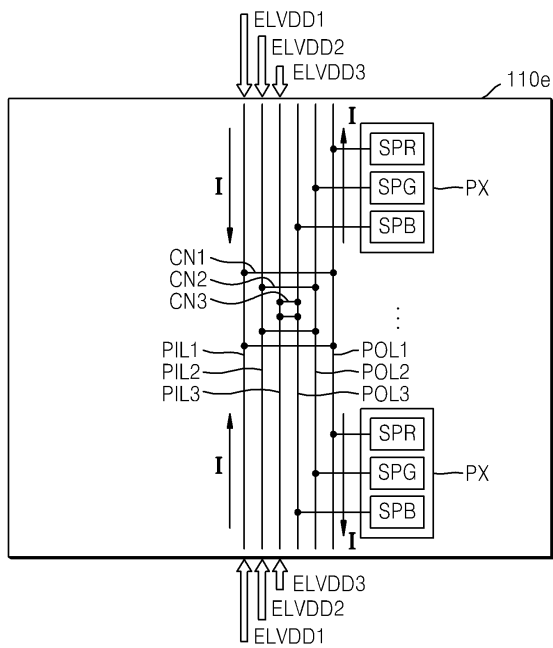
도면9



도면10



도면11



专利名称(译)	标题：有机发光显示板和有机发光显示装置		
公开(公告)号	KR1020150117357A	公开(公告)日	2015-10-20
申请号	KR1020140042534	申请日	2014-04-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU 김동규 KIM YONG JAE 김용재 LEE HAE YEON 이해연		
发明人	김동규 김용재 이해연		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3225 G09G2300/0426 G09G2320/0223 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

提供根据各种实施例的有机发光显示面板和有机发光显示器。其中，有机发光显示面板包括显示区域，显示区域包括中央显示区域和边缘显示区域，显示区域以矩阵形式布置在显示区域上，显示区域包括第一电源电压 (ELVDD) 并且具有高电平的第二电源电压ELVSS。施加到中央显示区域上的像素的第一电源电压的电压电平高于施加到电压源相位边缘显示区域的边缘显示区域上的像素的第一电源电压的电压电平，第二电源电压的电压电平低于施加到边缘显示区域上的像素的第二电源电压的电压电平。

